

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5347341号
(P5347341)

(45) 発行日 平成25年11月20日 (2013.11.20)

(24) 登録日 平成25年8月30日 (2013.8.30)

(51) Int.Cl.		F I	
HO3M	1/56	(2006.01)	HO3M 1/56
HO4N	5/3745	(2011.01)	HO4N 5/335 745
HO4N	5/378	(2011.01)	HO4N 5/335 780

請求項の数 24 (全 52 頁)

(21) 出願番号	特願2008-149168 (P2008-149168)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成20年6月6日 (2008.6.6)	(74) 代理人	100094053 弁理士 佐藤 隆久
(65) 公開番号	特開2009-296423 (P2009-296423A)	(72) 発明者	若林 準人 東京都港区港南1丁目7番1号 ソニー株式会社内
(43) 公開日	平成21年12月17日 (2009.12.17)	(72) 発明者	菊地 勝 東京都港区港南1丁目7番1号 ソニー株式会社内
審査請求日	平成23年5月30日 (2011.5.30)	(72) 発明者	岩佐 拓 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置、撮像装置、電子機器、AD変換装置、AD変換方法

(57) 【特許請求の範囲】

【請求項1】

レベルが漸次変化する参照信号を生成する所定の参照信号生成部から供給される前記参照信号とアナログの処理対象信号を比較する比較部およびAD変換用のカウンタクロックの供給を受けて前記比較部の比較結果に基づきカウンタ動作を行なうカウンタ部を有し、前記カウンタ部の出力データに基づき前記処理対象信号のデジタルデータを取得するAD変換部と、

前記処理対象信号について、nビットのAD変換処理をW回（Wは2以上の正の整数）繰り返して行なうデジタル積分処理を実行するように前記参照信号生成部および前記AD変換部を制御する駆動制御部と、

前記デジタル積分処理を実行して得られたデジタルデータに対して、前記W回に対応した平均化を行なう平均化処理部と、を備え、

前記AD変換部は、 $2^{(M-1)} < W \leq 2^M$ （Mは1以上の正の整数）を満たす“n+M”ビット対応の前記カウンタ部と、取込みタイミングを規定する取込み制御信号に基づきデータ取り込み記憶するnビット対応のデータ記憶部と、接続タイミングを規定するスイッチ制御信号に基づき前記カウンタ部から出力される“n+M”ビット分のデータの内の上位nビット分のデータを選択して前記データ記憶部に渡すデータ選択部を有し、

前記データ記憶部と前記データ選択部とにより、前記平均化処理部の機能が果たされる固体撮像装置。

【請求項2】

前記データ記憶部のデータ入力端を共通に接続する共通配線を有し、

前記データ選択部は、前記カウンタ部のデータ出力端と前記共通配線の間、前記スイッチ制御信号に基づき入出力の接続を切替え可能なスイッチを有し、

前記駆動制御部は、前記データ記憶部に渡すべき前記カウンタ部のデータ出力端から出力されるデータのビット位置に対応付けて、前記スイッチ制御信号と前記取込み制御信号を順次切り替える

請求項 1 に記載の固体撮像装置。

【請求項 3】

前記データ選択部は、入力端が前記カウンタ部のデータ出力端と接続され、出力端が前記データ記憶部のデータ入力端に接続された、前記スイッチ制御信号に基づき入出力の接続を切替え可能な、少なくとも前記入力端が 2 以上のスイッチを、前記データ記憶部のビット位置ごとに有し、

10

前記スイッチの各入力端は、前記データ記憶部に渡すべき前記カウンタ部のデータ出力端から出力されるデータのビット位置に対応するように接続されており、

前記駆動制御部は、データのビット位置に関わらず、前記カウンタ部から前記データ記憶部に一斉にデータが転送されるように、前記スイッチ制御信号と前記取込み制御信号のそれぞれを切り替える

請求項 1 に記載の固体撮像装置。

【請求項 4】

前記データ選択部は、前記処理対象信号について n ビットの A/D 変換処理を 1 回実行する通常処理時には、前記カウンタ部から出力される " $n + M$ " ビット分のデータの内の下位 n ビット分のデータを選択して前記データ記憶部に渡す

20

請求項 1 に記載の固体撮像装置。

【請求項 5】

前記駆動制御部は、前記デジタル積分処理時の前記参照信号の傾きを、前記処理対象信号について n ビットの A/D 変換処理を 1 回実行する通常処理時に対して W 倍で急峻にするように前記参照信号生成部を制御するとともに、前記デジタル積分処理時のカウント動作を前記通常処理時に対して W 倍高速にするように前記カウンタ部を制御する

請求項 1 ~ 4 の内の何れか一項に記載の固体撮像装置。

【請求項 6】

30

前記参照信号生成部は、参照信号生成用のカウントクロックの供給を受けてカウント動作を行なうカウンタ部を有し、前記カウンタ部から出力されるカウント値ごとに参照信号のレベルを変化させるものであり、

前記カウンタ部は、前記参照信号生成用のカウントクロックとして、前記デジタル積分処理時には前記通常処理時に対して W 倍の周波数のものを使用する

請求項 5 に記載の固体撮像装置。

【請求項 7】

前記参照信号生成部は、参照信号生成用のカウントクロックの供給を受けてカウント動作を行なうカウンタ部と、前記カウンタ部から出力されるカウント値に対応する重みの電流を出力する電流源部と、抵抗素子を具備し前記電流源部から出力された電流が前記抵抗素子に流れることで前記電流に対応する電圧信号を生成するとともに電流電圧変換時の抵抗値を変更可能な電流電圧変換部を有し、

40

前記カウンタ部は、前記参照信号生成用のカウントクロックとして、前記デジタル積分処理時には前記通常処理時と同じ周波数のものを使用し、

前記電流電圧変換部は、電流電圧変換時の抵抗値を、前記デジタル積分処理時には前記通常処理時に対して W 倍にする

請求項 5 に記載の固体撮像装置。

【請求項 8】

前記参照信号生成部は、参照信号生成用のカウントクロックの供給を受けてカウント動作を行なうカウンタ部と、前記カウンタ部から出力されるカウント値に対応する重みの電

50

流を出力する電流源部と、抵抗素子を具備し前記電流源部から出力された電流が前記抵抗素子に流れることで前記電流に対応する電圧信号を生成するとともに電流電圧変換時の抵抗値を変更可能な電流電圧変換部を有し、

前記カウンタ部は、前記参照信号生成用のカウンタクロックとして、前記デジタル積分処理時には前記通常処理時と同じ周波数のものを使用し、

前記電流源部は、前記カウンタ値に対応する重みを、前記デジタル積分処理時には前記通常処理時に対してW倍にする

請求項5に記載の固体撮像装置。

【請求項9】

前記参照信号生成部は、前記デジタル積分処理における奇数回目の処理時と偶数回目の処理時で、前記参照信号の変化方向の逆転させる

請求項1～8の内の何れか一項に記載の固体撮像装置。

【請求項10】

前記参照信号生成部の前記カウンタ部は、アップカウントとダウンカウントを切替可能に構成されており、カウントモードを奇数回目と偶数回目とで異なるようにすることで、前記参照信号の変化方向の逆転させる

請求項9に記載の固体撮像装置。

【請求項11】

レベルが漸次変化する参照信号を生成する所定の参照信号生成部から供給される前記参照信号とアナログの処理対象信号を比較する比較部およびAD変換用のカウンタクロックの供給を受けて前記比較部の比較結果に基づきカウント動作を行なうカウンタ部を有し、前記カウンタ部の出力データに基づき前記処理対象信号のデジタルデータを取得するAD変換部と、

前記処理対象信号について、nビットのAD変換処理をW回(Wは2以上の正の整数)繰り返して行なうデジタル積分処理を実行するように前記参照信号生成部および前記AD変換部を制御する駆動制御部と、を備え、

前記AD変換部は、nビット対応の前記カウンタ部を有し、

前記駆動制御部は、前記デジタル積分処理時には、前記参照信号の傾きを前記処理対象信号についてnビットのAD変換処理を1回実行する通常処理時に対して $2^{(M-1)} < W \leq 2^M$ (Mは1以上の正の整数)を満たすW倍で急峻にするように前記参照信号生成部を制御するとともに、カウント動作を前記通常処理時と同じ速度にして各回は“n-M”ビットの精度でカウント動作を行なうように前記カウンタ部を制御する

固体撮像装置。

【請求項12】

前記駆動制御部は、前記参照信号と前記AD変換用のカウンタクロックの相対的な位相を $1/WLSB$ ずつシフトさせて各回の処理を実行するように前記参照信号生成部や前記カウンタ部を制御する

請求項11に記載の固体撮像装置。

【請求項13】

前記駆動制御部は、前記デジタル積分処理における繰返し回数Wを利用して各処理対象信号についての係数設定を行なうことで、複数の処理対象信号の積和演算結果のデジタルデータを取得するように制御する、

請求項1～12の内の何れか一項に記載の固体撮像装置。

【請求項14】

前記駆動制御部は、前記処理対象信号についてnビットのAD変換処理を1回実行する通常処理と前記デジタル積分処理とを切り替える

請求項1～13の内の何れか一項に記載の固体撮像装置。

【請求項15】

前記処理対象信号を出力する単位画素が行列状に配置されている画素アレイ部を備え、

前記AD変換部は、前記画素アレイ部に対して列ごとに設けられており、

10

20

30

40

50

前記参照信号生成部は、各列の前記比較部に前記参照信号を共通に供給する請求項 1 ~ 14 の内の何れか一項に記載の固体撮像装置。

【請求項 16】

前記単位画素から出力される処理対象信号は、リセットレベルと信号レベルを含み、前記駆動制御部は、前記リセットレベルと前記信号レベルのそれぞれについて、前記デジタル積分処理を実行して得られた前記リセットレベルと前記信号レベルの各デジタルデータの差分をとるように制御する

請求項 15 に記載の固体撮像装置。

【請求項 17】

電荷生成部および当該電荷生成部で生成された電荷に応じたリセットレベルと信号レベルを含む処理対象信号を出力するトランジスタを具備した単位画素が行列状に配置されている画素アレイ部と、

レベルが漸次変化する参照信号を生成する参照信号生成部と、

前記処理対象信号の前記リセットレベルおよび前記信号レベルのそれぞれについて前記参照信号生成部から出力される参照信号を比較する比較部および A/D 変換用のカウントクロックの供給を受けて前記比較部の比較結果に基づきカウント動作を行なうカウンタ部を有し、前記カウンタ部の出力データに基づき前記リセットレベルと前記信号レベルの差分のデジタルデータを取得する、前記画素アレイ部に対して列ごとに設けられている A/D 変換部と、

前記リセットレベルおよび前記信号レベルのそれぞれについて n ビットの A/D 変換処理を W 回 (W は 2 以上の正の整数) 繰り返すデジタル積分処理の動作を実行するように、前記参照信号生成部および前記 A/D 変換部を制御する駆動制御部と、

前記駆動制御部を制御する主制御部と、

前記デジタル積分処理を実行して得られたデジタルデータに対して、前記 W 回に対応した平均化を行なう平均化処理部と、を備え、

前記 A/D 変換部は、 $2^{(M-1)} < W \leq 2^M$ (M は 1 以上の正の整数) を満たす "n + M" ビット対応の前記カウンタ部と、取込みタイミングを規定する取込み制御信号に基づきデータ取り込み記憶する n ビット対応のデータ記憶部と、接続タイミングを規定するスイッチ制御信号に基づき前記カウンタ部から出力される "n + M" ビット分のデータの内の上位 n ビット分のデータを選択して前記データ記憶部に渡すデータ選択部を有し、

前記データ記憶部と前記データ選択部とにより、前記平均化処理部の機能が果たされる撮像装置。

【請求項 18】

アナログの処理対象信号を生成する信号生成部と、

レベルが漸次変化する参照信号を生成する参照信号生成部と、

前記信号生成部で生成される前記処理対象信号と前記参照信号生成部から供給される参照信号を比較する比較部と、

A/D 変換用のカウントクロックの供給を受けて前記比較部の比較結果に基づきカウント動作を行なうカウンタ部と、

前記処理対象信号について n ビットの A/D 変換処理を W 回 (W は 2 以上の正の整数) 繰り返すデジタル積分処理の動作を実行するように、前記参照信号生成部、前記比較部、および前記カウンタ部を制御する制御部と、

前記デジタル積分処理を実行して得られたデジタルデータに対して、前記 W 回に対応した平均化を行なう平均化処理部と、を備え、

A/D 変換処理系は、 $2^{(M-1)} < W \leq 2^M$ (M は 1 以上の正の整数) を満たす "n + M" ビット対応の前記カウンタ部と、取込みタイミングを規定する取込み制御信号に基づきデータ取り込み記憶する n ビット対応のデータ記憶部と、接続タイミングを規定するスイッチ制御信号に基づき前記カウンタ部から出力される "n + M" ビット分のデータの内の上位 n ビット分のデータを選択して前記データ記憶部に渡すデータ選択部を有し、

前記データ記憶部と前記データ選択部とにより、前記平均化処理部の機能が果たされる

10

20

30

40

50

電子機器。

【請求項 19】

レベルが漸次変化する参照信号を生成する参照信号生成部と、
アナログの処理対象信号と前記参照信号生成部から出力される参照信号を比較する比較部と、

A D変換用のカウントクロックの供給を受けて前記比較部の比較結果に基づきカウント動作を行なうカウンタ部と、

前記処理対象信号について、 n ビットのA D変換処理を W 回 (W は2以上の正の整数) 繰り返して行なうデジタル積分処理を実行するように、前記参照信号生成部、前記比較部、および前記カウンタ部を制御する制御部と、

前記デジタル積分処理を実行して得られたデジタルデータに対して、前記 W 回に対応した平均化を行なう平均化処理部と、を備え、さらに、

$2^{(M-1)} < W \leq 2^M$ (M は1以上の正の整数) を満たす " $n+M$ " ビット対応の前記カウンタ部と、取込みタイミングを規定する取込み制御信号に基づきデータ取り込み記憶する n ビット対応のデータ記憶部と、接続タイミングを規定するスイッチ制御信号に基づき前記カウンタ部から出力される " $n+M$ " ビット分のデータの内の上位 n ビット分のデータを選択して前記データ記憶部に渡すデータ選択部を有し、

前記データ記憶部と前記データ選択部とにより、前記平均化処理部の機能が果たされるA D変換装置。

【請求項 20】

レベルが漸次変化する参照信号とアナログの処理対象信号を比較部により比較する比較ステップと、

A D変換用のカウントクロックの供給を受けて前記比較の結果に基づきカウント動作を $2^{(M-1)} < W \leq 2^M$ (M は1以上の正の整数) を満たす " $n+M$ " ビット対応のカウンタ部で行なうカウントステップと、

前記カウンタ部の出力データに基づき前記処理対象信号のデジタルデータを取得する際に、前記処理対象信号について n ビットのA D変換処理を W 回 (W は2以上の正の整数) 繰り返して行なうA D変換処理ステップと、

前記デジタル積分処理を実行して得られたデジタルデータに対して、前記 W 回に対応した平均化を平均化処理部で行なう平均化処理ステップと、を備え、

前記平均化処理ステップにおいて、

データ選択部で、接続タイミングを規定するスイッチ制御信号に基づき前記カウンタ部から出力される " $n+M$ " ビット分のデータの内の上位 n ビット分のデータを選択して、取込みタイミングを規定する取込み制御信号に基づきデータ取り込み記憶する n ビット対応のデータ記憶部に渡す

A D変換方法。

【請求項 21】

電荷生成部および当該電荷生成部で生成された電荷に応じたリセットレベルと信号レベルを含む処理対象信号を出力するトランジスタを具備した単位画素が行列状に配置されている画素アレイ部と、

レベルが漸次変化する参照信号を生成する参照信号生成部と、

前記処理対象信号の前記リセットレベルおよび前記信号レベルのそれぞれについて前記参照信号生成部から出力される参照信号を比較する比較部およびA D変換用のカウントクロックの供給を受けて前記比較部の比較結果に基づきカウント動作を行なうカウンタ部を有し、前記カウンタ部の出力データに基づき前記リセットレベルと前記信号レベルの差分のデジタルデータを取得する、前記画素アレイ部に対して列ごとに設けられているA D変換部と、

前記リセットレベルおよび前記信号レベルのそれぞれについて n ビットのA D変換処理を W 回 (W は2以上の正の整数) 繰り返すデジタル積分処理の動作を実行するように、前記参照信号生成部および前記A D変換部を制御する駆動制御部と、

10

20

30

40

50

前記駆動制御部を制御する主制御部と、を備え、
 前記AD変換部は、nビット対応の前記カウンタ部を有し、
 前記駆動制御部は、前記デジタル積分処理時には、前記参照信号の傾きを前記処理対象信号についてnビットのAD変換処理を1回実行する通常処理時に対して $2^{(M-1)} < W \cdot 2^M$ (Mは1以上の正の整数)を満たすW倍で急峻にするように前記参照信号生成部を制御するとともに、カウント動作を前記通常処理時と同じ速度にして各回は“n-M”ビットの精度でカウント動作を行なうように前記カウンタ部を制御する
 撮像装置。

【請求項22】

アナログの処理対象信号を生成する信号生成部と、
 レベルが漸次変化する参照信号を生成する参照信号生成部と、
 前記信号生成部で生成される前記処理対象信号と前記参照信号生成部から供給される参照信号を比較する比較部と、
 AD変換用のカウントクロックの供給を受けて前記比較部の比較結果に基づきカウント動作を行なうカウンタ部と、

前記処理対象信号についてnビットのAD変換処理をW回(Wは2以上の正の整数)繰り返すデジタル積分処理の動作を実行するように、前記参照信号生成部、前記比較部、および前記カウンタ部を制御する制御部と、を備え、

nビット対応の前記カウンタ部を有し、

前記制御部は、前記デジタル積分処理時には、前記参照信号の傾きを前記処理対象信号についてnビットのAD変換処理を1回実行する通常処理時に対して $2^{(M-1)} < W \cdot 2^M$ (Mは1以上の正の整数)を満たすW倍で急峻にするように前記参照信号生成部を制御するとともに、カウント動作を前記通常処理時と同じ速度にして各回は“n-M”ビットの精度でカウント動作を行なうように前記カウンタ部を制御する

電子機器。

【請求項23】

レベルが漸次変化する参照信号を生成する参照信号生成部と、
 アナログの処理対象信号と前記参照信号生成部から出力される参照信号を比較する比較部と、

AD変換用のカウントクロックの供給を受けて前記比較部の比較結果に基づきカウント動作を行なうカウンタ部と、

前記処理対象信号について、nビットのAD変換処理をW回(Wは2以上の正の整数)繰り返して行なうデジタル積分処理を実行するように、前記参照信号生成部、前記比較部、および前記カウンタ部を制御する制御部と、を備え、

前記カウンタ部を有し、

前記制御部は、前記デジタル積分処理時には、前記参照信号の傾きを前記処理対象信号についてnビットのAD変換処理を1回実行する通常処理時に対して $2^{(M-1)} < W \cdot 2^M$ (Mは1以上の正の整数)を満たすW倍で急峻にするように前記参照信号生成部を制御するとともに、カウント動作を前記通常処理時と同じ速度にして各回は“n-M”ビットの精度でカウント動作を行なうように前記カウンタ部を制御する

AD変換装置。

【請求項24】

レベルが漸次変化する参照信号とアナログの処理対象信号を比較部により比較する比較ステップと、

AD変換用のカウントクロックの供給を受けて前記比較の結果に基づきカウント動作をnビット対応のカウンタ部で行なうカウントステップと、

前記カウンタ部の出力データに基づき前記処理対象信号のデジタルデータを取得する際に、前記処理対象信号についてnビットのAD変換処理をW回(Wは2以上の正の整数)繰り返して行なうデジタル積分処理を実行するAD変換処理ステップと、を備え、

前記デジタル積分処理時には、前記参照信号の傾きを前記処理対象信号についてnビッ

10

20

30

40

50

トのAD変換処理を1回実行する通常処理時に対して $2^{(M-1)} < W \leq 2^M$ (Mは1以上の正の整数)を満たすW倍で急峻にするように前記参照信号の生成を制御するとともに、カウント動作を前記通常処理時と同じ速度にして各回は“n-M”ビットの精度でカウント動作を行なうように前記カウンタ部を制御する

AD変換方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、撮像装置、電子機器、AD変換装置、AD変換方法に関する。より詳細には、たとえば光や放射線などの外部から入力される電磁波に対して感応性を
10
する複数の単位構成要素が配列されてなり、単位構成要素によって電気信号に変換された物理量分布を、アドレス制御により任意選択して電気信号として読出可能な、たとえば固体撮像装置などの、物理量分布検知の半導体装置やその他の電子機器に用いて好適な、AD変換技術に関する。

【背景技術】

【0002】

光や放射線などの外部から入力される電磁波に対して感応性をする単位構成要素（たとえば画素）をライン状もしくはマトリクス状に複数個配列してなる物理量分布検知半導体装置が様々な分野で使われている。

【0003】

たとえば、映像機器の分野では、物理量のうちの光（電磁波の一例）を検知するCCD（Charge Coupled Device）型あるいはMOS（Metal Oxide Semiconductor）やCMOS（Complementary Metal-oxide Semiconductor）型の固体撮像装置が使われている。これらは、単位構成要素（固体撮像装置にあっては画素）によって電気信号に変換された物理量分布を電気信号として読み出す。
20

【0004】

また、固体撮像装置の中には、電荷生成部で生成された信号電荷に応じた画素信号を生成する画素信号生成部に増幅用の駆動トランジスタを有する増幅型固体撮像素子（APS；Active Pixel Sensor / ゲインセルともいわれる）構成の画素を備えた増幅型固体撮像装置がある。たとえば、CMOS型固体撮像装置の多くはそのような構成をなしている。
30

【0005】

このような増幅型固体撮像装置において画素信号を外部に読み出すには、複数の単位画素が配列されている画素部に対してアドレス制御をし、個々の単位画素からの信号を任意に選択して読み出すようにしている。つまり、増幅型固体撮像装置は、アドレス制御型の固体撮像装置の一例である。

【0006】

たとえば、単位画素がマトリクス状に配されたX-Yアドレス型固体撮像素子の一種である増幅型固体撮像素子は、画素そのものに増幅機能を持たせるために、MOS構造などの能動素子（MOSトランジスタ）を用いて画素を構成している。すなわち、光電変換素子であるフォトダイオードに蓄積された信号電荷（光電子）を前記能動素子で増幅し、画
40
像情報として読み出す。

【0007】

この種のX-Yアドレス型固体撮像素子では、たとえば、画素トランジスタが2次元行列状に多数配列されて画素部が構成され、ライン（行）ごとあるいは画素ごとに入射光に対応する信号電荷の蓄積が開始され、その蓄積された信号電荷に基づく電流または電圧の信号がアドレス指定によって各画素から順に読み出される。ここで、MOS（CMOSを含む）型においては、アドレス制御の一例として、1行分を同時にアクセスして行単位で画素信号を画素部から読み出すカラム読出方式（列並列出力方式）が多く用いられている。画素部から読み出されたアナログの画素信号は、必要に応じて、アナログ-デジタル変換装置（AD変換装置 / ADC：Analog Digital Converter）にてデジタルデータに変換
50

する。このため、種々の A D 変換の仕組みが提案されている。

【 0 0 0 8 】

A D 変換方式としては、回路規模や処理速度（高速化）や分解能などの観点から様々な方式が考えられているが、一例として、参照信号比較型の A D 変換方式がある（特許文献 1 を参照）。なお、参照信号比較型は、スロープ積分型あるいはランプ信号比較型などとも称される。参照信号比較型の A D 変換方式では、デジタルデータに変換するための電圧比較用に、漸次値の変化するいわゆるランプ状の参照信号（ランプ波）を使用する。そして、アナログの単位信号と参照信号を比較するとともに、比較処理結果に基づくカウント動作有効期間にカウント処理を行なうことで得られるカウント値に基づいて単位信号のデジタルデータを取得する。参照信号比較型の A D 変換方式と前述のカラム読出方式を組み合わせた方式（カラム A D 方式と称する）にすることで、画素からのアナログ出力を列並列に低帯域で A D 変換ができ、高画質と高速を両立するイメージセンサに適しているといえる。

10

【 0 0 0 9 】

【特許文献 1】特開 2 0 0 5 - 3 2 8 1 3 5 号公報

【 0 0 1 0 】

たとえば、近年、C M O S センサは、低消費電力や高速性の優位性を生かし、携帯電話、デジタルカメラ（コンパクト型や高級一眼レフ型）、カムコーダー、監視カメラ、誘導装置などに広く搭載されるようになってきている。また最近では、画像処理などの機能回路ブロックも一緒にオンチップ化した、高性能・高画質の C M O S センサも登場し始めている。これらに、参照信号比較型の A D 変換方式を適用することが考えられる。

20

【 0 0 1 1 】

図 1 8 は、参照信号比較型の A D 変換方式を適用した従来の固体撮像装置 1 Z の構成例を示す図である。固体撮像装置 1 Z は、画素アレイ部 1 0、水平走査部 1 2、垂直走査部 1 4、P L L 回路 2 0 x、全体を制御するシステム制御ユニット 2 0 y、カラム A D 変換部 2 6、参照信号 SLP_ADC を生成する参照信号生成部 2 7、センスアンプ 2 8 a、信号処理・インタフェース部 2 8 z などをも有する。画素アレイ部 1 0 には、単位画素 3 が 2 次元マトリクス状に配列されている。P L L 回路 2 0 x は、外部から入力される基本クロック CK に基づき内部クロック CKX を生成して、参照信号生成部 2 7 やカウンタ部 2 5 4 に供給する。

30

【 0 0 1 2 】

カラム A D 変換部 2 6 は、垂直列（カラム）ごとに、比較部 2 5 2 とカウンタ部 2 5 4 を有する。カウンタ部 2 5 4 は、一例として、1 3 段のラッチ LT_00 ~ LT_12 を直列に接続したリップルカウンタ（Ripple Counter）形式で、かつ、アップカウントとダウンカウントを切替可能に接続した、1 3 ビット対応の構成である。

【 0 0 1 3 】

カウンタ部 2 5 4 から出力されるデータ D 0 ~ D 1 2 は、小振幅レベル（たとえば数 1 0 0 m V p-p ）で、水平信号線 1 8 を介してセンスアンプ 2 8 a へ送られる。センスアンプ 2 8 a は、小振幅レベルのデータ D 0 ~ D 1 2 を論理レベル（たとえば 2 ~ 3 V p-p ）まで増幅して信号処理・インタフェース部 2 8 z へ渡す。信号処理・インタフェース部 2 8 z は、1 3 ビットのデータ D 0 ~ D 1 2 に対して所定のデジタル信号処理を行ない、1 2 ビットの出力データ Dout（D 0 ~ D 1 1 ）にして図示しない後段回路へ渡す。

40

【 0 0 1 4 】

A D 変換動作は次の通りである。まず、単位画素 3 から垂直信号線 1 9 を介して画素信号電圧 V x がカラム A D 変換部 2 6 側に読み出される。比較部 2 5 2 は、画素信号電圧 V x を参照信号生成部 2 7 からの参照信号 SLP_ADC と比較して、比較結果を、カウンタ部 2 5 4 の初段のラッチ LT_00 に供給する。ラッチ LT_00 には P L L 回路 2 0 x から内部クロック CKX も供給されている。カウンタ部 2 5 4 は、たとえばカウンタ部 2 5 4 の比較結果が H のときにカウント動作する。このカウント結果を画素信号電圧 V x のデジタルデータとして取得することで、A D 変換を実現している。つまり、垂直列ごとに A D 変換器が設

50

置され、選択行について各単位画素3の画素信号電圧 V_x (アナログ信号)を各垂直信号線19に一括して読み出し、画素信号電圧 V_x のリセットレベルと信号レベルのそれぞれについて直接にAD変換する。

【0015】

特許文献1では、このAD変換処理過程で、リセットレベルと信号レベルの各AD変換結果の差分処理も同時に行なっている。参照信号比較型のAD変換処理を垂直列ごとに行なうことで、デジタル領域でCDS(Correlated Double Sampling; 相関2重サンプリング)処理を行なうのである。このため、アナログ領域でCDS処理を行なうことによる欠点がなくなり、高精度のノイズ除去が実行できる。また、このカラムAD方式では、画面の水平方向一行ごとの並列処理であるため、水平方向走査に高周波駆動する必要がなく、AD変換は垂直方向の低速走査周波数で済むため、高周波帯域で発生するノイズ成分と信号成分を容易に分離することができるなどの利点がある。

10

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、特許文献1に記載のAD変換方式では、AD変換に伴う量子化ノイズ(アナログ領域での処理では存在し得ない)や回路ノイズなどのランダムノイズが発生するので、これらのノイズが画像ノイズとして見えてしまう。

【0017】

本発明は、上記事情に鑑みてなされたものであり、参照信号比較型のAD変換に伴うノイズを低減することのできる仕組みを提供することを目的とする。

20

【課題を解決するための手段】

【0018】

本発明に係るAD変換の仕組みは、レベルが漸次変化する参照信号とアナログの処理対象信号を比較部により比較し、AD変換用のカウントクロックの供給を受けて比較の結果に基づきカウント動作をカウンタ部で行ない、カウンタ部の出力データに基づき処理対象信号のデジタルデータを取得する。つまり、AD変換部では、参照信号比較型のAD変換処理を行なう。この際、制御部は、処理対象信号について n ビットのAD変換処理を W 回(W は2以上の正の整数)繰り返して行ない、それらを加算してデジタル積分処理を実行するように、参照信号生成部やAD変換部を制御する。

30

【0019】

取得されたデータを繰返し回数 W に対応するように平均化して通常時と同じレベル(大きさ)のデータにするアプリケーションとすることもできるし、取得されたデータをそのまま使用するアプリケーションとすることもできる。

【0020】

このような仕組みでは、同一の処理対象信号についてデジタル領域でデータ加算がなされるので信号データは W 倍となる。アナログの処理対象信号について、 n ビットのAD変換処理を行ないデジタル化するので、アナログ領域で加算を行なうことによる弊害は発生しない。加えて、アナログ領域での信号加算と同じように、信号データは W 倍となるがノイズは W 倍となると考えられるのでノイズ特性が向上する。

40

【0021】

このようなAD変換の仕組みを適用したAD変換装置は、たとえば固体撮像装置に適用される。なお、固体撮像装置はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とが纏めてパッケージングされた、撮像機能を有するモジュール状の形態であってもよい。また、固体撮像装置のみではなく、撮像装置やその他のあらゆる電子機器にも適用可能である。この場合、撮像装置やその他の電子機器として、AD変換装置や固体撮像装置と同様の効果が得られる。ここで、撮像装置は、たとえば、カメラ(あるいはカメラシステム)や撮像機能を有する携帯機器のことを示す。また「撮像」は、通常のカメラ撮影時の像の撮り込みだけではなく、広義の意味として、指紋検出なども含むものである。

50

【発明の効果】

【0022】

本発明の一形態によれば、 n ビットのAD変換処理によりアナログ信号をデジタル化するとともに、同一の処理対象信号についてデジタル領域で繰返し回数 W でデジタル化されたデータのデジタル積分処理を行なう。このため、アナログ領域での処理では存在し得ないAD変換に伴う量子化ノイズや回路ノイズなどのランダムノイズの問題を緩和できる。

【発明を実施するための最良の形態】

【0023】

以下、図面を参照して本発明の実施形態について詳細に説明する。各機能要素について実施形態別に区別する際には、A, B, C, ...などのように大文字の英語の参照子を付して記載し、特に区別しないで説明する際にはこの参照子を割愛して記載する。図面においても同様である。

【0024】

なお、以下においては、 $X - Y$ アドレス型の固体撮像装置の一例である、CMOS固体撮像装置をデバイスとして使用した場合を例に説明する。また、CMOS固体撮像装置は、全ての画素がNMOSよりなるものであるとして説明する。ただしこれは一例であって、対象となるデバイスはMOS型の固体撮像装置に限らない。光や放射線などの外部から入力される電磁波に対して感応性を有する単位構成要素をライン状もしくはマトリクス状に複数個配列してなりアドレス制御にて信号を読み出す物理量分布検知用の半導体装置の全てに、後述する全ての実施形態が同様に適用できる。

【0025】

< 固体撮像装置：第1実施形態 >

図1は、本発明に係る固体撮像装置の一実施形態であるCMOS型の固体撮像装置（CMOSイメージセンサ）の第1実施形態の概略構成図である。なお、この固体撮像装置は、本発明に係る電子機器の一態様でもある。

【0026】

固体撮像装置1（第1実施形態の固体撮像装置1Aに限らない）は、入射光量に応じた信号を出力する受光素子（電荷生成部の一例）を含む複数個の画素が行および列に配列された（すなわち2次元マトリクス状の）画素部を有し、各画素からの信号出力が電圧信号であって、CDS処理機能部やデジタル変換部などが列並列に設けられているものである。“列並列にCDS処理機能部やデジタル変換部が設けられている”とは、垂直列の垂直信号線（列信号線の一例）19に対して実質的に並列に複数のCDS処理機能部やデジタル変換部（AD変換部）が設けられていることを意味する。

【0027】

図1に示すように、第1実施形態の固体撮像装置1Aは、電荷生成部と3個あるいは4個のトランジスタを基本素子に有する単位画素3が行および列に配列された画素部や撮像部などとも称される画素アレイ部10と、画素アレイ部10の外側に設けられた駆動制御部7と、画素アレイ部10の単位画素3に画素信号読出用の動作電流（読出電流）を供給する読出電流制御部24と、垂直列ごとに配されたAD変換部250を有するカラムAD変換部26と、カラムAD変換部26にAD変換用の参照信号SLP_ADCを供給する参照信号生成部27と、出力部28を備えている。これらの各機能部は、同一の半導体基板上に設けられている。参照信号SLP_ADCは、全体的にある傾きを持って線形に変化する波形を持つものであればよく、その変化が滑らかなスロープ状を呈するものであってもよいし、階段状に順次変化するものであってもよい。

【0028】

参照信号比較型AD変換方式を採用する場合に、考え方としては、参照信号生成部27も列並列で（画素列ごとに）設けることも考えられる。たとえば、各画素列に比較器と参照信号発生器を設け、自列の比較器の比較結果を基に、逐次、参照信号の値を対応する列の参照信号発生器で変化させていく構成を採る場合である。しかしながらこれでは回路規模や消費電力が増える。そこで、本実施形態では、参照信号生成部27を全列共通に使用

10

20

30

40

50

する構成を採り、参照信号生成部 27 から発生される参照信号 SLP_ADC を各画素列の A/D 変換部 250 が共通に使用する構成にする。

【0029】

本実施形態の A/D 変換部 250 は、画素信号電圧 V_x の基準レベルであるリセットレベル S_{rst} と信号レベル S_{sig} を独立にデジタルデータに変換する A/D 変換部と、リセットレベル S_{rst} の A/D 変換結果と信号レベル S_{sig} の A/D 変換結果との間で差分処理を実行することで、リセットレベル S_{rst} と信号レベル S_{sig} の差で示される信号成分 V_{sig} のデジタルデータ D_{sig} を取得する差分処理部の機能を備えている。

【0030】

駆動制御部 7 は、画素アレイ部 10 の信号を順次読み出すための制御回路機能の実現のため水平走査部 12 (列走査回路)、垂直走査部 14 (行走査回路)、および通信・タイミング制御部 20 を備えている。通信・タイミング制御部 20 は、内部クロックを生成するクロック変換部の機能を持つクロック変換部 20a および通信機能や各部を制御する機能を持つシステム制御部 20b などを有する。図示しないが、たとえば、水平走査部 12 は、列アドレスや列走査を制御する水平アドレス設定部や水平駆動部などを有し、垂直走査部 14 は、行アドレスや行走査を制御する垂直アドレス設定部や垂直駆動部などを有する。

【0031】

出力部 28 は、水平信号線 18 上の信号 (デジタルデータではあるが小振幅) を検出するセンスアンプ 28a (S・A) と、固体撮像装置 1A と外部とのインタフェース機能をなすインタフェース部 28b (I/F 部) を有する。インタフェース部 28b の出力は出力端 5c に接続されており、映像データが後段回路に出力される。

【0032】

第 1 実施形態では、センスアンプ 28a とインタフェース部 28b との間に、各種のデジタル演算処理を行なうデジタル演算部 29 (信号処理ブロック) を設けている。デジタル演算部 29 は、少なくとも、A/D 変換部 250 ではなく A/D 変換部 250 の後段にて平均化処理を行なう平均化処理部の機能を持つ。平均化処理は、複数回の A/D 変換処理を繰り返して得られた A/D 変換部 250 から出力されるデジタルデータに対して、その複数回に対応した平均化を行なうことを意味する。

【0033】

後述する第 2 実施形態のように、A/D 変換部 250 に平均化処理部の機能を持たせる構成にすることも可能であるが、その場合、A/D 変換部 250 の構成が W 回の平均化に対応した構成としなくてはならず、A/D 変換部 250 の回路スペースが増える。これに対して、A/D 変換部 250 の後段に平均化処理部の機能を持つデジタル演算部 29 を設ければ、A/D 変換部 250 の回路スペースを増やさずに、平均化処理を実現できる。

【0034】

クロック変換部 20a は、端子 5a を介して入力されるマスタークロック CLK0 に基づいて、マスタークロック CLK0 よりも高速のクロック周波数のパルスを生成する逡倍回路を内蔵しており、カウントクロック C_{Kcnt1} やカウントクロック C_{Kdac1} などの内部クロックを生成する。クロック変換部 20a の逡倍回路としては、 k_1 をマスタークロック CLK0 の周波数の倍数としたとき k_1 逡倍回路を設ければよく、位相同期回路 (PLL: Phase-locked loop) など、周知の様々な回路を利用することができる。マスタークロック CLK0 よりもカウントクロック C_{Kcnt1} やカウントクロック C_{Kdac1} の周波数を高くすることで、A/D 変換処理やデータ出力処理などを高速に動作させることができるようになる。また、デジタル演算部 29 を設ける際、高速クロックを用いて、高速の計算を必要とする動き抽出や圧縮処理を行なうことができる。

【0035】

図 1 では、簡単のため行および列の一部を省略して示しているが、現実には、各行や各列には、数十から数千の単位画素 3 が配置される。この単位画素 3 は、典型的には、検知部の一例である受光素子 (電荷生成部) としてのフォトダイオードと、増幅用の半導体素

10

20

30

40

50

子（たとえばトランジスタ）を有する画素内アンプとから構成される。

【 0 0 3 6 】

固体撮像装置 1 A は、色分解（色分離）フィルタを使用することで、画素アレイ部 1 0 をカラー撮像対応にすることができる。すなわち、画素アレイ部 1 0 における各電荷生成部（フォトダイオードなど）の電磁波（本例では光）が入射される受光面に、カラー画像を撮像するための複数色の色フィルタの組合せからなる色分解フィルタの何れの色フィルタを、たとえばいわゆるベイヤー（Bayer）配列などにして設けることで、カラー画像撮像対応とする。

【 0 0 3 7 】

単位画素 3 は、行選択のための行制御線 1 5 を介して垂直走査部 1 4 と、また垂直信号線 1 9 を介して A D 変換部 2 5 0 が垂直列ごとに設けられているカラム A D 変換部 2 6 と、それぞれ接続されている。ここで、行制御線 1 5 は垂直走査部 1 4 から画素に入る配線全般を示す。

【 0 0 3 8 】

水平走査部 1 2 や垂直走査部 1 4 などの駆動制御部 7 の各要素は、画素アレイ部 1 0 とともに、半導体集積回路製造技術と同様の技術を用いて単結晶シリコンなどの半導体領域に一体的に形成されたいわゆる 1 チップもの（同一の半導体基板上に設けられているもの）として、半導体システムの一例である C M O S イメージセンサとして、本実施形態の固体撮像装置 1 A の一部をなすように構成される。

【 0 0 3 9 】

固体撮像装置 1 A は、このように各部が半導体領域に一体的に形成された 1 チップとして形成された形態であってもよいし、図示を割愛するが、画素アレイ部 1 0、駆動制御部 7、カラム A D 変換部 2 6 などの各種の信号処理部の他に、撮影レンズ、光学ローパスフィルタ、あるいは赤外光カットフィルタなどの光学系をも含む状態で、これらを纏めてパッケージングされた撮像機能を有するモジュール状の形態としてもよい。

【 0 0 4 0 】

水平走査部 1 2 や垂直走査部 1 4 は、通信・タイミング制御部 2 0 から与えられる制御信号 C N 1、C N 2 に応答してシフト動作（走査）を開始するようになっている。このためたとえば、行制御線 1 5 には、単位画素 3 を駆動するための種々のパルス信号（たとえば、初期化制御電位を規定する画素リセットパルス RST、転送制御電位を規定する転送パルス TRG、垂直選択パルス VSEL など）が含まれる。

【 0 0 4 1 】

通信・タイミング制御部 2 0 のシステム制御部 2 0 b は、各部の動作に必要なクロックや所定タイミングのパルス信号を供給するタイミングジェネレータ T G（読出アドレス制御装置の一例）の機能ブロックと、端子 5 a を介して外部の主制御部から供給されるマスタークロック CLK0 を受け取り、また端子 5 b を介して外部の主制御部から供給される動作モードなどを指令するデータを受け取り、さらに固体撮像装置 1 A の情報を含むデータを外部の主制御部に出力する通信インタフェースの機能ブロックを備える。

【 0 0 4 2 】

通信・タイミング制御部 2 0 は、たとえば、水平アドレス信号を水平走査部 1 2 へ、また垂直アドレス信号を垂直走査部 1 4 へ出力し、各走査部 1 2、1 4 は、それを受けて対応する行もしくは列を選択する。この際、単位画素 3 を 2 次元マトリクス状に配置してあるので、画素信号生成部 5 により生成され垂直信号線 1 9 を介して列方向に出力されるアナログの画素信号を行単位で（列並列で）アクセスし取り込む（垂直）スキャン読みを行ない、この後に、垂直列の並び方向である行方向にアクセスし画素信号（本例ではデジタル化された画素データ）を出力側へ読み出す（水平）スキャン読みを行なうようにすることで、画素信号や画素データの読出しの高速化を図るのがよい。もちろん、スキャン読みに限らず、読み出したい単位画素 3 を直接にアドレス指定することで、必要な単位画素 3 の情報のみを読み出すランダムアクセスも可能である。

【 0 0 4 3 】

10

20

30

40

50

また、通信・タイミング制御部 20 では、端子 5 a を介して入力される入力クロック CLK0 (マスタークロック) に同期したクロックをデバイス内の各部、たとえば水平走査部 12、垂直走査部 14、カラム AD 変換部 26 などに供給する。

【0044】

カラム AD 変換部 26 の各 AD 変換部 250 には、カウントクロック CKcnt1 が共通に供給されており、対応する列の単位画素 3 のアナログの画素信号電圧 V_x を受けて、その画素信号電圧 V_x を処理する。たとえば、各 AD 変換部 250 は、画素信号電圧 V_x を、カウントクロック CKcnt1 を用いて、デジタルデータに変換する ADC (Analog Digital Converter) 回路を持つ。

【0045】

カラム AD 変換部 26 における AD 変換処理としては、行単位で並列に保持されたアナログ信号 (画素信号電圧 V_x) を、列ごとに設けられた AD 変換部 250 を使用して、行ごとに並列に AD 変換する方法を採る。この際には、参照信号比較型 AD 変換の手法を使用する。この手法は、簡単な構成で AD 変換器が実現できるため、並列に設けても回路規模が大きくなるという特徴を有している。

【0046】

<カラム AD 回路と参照信号生成部の詳細>

参照信号比較型の AD 変換に当たっては、変換開始 (比較処理の開始) から変換終了 (比較処理の終了) までの時間に基づいてカウント動作有効期間 (その期間を示す信号をカウントイネーブル信号 EN と称する) を決定し、カウントイネーブル信号 EN に基づきアナログの処理対象信号をデジタルデータに変換する。

【0047】

垂直信号線 19 の画素信号電圧 V_x は、時間系列として、基準レベルとしての画素信号の雑音を含むリセットレベル S_{rst} の後に信号レベル S_{sig} が現れるものである。基準レベル (リセットレベル S_{rst} 、事実上リセットレベル S_{rst} と等価) についての処理をプリチャージ相 (P 相と省略して記すこともある) の処理 (もしくはリセットカウンタ期間の処理) と称し、信号レベル S_{sig} についての処理をデータ相 (D 相と省略して記すこともある) の処理 (もしくはデータカウンタ期間の処理) と称する。P 相の処理後に D 相の処理を行なう場合、D 相の処理はリセットレベル S_{rst} に信号成分 V_{sig} を加えた信号レベル S_{sig} についての処理となる。

【0048】

カウント動作有効期間としては、AD 変換部 250 にて P 相成分と D 相成分との間の差分処理を行なう場合には、たとえば一般的には、各相の処理時に何れも、カウント開始を参照信号 SLP_ADC の変化開始時点としカウント終了を参照信号 SLP_ADC と処理対象信号電圧とが一致する時点 (事実上は交差する時点: 以下同様) とする第 1 処理例を採り得る。この場合、1 画素の信号成分 V_{sig} のデジタルデータ D_{sig} を取得するための P 相・D 相のカウント処理において、カウンタを、ダウンカウンタ動作とアップカウンタ動作を切り替えて動作させる。

【0049】

あるいは、AD 変換部 250 にて P 相成分と D 相成分との間の差分処理を行なう場合に、各相の処理の何れか一方は、カウント開始を参照信号 SLP_ADC の変化開始時点としカウント終了を参照信号 SLP_ADC と処理対象信号電圧とが一致する時点とするが、他方はカウント開始を参照信号 SLP_ADC と処理対象信号電圧とが一致する時点としカウント終了をその回の所望のカウント数に到達する時点 (典型的には最大 AD 変換期間が到達した時点) とする第 2 処理例を採ることもできる。この場合、カウンタは、P 相・D 相のカウント処理において、ダウンカウンタ動作とアップカウンタ動作の何れか一方のみで動作すればよい。

【0050】

なお、考え方としては、AD 変換部 250 の後段 (たとえばデジタル演算部 29) にて P 相成分と D 相成分との間の差分処理を行なうことも考えられる。この場合には、各相の

10

20

30

40

50

処理時に何れも、カウント開始を参照信号SLP_ADC の変化開始時点としカウント終了を参照信号SLP_ADC と処理対象信号電圧とが一致する時点、もしくはカウント開始を参照信号SLP_ADC と処理対象信号電圧とが一致する時点としカウント終了をその回の所望のカウント数に到達する時点（典型的には最大AD変換期間が到達した時点）とする第3処理例を採ることもできる。この場合、カウンタは、P相・D相のカウント処理において、ダウンカウント動作とアップカウント動作の何れか一方のみで動作すればよい。

【0051】

なお、本実施形態では、AD変換部250にてCD S処理を完結させておくので、この第3処理例は採らない。ただし、P相データとD相データを個別に出力部28側に転送し、AD変換部250の後段にて（たとえばデジタル演算部29で）CD S処理を行なうようにしてもよい。

10

【0052】

なお、ここでは、3つの処理例を説明したが、本出願人は、その他にも、AD変換部250にてAD変換とCD S処理を行なう参照信号比較型のAD変換方式を種々提案しており、それらも基本的には後述する各実施形態で採用し得るものである。

【0053】

何れの処理例においても、原理的には、コンパレータ（電圧比較器）にランプ状の参照信号SLP_ADC を供給するとともに、垂直信号線19を介して入力されたアナログの画素信号を参照信号SLP_ADC と比較するとともに、カウント動作有効期間に入るとクロック信号でのカウント（計数）を開始することによって、指定されているカウント動作有効期間におけるクロック数をカウントすることでAD変換を行なう。

20

【0054】

AD変換部250は、参照信号生成部27で生成される参照信号SLP_ADC と、行制御線15ごとに単位画素3から垂直信号線19（H1, H2, ..., Hh）を經由し得られるアナログの画素信号を比較する比較部252（COMP：コンパレータ）と、比較部252が比較処理を完了するまでの時間と一定の関係を持つカウントイネーブル信号ENのアクティブ期間をカウントクロックCKcnt1でカウントし、カウント結果を保持するカウンタ部254を備えて構成されている。

【0055】

参照信号生成部27は、DA変換部270（DAC；Digital Analog Converter）を有して構成されており、通信・タイミング制御部20からの制御データCN4で示される初期値からカウントクロックCKdac1に同期して、階段状の鋸歯状波（ランプ波形；以下参照信号SLP_ADC と称する）を生成して、カラムAD変換部26の個々のAD変換部250に、この生成した階段状の鋸歯状波の参照信号SLP_ADC をAD変換用の参照電圧（ADC基準信号）として供給するようになっている。なお、図示を割愛しているが、ノイズ防止用のフィルタを設けるとよい。なお、カウントクロックCKdac1はカウンタ部254用のカウントクロックCKcnt1と同一にしてもよい。

30

【0056】

通信・タイミング制御部20から参照信号生成部27のDA変換部270に供給する制御データCN4は、比較処理ごとの参照信号SLP_ADC が基本的には同じ傾き（変化率）となるように、時間に対するデジタルデータの変化率を同じにする情報も含んでいる。具体的には、電流出力型のDA変換回路を使用して、カウントクロックCKdac1に同期して、単位時間ごとに1ずつカウント値を変化せ、そのカウント値に応じた電流を出力するようにする。そして、その電流信号を電流電圧変換用の抵抗素子で電圧信号に変換するようにする。

40

【0057】

本実施形態のカラムAD変換処理においては、列ごとに配された比較部252にDA変換部270から参照信号SLP_ADC が共通に供給され、各比較部252が処理を担当する画素信号電圧Vxについて、共通の参照信号SLP_ADC を使用して比較処理を行なう。カウンタ部254は、カウントイネーブル信号ENのアクティブ期間（Hレベルのとき）にカウン

50

トクロック C K cnt1を元にカウント処理を行ない、カウント処理終了時のカウント結果を保持する。

【 0 0 5 8 】

通信・タイミング制御部 2 0 から各 A D 変換部 2 5 0 のカウンタ部 2 5 4 には、カウンタ部 2 5 4 が P 相・D 相のカウント処理をダウンカウントモードで動作するのかアップカウントモードで動作するのかや、P 相のカウント処理における初期値 D ini の設定やリセット処理など、その他の制御情報を指示する制御信号 C N 5 が入力されている。

【 0 0 5 9 】

比較部 2 5 2 の一方の入力端子 (+) は、他の比較部 2 5 2 の入力端子 (+) と共通に、参照信号生成部 2 7 で生成される参照信号 SLP_ADC が入力され、他方の入力端子 (-) には、それぞれ対応する垂直列の垂直信号線 1 9 が接続され、画素アレイ部 1 0 からの画素信号電圧 V x が個々に入力される。

10

【 0 0 6 0 】

カウンタ部 2 5 4 のクロック端子 C K には、他のカウンタ部 2 5 4 のクロック端子 C K と共通に、通信・タイミング制御部 2 0 からカウントクロック C K cnt1が入力されている。このカウンタ部 2 5 4 は、その構成については図示を割愛するが、ラッチで構成されたデータ記憶部の配線形態を同期カウンタ形式やリップルカウンタ形式に変更することで実現でき、1 本のカウントクロック C K cnt1の入力で、内部カウントを行なうようになっている。

【 0 0 6 1 】

カウンタ部 2 5 4 は、1 画素の信号成分 V sig のデジタルデータ D sig を取得するための P 相・D 相のカウント処理において、ダウンカウント動作とアップカウント動作を切り替えて動作させる第 1 処理例の場合には、好ましくは、ダウンカウント動作とアップカウント動作を切替可能なアップダウンカウンタを用いるのがよい。

20

【 0 0 6 2 】

一方、P 相・D 相のカウント処理において、ダウンカウント動作とアップカウント動作の何れか一方のみで動作すればよい第 2 処理例や第 3 処理例の場合には、その動作に対応するアップカウンタもしくはダウンカウンタの何れかであれば十分である。ただし、原理的には、利用形態として、ダウンカウント動作とアップカウント動作を切替可能なアップダウンカウンタを用いて、ダウンカウント動作とアップカウント動作の何れか一方で動作させるようにしても差し支えない。しかしながら通常は、アップダウンカウンタは、そのモード切替用の回路構成が必要であり、アップカウンタやダウンカウンタと言った単一のカウントモードのみに対応した構成に比べると回路規模が大きくなるので、何れか一方のみで動作すればよい場合にはアップダウンカウンタを採用しないのがよい。

30

【 0 0 6 3 】

カウンタ部 2 5 4 には、水平走査部 1 2 から制御線 1 2 c を介して制御パルスが入力される。カウンタ部 2 5 4 は、カウント結果を保持するラッチ機能を有しており、制御線 1 2 c を介しての制御パルスによる指示があるまでは、カウンタ出力値を保持する。

【 0 0 6 4 】

個々の A D 変換部 2 5 0 の出力側は、たとえば、カウンタ部 2 5 4 の出力を水平信号線 1 8 に接続することができる。あるいは、図示のように、カウンタ部 2 5 4 の後段に、このカウンタ部 2 5 4 の保持したカウント結果を保持するラッチを具備したメモリ装置としてのデータ記憶部 2 5 6 と、カウンタ部 2 5 4 とデータ記憶部 2 5 6 との間に配されたスイッチ部 2 5 8 A を備える構成を採ることもできる。スイッチ部 2 5 8 A は、垂直列ごとにスイッチ SW を有する。

40

【 0 0 6 5 】

データ記憶部 2 5 6 を備える構成を採る場合、スイッチ SW には、他の垂直列のスイッチ SW と共通に、通信・タイミング制御部 2 0 から、所定のタイミングで、制御パルスとしてのメモリ転送指示パルス C N 8 が供給される。スイッチ部 2 5 8 A の各スイッチ SW は、メモリ転送指示パルス C N 8 が供給されると、対応するカウンタ部 2 5 4 のカウント値をデ

50

ータ記憶部 256 に転送する。データ記憶部 256 は、転送されたカウント値を保持・記憶する。

【0066】

なお、カウンタ部 254 のカウント値を所定のタイミングでデータ記憶部 256 に保持させる仕組みは、両者間にスイッチ部 258A を配する構成に限らず、たとえば、カウンタ部 254 とデータ記憶部 256 を直接に接続しつつ、カウンタ部 254 の出力イネーブルをメモリ転送指示パルス CN8 で制御することで実現することもできるし、データ記憶部 256 のデータ取込タイミングを決めるラッチクロックとしてメモリ転送指示パルス CN8 を用いることでも実現できる。

【0067】

データ記憶部 256 には、水平走査部 12 から制御線 12c を介して制御パルスが入力される。データ記憶部 256 は、制御線 12c を介しての制御パルスによる指示があるまでは、カウンタ部 254 から取り込んだカウント値を保持する。

【0068】

水平走査部 12 は、カラム AD 変換部 26 の各比較部 252 とカウンタ部 254 とが、それぞれが担当する処理を行なうのと並行して、各データ記憶部 256 が保持していたカウント値を読み出す読出走査部の機能を持つ。

【0069】

データ記憶部 256 の出力は、水平信号線 18 に接続されている。水平信号線 18 は、AD 変換部 250 のビット幅分もしくはその 2 倍幅分（たとえば相補出力とするとき）の信号線を有し、それぞれの出力線に対応したセンスアンプ 28a を有する出力部 28 に接続される。

【0070】

データ記憶部 256 を備えた構成とすれば、カウンタ部 254 が保持したカウント結果を、データ記憶部 256 に転送することができるため、カウンタ部 254 のカウント動作すなわち AD 変換処理と、カウント結果の水平信号線 18 への読出動作を独立して制御可能であり、AD 変換処理と外部への信号の読出動作を並行して行なうパイプライン動作が実現できる。

【0071】

このような構成において、AD 変換部 250 は、所定の画素信号読出期間において、カウント動作を行ない、所定のタイミングでカウント結果を出力する。すなわち、まず、比較部 252 では、参照信号生成部 27 からの参照信号 SLP_ADC と、垂直信号線 19 を介して入力される画素信号電圧 V_x を比較する。双方の電圧が同じになると、比較部 252 の比較出力 Co （コンパレート出力）が反転する。たとえば、比較部 252 は、電源電位などの H レベルをインアクティブ状態として、画素信号電圧 V_x と参照信号 SLP_ADC とが一致したときに、L レベル（アクティブ状態）へ遷移する。

【0072】

カウンタ部 254 は、比較部 252 からの比較出力 Co をカウントイネーブル信号 EN として使用する。カウンタ部 254 は、カウントイネーブル信号 EN がアクティブの期間（比較部 252 の比較出力 Co が H の期間）のカウントクロック CK_{cnt1} の数を画素データとしてラッチ（保持・記憶）することで AD 変換を完了する。

【0073】

詳細は後述するが、本実施形態の通信・タイミング制御部 20 は、AD 変換部 250 において、通常 AD 変換処理時には n ビットで AD 変換を行ない、多重加算 AD 変換処理時には n ビットで W 回の AD 変換を行ないデジタル積分処理を実行するように、参照信号生成部 27 やカウンタ部 254 を制御する。これに対応するように、第 1 実施形態では、カウンタ部 254、データ記憶部 256、スイッチ部 258、および水平信号線 18 はそれぞれ、“ $n + M$ ” ビットに対応した構成を採っている。

【0074】

ここで、参照信号比較型の AD 変換処理を複数回繰り返すときの回数 W と、カウンタ部

10

20

30

40

50

254に対するnビットからの増分のビット数Mとは、“ $2^{(M-1)} < W \cdot 2^M$ ”を満たすようにする。たとえば、繰返し回数Wが2のときは1ビット分増やし、繰返し回数Wが3または4のときは2ビット分増やし、繰返し回数Wが5～8の何れかのときは3ビット分増やすことになる。これは、参照信号比較型のAD変換処理をW回繰返すと、信号のデジタルデータがW倍となり、これを問題なく処理するために必要なビット数の関係から規定されるものである。

【0075】

<参照信号生成部：第1実施形態>

図2は、第1実施形態の固体撮像装置1Aにおいて使用される参照信号生成部27AのDA変換部270Aの構成例を示す図である。DA変換部270Aは、定電流源の組合せで構成されている電流源部302と、カウンタ部312と、オフセット生成部314と、電流源制御部316と、基準電流値I₀を設定する基準電流源部330を備え、電流出力型のDA変換回路となっている。電流源部302の電流出力端には、電流電圧変換用の素子として、抵抗値R₃₄₀の抵抗素子340が接続されている。

10

【0076】

電流源部302は、所定の規定電流値を出力する定電流源304を有する。電流源部302の各定電流源304の電流値を如何様に設定するかや、どのように配列して制御するかは様々である。ここでは、理解を容易にするため、一例として、定電流源304は、ビット分の定電流源304を有し、各定電流源304は基準電流源部330により設定された基準電流値I₀に対してビットの重みを持つ電流を出力するものとする。

20

【0077】

たとえば13ビット対応とする場合であれば、“ \wedge ”をべき乗を示すものとしたとき、0ビット目の定電流源304₀は $2^0 \times I_0$ 、1ビット目の定電流源304₁は $2^1 \times I_0$ 、…、11ビット目の定電流源304₁₁は $2^{11} \times I_0$ 、12ビット目の定電流源304₁₂は $2^{12} \times I_0$ を出力する。定電流源304の各電流出力端は共通に接続され、さらに抵抗素子340を介して、参照信号SLP_{ADC}の初期電位SLP_{ini}に相当する基準電源V_{ref}に接続されている。基準電源V_{ref}は制御データCN4に含まれている比較処理ごとの参照信号SLP_{ADC}の初期値を指示する情報に基づき設定されるが、この基準電源V_{ref}を設定するための回路構成はどのようなものであってもよい。

30

【0078】

基準電流源部330は、一端が負電源あるいは接地に接続された初期電流I_{ini}を発生する定電流源332と、定電流源332の負荷となるPch型のトランジスタ334と、ゲイン変更部336と、ゲイン変更部336から出力された電流を電流源部302の各定電流源304に与えるNch型のトランジスタ338を有する。トランジスタ334は、ソースが正電源に接続され、ドレイン・ゲートが共通に定電流源332の出力端に接続され、かつゲイン変更部336の図示しないトランジスタとカレントミラー接続されている。

【0079】

ゲイン変更部336は、その詳細は図示を割愛するが、トランジスタ334からのミラー電流を所定倍にした基準電流値I₀をトランジスタ338に供給する。トランジスタ338は、ソースが負電源もしくは接地に接続され、ドレイン・ゲートが共通にゲイン変更部336の出力端に接続され、かつ電流源部302の各定電流源304とカレントミラー接続されている。

40

【0080】

ゲイン変更部336は、制御データCN4に含まれている比較処理ごとの参照信号SLP_{ADC}の傾きを指示する情報に基づき、1クロック当たりの電圧変化分SLPdac(=I₀×R₃₄₀)を設定し、カウントクロックCKdacごとに1ずつカウント値を変化させる。実際には、カウントクロックCKdacの最大カウント数(たとえば10ビットで1024など)に対しての最大電圧幅を設定するだけでよい。基準電流源部330の定電流源332の初期電流量I_{ini}に対するゲインを変えることで、クロック当たりのSLPdacが調整され、結果的に参照信号SLP_{ADC}の傾き(変化率)が調整される。

50

【 0 0 8 1 】

カウンタ部 3 1 2 は、通信・タイミング制御部 2 0 からのカウンタクロック C K dac1 に基づきカウント動作をし、カウント結果を電流源制御部 3 1 6 に供給する。オフセット生成部 3 1 4 は、カウンタ部 3 1 2 のカウント値に基づく変化とは別に参照信号 SLP_ADC に一定電位（オフセット量）を与えるものであり、その情報を電流源制御部 3 1 6 に供給する。電流源制御部 3 1 6 は、カウンタ部 3 1 2 のカウント値と電流源制御部 3 1 6 からのオフセット量の情報に基づき、何れの定電流源 3 0 4 をオン/オフさせるかを判断し、その判断結果に基づき定電流源 3 0 4 をオン/オフする。

【 0 0 8 2 】

後述する各実施形態の動作例では理解を容易にするため特段の断りのない限りオフセット量はゼロであるものとする。よって、D A 変換部 2 7 0 A は、カウンタ部 3 1 2 のカウント値が進むごとに、制御データ C N 4 に含まれている初期値を示す電圧から、1 つのカウントクロック C K dac1 ごとに SLPdac ずつ電圧を変化させる。アップカウント動作にすれば SLPdac ずつ電圧が低下するので負の傾きになるし、ダウンカウント動作にすれば SLPdac ずつ電圧が上昇するので正の傾きになる。

【 0 0 8 3 】

なお、ここで示した参照信号生成部 2 7 の構成は一例に過ぎず、参照信号 SLP_ADC の傾き調整手法はこのような手法に限定されない。たとえば、制御データ C N 4 に（初期値）と傾き（変化率）を含め、 $y = - * x$ なる関数を満たす参照信号 SLP_ADC を生成できればよく、カウンタ部 3 1 2 を使用せずに参照信号生成部 2 7 を構成してもよい。ただし、カウンタ部 3 1 2 を使用する構成は、参照信号 SLP_ADC の生成が容易で、かつカウンタ部 2 5 4 との動作の対応を採り易い利点がある。

【 0 0 8 4 】

たとえば、参照信号生成部 2 7 に与えるカウンタクロック C K dac の周期を一定にしつつ、カウンタ出力値を x とし、 $y = - * x$ によって算出される電位を出力する構成が考えられる。このとき、傾きを指示する情報に基づく 1 つのカウントクロック C K dac ごとの電圧変化分 SLPdac（つまり参照信号 SLP_ADC の傾き）の調整は、たとえばクロック数を変えることで実現される。それ以外にも、電流電圧変換用の抵抗値を変えることや単位電流源の電流量を変えることによって、クロック当たりの SLPdac を調整することができる。

【 0 0 8 5 】

< 固体撮像装置の動作 ; 第 1 実施形態 >

図 3 ~ 図 3 B は、第 1 実施形態の固体撮像装置 1 A の動作を説明する図である。ここで、図 3 は A D 変換処理と C D S 処理に着目した固体撮像装置 1 の簡易的な回路構成図である。図 3 A は多重加算 A D 変換の動作を説明するイメージ図である。図 3 B は、第 1 実施形態の固体撮像装置 1 A における多重加算 A D 変換とデジタル C D S を説明するタイミングチャートである。

【 0 0 8 6 】

図 3 に示すように、単位画素 3 は一例として、電荷生成部 3 2 の他に、4 個のトランジスタ（読出選択用トランジスタ 3 4、リセットトランジスタ 3 6、垂直選択用トランジスタ 4 0、増幅用トランジスタ 4 2）を画素信号生成部 5 を構成する基本素子として備える。転送部を構成する読出選択用トランジスタ 3 4 は、転送信号 TRG で駆動される。初期化部を構成するリセットトランジスタ 3 6 は、リセット信号 RST で駆動される。垂直選択用トランジスタ 4 0 は、垂直選択信号 VSEL で駆動される。

【 0 0 8 7 】

フォトダイオード PD などの受光素子 DET で構成される検知部の一例である電荷生成部 3 2 は、受光素子 DET の一端（アノード側）が低電位側の基準電位 V_{ss} （負電位：たとえば - 1 V 程度）に接続され、他端（カソード側）が読出選択用トランジスタ 3 4 の入力端（典型的にはソース）に接続されている。なお、基準電位 V_{ss} は接地電位 GND としてもよい。読出選択用トランジスタ 3 4 は、出力端（典型的にはドレイン）がリセットトランジスタ

10

20

30

40

50

タ36とフローティングディフュージョン38と増幅用トランジスタ42とが接続される接続ノードに接続される。リセットトランジスタ36は、ソースがフローティングディフュージョン38に、ドレインがリセット電源Vrd(通常は電源Vddと共通にする)にそれぞれ接続される。

【0088】

垂直選択用トランジスタ40は、一例として、ドレインが増幅用トランジスタ42のソースに、ソースが画素線51にそれぞれ接続され、ゲート(特に垂直選択ゲートSELVという)が垂直選択線52に接続されている。増幅用トランジスタ42は、ゲートがフローティングディフュージョン38に接続され、ドレインが電源Vddに、ソースは垂直選択用トランジスタ40を介して画素線51に接続され、さらに垂直信号線19に接続されるようになっている。なおこのような接続構成に限らず、垂直選択用トランジスタ40と増幅用トランジスタ42の配置を逆にして、垂直選択用トランジスタ40は、ドレインが電源Vddに、ソースが増幅用トランジスタ42のドレインに接続され、増幅用トランジスタ42のソースが画素線51に接続されるようにしてもよい。

10

【0089】

垂直信号線19は、その一端がカラムAD変換部26側に延在するとともに、その経路において、読出電流制御部24が接続されている。読出電流制御部24は、その詳細は図示を割愛するが、各垂直列に対して負荷MOSトランジスタを有し、基準電流源部とトランジスタとの間でゲート同士が接続されカレントミラー回路を構成し、垂直信号線19に対し電流源24aとして機能するようになっている。そして、増幅用トランジスタ42との間で、略一定の動作電流(読出電流)が供給されるソースフォロワ構成が採られるようになっている。

20

【0090】

AD変換部250では、まず、単位画素3から垂直信号線19に読み出したアナログの画素信号電圧Vxを、列ごとに配置されたAD変換部250の比較部252で参照信号SLP_ADCと比較する。このとき、比較部252と同様に列ごとに配置されたカウンタ部254をカウンタイネーブル信号ENに基づき動作させておき、参照信号SLP_ADCのある電位とカウンタ部254を1対1の対応をとりながら変化させることで、垂直信号線19の画素信号電圧Vxをデジタルデータに変換する。

【0091】

ここで、従来の仕組みでは、まず、第1の信号の処理時、つまりリセットレベルSrstについてのAD変換期間であるP相の処理期間においては、カウンタ部254の各フリップフロップのカウント値を初期値“0”にリセットさせる。そして、カウンタ部254をダウンカウントモードに設定して、比較部252による参照信号SLP_ADCと画素信号電圧VxのP相レベルとの比較処理とカウンタ部254によるカウント処理を並行して動作させることで、P相レベルのAD変換を行なう。これにより、カウンタ部254には、リセットレベルSrstの大きさに対応したデジタル値(リセットデータ)Drstを示す(符号を加味すれば-Drstを示す)カウント値が保持される。

30

【0092】

続いての第2の信号の処理時、つまり信号レベルSsigについてのAD変換期間であるD相の処理期間には、リセットレベルSrstに加えて、単位画素3ごとの入射光量に応じた信号成分Vsigを読み出し、P相の読出しと同様の動作を行なう。まず、カウンタ部254をP相処理時とは逆のアップカウントモードに設定して、比較部252による参照信号SLP_ADCと画素信号電圧VxのD相レベルとの比較処理とカウンタ部254によるカウント処理を並行して動作させることで、D相レベルのAD変換を行なう。

40

【0093】

このとき、P相の読出しおよびAD変換時に取得された画素信号電圧VxのリセットレベルSrstのデジタル値(リセットデータ)Drstをスタート点として、P相とは逆にアップカウントする。信号レベルSsigは、リセットレベルSrstに信号成分Vsigを加えたレベルであるので、信号レベルSsigのAD変換結果のカウント値は、基本的には“D

50

rst + Dsig ”であるが、アップカウントの開始点を、リセットレベル Srst の A D 変換結果である “ - Drst ”としているので、実際にカウンタ部 2 5 4 に保持されるカウント値は、 “ - Drst + (Dsig + Drst) = Dsig ”となる。

【 0 0 9 4 】

つまり、カウンタ部 2 5 4 におけるカウント動作を、P 相の処理時にはダウンカウント、D 相の処理時にはアップカウントと、それぞれのカウントモードを異なるものとしているので、カウンタ部 2 5 4 内で自動的に、リセットレベル Srst の A D 変換結果であるカウント数 “ - Drst ” と信号レベル Ssig の A D 変換結果であるカウント数 “ Drst + Dsig ” との間での差分処理（減算処理）が自動的に行なわれ、この差分処理結果に応じたカウント数 Dsig がカウンタ部 2 5 4 に保持される。この差分処理結果に応じたカウンタ部 2 5 4 に保持されるカウント数 Dsig は信号成分 Vsig に応じた信号データを表すものとなる。

10

【 0 0 9 5 】

上述のようにして、P 相の処理時におけるダウンカウントと D 相の処理時におけるアップカウントといった、2 回の読み出しとカウント処理によるカウンタ部 2 5 4 内での差分処理によって、単位画素 3 ごとのばらつきを含んだリセットレベル Srst を除去することができ、単位画素 3 ごとの入射光量に応じた信号成分 Vsig のみの A D 変換結果を簡易な構成で取得することができる。よって、A D 変換部 2 5 0 は、アナログの画素信号をデジタルの画素データに変換するデジタル変換部としてだけでなく、C D S (Correlated Double Sampling ; 相関 2 重サンプリング) 処理機能部としても動作することとなる。

20

【 0 0 9 6 】

一方、第 1 実施形態では、図 3 A に示すように、1 水平走査期間内における P 相と D 相のカウントモード関係については従前と同じにしつつ、P 相および D 相の各 A D 変換処理時に、それぞれ同一信号について、参照信号比較型の A D 変換処理を複数回（W 回とする：W は 2 以上の正の整数）連続して行なうようにする。このとき、2 回目以降の処理時には、A D 変換用の参照信号 SLP_ADC の変化のさせ方は 1 回目と同じにし、それ以前の A D 変換結果をスタート点として、同一のカウントモードでカウント処理する。

【 0 0 9 7 】

こうすることで、P 相および D 相の各処理においては、同一信号の A D 変換結果を W 倍したデータ（加算データ）が得られる。P 相と D 相でカウントモードを逆にすることとの組合せにより、 “ - W · Drst + W · (Dsig + Drst) = W · Dsig ” なる演算結果が得られることになる。カウンタ部 2 5 4 がデジタル積分器の機能をなしていることが理解される。信号は W 倍となるがノイズは W 倍となると考えられるのでノイズ特性の向上が図られる。アナログ加算のようなダイナミックレンジの問題を伴わずにランダムノイズを低減することができる。

30

【 0 0 9 8 】

W · Dsig をそのまま使用するアプリケーションとすれば、出力データとしてダイナミックレンジ拡大を図ることができる。P 相と D 相のそれぞれについて複数回の参照信号比較型の A D 変換処理を実行して加算のみを行なうことで、同じ画像を複数回加算した画像を得ることができるということであり、同じゲイン設定でも、レンジが 2 倍のデータを取得することができる。たとえば、P 相および D 相の各参照信号比較型の A D 変換処理に関して、通常明るさの撮影時には従前と同じように 1 回の処理を行なうが、低照度下の撮影時には同一信号について W 回の処理を行なうことで、低照度側の撮影可能範囲を拡大できる。なお、元のレベルと同じ大きさのデータが必要なアプリケーションのときには、W 倍した加算データ W · Dsig を平均化すれば、つまり加算平均をとればよい。

40

【 0 0 9 9 】

このことから分かるように、A D 変換部 2 5 0 では、本実施形態を適用しないときのビット幅 n に対して、W 倍した加算データ W · Dsig が得られることになる。ここで、繰返し回数 W が “ 2 ^ (M - 1) < W <= 2 ^ M ” を満たすものとしたとき、カウンタ部 2 5 4 、データ記憶部 2 5 6 、スイッチ部 2 5 8 A、および水平信号線 1 8 はそれぞれ、 “ n +

50

M” (Mは1以上の正の整数)ビットに対応した構成が必要となる(図1を参照)。たとえば、 $n = 12$, $M = 1$ で $W = 2$ としたときには、カウンタ部254、データ記憶部256、スイッチ部258A、および水平信号線18はそれぞれ、13ビットに対応した構成が必要となる。

【0100】

たとえば、図3Bでは、 $W = 2$ としたときについて、カウンタ出力も示している。まず、P相処理時には、カウンタ部254の各フリップフロップのカウンタ値を初期値“0”にリセットさせる。そして、カウンタ部254をダウンカウントモードに設定して、比較部252による参照信号SLP_ADCとリセットレベルSrstとの比較処理とカウンタ部254によるカウント処理を並行して動作させることで、P相レベルのAD変換を行なう。これにより、1回目の処理が終わったカウンタ部254には、リセットレベルSrstの大きさに対応したデジタル値Drstを示す(符号を加味すれば $-Drst$ を示す)カウンタ値が保持される。

10

【0101】

続いてのP相の2回目の処理時には、1回目のリセットレベルSrstのデジタル値Drst(ここでは負の値となっている)をスタート点として、1回目と同じダウンカウントモードで、比較部252による参照信号SLP_ADCとリセットレベルSrstとの比較処理とカウンタ部254によるカウント処理を並行して動作させることで、2回目のP相レベルのAD変換を行なう。これにより、2回目の処理が終わったカウンタ部254には、リセットレベルSrstの大きさの2倍に対応したデジタル値 $2 \cdot Drst$ を示す(符号を加味すれば $-2 \cdot Drst$ を示す)カウンタ値が保持される。つまり、P相について、2回連続した参照信号比較型のAD変換処理をして、カウンタ部254にマイナスカウントとして保持しておく。

20

【0102】

続いてのD相の1回目の処理時には、P相の読出しおよびAD変換時に取得された画素信号電圧 V_x のリセットレベルSrstに対応するデジタル値 $2 \cdot Drst$ (ここでは負の値となっている)をスタート点として、P相とは逆のアップカウントモードで、比較部252による参照信号SLP_ADCと信号レベルSsigとの比較処理とカウンタ部254によるカウント処理を並行して動作させることで、1回目のD相レベルのAD変換を行なう。これにより、D相の1回目の処理が終わったカウンタ部254には、“ $-2 \cdot Drst + (Dsig + Drst) = -Drst + Dsig$ ”を示すカウンタ値が保持される。

30

【0103】

続いてのD相の2回目の処理時には、1回目のカウント結果($-Drst + Dsig$)をスタート点として、1回目と同じアップカウントモードで、比較部252による参照信号SLP_ADCと信号レベルSsigとの比較処理とカウンタ部254によるカウント処理を並行して動作させることで、2回目のD相レベルのAD変換を行なう。これにより、2回目の処理が終わったカウンタ部254には、“ $-Drst + Dsig + (Dsig + Drst) = 2 \cdot Dsig$ ”を示すカウンタ値が保持される。

【0104】

このように、第1実施形態では、P相についてW回連続したダウンカウントモードでの参照信号比較型のAD変換処理をし、引き続き、D相についてW回連続したアップカウントモードでの参照信号比較型のAD変換処理をする。こうすることで、P相についてのW回分のデータ(符号を加味すると負の値)とD相についてのW回分のデータとの加算演算処理がなされる。同じリセットレベルSrstおよび信号レベルSsigのCDS処理を行ない、かつ加算する動作を行なうことができる。このような、W回サンプリングによるAD変換とCDS処理を、多重加算AD変換処理やデジタル積分処理やW回加算AD変換処理やW回積分AD変換処理などと称する。

40

【0105】

この多重加算AD変換処理によって得られた加算データ $W \cdot Dsig$ は水平転送によって出力部28に送られる。出力部28では、デジタル演算部29において、デジタル信号処

50

理によりWで割り算をすることで、加算平均されたデータDsigを取得する。信号成分はW倍となるがランダムノイズはWになるためノイズ特性(S/N)を改善できる。このような多重加算AD変換処理では、アナログ加算のようなダイナミックレンジを気にすることなく、量子化ノイズやランダムノイズが低減できる。さらに、前述のように、加算平均をとらずにW・Dsigのまま利用するデジタル化した信号で加算するアプリケーションとすれば、ゲインアップやダイナミックレンジの拡大が可能になる。

【0106】

<第1実施形態：フレームレートとの関係>

図4は、第1実施形態の固体撮像装置1Aの動作とフレームレートとの関係を説明する図である。特に、第1実施形態の仕組みにおける静止画撮影動作のイメージ図である。

10

【0107】

第1実施形態の仕組みの場合、図3Aから分かるように、1水平走査期間(水平同期信号XHSの間の期間)内に、P相およびD相のそれぞれについて、複数回(図3Aでは2回)に亘って参照信号比較型のAD処理を行なう。このため、第1実施形態の仕組みの場合、トータルのAD変換時間としては従前に対して複数倍(図3Aでは2倍)になり、フレームレートが低下してしまい、動画撮像時には問題となり得る。

【0108】

しかしながら、静止画撮像時などのように、機械的なシャッタ(メカシャッタと称する)を使用する場合には、フレームレート低下は問題とならない。たとえば、図4に示すように、静止画撮像時には、画素アレイ部10の各単位画素3に対して同時に画素リセットを行ない(全画素同時シャッタと称する)(t10)、その後一定時間の露光(電荷蓄積)を行なった後にメカシャッタを閉じる(t12)。全画素同時シャッタからメカシャッタを閉じるまでの期間が信号電荷の蓄積時間となる。この後、シャッタが閉められた状態で、1ラインごとに画素アレイ部10からカラムAD変換部26側へ画素信号を読み出してAD変換部250でAD変換処理を行なう。この画素信号の読出し処理とAD変換処理は低速動作でよく、静止画撮像時において、P相およびD相のそれぞれについて複数回に亘って参照信号比較型のAD処理を行なうことによるフレームレート低下は殆ど問題にならない。

20

【0109】

<固体撮像装置：第2実施形態>

図5～図5Cは、第2実施形態の固体撮像装置を説明する図である。ここで、図5は、第2実施形態の固体撮像装置の概略構成図である。図5Aは、第2実施形態(第1例)の固体撮像装置1B_1に使用されるスイッチ部258B_1を説明する図である。図5Bは、第2実施形態(第2例)の固体撮像装置1B_2に使用されるスイッチ部258B_2を説明する図である。図5Cは、第2実施形態(第3例)の固体撮像装置1B_3に使用されるスイッチ部258B_3を説明する図である。

30

【0110】

第1実施形態では、カラムAD変換部26の後段に設けられたデジタル演算部29にて加算データの平均化処理を行なうようにしていたが、第2実施形態では、カラムAD変換部26内にて加算データの平均化処理を行なうようにする。その他の点は第1実施形態と同様である。以下、第1実施形態との相違点に着目して説明する。

40

【0111】

第2実施形態の固体撮像装置1B_1, 1B_2は、まず、カウンタ部254は“n+M”ビットに対応した構成を採るが、データ記憶部256や水平信号線18はnビットに対応した構成を採る。カウンタ部254の“n+M”ビットに対応した構成とデータ記憶部256および水平信号線18のnビットに対応した構成との間にはMビット分の差があり、その差を利用して $1/2^M$ の除算処理(デジタル積分処理)をAD変換部250内で実行する仕組みを採る。

【0112】

$1/2^M$ の除算処理の機能は、スイッチ部258Bのデータ選択制御を利用して実行

50

される。そのため、カウンタ部 254 とデータ記憶部 256 との間に設けられたスイッチ部 258 B の構成が第 1 実施形態とは異なる。第 2 実施形態のスイッチ部 258 B は、カウンタ部 254 から出力される “ $n + M$ ” ビット分のデータの内の上位 n ビット分もしくは下位 n ビット分のデータを選択してデータ記憶部 256 に渡すデータ選択部の機能を持つ。基本的な考え方は、多重加算 AD 変換処理時には、カウンタ部 254 の “ $n + M$ ” ビットの出力の内、上位側の n ビット分のデータのみを n ビット対応のデータ記憶部 256 に渡し、下位側の M ビット分のデータを捨てることで、簡易的な除算処理を行なう。データ記憶部 256 とスイッチ部 258 B により、平均化処理部が構成されると考えてよい。

【0113】

たとえば、図 5 A ~ 図 5 C では、 $n = 13$, $W = 2$ で $M = 1$ となる例で示している。カウンタ部 254 は、14 (= $n + M = 13 + 1$) 段のフリップフロップ FF が、たとえばリップルカウンタ形式で接続されている。データ記憶部 256 は、13 個のラッチ LT を有する。

【0114】

第 2 実施形態 (第 1 例) の固体撮像装置 1 B_1 の場合、図 5 A (1) に示すように、データ記憶部 256 を上位側の 6 ビット分と下位側の 7 ビット分とに分けてグループ化し、グループ別に独立した水平信号線 18 でデータ転送するようにする。このような仕組みを複数バス化と称する。

【0115】

グループ分け (複数バス化) することのメリットは、転送時間を少なくできることにある。後述する第 2 例のように 1 バスでデータ転送した場合には、転送に掛かる時間は 1 ビットずつ転送するしかないため 13 クロックとなる。これに対して複数バス化すると、分けられたバス同士は独立しているため、同じタイミングで、複数個同時にデータを転送することが可能になる。たとえば、本例のように、7 ビット目を境にして、0 ~ 6 ビットをバス 1 に、7 ~ 12 ビットをバス 2 に割り当てたとすると、ビット 0 とビット 7 の転送は時間的に同じタイミングで転送できる。0 ~ 6 ビット目までバス 1 で転送する時間は 7 クロックであるが、同時にバス 2 では 7 ~ 12 まで転送されているため、全ビットの転送完了に必要な時間は 7 クロックで済むことになる。

【0116】

このような仕組みの実現のために、上位 6 ビット分 (7 ~ 12 ビット目) のデータ記憶部 256 の各ラッチ LT の入力側を共通配線 BUS1 で共通に接続し、下位 7 ビット分 (0 ~ 6 ビット目) のデータ記憶部 256 の各ラッチ LT の入力側を共通配線 BUS2 で共通に接続する。カウンタ部 254 の上位 6 ビット分 (8 ~ 13 ビット目) の各フリップフロップ FF の出力側と共通配線 BUS1 との間に、1 入力 - 1 出力のスイッチ SW を有する。カウンタ部 254 の下位 7 ビット分 (0 ~ 6 ビット目) の各フリップフロップ FF の出力側と共通配線 BUS2 との間に、1 入力 - 1 出力のスイッチ SW を有する。

【0117】

残りの (略中間の) 7 ビット目のフリップフロップ FF の出力側には、まず 1 入力 - 1 出力のスイッチ SW_07 が設けられ、その出力と共通配線 BUS1 , BUS2 との間に 2 入力 - 1 出力型のスイッチ SW_BUS を有する。1 入力 - 1 出力型および 2 入力 - 1 出力型の各スイッチ SW は何れも、接続タイミングを規定するスイッチ制御信号 SW が制御入力端に入力され、そのスイッチ制御信号 SW に基づき、入力端側と出力端側の接続を切替え (オン / オフ) 可能なものである。

【0118】

1 入力 - 1 出力型の各スイッチ SW_00 ~ SW_13 には、それらを個別にオン / オフ制御するアクティブ H のスイッチ制御信号 SW00 ~ SW13 が通信・タイミング制御部 20 から各別に入力される。スイッチ SW_BUS には、7 ビット目のカウントデータを共通配線 BUS1 , BUS2 の何れに渡すかを制御するスイッチ制御信号 SELBUS が通信・タイミング制御部 20 から入力される。たとえば、スイッチ制御信号 SELBUS が L レベルのときには共通配線 BUS1 側が選択され H レベルのときには共通配線 BUS2 側が選択される。

10

20

30

40

50

【 0 1 1 9 】

各ラッチLTには、それらのラッチ（取込み）タイミングを個別に規定するラッチ（取込み）制御信号LAT00 ~ LAT12 が通信・タイミング制御部 2 0 から各別に入力される。各ラッチLTは、ラッチ制御信号LAT の立上りエッジに同期してデータを取り込み保持する。

【 0 1 2 0 】

図 5 A (2 - 1) , (2 - 2) に示すように、各ビットのスイッチ制御信号SW間やラッチ制御信号LAT 間にはそれぞれ 1 クロック分の位相差があり、対応するビットのスイッチ制御信号SWとラッチ制御信号LAT の間には半クロック分の位相差がある。スイッチ制御信号SWの方が半クロック分遅く制御され、ラッチ制御信号LAT の立下りでデータを取り込むようになる。

10

【 0 1 2 1 】

ラッチの 7 ビット目の出力側に設けられているスイッチSW_BUSは、 7 ビット目のカウンタデータの転送先を切り替えるもので、通常時（スイッチ制御信号SELBUS : L ）には共通配線BUS1側に転送し、 2 回積分 A D 変換処理時（スイッチ制御信号SW07 : H ）には共通配線BUS2側に転送するようにする。

【 0 1 2 2 】

ここで、図 5 A (2) に示すように、スイッチ制御信号SWとラッチ制御信号LATのビット位置の整合をとって任意の順で切り替えていくことで、カウンタ部 2 5 4 のデータをデータ記憶部 2 5 6 へと転送する。つまり、通信・タイミング制御部 2 0 は、スイッチ制御信号Wとラッチ制御信号LAT を、カウンタ部 2 5 4 からデータ記憶部 2 5 6 に渡すべきデータのビット位置に対応付けて、順次切り替えていく。

20

【 0 1 2 3 】

たとえば、図 5 A (2 - 1) は、カウンタ部 2 5 4 において 1 3 ビット目を符号ビットとした 1 2 ビットの分解能で通常の 1 回積分 A D 変換処理を実行する場合を示している。 1 4 ビット中の最上位ビットは不要であるので、最上位のスイッチ制御信号SW13はインアクティブのままとしておく。残りのスイッチ制御信号SW00 ~ SW12を任意の順で（たとえば昇順で）切り替え、それに連動して、対応するビット位置のラッチ制御信号LAT00 ~ LAT12 を切り替えていく。つまり、スイッチ部 2 5 8 では、 0 ビット目のカウンタデータを 0 ビット目（LSB）のラッチLTへ、以下順に、 1 2 ビット目のカウンタデータを 1 2 ビット目（MSB）のラッチLTへ転送するような接続変換処理を実施する。

30

【 0 1 2 4 】

一方、図 5 A (2 - 2) は、カウンタ部 2 5 4 において 1 2 ビットの分解能で 2 回積分 A D 変換処理を実行する場合を示している。この場合、カウンタデータは符号ビットを含めて 1 4 ビット相当になるが、最下位ビットを捨てることで 1 3 ビット分にするため、カウンタデータをデータ記憶部 2 5 6 へ転送する際に、最下位のスイッチ制御信号SW00はインアクティブのままとしておく。カウンタ部 2 5 4 の 1 4 ビット分の出力の内、上位側の 1 3 ビット分のデータのみを 1 3 ビット対応のデータ記憶部 2 5 6 に渡し、下位側のデータ（本例では LSB のみの 1 ビット分のデータ）を捨てるのである。残りのスイッチ制御信号SW01 ~ SW13を任意の順で（たとえば昇順で）切り替えていき、それに連動して、対応するビット位置のラッチ制御信号LAT00 ~ LAT12 を任意の順で（たとえば昇順で）切り替えていく。つまり、スイッチ部 2 5 8 では、 1 ビット目のカウンタデータを 0 ビット目（LSB）のラッチLTへ、以下順に、 1 3 ビット目のカウンタデータを 1 2 ビット目（MSB）のラッチLTへ転送するような接続変換処理を実施する。

40

【 0 1 2 5 】

これにより、 2 回サンプリングによる A D 変換と C D S 処理を行なう 2 回積分 A D 変換処理を実行する際、 A D 変換部 2 5 0 で $1 / 2^M = 1 / 2$ の割り算を行なうことになり、 A D 変換部 2 5 0 内にて加算平均することができる。この方式であれば、信号処理ブロックとして、通常処理時と多重加算処理時にデータビット数（ 1 3 ビット）が同じになり、回路構成が容易にできる。

【 0 1 2 6 】

50

なお、データ記憶部 256 を上位側と下位側とにグループ化し、カウンタ出力のグループ境界のビット（第 1 例では 7 ビット）については、各グループ別の配線の選択を切り替える 2 入力 - 1 出力型のスイッチを使用することは必須ではない。たとえば、第 2 実施形態（第 2 例）の固体撮像装置 1B_2 の場合、図 5B (1) に示すように、グループ化をせずに、データ記憶部 256 の入力側を全て共通配線 BUS に接続し、カウンタ部 254 の各フリップフロップ FF の出力側と共通配線 BUS との間に、1 入力 - 1 出力のスイッチ SW を有する構成としている。第 2 例では、全てのスイッチ SW を 1 入力 - 1 出力の簡易なものにできる利点がある。

【0127】

このような第 2 実施形態（第 2 例）においても、図 5B (2) に示すように、スイッチ制御信号 SW とラッチ制御信号 LAT のビット位置の整合をとって任意の順で切り替えていくことで、カウンタ部 254 のデータをデータ記憶部 256 へと転送する。なお、第 1 例とは異なり、スイッチ制御信号 SW の方が半クロック分早く制御され、ラッチ制御信号 LAT の立上りでデータを取り込むようにしている。

たとえば、図 5B (2-1) は、通常の 1 回積分 AD 変換処理を実行する場合を示している。最上位のスイッチ制御信号 SW13 はインアクティブのままとしておき、残りのスイッチ制御信号 SW00 ~ SW12 を任意の順で（たとえば昇順で）切り替えていき、それに連動して、対応するビット位置のラッチ制御信号 LAT00 ~ LAT12 を任意の順で（たとえば昇順で）切り替えていく。

【0128】

図 5B (2-2) は、2 回積分 AD 変換処理を実行する場合を示している。14 ビット中の上位側の 13 ビット分のカウントデータのみを使用するようにするため、最下位のスイッチ制御信号 SW00 はインアクティブのままとしておく。残りのスイッチ制御信号 SW01 ~ SW13 を任意の順で（たとえば昇順で）切り替えていき、それに連動して、対応するビット位置のラッチ制御信号 LAT00 ~ LAT12 を切り替えていくことで、下位側の 1 ビット分のデータを捨てる。

【0129】

また、第 2 実施形態（第 3 例）の固体撮像装置 1B_2 の場合、図 5C (1) に示すように、カウンタ部 254 の各フリップフロップ FF の出力側とデータ記憶部 256 の各ラッチ LT との間に、2 入力 - 1 出力型のスイッチ SW を設ける。出力端が k (k は $0 \sim n$) ビット目のラッチ LT に接続されているスイッチ SW は、第 1 の入力端が k ビット目のフリップフロップ FF の出力に接続され、第 2 の入力端が “ $k + 1$ ” ビット目のフリップフロップ FF の出力に接続される。

【0130】

なお一般展開したときには、たとえば、 $(M + 1)$ 入力 - 1 出力型のスイッチ SW を設ける。出力端が k (k は $0 \sim n$) ビット目のラッチ LT に接続されているスイッチ SW は、第 1 の入力端が k ビット目のフリップフロップ FF の出力に接続され、第 2 の入力端が “ $k + 1$ ” ビット目のフリップフロップ FF の出力に接続される。以下同様にして、最後は、“ $M + 1$ ” 番目の入力端が “ $k + M$ ” ビット目のフリップフロップ FF の出力に接続されるようにする。こうすることで、任意の繰返し回数 W に対応できる。繰返し回数 W が決まっているときには、2 入力 - 1 出力型のスイッチ SW を設け、出力端が k (k は $0 \sim n$) ビット目のラッチ LT に接続されているスイッチ SW は、第 1 の入力端が k ビット目のフリップフロップ FF の出力に接続され、第 2 の入力端が “ $k + M$ ” ビット目のフリップフロップ FF の出力に接続することもできる。つまり、どのようなスイッチ SW であっても、スイッチ SW の各入力端を、データ記憶部 256 に渡すべきカウンタ部 254 のデータ出力端から出力されるデータのビット位置に対応するように接続していればよい。

【0131】

各スイッチ SW には、それらを制御するスイッチ制御信号 SW が通信・タイミング制御部 20 から共通に入力される。たとえば、図 5C (2) に示すように、スイッチ制御信号 SW は、通常時には L レベルで、2 回サンプリングによる AD 変換と CDS 処理を行なう 2 回積

10

20

30

40

50

分 A D 変換処理時には H レベルとなる。スイッチ SW は、スイッチ制御信号 SW が L レベルのときには k ビット目のフリップフロップ FF の出力を選択し、スイッチ制御信号 SW が H レベルのときには k + M (本例では k + 1) ビット目のフリップフロップ FF の出力を選択する。

【 0 1 3 2 】

各ラッチ LT には、それらのラッチタイミングを制御するラッチ制御信号 LAT が通信・タイミング制御部 2 0 から共通に入力される。各ラッチ LT は、ラッチ制御信号 LAT の立上りエッジに同期してデータを取り込み保持する。

【 0 1 3 3 】

カウンタ部 2 5 4 において 1 2 ビットの分解能で通常の 1 回積分 A D 変換処理を実行するときには、符号ビットを含め 1 3 ビットのカウンタデータをデータ記憶部 2 5 6 へ転送する際に、スイッチ制御信号 SW は L レベルであり、所定のタイミングでラッチ制御信号 LAT をアクティブ H にする。これにより、スイッチ部 2 5 8 では、0 ビット目のカウンタデータを 0 ビット目 (LSB) のラッチ LT へ、以下同様にして、1 2 ビット目のカウンタデータを 1 2 ビット目 (MSB) のラッチ LT へ転送するような接続変換処理を実施する。

10

【 0 1 3 4 】

一方、カウンタ部 2 5 4 において 1 2 ビットの分解能で 2 回積分 A D 変換処理を実行するときには、符号ビットを含めカウンタデータは 1 4 ビット相当になる。このカウンタデータをデータ記憶部 2 5 6 へ転送する際に、スイッチ制御信号 SW は H レベルであり、所定のタイミングでラッチ制御信号 LAT をアクティブ H にする。これにより、スイッチ部 2 5 8 では、1 ビット目のカウンタデータを 0 ビット目 (LSB) のラッチ LT へ、以下同様にして、1 3 ビット目のカウンタデータを 1 2 ビット目 (MSB) のラッチ LT へ転送するような接続変換処理を実施する。カウンタ部 2 5 4 の 1 4 ビット分の出力の内、上位側の 1 3 ビット分のデータのみを 1 3 ビット対応のデータ記憶部 2 5 6 に渡し、下位側のデータ (本例では LSB のみの 1 ビット分のデータ) を捨てる。

20

【 0 1 3 5 】

第 3 例の場合、何れも、第 1 例や第 2 例のようにスイッチ SW をシフト制御することは不要である。つまり、各制御信号 SW, LAT はそれぞれ共通接続されているのでシフト制御は不可能である。通信・タイミング制御部 2 0 が制御信号 SW, LAT を切り替えることで、各ビット位置のスイッチ SW やラッチ LT は、データのビット位置に関わらず一斉に切り替えられる。カウンタ部 2 5 4 のカウンタデータが、ラッチ制御信号 LAT がアクティブ H に切り替るときに、一斉にデータ記憶部 2 5 6 の対応するビット位置にラッチされる。

30

【 0 1 3 6 】

これにより、第 3 例においても、多重加算 A D 変換処理を実行する際、A D 変換部 2 5 0 で $1 / 2^M = 1 / 2$ の割り算を行なうことになり、事実上、A D 変換部 2 5 0 内にて加算平均することができる。第 1 例と同様に、信号処理ブロックとして、通常処理時と多重加算処理時に符号ビットを含めたデータビット数 (1 3 ビット) が同じになり、回路構成が容易にできる。

【 0 1 3 7 】

なお、ここでは、スイッチ制御信号 SW とラッチ制御信号 LAT のそれぞれを共通配線としていたが、このことは必須ではなく、第 1 例や第 2 例と同様に個別に配線しておいてもよい。この場合でも、通信・タイミング制御部 2 0 は、各制御信号 SW, LAT を、データのビット位置に関わらず一斉に切り替えるようにすればよい。各制御信号 SW, LAT の配線態様がどのようなものであっても、通信・タイミング制御部 2 0 は、データのビット位置に関わらず、カウンタ部 2 5 4 からデータ記憶部 2 5 6 に一斉にデータが転送されるように、各制御信号 SW, LAT を切り替えればよい。

40

【 0 1 3 8 】

第 2 実施形態 (第 1 例 ~ 第 3 例) の仕組みによれば、カウンタ部 2 5 4 を用いて加算処理を行ない、カウンタ部 2 5 4 とデータ記憶部 2 5 6 との間に介在させたスイッチ部 2 5 8 のスイッチ制御を利用したビットシフト動作によって 2 進法の除算処理が便宜的に実現

50

できる。その結果、容易に加算平均化することができ、純粹（正確な）加算平均回路を構成する場合に比べて、レイアウトを小さくすることができる。このような方式をとっても、通常動作に対して悪影響を与えない。“ $n + M$ ”ビット分のカウントデータの内の上位 n ビット分を選択してデータ記憶部 256 に渡す際、繰返し回数 W に左右されないようなスイッチ構成を採ることもでき、用途に応じて繰返し回数 W を自由に変更できる。

【0139】

なお、第2実施形態では、 n ビットのAD変換処理を1回行なう通常の動作と、 n ビットのAD変換処理を W 回繰返すデジタル積分処理の動作、の何れかを実行するように、各部を制御していたが、このことは必須ではない。デジタル積分処理の動作対応だけで十分な場合には、スイッチ部 258B の構成としては、上位側のデータを捨てるための態様は不要であり、下位側のデータを捨てる態様がとれていれば十分である。

10

【0140】

< 固体撮像装置：第3実施形態 >

図6および図6Aは、第3実施形態の固体撮像装置を説明する図である。ここで、図6は、第3実施形態の固体撮像装置1Cの概略構成図である。ここでは、第1実施形態に対する変形例で示すが、第2実施形態に対しても同様の変形を加えることができる。図6Aは、第3実施形態の固体撮像装置1Cの動作を説明する図である。

【0141】

第3実施形態は、後述する第4実施形態と同様に、第1実施形態において説明したフレームレート低下の対策をとったものである。以下、第1実施形態との相違点に着目して説明する。第3・第4実施形態のフレームレートの低下対策の基本的な考え方は、P相・D相それぞれについて繰返し回数 W の多重加算AD変換処理を行なう際に、参照信号比較型のAD処理を W 倍速で行なうことでフレームレート維持を図る。参照信号生成部27とAD変換部250の動作を高速化することでフレームレートの低下を防ぐ趣旨である。

20

【0142】

ここで、参照信号比較型のAD処理を W 倍速で行なうに当たっては、AD変換部250（カウンタ部254）におけるカウント動作を W 倍に高速化し、かつ、AD変換用の参照信号SLP_ADCの傾きを急峻にする手法を採ることが考えられる。

【0143】

AD変換部250のカウンタ部254のカウント動作を W 倍に高速化するためには、第3実施形態の固体撮像装置1Cにおいては、通信・タイミング制御部20は、カウントクロックCKcnt1に対して W 倍の周波数を持つカウントクロックCKcntWをカウンタ部254に供給する。AD変換部250の回路構成としては、第1実施形態のAD変換部250と同じである。カウントクロックCKcntWは、通信・タイミング制御部20内のクロック変換部20aによりPLL処理などで生成する。カウンタ部254を動作させるカウントクロックCKcntWの周波数は第1実施形態に対して W 倍にしなければならないので、高速化によるAD変換部250での消費電流の上昇を避けることはできない。これらの点は、後述する第4実施形態などのフレームレート低下対策においても同様である。

30

【0144】

一方、AD変換用の参照信号SLP_ADCの傾きを急峻にする手法として、DA変換部270の規定電流や電流電圧変換用の抵抗値を変更せずにDA変換部270を構成するカウンタを W 倍速で動作させる手法を採ったのが第3実施形態である。この手法を、DA変換部270のカウンタ部312のクロック動作を高速化する手法と称する。

40

【0145】

後述するが、AD変換用の参照信号SLP_ADCの傾きを急峻にする手法として、DA変換部270の規定電流やDA変換部270を構成するカウンタの動作速度を変更せずに、電流電圧変換用の抵抗値を W 倍にする手法を採ったのが第4実施形態である。この手法を、電流電圧変換の抵抗値切替えで高速化する手法と称する。この他にも、DA変換部270を構成するカウンタの動作速度や電流電圧変換用の抵抗値を変更せずに、DA変換部270の規定電流を W 倍にすることでカウンタ部312のカウント値に対応する重みを W 倍に

50

する手法を採ってもよい（たとえば後述する第7実施形態の図10の矢指Cを参照）。この手法を、電流電圧変換を電流切替えで高速化する手法と称する。

【0146】

DA変換部270のカウンタ動作をW倍速にするため、通信・タイミング制御部20は、DA変換部270のカウンタ部312を動作させるクロックとして、カウンタクロックCKdac1ではなく、カウンタクロックCKdac1に対してW倍の周波数を持つカウンタクロックCKdacWをDA変換部270に供給する。回路構成としては第1実施形態のDA変換部270と同じである。カウンタクロックCKdacWは、通信・タイミング制御部20内のクロック変換部20aによりPLL処理などで生成する。参照信号生成部27にクロック変換部を設け、DA変換部270にはカウンタクロックCKdac1を供給し、参照信号生成部27内のクロック変換部でW倍の周波数のカウンタクロックCKdacWを生成するようにしてもよい。

10

【0147】

第1実施形態において、カウンタクロックCKcnt1とカウンタクロックCKdac1を共通にできるのと同様に、この第3実施形態でも、カウンタクロックCKcntWとカウンタクロックCKdacWを共通にできる。

【0148】

図6A(1)に示す参照信号SLP_ADCの生成動作のように、DA変換部270用のカウンタクロックをカウンタクロックCKdac1に対してW倍（図では2倍と4倍を示す）とすれば、DA変換部270の規定電流や電流電圧変換用の抵抗値を変更せずに1クロック当たりの電圧変化分SLPdac(=I_0×R_340)を第1実施形態と同じにしても、AD変換用の参照信号SLP_ADCの傾きを第1実施形態に対してW倍にできる。このとき、図6A(2)に示す全体動作のように、カウンタ部254についても、カウンタクロックCKcnt1に対してW倍（図では2倍を示す）の周波数のカウンタクロックCKcntWを使用することで、同一の画素信号電圧Vxについては同じカウンタデータが毎回得られ、結果的にW倍したデータが得られる。

20

【0149】

よって、第3実施形態によれば、参照信号生成部27(DA変換部270)での参照信号SLP_ADCの生成とカウンタ部254でのカウンタ動作をW倍にしてAD変換の動作を高速化することで多重加算AD変換処理によるフレームレート低下を防ぐことができる。

30

【0150】

ここで、DA変換部270のカウンタ部312のカウンタ動作を高速化する第3実施形態の手法を採用すると、カウンタクロック速度の変更のみでフレームレート低下を解決でき、変更手法が容易である利点がある。前述のように、AD変換部250とDA変換部270の各カウンタクロックを同一にできる利点もある。ただし、参照信号SLP_ADCが1回当たりの消費電流は第1実施形態と同じであるが、これが1水平走査期間内にW回繰り返されるので、消費電流は概ねW倍になると考えてよい。加えて、DA変換部270を動作させるカウンタクロックCKdacの周波数を第1実施形態に対してW倍にする必要があり、カウンタ部312での消費電力の上昇もある。よって、第3実施形態の仕組みは、高速化による消費電流の上昇が、後述する第4実施形態よりも多く発生する。

40

【0151】

< 固体撮像装置：第4実施形態 >

図7～図7Bは、第4実施形態の固体撮像装置を説明する図である。ここで、図7は、第4実施形態の固体撮像装置1Dの概略構成図である。ここでは、第1実施形態に対する変形例で示すが、第2実施形態に対しても同様の変形を加えることができる。図7Aは、第4実施形態の固体撮像装置1Dにおいて使用される参照信号生成部27Dの構成例を示す図である。図7Bは、第4実施形態の固体撮像装置1Dにおける参照信号生成部27(DA変換部270)の動作を説明する図である。

【0152】

第3実施形態で概要を説明したように、第4実施形態は、第1実施形態において説明し

50

たフレームレート低下の対策をとったものである。特に、第3実施形態との相違点として、D A変換部270の規定電流(I_0)やD A変換部270を構成するカウンタの動作速度を変更せずに、電流電圧変換用の抵抗値をW倍にする手法を採っている。

【0153】

図7に示すように、A D変換部250のカウンタ部254のカウンタ動作をW倍に高速化するために、第4実施形態の固体撮像装置1Dにおいても、通信・タイミング制御部20は、カウンタクロックC Kcnt1に対してW倍の周波数を持つカウンタクロックC KcntWをカウンタ部254に供給する。一方、D A変換部270Dのカウンタ動作を通常時の等倍にするため、通信・タイミング制御部20は、D A変換部270Dのカウンタ部312を動作させるクロックとして、第1実施形態と同様にカウンタクロックC Kdac1をD A変換部270Dに供給する。つまり、D A変換部270Dを構成するカウンタの動作速度は第1実施形態と同様である。したがって、第4実施形態においては、基本的には、D A変換部270DとA D変換部250(カウンタ部254)の各カウンタクロックを同一にはできない。

10

【0154】

第4実施形態のD A変換部270Dは、図7Aに示すように、一例として、先ず、抵抗素子340と基準電源Vrefとの間に1入力-1出力のスイッチ344_1を有する。さらに、抵抗値R_342_Wの抵抗素子342_Wを抵抗値R_340の抵抗素子340と並列に有し、この追加した抵抗素子342_Wと基準電源Vrefとの間に1入力-1出力のスイッチ344_Wを有する。スイッチ344_Wの制御入力端には、何回の多重加算A D変換処理のモードであるか否かを制御する制御信号が通信・タイミング制御部20から供給される。抵抗素子340、342とスイッチ344で、電流電圧変換時の抵抗値を変更可能な電流電圧変換部346が構成される。抵抗素子340の抵抗値R_340と抵抗値R_342_Wとの比が1:Wとなるようにする。通常動作時にはスイッチ344_1のみをオンさせ残りはオフさせて使用し、多重加算A D変換処理にはスイッチ344_Wのみをオンさせ残りはオフさせて使用することで、電流電圧変換用の抵抗値は通常動作時に対してW倍になる。

20

【0155】

なお、ここで示した電流電圧変換部346の構成は一例に過ぎず、抵抗素子の直列回路や並列回路とスイッチの組合せにより、様々な回路構成をとることができる。電流電圧変換時の抵抗値を、多重加算A D変換処理時(デジタル積分処理時)には通常処理時に対してW倍にすることができるものであればどのような構成を採ってもよい。

30

【0156】

図7B(1)に示す参照信号SLP_ADCの生成動作のように、D A変換部270の電流電圧変換用の抵抗値を通常動作時に対してW倍にすれば、D A変換部270の規定電流やカウンタクロックを変更しなくても、1クロック当たりの電圧変化SLPdacはW倍になる。よって、A D変換用の参照信号SLP_ADCの傾きを第1実施形態に対してW倍にできる。このとき、図7B(2)に示す全体動作のように、カウンタ部254については、カウンタクロックC Kcnt1に対してW倍(図では2倍を示す)の周波数のカウンタクロックC KcntWを使用することで、同一の画素信号電圧Vxについては同じカウンタデータが毎回得られ、結果的にW倍したデータが得られる。第4実施形態でも、A D変換の動作を高速化することで、多重加算A D変換処理によるフレームレート低下を解決できる。

40

【0157】

このとき、電流電圧変換用の抵抗値は通常動作時に対してW倍になっているので、参照信号SLP_ADCが1回当たりの消費電流は第1実施形態に対して1/Wになり、これが1水平走査期間内にW回繰り返される。よって、電流電圧変換部分では、消費電流は概ね第1実施形態と同じになると考えてよく、高速化による消費電流の上昇が発生しない。加えて、D A変換部270を動作させるカウンタクロックC Kdacの周波数は第1実施形態と同様で高速化する必要がなく、カウンタ部312での電力消費の上昇もない。よって、第4実施形態の仕組みは、高速化による消費電流の上昇を、前述の第3実施形態よりも低く抑えることができる。D A変換部270の電流電圧変換を抵抗で高速化する第4実施形態の

50

仕組みでは、D A変換部270の消費電流としては変化がなく、D A変換部270へのクロック速度も同じであり、参照信号生成部27での消費電力を増やすことなく、フレームレート低下を解決できる利点がある。

【0158】

< 固体撮像装置：第5実施形態 >

図8および図8Aは、第5実施形態の固体撮像装置を説明する図である。ここで、図8は、第5実施形態の固体撮像装置1Eの概略構成図である。ここでは、第1実施形態に対する変形例で示すが、第2～第4実施形態に対しても同様の変形を加えることができる。図8Aは、第5実施形態の固体撮像装置1Eの動作を説明するためのタイミングチャートである。

10

【0159】

第5実施形態は、フレームレートとは別の観点から多重加算AD変換処理の動作を高速化するものである。第1実施形態の仕組みでは、2回目以降の処理時には、AD変換用の参照信号SLP_ADCの変化のさせ方は1回目と同じにしているため、参照信号SLP_ADCを準備状態の電位(図では最大電位)に戻すまでの時間や整定時間が必要になってくる。第5実施形態では、この点を解消するものであり、1回目の処理が終わったときの参照信号SLP_ADCの最終値から、同一の傾きで逆方向(つまり符号を逆)に変化させる(逆向きの参照信号SLP_ADCを生成する)ことで参照信号SLP_ADCを準備状態の電位に戻す時間の短縮を図る。

【0160】

20

参照信号SLP_ADCを、同一の傾きで逆方向に変化させるに当たっては、D A変換部270のカウント部312をアップカウントとダウンカウントを切替可能に構成する。そして、カウント部312を、1回目の処理が終わったときの最終値から、1回目とは逆のカウントモードで動作させればよい。たとえば、1回目をアップカウント(プラスカウント)としているときは2回目はダウンカウント(マイナスカウント)にする。なお、繰返し回数Wが3以上のときには、奇数回目は1回目、偶数回目は2回目と同じ状態で、参照信号SLP_ADCを変化させればよい。

【0161】

この制御のため、図8に示すように、D A変換部270には、通信・タイミング制御部20から何回目の処理であるのかを制御する制御信号SELが供給される。D A変換部270は、この制御信号SELを多重加算AD変換処理時に特有の参照信号SLP_ADCの変化方向を制御する制御信号として使用する。カウント部312をアップカウントとダウンカウントを切替可能に構成し、カウントモードを奇数回目と偶数回目とで異なるようにする簡易な構成で、参照信号SLP_ADCの変化方向を切り替えることができる利点がある。

30

【0162】

AD変換部250では、このAD変換用の参照信号SLP_ADCの変化の向きを、奇数回目と偶数回目の各処理で逆転させることに応じた対応を採る。具体的には、第5実施形態の固体撮像装置1EのAD変換部250において、カウント部254は、偶数回目の処理でも、比較部252からの比較出力Coに基づくカウントイネーブル信号ENがHレベルのときにカウント動作を行なうようにすればよい。

40

【0163】

たとえば図8Aに示すように、奇数回目の処理時には、参照信号SLP_ADCの変化開始時点では、参照信号SLP_ADCの方が画素信号電圧V_xよりも高く比較出力Coやカウントイネーブル信号ENはHにある。そこで、カウント部254は、奇数回目の処理時には、参照信号SLP_ADCの変化開始とともにカウント動作を開始し、参照信号SLP_ADCと画素信号電圧V_xが交差してカウントイネーブル信号ENがLに変化したときに停止する。

【0164】

一方、偶数回目の処理時には、参照信号SLP_ADCの変化開始時点では、参照信号SLP_ADCの方が画素信号電圧V_xよりも低く比較出力Coやカウントイネーブル信号ENはLにある。そこで、カウント部254は、偶数回目の処理時には、参照信号SLP_ADCの変化開始時

50

にはカウント動作を開始せず、参照信号SLP_ADC と画素信号電圧 V_x が交差してカウントイネーブル信号ENがHに変化したときに開始する。

【0165】

つまり、本事例では、カラムAD変換部26内のカウンタ部254は、奇数回目の処理時には参照信号SLP_ADC と画素信号電圧 V_x が交差するまでカウントを行ない、偶数回目の処理時には参照信号SLP_ADC と画素信号電圧 V_x が交差してからカウントを行なうように対応を採るだけでよい。比較部252から出力される比較出力Coに基づくカウントイネーブル信号ENがアクティブHの期間にカウント動作するという点においては何ら変更はなく、回路構成の変更も不要であり、対応が容易である。

【0166】

< 固体撮像装置：第6実施形態 >

図9および図9Aは、第6実施形態の固体撮像装置を説明する図である。ここで、図9は、第6実施形態の固体撮像装置1Fにおけるノイズ特性に着目した簡易的な回路構成図である。図9Aは、第6実施形態の固体撮像装置1Fの動作を説明するタイミングチャートである。

【0167】

第6実施形態は、多重加算AD変換処理を利用することで、回路の変更なしにノイズ特性だけを良くするものである。基本的な考え方は、加算平均をとることで、回路ノイズ N_c と量子化ノイズ N_q が $1/2^M$ 倍されることで、“ $n-M$ ”ビット精度ではあるがノイズ特性が n ビットADよりも良い画像を出力するというものである。このとき、通常 n ビットAD処理と“ $n-M$ ”ビットの 2^M 回の加算処理は同じカウント数であり、平均化処理も不要であり、カウンタ部254は通常動作対応のものと同じビット数に対応した回路構成でよい。参照信号SLP_ADC の傾きを W 倍にして繰返し回数 W の多重加算AD変換処理を行なう場合でも同様である。また、 $2^{(M-1)} < W \leq 2^M$ (M は1以上の正の整数) を満たす W のときに参照信号SLP_ADC の傾きを 2^M 倍にしたときは、“ $n-M$ ”ビットの繰返し回数 W の多重加算AD変換処理は n ビットAD処理のカウント値以下となるので、カウンタ部254は通常動作時のものと同じ回路構成でよい。以下では、理解を容易にするため、特段の断りのない限り、 $W = 2^M$ の場合で説明する。

【0168】

この実現のため、図9に示すように、第6実施形態の固体撮像装置1Fの通信・タイミング制御部20は、多重加算AD変換処理時にも、カウンタ部254を動作させるクロックとして、通常時と同じカウントクロック C_{Kcnt1} をカウンタ部254に供給する。

【0169】

一方、参照信号生成部27については、図中の矢指A、B、Cの何れかを採用して、参照信号SLP_ADC の傾きを、多重加算AD変換処理時には通常動作時に対して 2^M 倍にする。矢指Aは、 2^M 倍のカウントクロック C_{Kdac2^M} を使用してDA変換部270のカウンタ部312のクロック動作を高速化する手法である(第3実施形態を参照)。矢指Bは、抵抗素子340の抵抗値 R_{340} と抵抗素子342_Mの抵抗値 R_{342_M} との比が $1:2^M$ となるように、電流電圧変換の抵抗値切替えで高速化する手法である(第4実施形態を参照)。矢指Cは、基準電流値 I_0 を 2^M 倍とするもので、電流電圧変換の電流切替えで高速化する手法である。

【0170】

多重加算AD変換処理時には、通常時と同じ速度でカウンタ部254を動作させ、かつ、参照信号SLP_ADC の傾きを通常時に対して 2^M 倍にすれば、AD変換の分解能は $1/2^M$ 倍となる。図9Aでは、 $n = 10$ 、 $M = 1$ で繰返し回数 W が2の場合を示しており、通常動作時には10ビットのAD変換レンジになり、多重加算AD変換処理時には9ビットのAD変換となる。

【0171】

このときのノイズ特性について吟味すると次のようになる。まず、回路ノイズ N_c 、量子化ノイズ N_q とすると、合計の回路起因のランダムノイズ N_{total} は $(N_c^2 + N$

10

20

30

40

50

q^2)となる。ここで、参照信号比較型のAD変換方式の回路ノイズ N_c は、ほぼ参照信号生成部27(詳しくはDA変換部270)や比較部252のノイズによって決まる。 n ビット、“ $n-M$ ”ビットの変更手法としては、参照信号生成部27での電流値ステップ(SLP_{adc})で決まるが、この際の回路ノイズとしては電流電圧変換用の抵抗素子340, 342とその抵抗に流す電流値で決まるため、参照信号生成部27の出力での回路ノイズは矢指A~Cの何れの手法を採ってもほぼ同じと考えてよい。

【0172】

一方、ビット数を X 、分解能とすると、量子化ノイズ N_q は $1/2^X$ となるので(下記文献を参照)、 n ビット時の方($N_{q_n} = 1/2^n$)が、“ $n-M$ ”ビット時($N_{q_{n-M}} = 1/2^{n-M}$)よりも小さい。つまり、“ $n-M$ ”ビット化によりビット精度を落とすことになるので量子化ノイズは増えてしまう。

10

【0173】

文献：湯川彰，“ミックスト・シグナルLSI設計における信号の取り扱い - 周波数領域，サンプリング，A-D/D-A変換時の問題”，Design Wave Magazine 2004 10月号，CQ出版社，p87~93；特に、91ページ，「A-D変換によって現われる量子化ノイズ」

【0174】

ここで、 2^M 回分の加算平均をとることでノイズ特性は $1/2^M$ 倍になるため、回路ノイズ>量子化ノイズであれば、“ $n-M$ ”ビット化による量子化ノイズの増えに対し、回路ノイズや量子化ノイズの $1/2^M$ 倍の減少分が勝るため、ノイズ特性の良い“ $n-M$ ”ビットのAD変換処理が可能になる。 $2^{(M-1)} < W < 2^M$ を満たす W についても同様に考えられる。

20

【0175】

< 固体撮像装置：第7実施形態 >

図10~図10Bは、第7実施形態の固体撮像装置を説明する図である。ここで、図10は、第7実施形態の固体撮像装置1Gにおけるノイズ特性に着目した簡易的な回路構成図である。図10Aは、第7実施形態の固体撮像装置1Gの動作を説明するためのタイミングチャートである。図10Bは、第7実施形態の固体撮像装置1Gの動作における量子化ノイズを説明するための図である。

【0176】

第7実施形態は、第6実施形態のように多重加算AD変換処理時には“ $n-M$ ”ビット精度で処理するが、量子化ノイズを増やさないようにすることで、さらに、ノイズ特性が n ビットADよりも良い画像を出力するというものである。つまり、第6実施形態の仕組みでは、カウンタ部254のカウントクロックC_{cnt1}の速度を上げることができず、ビット精度を落とす場合、回路起因のランダムノイズは抑えることができるが、反面量子化ノイズが増えてしまう問題があるが、その対策を採ったのが第7実施形態である。

30

【0177】

先ず第7実施形態でも、通常の n ビットAD処理と“ $n-M$ ”ビットの 2^M 回の加算処理は同じカウント数であり、平均化処理も不要であり、カウンタ部254は通常動作対応のものと同じビット数に対応した回路構成でよい。参照信号SLP_{ADC}の傾きを W 倍にして繰返し回数 W の多重加算AD変換処理を行なう場合でも同様である。また、 $2^{(M-1)} < W < 2^M$ (M は1以上の正の整数)を満たす W のときに参照信号SLP_{ADC}の傾きを 2^M 倍にしたときは、“ $n-M$ ”ビットの繰返し回数 W の多重加算AD変換処理は n ビットAD処理のカウント値以下となるので、カウンタ部254は通常動作時のものと同じ回路構成でよい。以下では、理解を容易にするため、特段の断りのない限り、 $W = 2^M$ の場合で説明する。

40

【0178】

量子化ノイズを増やさないようにするための基本的な考え方は、各回の処理におけるカウンタ部254用のカウントクロックC_{cnt1}と参照信号SLP_{ADC}の位相を“ $1/2^M$ ”LSBずつ相対的にずらして処理することである。このような第7実施形態の手法を、

50

「位相シフト（ずらし）を併用した」多重加算 A D 変換処理や W 回加算 A D 変換処理や W 回積分 A D 変換処理と称する。

【 0 1 7 9 】

「相対的」であるから、各回の処理時に D A 変換部 2 7 0 では第 6 実施形態と同じタイミングで参照信号 SLP_ADC を変化させつつ、カウンタ部 2 5 4 ではカウントクロック C K cnt1 の位相の方を “ $1 / 2 ^ M$ ” L S B ずつずらす第 1 の手法を採ることができる。また、これとは逆に、各回の処理時にカウンタ部 2 5 4 では第 6 実施形態と同じカウントクロック C K cnt1 を使用しつつ、参照信号 SLP_ADC の位相の方を “ $1 / 2 ^ M$ ” L S B ずつずらす第 2 の手法を採ることができる。もちろん、これら 2 つの手法を組み合わせることもできる。動作例を示した図 1 0 A や図 1 0 B では、第 2 の手法で示す。

10

【 0 1 8 0 】

この実現のため、図 1 0 に示すように、第 7 実施形態の固体撮像装置 1 G の通信・タイミング制御部 2 0 は、多重加算 A D 変換処理時には、カウンタ部 2 5 4 を動作させるクロックとして、たとえば第 1 の手法を採る場合、通常時と同じ周波数であるが、位相が “ $1 / 2 ^ M$ ” L S B ずつシフトしたカウントクロック C K cnt1 をカウンタ部 2 5 4 に供給する（矢指 D）。カウントクロック C K cnt1 の位相をずらす仕組みとしては、公知の様々な回路構成を採用し得る。ここではその詳細は割愛するが、たとえば、カウントクロック C K cnt1 をシフトレジスタに入力し、カウントクロック C K cnt1 に対して $2 ^ M$ 倍のクロックで順次シフトさせ、所定のシフト段からの出力をカウンタ部 2 5 4 に供給するなどの手法を採用できる。

20

【 0 1 8 1 】

一方、参照信号生成部 2 7 については、第 1 ・第 2 の手法の何れを採るかに拘わらず、図中の矢指 A , B , C の何れかを採用して、参照信号 SLP_ADC の傾きを、多重加算 A D 変換処理時には通常動作時に対して $2 ^ M$ 倍にする。この点は第 6 実施形態と同様である。また、第 2 の手法を採る場合は、通信・タイミング制御部 2 0 は、参照信号 SLP_ADC の位相を “ $1 / 2 ^ M$ ” L S B ずつずらすさせる制御信号 PH を D A 変換部 2 7 0 に供給する（矢指 E）。参照信号 SLP_ADC の位相をずらす仕組みとしては、カウントクロック C K dac の位相を “ $1 / 2 ^ M$ ” L S B ずつずらせばよく、カウントクロック C K cnt1 の位相をずらす仕組みと同じ手法を採用できる。

【 0 1 8 2 】

第 6 実施形態では、多重加算 A D 変換処理時の A D 変換の分解能は $1 / 2 ^ M$ 倍となるが、各回の処理時にカウントクロック C K cnt1 と参照信号 SLP_ADC の位相を “ $1 / 2 ^ M$ ” L S B ずつ相対的にずらすと、等価的に分解能を $2 ^ M$ 倍にできる。これは、概念的には、各回の A D 変換時のサンプリング点の位相を “ $1 / 2 ^ M$ ” L S B ずつずらすことで、1 回の処理では区別できていない範囲（1 L S B 分）が “ $1 / 2 ^ M$ ” L S B 単位で峻別できるようになることに基づく。その結果、トータルでは分解能の低下を抑えることができ、各回の A D 変換時のビット精度を落としてもノイズの低減が可能になる。

30

【 0 1 8 3 】

たとえば、図 1 0 A や図 1 0 B では、 $n = 1 0$, $M = 1$ で繰返し回数 W が 2 の場合を示している。通常時の 1 0 ビット精度に対して多重加算 A D 変換処理時には参照信号 SLP_ADC の分解能を 9 ビット対応に落とした上で、各回の参照信号 SLP_ADC の各電位レベルを、落とした分解能の 0 . 5 L S B ずらす。たとえば、P 相処理時には 1 回目に対して 2 回目では 0 . 5 L S B ずらし、D 相処理時にも 1 回目に対して 2 回目では 0 . 5 L S B ずらす。落とした（9 ビット時）分解能の 0 . 5 L S B は、落とす前（1 0 ビット時）の分解能の 1 L S B と同じである。こうすることにより、多重加算 A D 変換処理時にビット精度を落とす仕組みを採用する場合に、量子化ノイズの方が大きい場合でも、ノイズを増やさずに A D 変換ができる。

40

【 0 1 8 4 】

このことを、より簡単な例で説明する。画素信号電圧 V_x のダイナミックレンジが 2 5 6 m V で、D A 変換部 2 7 0 の分解能を 9 ビットに落とすとする。回路起因のランダムノ

50

イズは無いものとする。LSBは0.5mVであるが、0.5LSBずらさない場合は、量子化誤差が最大0.25mVとなる。画素信号電圧 V_x が0.5mVずれる度に最終的な数値が2変わるためである。しかし、0.5LSB、つまり0.25mVずらした場合、量子化誤差は最大0.125mVとなる。画素信号電圧 V_x の電位が0.25mVずれるごとに最終的な数値が1変わるためである。

【0185】

たとえば、図10Bに示すように、1回目の処理時には、9ビットのLSB(0.5mV)内であれば同じカウントになる。2回目の処理時に、カウントクロック CK_{cnt1} と参照信号SLP_ADCの位相を“ $1/2^M$ ”LSBずらすと、その1LSBの中間に対して、画素信号電圧 V_x が上側にあるのか下側にあるのかによって、カウント値が異なってくる。たとえば、10進法換算で1回目の処理時には100である画素信号電圧 V_{x_1} 、 V_{x_2} について、1LSBの中間に対して上側にある画素信号電圧 V_{x_1} では2回目の処理時にも100が得られ、これを平均化すれば100となる。一方、1LSBの中間に対して下側にある画素信号電圧 V_{x_2} では、2回目の処理時には101が得られ、これを平均化すれば100.5となる。各回では9ビット精度で処理しているが位相シフトを併用した2回積分により“0.5”カウント分を峻別していることになり、10ビット処理時のLSBと同じ精度(分解能)が得られていると考えてよい。

10

【0186】

図示を割愛するが、繰返し回数 $W=4$ の場合は、落とした分解能の $1/4$ LSBずらせばよい。つまり、分解能を落とす前の1LSB分ずつずらすとよい。P相・D相の各1回目の参照信号SLP_ADCを基準として、2回目の参照信号SLP_ADCの位相を $1/4$ LSBずらし、3回目の参照信号SLP_ADCの位相を $2/4$ LSBずらし、4回目の参照信号SLP_ADCの位相を $3/4$ LSBずらす。

20

【0187】

一般展開すれば、カウンタ部254は通常時と同じカウントクロック CK_{cnt1} を使用しつつ、参照信号生成部27は参照信号SLP_ADCの傾きを 2^M 倍にし、各回のAD変換時のサンプリング点の位相を“ $1/2^M$ ”LSBずつずらすとよいことが理解されるであろう。また、 $W=2^M$ の場合に限らず、2以上の任意の正の整数でもよい。カウンタ部254は通常時と同じカウントクロック CK_{cnt1} を使用しつつ、参照信号生成部27は参照信号SLP_ADCの傾きを W 倍にし、各回のAD変換時のサンプリング点の位相を $1/W$ LSBずつずらすとよいことが理解されるであろう。

30

【0188】

< 固体撮像装置：第8実施形態 >

図11および図11Aは、第8実施形態の固体撮像装置を説明する図である。ここで、図11は、第8実施形態の固体撮像装置1Hの動作を説明するためのタイミングチャートである。図11Aは、第8実施形態の固体撮像装置1Hの動作の効果を説明する図である。

【0189】

第8実施形態の固体撮像装置1Hの概略構成図は図示を割愛するが、たとえば第3実施形態の仕組みをベースとして説明する。ここでは、多重加算AD変換処理の部分については第3実施形態をベースとして説明するが、第3実施形態に限らず、その他の実施形態も利用できる。

40

【0190】

第8実施形態は、複数の画素間で加算処理や減算処理を実行する際に、第1～第7実施形態で説明した多重加算AD変換処理の仕組みを利用して係数設定を行なうことにより、複数の処理対象信号の積和演算結果のデジタルデータを取得するものである。重心位置調整機能付きの加算処理や、減算処理を利用したエッジ検出処理や、空間フィルタ処理や、画像圧縮処理で使われる離散的コサイン変換などのアプリケーションが考えられる。なお、演算結果に対する平均化処理については、第1・第2実施形態の何れをも採用できる。

【0191】

50

カウントモードの組合せを同一にしてカウント動作を繰り返し行なうことで複数の画素信号間での加算演算を実現することや、カウントモードの組合せを切り替えて（具体的には組合せを逆にする）カウント動作を繰り返し行なうことで複数の画素信号間での差分（減算）演算を実現することができる。このとき、各画素信号電圧 V_x の P 相・D 相のそれぞれについて繰返し回数 W の多重加算 AD 変換処理を実行すれば、その画素信号電圧 V_x については W 倍したデータが得られる。係数 W_k 、各画素データ D_k とすれば、複数画素間での積和演算結果のデジタルデータ $D_{out} = W_1 \cdot D_1 \pm W_2 \cdot D_2 \pm W_3 \cdot D_3 \pm \dots$ が取得される。

【0192】

この実現のため、第 8 実施形態の固体撮像装置 1H は、繰返し回数 W を指示するため、たとえば、第 3 実施形態の仕組みを利用する場合であれば、通信・タイミング制御部 20 は、通常時に対して W 倍の周波数のカウントクロック CK_{cntW} をカウンタ部 254 に供給するし、通常時に対して W 倍の周波数のカウントクロック CK_{dacW} を DA 変換部 270 に供給する。

10

【0193】

たとえば、 2×2 加算の場合、加重比率を変更することで重心を揃えることができることは特開 2006-174325 号公報で示されている。このとき、図 11 に示すように、最初の行 (V や $V+1$) の単位画素 3 については 3 回の加算処理を行ない、加算対象画素行 ($V+2$ や $V+3$) の単位画素 3 については通常のカウント動作を行なう。これら 2 画素分のデータを AD 変換部 250 のカウンタ部 254 で加算することで、(V 行目画素 $\times 3$ 倍) + ($V+2$ 行目画素 $\times 1$ 倍) のデータを保持することができる。

20

【0194】

なお、加算データの平均化は、既に述べたように、デジタル演算部 29 での平均化（第 1 実施形態）や、AD 変換部 250 内のビットシフト（第 2 実施形態）、のどちらも可能である。

【0195】

結果として得られる画素信号の重心のイメージを図 11A に示す。色ごとの重心が等間隔になっていることが分かる。このように、複数の画素信号を加算する場合に、色フィルタ配列に応じて、画素の読み出し加算比率を多重加算 AD 変換処理を利用して変更することで、加算後の重心を制御することができる。

30

【0196】

なお、ここでは 2 行での処理例を示したが、カウンタ部 254 のアップダウンカウント機能を使って 3 行以上に亘って加減算（符号や係数を含む積和演算）処理を実現することにより様々な形態の演算画像を取得することができる。その一利用形態としては、コラム AD 変換部 26 の外部に特殊な回路を用いることなく、1 次元の空間フィルタ処理の機能を実現できるようになる。たとえば、“1, -3, 1” や “-1, 3, -1” とすれば中央画素強調の空間フィルタを実現することができるし、“-1, 0, 1” とすれば微分フィルタを実現することができる。また、たとえば、3 画素の全ての係数を同じにした加算処理にすれば単純な平滑化フィルタ処理を実現できるし、3 画素の内の周辺画素の係数よりも中央画素の係数を大きくすれば中央画素を強調する重付け加算処理を実現することができる。

40

【0197】

< 撮像装置：第 9 実施形態 >

図 12 は、第 9 実施形態を説明する図である。第 9 実施形態は、前述の固体撮像装置 1 の各実施形態に採用していた AD 変換処理の仕組みを、物理情報取得装置の一例である撮像装置に適用したものである。図 12 は、その撮像装置 8 の概略構成図である。

【0198】

撮像装置としても、少なくとも 1 画素分の画素信号電圧 V_x については多重加算 AD 変換処理を行なうことで、ノイズ低減やダイナミックレンジ拡大ができる仕組みを実現できるようになる。この際、たとえば少なくとも、繰返し加算 W の設定や、カウントクロック

50

C Kcnt , C Kdac の周波数設定や、参照信号SLP_ADC の傾き設定など、多重加算AD変換処理に関わる制御は、外部の主制御部において、制御用の指示情報を通信・タイミング制御部20に対するデータ設定で任意に指定できるようにする。多重加算AD変換処理を行わない通常の参照信号比較型のAD変換処理の制御もできるようにするのがよい。

【0199】

具体的には、撮像装置8は、撮影レンズ802、光学ローパスフィルタ804、色フィルタ群812、画素アレイ部10、駆動制御部7、カラムAD変換部26、参照信号生成部27、カメラ信号処理部810を備えている。図中に点線で示しように、光学ローパスフィルタ804と合わせて、赤外光成分を低減させる赤外光カットフィルタ805を設けることもできる。

10

【0200】

撮影レンズ802は、蛍光灯や太陽光などの照明下にある被写体Zの像を担持する光Lを撮像装置側に導光して結像させる。色フィルタ群812は、たとえばR、G、Bの色フィルタがベイヤー配列とされている。駆動制御部7は、画素アレイ部10を駆動する。読出電流制御部24は、画素アレイ部10から出力される画素信号の動作電流を制御する。カラムAD変換部26は、画素アレイ部10から出力された画素信号に対してCD処理やAD変換処理などを施す。参照信号生成部27は、カラムAD変換部26に参照信号SLP_ADCを供給する。カメラ信号処理部810は、カラムAD変換部26から出力された撮像信号を処理する。

【0201】

カラムAD変換部26の後段に設けられたカメラ信号処理部810は、撮像信号処理部820と、撮像装置8の全体を制御する主制御部として機能するカメラ制御部900を有する。撮像信号処理部820は、信号分離部822と、色信号処理部830と、輝度信号処理部840と、エンコーダ部860を有する。

20

【0202】

信号分離部822は、色フィルタとして原色フィルタ以外のものが使用されているときにカラムAD変換部26のAD変換機能部から供給されるデジタル撮像信号をR(赤)、G(緑)、B(青)の原色信号に分離する原色分離機能を具備する。色信号処理部830は、信号分離部822によって分離された原色信号R、G、Bに基づいて色信号Cについての信号処理を行なう。輝度信号処理部840は、信号分離部822によって分離された原色信号R、G、Bに基づいて輝度信号Yについての信号処理を行なう。エンコーダ部860は、輝度信号Y/色信号Cに基づいて映像信号VDを生成する。

30

【0203】

色信号処理部830は、図示を割愛するが、たとえば、ホワイトバランスアンプ、ガンマ補正部、色差マトリクス部などを有する。輝度信号処理部840は、図示を割愛するが、たとえば、高周波輝度信号生成部と、低周波輝度信号生成部と、輝度信号生成部を有する。高周波輝度信号生成部は、信号分離部822の原色分離機能部から供給される原色信号に基づいて比較的周波数が高い成分までをも含む輝度信号YHを生成する。低周波輝度信号生成部は、ホワイトバランスアンプから供給されるホワイトバランスが調整された原色信号に基づいて比較的周波数が低い成分のみを含む輝度信号YLを生成する。輝度信号生成部は、2種類の輝度信号YH、YLに基づいて輝度信号Yを生成しエンコーダ部860に供給する。

40

【0204】

エンコーダ部860は、色信号副搬送波に対応するデジタル信号で色差信号R-Y、B-Yをデジタル変調した後、輝度信号処理部840にて生成された輝度信号Yと合成して、デジタル映像信号VD(=Y+S+C; Sは同期信号、Cはクロマ信号)に変換する。エンコーダ部860から出力されたデジタル映像信号VDは、さらに後段の図示を割愛したカメラ信号出力部に供給され、モニター出力や記録メディアへのデータ記録などに供される。この際、必要に応じて、DA変換によってデジタル映像信号VDがアナログ映像信号Vに変換される。

50

【 0 2 0 5 】

本実施形態のカメラ制御部 9 0 0 は、マイクロプロセッサ (microprocessor) 9 0 2、読出専用の記憶部である R O M (Read Only Memory) 9 0 4、R A M (Random Access Memory) 9 0 6、図示を割愛したその他の周辺部材を有している。マイクロプロセッサ 9 0 2 は、コンピュータが行なう演算と制御の機能を超小型の集積回路に集約させた C P U (Central Processing Unit) を代表例とする電子計算機の中枢をなすものと同様のものである。9 0 6 は、随時書込みおよび読出しが可能であるとともに揮発性の記憶部の一例である。マイクロプロセッサ 9 0 2、R O M 9 0 4、および R A M 9 0 6 を纏めて、マイクロコンピュータ (microcomputer) とも称する。

【 0 2 0 6 】

カメラ制御部 9 0 0 は、システム全体を制御するものであり、多重加算 A D 変換処理との関係においては、加算回数や、カウントクロック C K cnt、C K dac の周波数や、参照信号 SLP_ADC の傾きなどを調整する機能を有している。R O M 9 0 4 にはカメラ制御部 9 0 0 の制御プログラムなどが格納されているが、特に本例では、カメラ制御部 9 0 0 によって、通常の参照信号比較型の A D 変換処理や多重加算 A D 変換処理を制御するためのプログラムが格納されている。R A M 9 0 6 にはカメラ制御部 9 0 0 が各種処理を行なうためのデータなどが格納されている。

【 0 2 0 7 】

また、カメラ制御部 9 0 0 は、メモリカードなどの記録媒体 9 2 4 を挿脱可能に構成し、またインターネットなどの通信網との接続が可能に構成している。たとえば、カメラ制御部 9 0 0 は、マイクロプロセッサ 9 0 2、R O M 9 0 4、および R A M 9 0 6 の他に、メモリ読出部 9 0 7 および通信 I / F (インタフェース) 9 0 8 を備える。

【 0 2 0 8 】

記録媒体 9 2 4 は、たとえば、マイクロプロセッサ 9 0 2 にソフトウェア処理をさせるためのプログラムデータや、輝度信号処理部 8 4 0 からの輝度系信号に基づく測光データ D L の収束範囲や露光制御処理 (電子シャッター制御を含む)、多重加算 A D 変換処理のための各種の制御情報の設定値などの様々なデータを登録するなどのために利用される。

【 0 2 0 9 】

メモリ読出部 9 0 7 は、記録媒体 9 2 4 から読み出したデータを R A M 9 0 6 に格納 (インストール) する。通信 I / F 9 0 8 は、インターネットなどの通信網との間の通信データの受け渡しを仲介する。

【 0 2 1 0 】

なお、このような撮像装置 8 は、駆動制御部 7 およびカラム A D 変換部 2 6 を、画素アレイ部 1 0 と別体にしてモジュール状のもので示しているが、固体撮像装置 1 について述べたように、これらが画素アレイ部 1 0 と同一の半導体基板上に一体的に形成されたワンチップものの固体撮像装置 1 を利用してもよいのは言うまでもない。また、図では、画素アレイ部 1 0 や駆動制御部 7 やカラム A D 変換部 2 6 や参照信号生成部 2 7 やカメラ信号処理部 8 1 0 の他に、撮影レンズ 8 0 2、光学ローパスフィルタ 8 0 4、あるいは赤外光カットフィルタ 8 0 5 などの光学系をも含む状態で、撮像装置 8 を示しており、この態様は、これらを纏めてパッケージングされた撮像機能を有するモジュール状の形態とする場合に好適である。

【 0 2 1 1 】

ここで、前述の固体撮像装置 1 におけるモジュールとの関係においては、図示のように、画素アレイ部 1 0 (撮像部) と、A D 変換機能や差分 (C D S) 処理機能を具備したカラム A D 変換部 2 6 などの画素アレイ部 1 0 側と密接に関連した信号処理部 (カラム A D 変換部 2 6 の後段のカメラ信号処理部は除く) が纏めてパッケージングされた状態で撮像機能を有するモジュール状の形態で固体撮像装置 1 を提供するようにし、そのモジュール状の形態で提供された固体撮像装置 1 の後段に、残りの信号処理部であるカメラ信号処理部 8 1 0 を設けて撮像装置 8 の全体を構成するようにしてもよい。

【 0 2 1 2 】

または、図示を割愛するが、画素アレイ部 10 と撮影レンズ 802 などの光学系とが纏めてパッケージングされた状態で撮像機能を有するモジュール状の形態で固体撮像装置 1 を提供するようにし、そのモジュール状の形態で提供された固体撮像装置 1 に加えて、カメラ信号処理部 810 をもモジュール内に設けて、撮像装置 8 の全体を構成するようにしてもよい。また、固体撮像装置 1 におけるモジュールの形態として、カメラ信号処理部 810 を含めてもよく、この場合には、事実上、固体撮像装置 1 と撮像装置 8 とが同一のものに見なすこともできる。このような撮像装置 8 は、「撮像」を行なうための、たとえば、カメラや撮像機能を有する携帯機器として提供される。なお、「撮像」は、通常のカメラ撮影時の像の撮り込みだけではなく、広義の意味として、指紋検出なども含むものである。

10

【0213】

このような構成の撮像装置 8 においては、前述の固体撮像装置 1 の全ての機能を包含して構成されており、前述の固体撮像装置 1 の基本的な構成および動作と同様とすることができ、通常の参照信号比較型の A/D 変換処理だけでなく多重加算 A/D 変換処理を行なう仕組みを実現できるようになる。

【0214】

< 電子機器への適用 >

図 13 は、第 10 実施形態を説明する図である。第 10 実施形態は、前述の固体撮像装置 1 の各実施形態に採用していた A/D 変換処理の仕組みを電子機器に適用したものである。つまり、第 10 実施形態は、固体撮像装置以外の電子機器に本発明に係る A/D 変換処理方法や A/D 変換処理装置を適用する事例を示したものである。図 13 は、その電子機器の概略構成図である。

20

【0215】

第 1 ~ 第 9 実施形態では、参照信号比較型の A/D 変換処理を同一信号について W 回繰り返す多重加算 A/D 変換処理を固体撮像装置 1 や撮像装置 8 に適用した例で説明したが、その適用範囲は、固体撮像装置などに限らない。参照信号比較型の A/D 変換処理を基本とする多重加算 A/D 変換処理は、物理的な性質が同一の複数の信号間での積和演算結果のデジタルデータを取得するデータ処理の仕組みを必要とするあらゆる電子機器に適用できる。電子機器としても、少なくとも 1 つの処理対象信号については多重加算 A/D 変換処理を行なうことで、ノイズ低減やゲインアップやダイナミックレンジ拡大ができる。

30

【0216】

図示した電子機器 700 は、固体撮像装置 1 の欠陥画素を診断したり、あるいは動体検出処理をしたりするなど、積和演算結果に基づく様々な処理機能を持つ。具体的には、電子機器 700 はまず、アナログの処理対象信号を生成する信号生成部 701 を備える。信号生成部 701 は、固体撮像装置 1 の画素アレイ部 10 から出力される画素信号電圧 V_x を処理対象信号をして利用する構成となっている。つまり、本実施形態でも、処理対象信号としては、前記第 1 ~ 第 9 実施形態と同様に、固体撮像装置 1 の画素アレイ部 10 から出力される画素信号（画素信号電圧 V_x ）であるものとする。ただしこれは一例に過ぎず、積和演算に耐え得るように、物理的な性質が同一である信号である限り、画素信号に限らず任意の信号であってよい。

40

【0217】

電子機器 700 はまた、図中の中央部分に示す分割線の左側に配された、当該電子機器 700 の全体の動作を制御するパーソナルコンピュータなどを利用した制御装置 702 と、分割線の右側に配された、A/D 変換装置 705 を備える。A/D 変換装置 705 には、信号生成部 701 から画素信号電圧 V_x が供給される。なお、分割線で制御装置 702 と A/D 変換装置 705 とを分けるのではなく、その両者を含んで、複数の信号間での積和演算結果のデジタルデータを得るデータ処理装置の機能を持つ 1 つの A/D 変換部 706（A/D 変換装置）として構成してもよい。

【0218】

A/D 変換部 706（A/D 変換装置 705）は、比較部 752 およびカウンタ部 754 を

50

有する。比較部 752 は、信号生成部 701 (固体撮像装置 1) から取り込んだアナログの画素信号をデジタルデータに変換する。比較部 752 は比較部 252 に、カウンタ部 754 はカウンタ部 254 にそれぞれ対応するものであり、それらの基本的な動作は、前記第 1 ~ 第 8 実施形態の比較部 252 やカウンタ部 254 と同様である。

【 0 2 1 9 】

制御装置 702 は、A/D変換装置 705 を制御する機能要素として、比較部 752 に A/D変換用の参照電圧を供給する参照信号生成部 727 と、参照信号生成部 727 やカウンタ部 754 を制御するタイミング制御部 720 を備えている。タイミング制御部 720 は通信・タイミング制御部 20 に、参照信号生成部 727 は参照信号生成部 27 にそれぞれ対応するものであり、それらの基本的な動作は、第 1 ~ 第 8 実施形態の通信・タイミング制御部 20 や参照信号生成部 27 と同様である。

10

【 0 2 2 0 】

制御装置 702 は、積和演算処理対象の一方のデータを保持するデータ記憶部 728 と、カウンタ部 754 で得られた積和演算結果のデータ D8 に基づき固体撮像装置 1 を診断したりその他の判定処理をしたりするなどの機能を持つ判定・診断部 730 を備える。

【 0 2 2 1 】

このような電子機器 700 の構成において、固体撮像装置 1 の欠陥画素を診断する機能を実現するには、先ず比較対象となる正常な (画素欠陥のない) 固体撮像装置 1 の画素データ (正常データという) を取得し、この後、診断対象の固体撮像装置 1 から画素信号を読み出して、正常データとの間で差分処理を行ない、その結果に基づいて欠陥の有無を診断する。画素欠陥としては、たとえば暗時欠陥と明時欠陥とを診断するのがよく、暗時欠陥の診断のためには、固体撮像装置 1 を非露光状態にして正常データの取得や診断を行ない、また、明時欠陥の診断のためには、たとえば全白撮影状態として固体撮像装置 1 の正常データの取得や診断を行なう。

20

【 0 2 2 2 】

正常データを取得する場合、A/D変換装置 705 (A/D変換部 706) は、比較対象となる正常な固体撮像装置 1 から画素信号電圧 V_x を取得し、第 1 実施形態などで説明したと同様にして、参照信号生成部 727 から供給される参照信号 SLP_ADC と画素信号電圧 V_x を比較部 752 で比較する。

【 0 2 2 3 】

なお、本実施形態では、正常データを取得する際には、タイミング制御部 720 は、カウンタ部 754 や参照信号生成部 727 に対して、W 回の多重加算 A/D変換処理を行ない、かつその結果に対して W 回に対応した平均化を行なうように指示する。これは、画素信号電圧 V_x について W 回繰り返して A/D変換することで、高ゲインでデジタルデータに変換し、かつ高ゲインでデジタルデータを通常のレベルに戻すことを意味する。

30

【 0 2 2 4 】

カウンタ部 754 は、参照信号生成部 727 による参照信号 SLP_ADC の生成と同時にタイミング制御部 720 にて指示されたカウントモードにてカウントクロック CK0 (通常時は CKcnt1、多重加算時は CKcntW など) に基づきカウント処理を開始する。ここでは、タイミング制御部 720 は、カウンタ部 754 のカウントモードを、リセットレベルの処理時にはダウンカウントモードに設定し、信号レベルについてはアップカウントモードに設定することとする。これは、信号成分 V_{sig} に対応する画素データとして正のデータを取得することを意味する。

40

【 0 2 2 5 】

カウンタ部 754 は、比較部 752 の比較処理で用いる参照信号 SLP_ADC の生成時点から画素信号電圧 V_x と参照信号 SLP_ADC とが一致する時点までのカウントクロック CK0 を計数し、係数結果を自前の登録データ D9a として画素位置を対応付けてデータ記憶部 728 に登録する。A/D変換装置 705 は、このような処理を、撮像信号の全画素について繰り返す。

【 0 2 2 6 】

50

なお、正常データの取得は、必ずしもAD変換装置705を利用して取得するものでなくてもよく、たとえば、外部の機器にて正常データを取得し、この外部の機器から入力される登録データD9bを画素位置と対応付けてデータ記憶部728に登録するようにしてもよい。あるいは、正常時のデータは、画素位置に関わらず一定である(ムラはない)とすることもでき、この場合には、正常データの取得は不要である。

【0227】

暗時欠陥や明時欠陥の診断時には、固体撮像装置1を、各診断に応じた所定の露光状態とする。タイミング制御部720は、好ましくはW回の多重加算AD変換処理を行なうように指示する。暗時欠陥の診断時には加算平均化処理を行わずゲインアップしたデータを取得し、明時欠陥の診断時には加算平均化処理を行なうことで通常レベルのデータを取得するようにする。

10

【0228】

たとえば、タイミング制御部720は先ず、カウンタ部754のカウントモードを、リセットレベルについてはアップカウントモードに設定し、信号レベルについてはダウンカウントモードに設定する。これは、信号成分Vsigに対応する画素データとして負のデータを取得することを意味する。また、タイミング制御部720は、参照信号生成部727に対して、参照信号SLP_ADCの傾きを、通常時に対してW倍になるようにし、さらにカウンタ部754に対して通常時時に対してW倍高速で、AD変換をW回繰り返すように指示する。これは、各回では画素信号電圧Vxを通常時と同じゲインでデジタルデータに変換し、これをW回繰り返すことで、信号成分Vsigに対応する画素データとして負のデータをW倍して取得することを意味する。

20

【0229】

タイミング制御部720は、カウンタ部754に対して初期値制御信号CN7を発生し、処理対象の画素位置と同じ画素位置の正常時の画素データをデータ記憶部728から読み出してカウント処理の初期値とするように指示する。AD変換装置705は、診断対象の固体撮像装置1からアナログの画素信号電圧Vxを取得し、先ず比較部752において、参照信号生成部727から供給される所定の傾きで変化する参照信号SLP_ADCと画素信号電圧Vxとを比較する。カウンタ部754ではその比較結果に基づきカウントクロックCK0を計数する。

【0230】

判定・診断部730は、カウンタ部754にて得られるカウント値が示す、正常時と実働時の差を表わす積和演算データD8を欠陥判定データとして用いて、画素欠陥の有無を判定する。ここで、カウント結果としては、正常時の画素データから実働時の画素データを差し引いた値が得られる。画素欠陥がなければ、得られるカウント値は、誤差成分やノイズ成分だけとなり、十分に小さいと考えてよい。これに対して、画素欠陥がある場合には、正常時と実働時の画素データに大きな差が現われる。よって、判定・診断部730は、画素欠陥の判定に際しては、誤差成分やノイズ成分などによる誤判定を防止するべく、カウンタ部754にて得られる積和演算データD8が一定以上である場合に、画素欠陥があるものと判定するのがよい。

30

【0231】

このように、電子機器700を画素欠陥診断に用いる場合、比較部752とカウンタ部754の組合せからなるAD変換部706を用いて、正常デバイスと診断対象デバイスとの間で画素データの差分処理を行なうようにした。これにより、正常状態に対する実働状態の差を示すデジタルデータを、実働状態の画素信号についてAD変換をする際に、第1～第8実施形態で説明したと同様に、直接にカウンタ部754の出力として得ることができる。W回の多重加算AD変換処理を適用することで、S/Nの良好な診断データを用いて画素欠陥診断ができる。暗時欠陥の診断時には多重加算AD変換処理によるゲインアップ機能を利用することで、診断に十分なレベルのデータが得られる。

40

【0232】

なお、ここでは画素欠陥診断への適用例で説明したが、W回の多重加算AD変換処理の

50

適用例はこれに限らない。たとえば、動体検出機能を実現する際には、現フレームの画素信号電圧 V_x を固体撮像装置 1 から読み出して、前フレームの画素信号電圧 V_x との間で差分処理を行ない、その結果に基づいて動体を検出する。このとき、 W 回の多重加算 AD 変換処理を適用することで、 S/N の良好な動体検出データを取得できる。

【 0 2 3 3 】

< 第 1 比較例 >

図 1 4 および図 1 4 A は、第 1 比較例を説明する図である。第 1 比較例は、特開 2 0 0 6 - 2 2 2 7 8 2 号公報に記載されている仕組みである。図 1 4 に示すように、第 1 比較例では、多重積分型としてデジタル積分器を 2 段構成にし、2 段目の分解能を高いものを使うことで平均化によるノイズの改善を行なっている。

10

【 0 2 3 4 】

しかしながら、2 段構成にすることによるレジスタの増加や列ごとに比較電圧発生回路が必要になり、回路規模やレイアウトが大きくなる。また、参照信号 SLP_ADC を生成する回路（本実施形態の参照信号生成部 2 7 に相当）を共通で使用するカラム AD 方式では、図 1 4 A に示すように、平均化モードを画素ごとに設定する必要がありカラムで共通の参照信号 SLP_ADC を用いる構成での実現は困難である。これに対して、本実施形態の仕組みは、前記の説明から明らかなように、カラムで共通の参照信号 SLP_ADC を用いて多重積分処理が実現できる。

【 0 2 3 5 】

< 第 2 比較例 >

図 1 5 および図 1 5 A は、第 2 比較例を説明する図である。第 2 比較例は、特開 2 0 0 5 - 2 6 9 4 7 1 号公報に記載されている仕組みである。図 1 5 に示すように、第 2 比較例は、容量アンプ形式のカラム処理回路にて複数回のリセット電圧および信号電圧を、電圧モードにて加算読み出しするものである。

20

【 0 2 3 6 】

しかしながら、この場合、図 1 5 A に示すように、アナログ加算であるため、加算出力電圧の制限が電源電圧で決まり、加算回数（平均化回数）、つまりダイナミックレンジに制限がある。これに対して、本実施形態の仕組みは、デジタル領域での加算処理になるので、カウンタ部 2 5 4 やデータ記憶部 2 5 6 などを加算回数に対応したビット数にするなどの対処が必要であるものの、加算回数やダイナミックレンジは電源電圧の制約を受けない。

30

【 0 2 3 7 】

< 第 3 比較例 >

図 1 6 は、第 3 比較例を説明する図である。第 3 比較例は、特開 2 0 0 6 - 0 8 0 9 3 7 号公報に記載されている仕組みである。図 1 6 に示すように、第 3 比較例では、画素共有タイプで低照度、低露光時間時の使用において、加算により S/N の向上を行なうようにしている。

【 0 2 3 8 】

しかしながら、第 2 比較例と同様に、アナログ加算であるため、加算出力電圧の制限が電源電圧で決まり、加算回数やダイナミックレンジに制限がある。これに対して、本実施形態の仕組みは、第 2 比較例で説明したように、加算回数やダイナミックレンジは電源電圧の制約を受けない。

40

【 0 2 3 9 】

< 第 4 比較例 >

図 1 7 ~ 図 1 7 B は、第 4 比較例を説明する図である。第 4 比較例は、特開 2 0 0 6 - 1 7 4 3 2 5 号公報に記載されている仕組みである。第 4 比較例で、複数の画素加算を行なう場合に、加重のかけ方として、容量の比率を変える（図 1 7 を参照）、蓄積時間を変える（図 1 7 A を参照）、あるいは、アンプの増幅率を変える（図 1 7 B を参照）というものである。

【 0 2 4 0 】

50

しかしながら、これらの方式では、追加のサンプリング容量やアンプ回路が必要になる。また、別手法でも蓄積時間と信号量をリニアに変化させる必要があるなどの問題がある。これに対して、本実施形態の仕組みは、デジタル領域での加算処理でよく、容量比率、蓄積時間、アンプ増幅率などを変更する必要はない。

【 0 2 4 1 】

< 第 5 比較例 >

図示を割愛するが、たとえば特開 2 0 0 6 - 3 3 4 5 4 号公報には、第 1 の蓄積時間と第 2 の蓄積時間の画素信号を加算演算することによりダイナミックレンジの広い画像を取得する仕組みが開示されている（第 5 比較例と称する）。この方式は、要するに、蓄積時間が異なる同一画素の信号を加算することで出力画素データのレンジを広げるものである。同一画素（つまり同一蓄積時間）の P 相・D 相それぞれについて複数回の加算を行なう本実施形態の仕組みとは考え方が全く異なる。

10

【 図面の簡単な説明 】

【 0 2 4 2 】

【 図 1 】 固体撮像装置の第 1 実施形態の概略構成図である。

【 図 2 】 第 1 実施形態の D A 変換部の構成例を示す図である。

【 図 3 】 A D 変換処理と C D S 処理に着目した固体撮像装置の簡易的な回路構成図である。

【 図 3 A 】 多重加算 A D 変換の動作を説明するイメージ図である。

【 図 3 B 】 第 1 実施形態の固体撮像装置における多重加算 A D 変換とデジタル C D S を説明するタイミングチャートである。

20

【 図 4 】 第 1 実施形態の固体撮像装置の動作とフレームレートとの関係を説明する静止画撮影動作のイメージ図である。

【 図 5 】 第 2 実施形態の固体撮像装置の概略構成図である。

【 図 5 A 】 第 2 実施形態（第 1 例）の固体撮像装置に使用されるスイッチ部を説明する図である。

【 図 5 B 】 第 2 実施形態（第 2 例）の固体撮像装置に使用されるスイッチ部を説明する図である。

【 図 5 C 】 第 2 実施形態（第 3 例）の固体撮像装置に使用されるスイッチ部を説明する図である。

30

【 図 6 】 第 3 実施形態の固体撮像装置の概略構成図である。

【 図 6 A 】 第 3 実施形態の固体撮像装置の動作を説明する図である。

【 図 7 】 第 4 実施形態の固体撮像装置の概略構成図である。

【 図 7 A 】 第 4 実施形態の固体撮像装置において使用される参照信号生成部の構成例を示す図である。

【 図 7 B 】 第 4 実施形態の固体撮像装置における参照信号生成部の動作を説明する図である。

【 図 8 】 第 5 実施形態の固体撮像装置の概略構成図である。

【 図 8 A 】 第 5 実施形態の固体撮像装置の動作を説明するためのタイミングチャートである。

40

【 図 9 】 第 6 実施形態の固体撮像装置におけるノイズ特性に着目した簡易的な回路構成図である。

【 図 9 A 】 第 6 実施形態の固体撮像装置の動作を説明するタイミングチャートである。

【 図 1 0 】 第 7 実施形態の固体撮像装置におけるノイズ特性に着目した簡易的な回路構成図である。

【 図 1 0 A 】 第 7 実施形態の固体撮像装置の動作を説明するためのタイミングチャートである。

【 図 1 0 B 】 第 7 実施形態の固体撮像装置の動作における量子化ノイズを説明するための図である。

【 図 1 1 】 第 8 実施形態の固体撮像装置の動作を説明するためのタイミングチャートであ

50

る。

【図 1 1 A】第 8 実施形態の固体撮像装置の動作の効果を説明する図である。

【図 1 2】撮像装置（第 9 実施形態）の概略構成図である。

【図 1 3】電子機器（第 10 実施形態）の概略構成図である。

【図 1 4】第 1 比較例を説明する図（その 1）である。

【図 1 4 A】第 1 比較例を説明する図（その 2）である。

【図 1 5】第 2 比較例を説明する図（その 1）である。

【図 1 5 A】第 2 比較例を説明する図（その 2）である。

【図 1 6】第 3 比較例を説明する図である。

【図 1 7】第 4 比較例を説明する図（その 1）である。

10

【図 1 7 A】第 4 比較例を説明する図（その 2）である。

【図 1 7 B】第 4 比較例を説明する図（その 3）である。

【図 1 8】参照信号比較型の A/D 変換方式を適用した従来の固体撮像装置の構成例を示す図である。

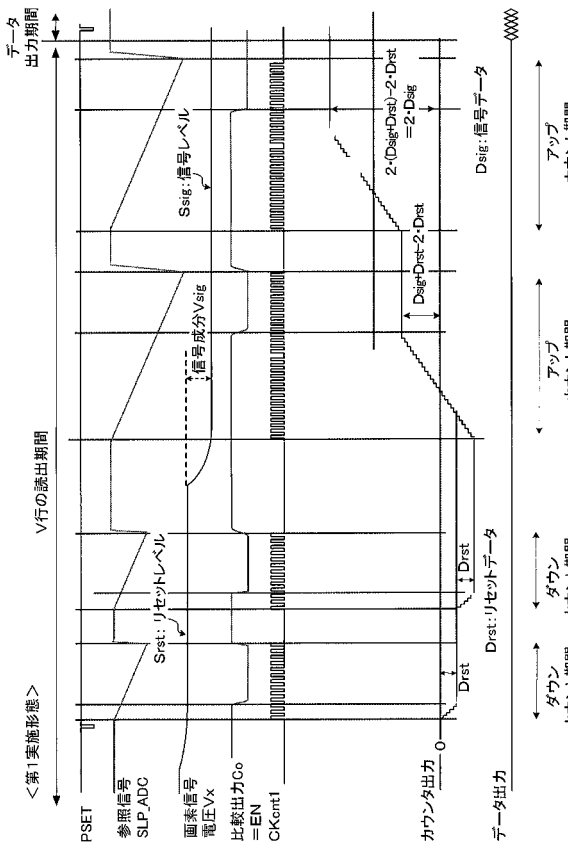
【符号の説明】

【0243】

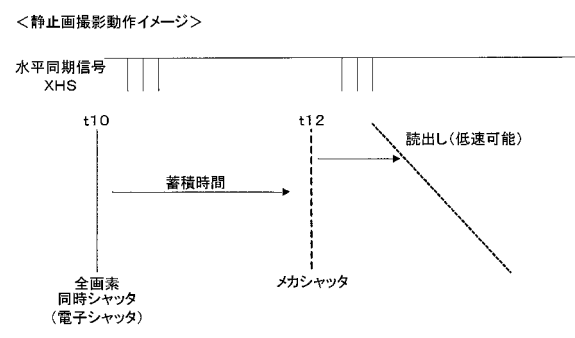
1 ... 固体撮像装置、10 ... 画素アレイ部、12 ... 水平走査部、14 ... 垂直走査部、18 ... 水平信号線、19 ... 垂直信号線、20 ... 通信・タイミング制御部、250 ... A/D 変換部、252 ... 比較部、254 ... カウンタ部、256 ... データ記憶部、258 ... スイッチ部、26 ... カラム A/D 変換部、27 ... 参照信号生成部、270 ... D/A 変換部、28 ... 出力部、29 ... デジタル演算部、3 ... 単位画素、302 ... 電流源部、312 ... カウンタ部、314 ... オフセット生成部、340, 342 ... 抵抗素子、344 ... スイッチ、346 ... 電流電圧変換部、7 ... 駆動制御部、700 ... 電子機器、701 ... 信号生成部、702 ... 制御装置、705 ... A/D 変換装置、706 ... A/D 変換部、720 ... タイミング制御部、727 ... 参照信号生成部、728 ... データ記憶部、730 ... 判定・診断部、752 ... 比較部、754 ... カウンタ部、8 ... 撮像装置、900 ... カメラ制御部（主制御部）

20

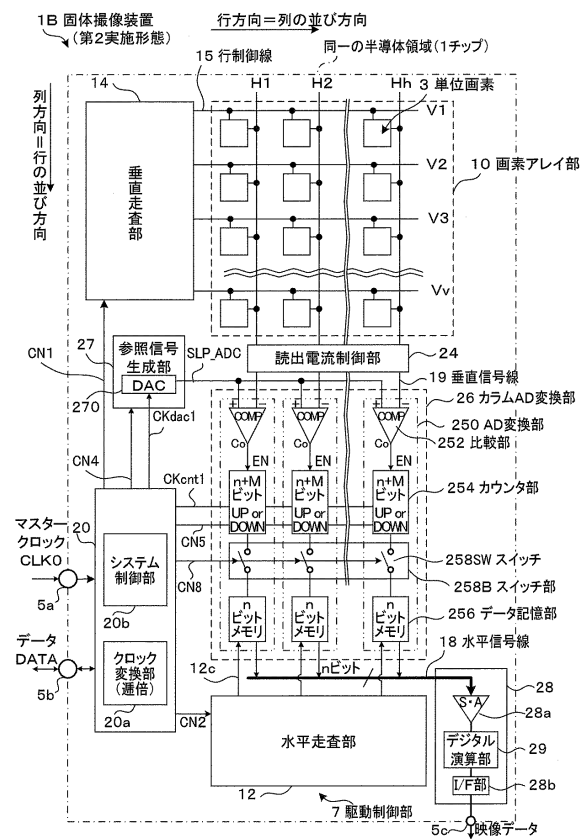
【図3B】



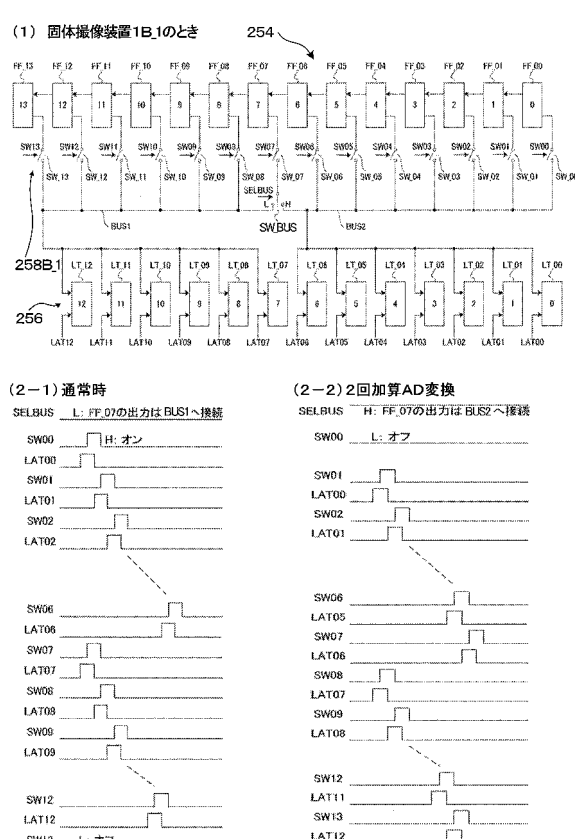
【図4】



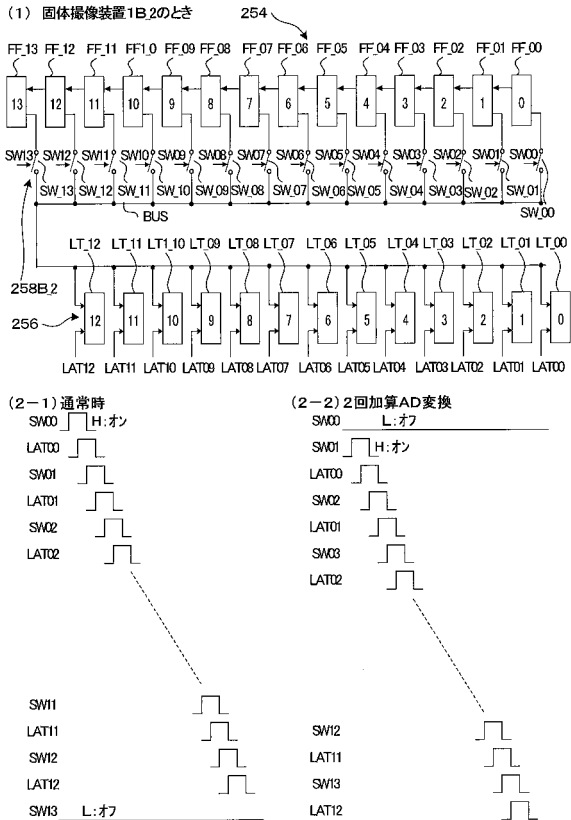
【図5】



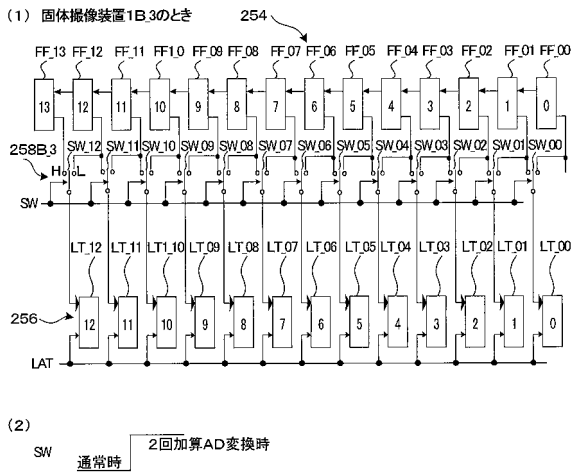
【図5A】



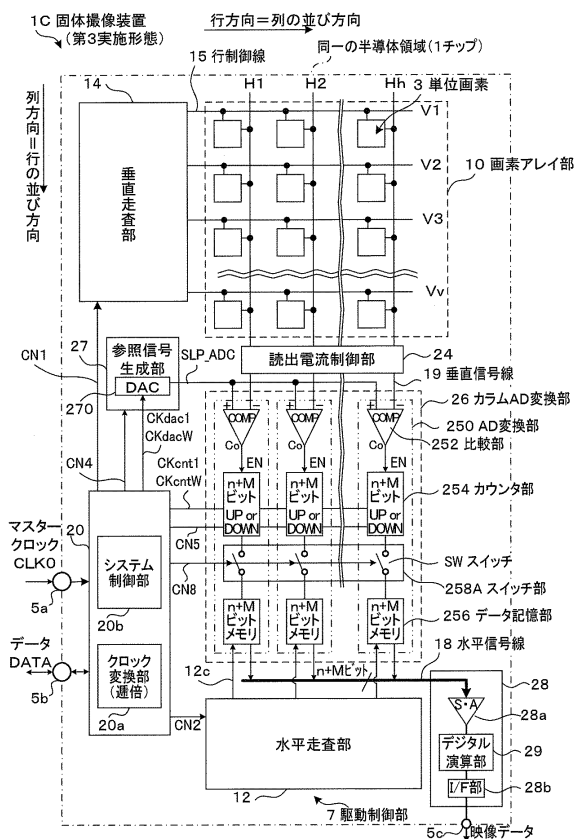
【図5B】



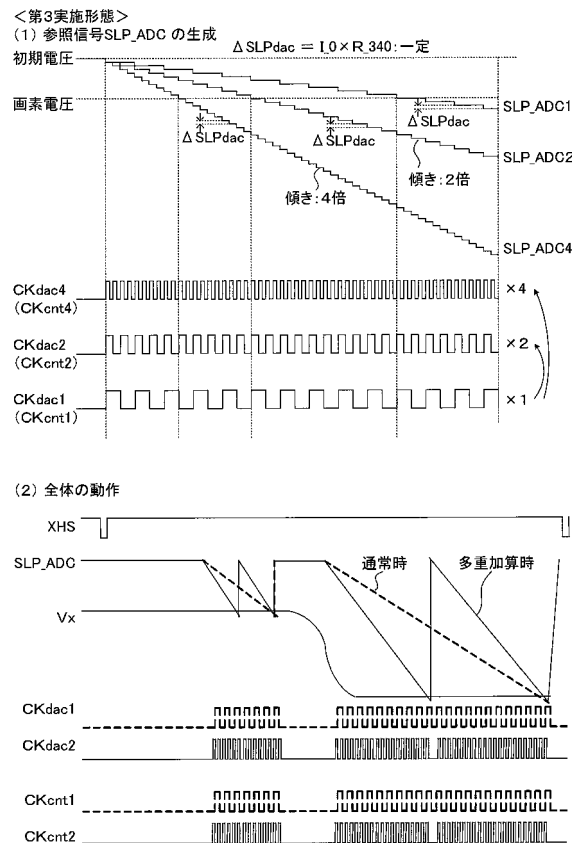
【図5C】



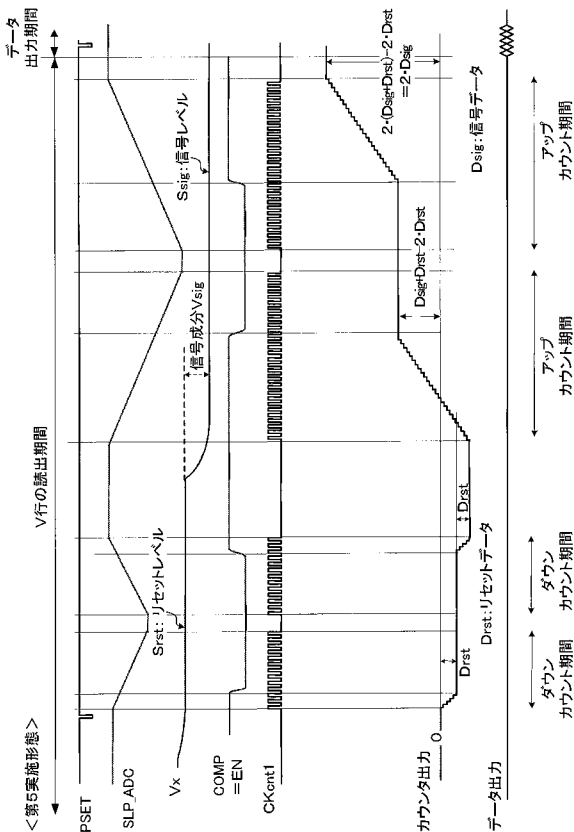
【図6】



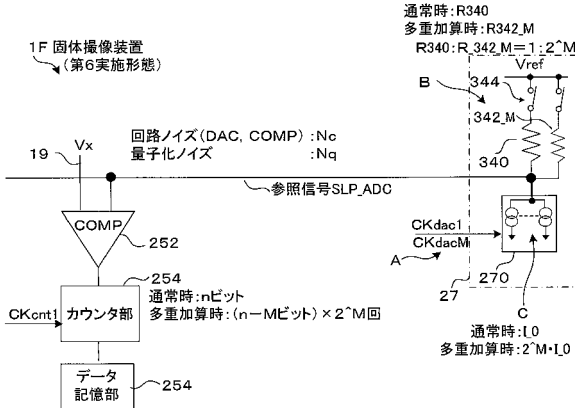
【図6A】



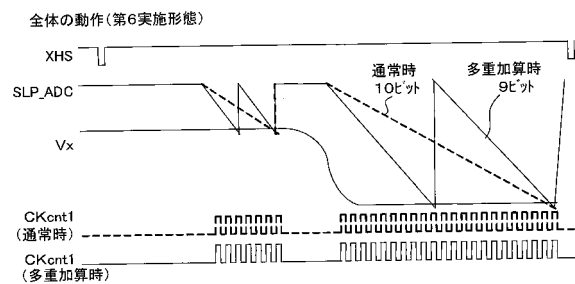
【図8A】



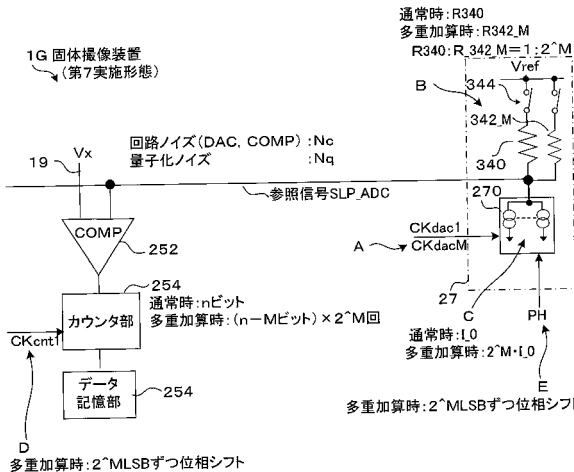
【図9】



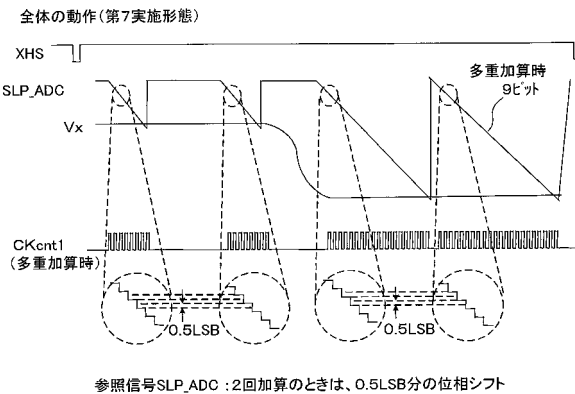
【図9A】



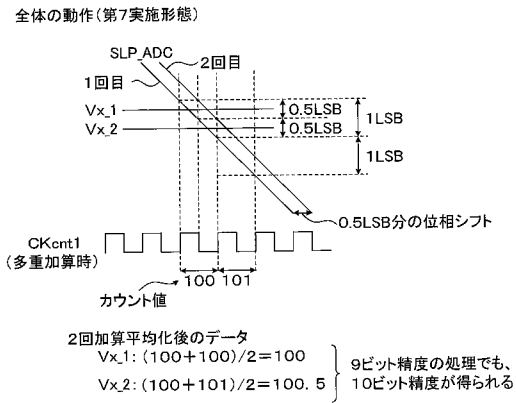
【図10】



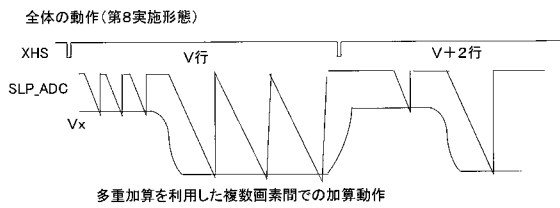
【図10A】



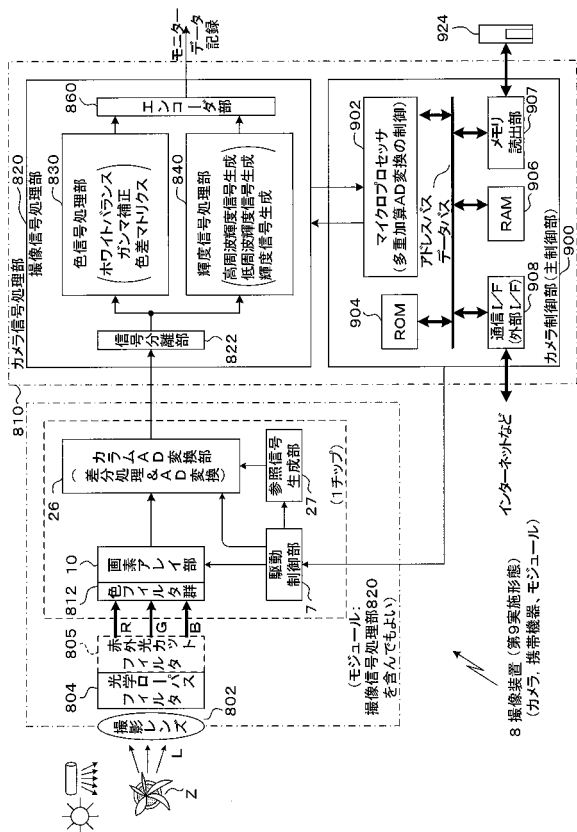
【図10B】



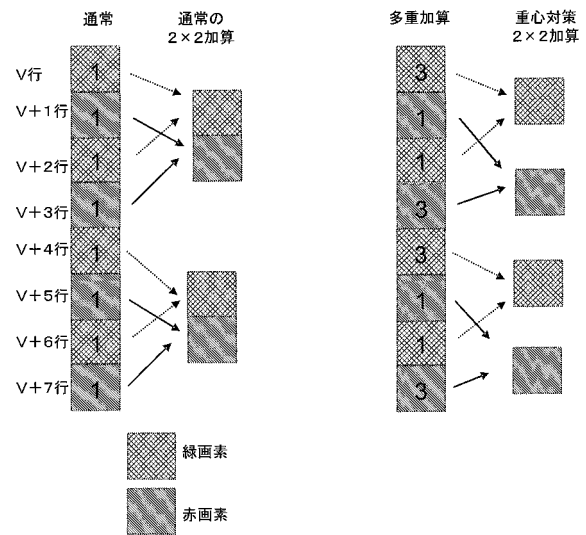
【図11】



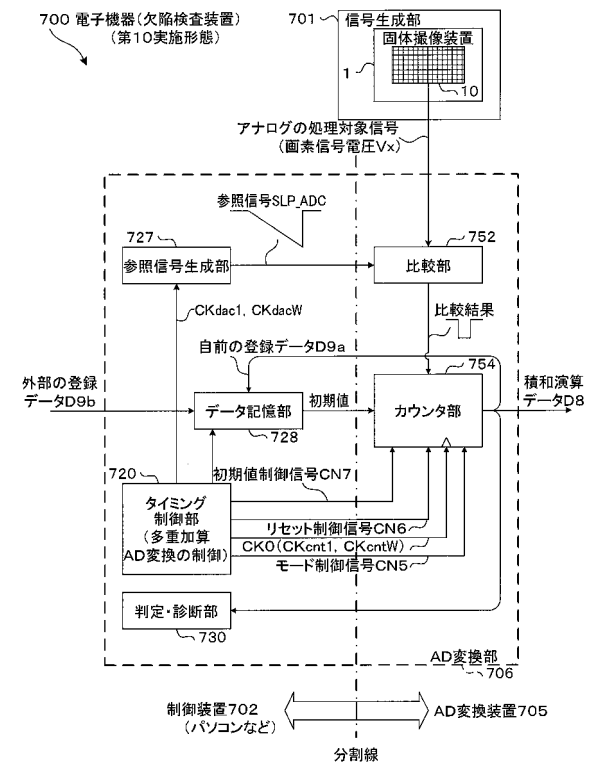
【図12】



【図11A】

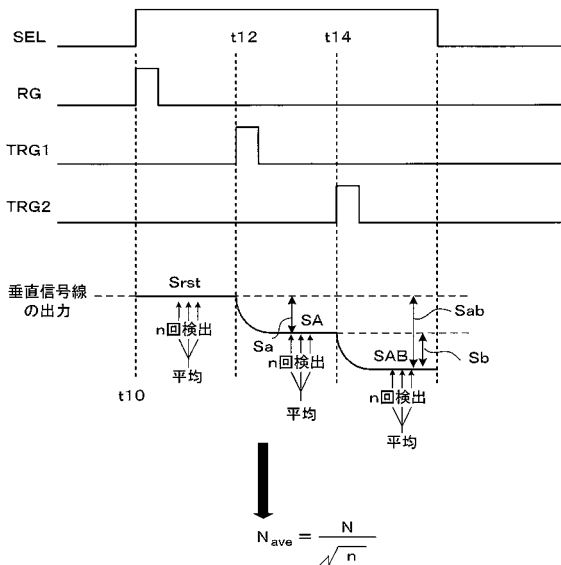


【図13】



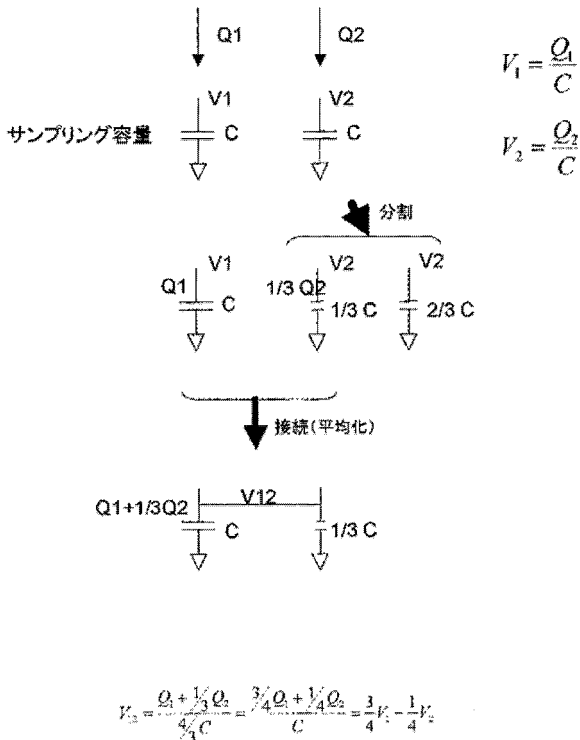
【図16】

<第3比較例:特開2006-080937号公報の図5>



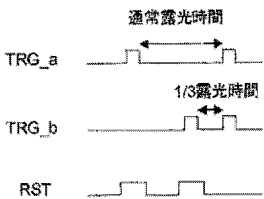
【図17】

<第4比較例:特開2006-174325号公報の図4>



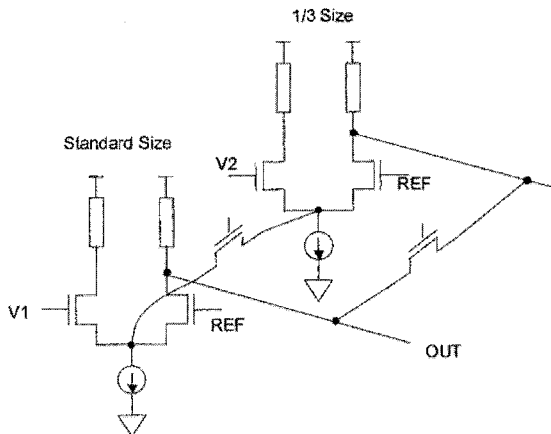
【図17A】

<第4比較例:特開2006-174325号公報の図7>

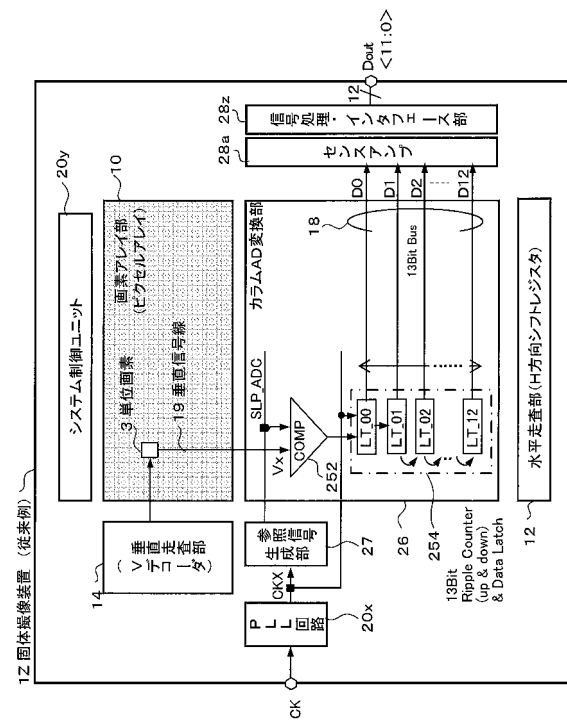


【図17B】

<第4比較例:特開2006-174325号公報の図8>



【図18】



フロントページの続き

(72)発明者 山形 優輝

神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

審査官 柳下 勝幸

(56)参考文献 特開2008-067357(JP,A)

国際公開第2008/016049(WO,A1)

特開2006-022782(JP,A)

特開2003-023549(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M1/00-1/88

H04N 5/3745

H04N 5/378