

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-129708

(P2005-129708A)

(43) 公開日 平成17年5月19日(2005.5.19)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 29/78 3 7 1	4 G O 7 2
CO 1 B 33/027	CO 1 B 33/027	5 F O 8 3
HO 1 L 27/115	HO 1 L 27/10 4 3 4	5 F 1 O 1
HO 1 L 29/788		
HO 1 L 29/792		

審査請求 有 請求項の数 19 O L (全 9 頁)

(21) 出願番号 特願2003-363411 (P2003-363411)
 (22) 出願日 平成15年10月23日 (2003.10.23)

特許法第30条第1項適用申請有り

(71) 出願人 504139662
 国立大学法人名古屋大学
 愛知県名古屋市千種区不老町1番
 (72) 発明者 近藤 博基
 愛知県名古屋市天白区井口1-604 メ
 ゾンクロード201
 (72) 発明者 安田 幸夫
 愛知県愛知郡長久手町五合池103
 (72) 発明者 財満 鎮明
 愛知県春日井市高座台5-5-64
 (72) 発明者 酒井 朗
 愛知県名古屋市緑区篠の風3-252 滝
 ノ水住宅6-205

最終頁に続く

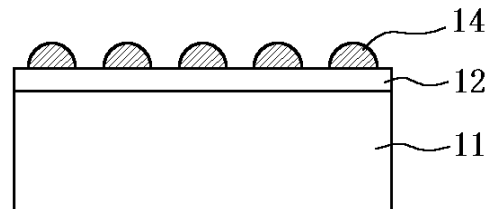
(54) 【発明の名称】 シリコンナノ結晶の作製方法、シリコンナノ結晶、フローティングゲート型メモリキャパシタ構造の作製方法、及びフローティングゲート型メモリキャパシタ構造

(57) 【要約】

【課題】 高密度かつ微細化されたナノ結晶を作製する技術を確立し、これを利用して実用的な半導体ドットメモリを提供する。

【解決手段】 シリコン基板11の表面部分に酸化シリコン層12を形成する。次いで、シリコン基板11上に酸化シリコン層12を介してアモルファスシリコン層13を好ましくは1nm以下の厚さに形成する。次いで、好ましくはシリコン基板11を400~800 に加熱した状態で、アモルファスシリコン層13をシランガスに暴露して、高密度化及び微細化されたシリコンナノ結晶14を形成する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

シリコン基板の上方にアモルファスシリコン層を形成する工程と、
前記アモルファスシリコン層上に原料ガスを供給し、シリコンナノ結晶を形成する工程と、
を具えることを特徴とする、シリコンナノ結晶の作製方法。

【請求項 2】

前記アモルファスシリコン層の厚さが 1 nm 以下であることを特徴とする、請求項 1 に記載のシリコンナノ結晶の作製方法。

【請求項 3】

前記原料ガスはシランガスであることを特徴とする、請求項 1 又は 2 に記載のシリコンナノ結晶の作製方法。

10

【請求項 4】

前記シリコンナノ結晶は、前記シリコン基板を加熱した状態で、前記アモルファスシリコン層を前記原料ガスに暴露することによって形成することを特徴とする、請求項 1 ~ 3 のいずれかーに記載のシリコンナノ結晶の作製方法。

【請求項 5】

前記シリコン基板の加熱温度が 200 ~ 1000 であることを特徴とする、請求項 4 に記載のシリコンナノ結晶の作製方法。

【請求項 6】

前記シリコンナノ結晶の数密度が $1 \times 10^{12} / \text{cm}^2$ 以上であることを特徴とする、請求項 1 ~ 5 のいずれかーに記載のシリコンナノ結晶の作製方法。

20

【請求項 7】

前記シリコンナノ結晶の大きさが 10 nm 以下であることを特徴とする、請求項 1 ~ 6 のいずれかーに記載のシリコンナノ結晶の作製方法。

【請求項 8】

シリコン基板の上方に形成され、数密度が $1 \times 10^{12} / \text{cm}^2$ 以上であることを特徴とする、シリコンナノ結晶。

【請求項 9】

大きさが 10 nm 以下であることを特徴とする、請求項 8 に記載のシリコンナノ結晶。

30

【請求項 10】

シリコン基板の表面部分に酸化シリコン層を形成する工程と、
前記シリコン基板上に前記酸化シリコン層を介してアモルファスシリコン層を形成する工程と、

前記アモルファスシリコン層上に原料ガスを供給し、シリコンナノ結晶を形成する工程と、

前記シリコンナノ結晶の表面を酸化する工程と、

前記シリコンナノ結晶を埋設するように追加のアモルファスシリコン層を形成する工程と、

前記追加のアモルファスシリコン層に熱酸化処理を施し、追加の酸化シリコン層を形成する工程と、

40

前記追加の酸化シリコン層上に電極を形成する工程と、
を具えることを特徴とする、フローティングゲート型メモリキャパシタ構造の作製方法。

【請求項 11】

前記アモルファスシリコン層の厚さが 1 nm 以下であることを特徴とする、請求項 1 に記載のフローティングゲート型メモリキャパシタ構造の作製方法。

【請求項 12】

前記原料ガスはシランガスであることを特徴とする、請求項 10 又は 11 に記載のフローティングゲート型メモリキャパシタ構造の作製方法。

【請求項 13】

50

前記シリコンナノ結晶は、前記シリコン基板を加熱した状態で、前記アモルファスシリコン層を前記原料ガスに暴露することによって形成することを特徴とする、請求項10～12のいずれか一に記載のフローティングゲート型メモリキャパシタ構造の作製方法。

【請求項14】

前記シリコン基板の加熱温度が200～1000であることを特徴とする、請求項13に記載のフローティングゲート型メモリキャパシタ構造の作製方法。

【請求項15】

前記シリコンナノ結晶の数密度が $1 \times 10^{12} / \text{cm}^2$ 以上であることを特徴とする、請求項10～14のいずれか一に記載のフローティングゲート型メモリキャパシタ構造の作製方法。

10

【請求項16】

前記シリコンナノ結晶の、前記表面酸化処理以前における大きさが10nm以下であることを特徴とする、請求項10～15のいずれか一に記載のフローティングゲート型メモリキャパシタ構造の作製方法。

【請求項17】

前記シリコンナノ結晶の、前記追加のアモルファスシリコン層の前記熱酸化処理後における大きさが10nm以下であることを特徴とする、請求項10～16のいずれか一に記載のフローティングゲート型メモリキャパシタ構造の作製方法。

【請求項18】

シリコン基板の上方に形成され、数密度が $1 \times 10^{12} / \text{cm}^2$ 以上であるシリコンナノ結晶と、

20

前記シリコンナノ結晶の上方において、酸化シリコン層を介して形成された電極と、を具え、

前記シリコンナノ結晶がメモリとして機能することを特徴とする、フローティングゲート型メモリキャパシタ構造。

【請求項19】

前記シリコンナノ結晶の大きさが10nm以下であることを特徴とする、請求項18に記載のフローティングゲート型メモリキャパシタ構造。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、シリコンナノ結晶の作製方法、シリコンナノ結晶、フローティングゲート型メモリキャパシタ構造の作製方法、及びフローティングゲート型メモリキャパシタ構造に関する。

【背景技術】

【0002】

半導体ドットメモリでは、数密度 $1 \times 10^{12} / \text{cm}^2$ 以上、結晶粒径10nm以下の高密度ナノ結晶が必要とされる。従来においては、上述したナノ結晶を作製するに当り、CVD法などの従来の成膜技術を用いた膜形成に、表面化学処理（薬液処理）を適用する方法などが検討されていた。しかしながら、上述したような高密度のナノ結晶を作製するには至っていない。

40

【0003】

かかる問題を解消すべく、上述したプロセスを複数回繰り返してナノ結晶を多段階で形成し、結果として高密度のナノ結晶を得る試みがなされている。しかしながら、このような方法では、隣接するナノ結晶同士が重なりあい、ナノ結晶の配置密度が均一とならなくなるため、結果としてメモリとしての特性に大きなばらつきを生じさせてしまう原因となっていた。

【発明の開示】

【発明が解決しようとする課題】

【0004】

50

本発明は、高密度かつ微細化されたナノ結晶を作製する技術を確立し、これを利用して実用的な半導体ドットメモリを提供することを目的とする。

【課題を解決するための手段】

【0005】

上記目的を達成すべく、本発明は、シリコン基板の上方にアモルファスシリコン層を形成する工程と、前記アモルファスシリコン層上に原料ガスを供給し、シリコンナノ結晶を形成する工程と、を具えることを特徴とする、シリコンナノ結晶の作製方法に関する。

【0006】

本発明によれば、シリコン基板の上方に微小な厚さのアモルファスシリコン層を形成し、次いで、前記アモルファスシリコン層上に原料ガスを供給してシリコンナノ結晶を作製する。このとき、前記アモルファスシリコン層は前記シリコンナノ結晶が高密度かつ微小な大ききで成長するための核として良好に機能する。その結果、前記シリコンナノ結晶は、例えば $1 \times 10^{12} / \text{cm}^2$ 以上の数密度であって、10 nm以下の大きさまで高密度及び微細化することができるようになる。したがって、前記シリコンナノ結晶はドットメモリとして使用できるようになり、前記シリコンナノ結晶を利用した半導体ドットメモリの提供が可能となる。

【0007】

なお、前記アモルファスシリコン層は、前記シリコン基板上に直接形成することもできるし、所定の間層を介して形成することもできる。特に、以下に詳述するフローティングゲート型メモリキャパシタ構造などの半導体ドットメモリを作製する際には、前記シリコン基板とその上方に形成された素子構造とを電気的に絶縁するために酸化シリコン層などを形成することができる。

【0008】

本発明の好ましい態様においては、前記アモルファスシリコン層の厚さを1 nm以下とする。これによって、高密度かつ微細化されたシリコンナノ結晶を簡易に形成できるようになる。

【0009】

また、前記シリコンナノ結晶を形成する際には、前記シリコン基板を例えば200 ~ 1000、さらには400 ~ 800 に加熱した状態で行うことが好ましい。これによって、前記アモルファスシリコン層を、前記原料ガスに暴露させるのみで、前記シリコンナノ結晶を形成できるようになる。すなわち、前記シリコンナノ結晶の形成を簡易に行うことができる。

【0010】

なお、前記原料ガスとしては、特にシリコン基板の加熱操作を通じて前記シリコンナノ結晶を形成する場合においては、シランガスを好ましく用いることができる。

【0011】

また、本発明は、シリコン基板の表面部分に酸化シリコン層を形成する工程と、前記シリコン基板上に前記酸化シリコン層を介してアモルファスシリコン層を形成する工程と、前記アモルファスシリコン層上に原料ガスを供給し、シリコンナノ結晶を形成する工程と、前記シリコンナノ結晶の表面を酸化する工程と、前記シリコンナノ結晶を埋設するように追加のアモルファスシリコン層を形成する工程と、前記追加のアモルファスシリコン層に熱酸化処理を施し、追加の酸化シリコン層を形成する工程と、前記追加の酸化シリコン層上に電極を形成する工程と、

10

20

30

40

50

を具えることを特徴とする、フローティングゲート型メモリキャパシタ構造の作製方法に関する。

【0012】

本発明のフローティングゲート型メモリキャパシタ構造の作製方法は、上述した工程に従って形成された高密度かつ微細化されたシリコンナノ結晶を用いてメモリキャパシタ構造を作製するようにしている。したがって、前記シリコンナノ結晶の高密度かつ微細化を反映して、前記シリコンナノ結晶がドットメモリとして機能するようになり、実用的な半導体ドットメモリの提供が可能となる。

【発明の効果】

【0013】

以上説明したように、本発明によれば、高密度かつ微細化されたナノ結晶を作製することができ、これを利用して実用的な半導体ドットメモリを提供することが可能となる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の詳細、並びにその他の特徴及び利点について詳述する。

図1は、本発明のフローティングゲート型メモリキャパシタ構造の作製方法の一例における工程図である。上述したように、本発明のフローティングゲート型メモリキャパシタ構造は、本発明のシリコンナノ結晶の作製方法を含む。

【0015】

最初に、図1に示すように、シリコン基板11を準備し、このシリコン基板11の表面部分に熱酸化などの公知の手法を用いて酸化シリコン層12を形成する。次いで、図2に示すように、電子線蒸着法などの公知の手法を用いて、シリコン基板11上に酸化シリコン層12を介してアモルファスシリコン層13を形成する。上述したように、アモルファスシリコン層13の厚さは1nm以下であることが好ましい。

【0016】

これによって、高密度かつ微細化されたシリコンナノ結晶を簡易に形成できるようになる。なお、アモルファスシリコン層13の厚さの下限は特に限定されるものではないが、0.1nmであることが好ましい。

【0017】

次いで、図3に示すように、好ましくはシリコン基板11を200 ~ 1000、好ましくは400 ~ 800 に加熱した状態で、アモルファスシリコン層13をシランガスに暴露する。このとき、前記シランガスはアモルファスシリコン層13上で熱分解するとともに、熱分解して生成されたシリコン元素がアモルファスシリコン13を核として結晶成長し、図4に示すようなシリコンナノ結晶14が形成される。シリコンナノ結晶14の数密度は $1 \times 10^{12} / \text{cm}^2$ 以上まで高密度化されるとともに、10nm以下の大きさまで微細化される。

【0018】

なお、シリコンナノ結晶14の大きさとはい、シリコンナノ結晶14の底面の大きさ、すなわち前記底面の直径又は一辺の長さを意味するものである。

【0019】

また、前記シランガスとしては、現在汎用されているジシランガス及びトリシランガス、その他高次のシラン系ガスを使用することができる。また、シランガスの水素が官能基で置換されたアルコキシシランガスなどのシランガスをも用いることもできる。

【0020】

次いで、図5に示すように、シリコンナノ結晶14に対して熱酸化処理などを施すことにより、その表面に酸化層14Aを形成し、次いで、図6に示すように、電子線蒸着法などの公知の手法を用いることによって、シリコンナノ結晶14を埋設するようにして、追加のアモルファスシリコン層15を形成する。次いで、追加のアモルファスシリコン層15に熱酸化処理を施し、図7に示すように、追加のアモルファスシリコン層15を追加の酸化シリコン層16に転換する。

10

20

30

40

50

【0021】

なお、追加のアモルファスシリコン層15に対する熱酸化処理において、シリコンナノ結晶14の表面部分がさらに酸化されるようになるが、酸化の進行に伴う内部応力の増加によって前記酸化の進行が停止する。したがって、シリコンナノ結晶14は狭小化された状態で残存するようになる。なお、最終的に得たフローティングゲート型メモリキャパシタ構造を実用的なドットメモリとして使用すべく、このときのシリコンナノ結晶14の大きさも10nm以下であることが好ましい。

【0022】

次いで、図8に示すように、追加の酸化シリコン層16上に電極17を形成し、フローティングゲート型メモリキャパシタ構造を形成する。このメモリキャパシタ構造においては、追加の酸化シリコン層16中に埋設された、狭小化されたシリコンナノ結晶14がメモリとして機能する。そして、シリコンナノ結晶14は $1 \times 10^{12} / \text{cm}^2$ 以上の数密度を有し、さらに10nm以下にまで狭小化されているので、前記メモリキャパシタは実用的な半導体ドットメモリとして機能するようになる。

10

【実施例】

【0023】

(実施例1)

アモルファスシリコン層13の厚さを1nmとするとともに、シリコン基板11を610に加熱し、ジシランガス(Si_2H_6)を用い、上述した図1~4の工程に従ってシリコンナノ結晶14の作製を試みた。図9は、得られたシリコンナノ結晶14の高分解能TEM写真である。図9より、約10nmの大きさのシリコンナノ結晶が得られていることが分かる。なお、TEM観察により、シリコンナノ結晶14の配置密度及び大きさはほぼ均一であることが確認された。

20

【0024】

(実施例2)

実施例1で得られたシリコンナノ結晶に対して、上述した図5~7に示す工程を施した。なお、追加のアモルファスシリコン層15の厚さは20nmとした。図10は、追加のアモルファスシリコン層15に対する熱酸化処理後の状態を示す断面TEM写真である。図10より、上述したシリコンナノ結晶14は前記熱酸化によって約5nmまで狭小化されていることが判明した。なお、TEM観察により、狭小化されたシリコンナノ結晶14の配置密度及び大きさはほぼ均一であることが確認された。

30

【0025】

以上、具体例を挙げながら発明の実施の形態に基づいて本発明を詳細に説明してきたが、本発明は上記内容に限定されるものではなく、本発明の範疇を逸脱しない限りにおいてあらゆる変形や変更が可能である。

【図面の簡単な説明】

【0026】

【図1】本発明のフローティングゲート型メモリキャパシタ構造の作製方法における一工程を示す断面図である。

【図2】図1に示す工程の次の工程を示す断面図である。

40

【図3】図2に示す工程の次の工程を示す断面図である。

【図4】図3に示す工程の次の工程を示す断面図である。

【図5】図4に示す工程の次の工程を示す断面図である。

【図6】図5に示す工程の次の工程を示す断面図である。

【図7】図6に示す工程の次の工程を示す断面図である。

【図9】本発明にシリコンナノ結晶の高分解能TEM写真である。

【図10】同じく、本発明にシリコンナノ結晶の高分解能TEM写真である。

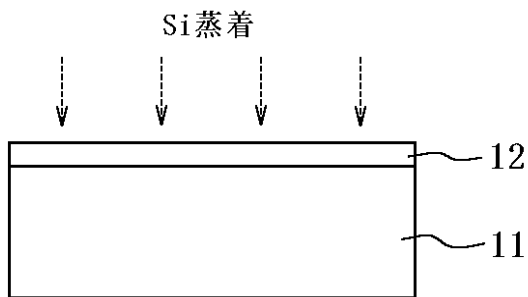
【符号の説明】

【0027】

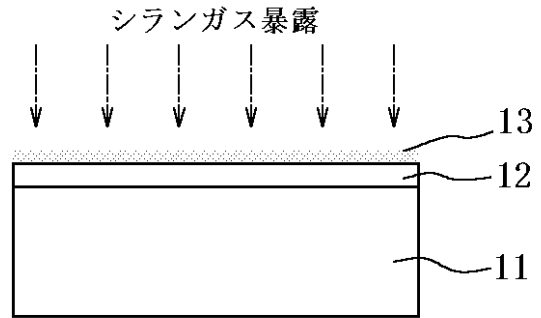
50

- 1 1 シリコン基板
- 1 2 酸化シリコン層
- 1 3 アモルファスシリコン層
- 1 4 シリコンナノ結晶
- 1 5 追加のアモルファスシリコン層
- 1 6 追加の酸化シリコン層
- 1 7 電極

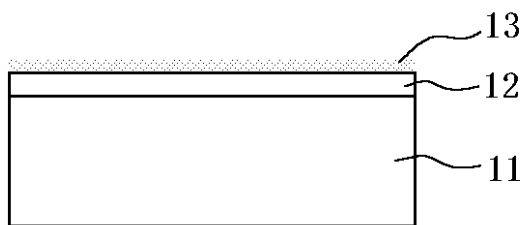
【図 1】



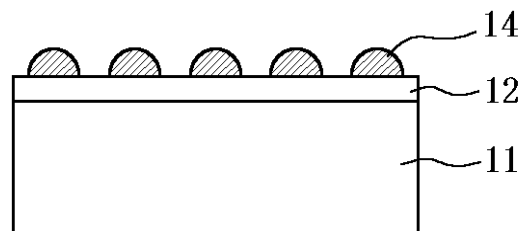
【図 3】



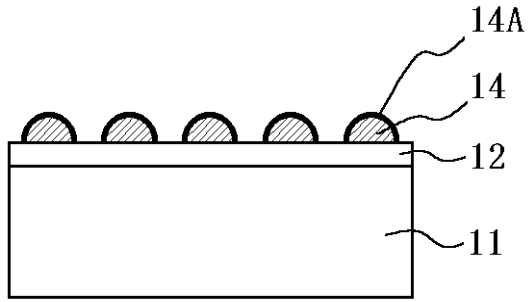
【図 2】



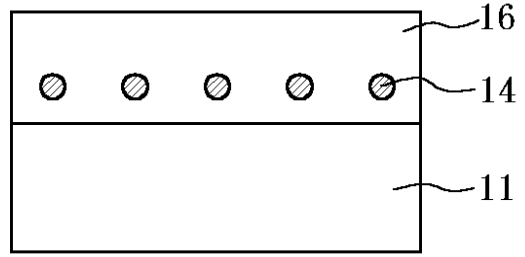
【図 4】



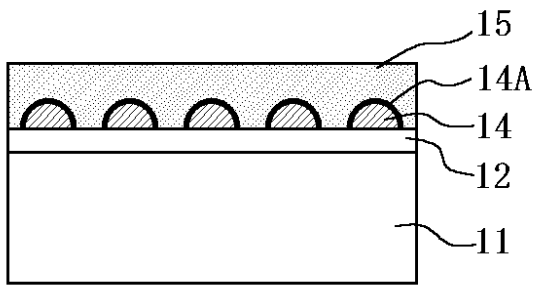
【 図 5 】



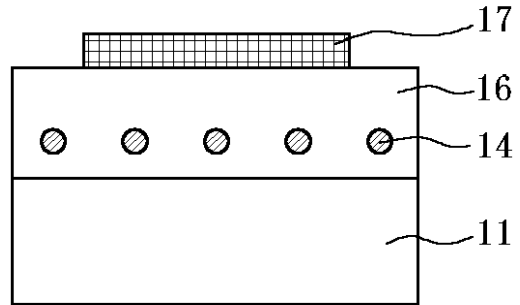
【 図 7 】



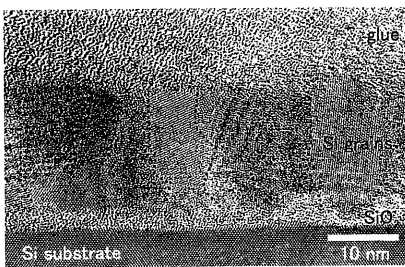
【 図 6 】



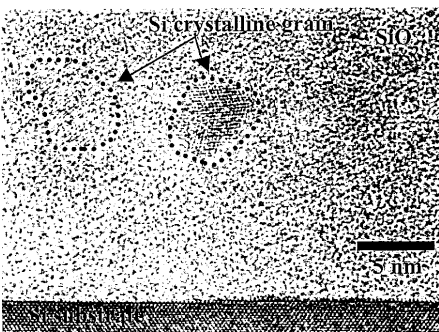
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(72)発明者 坂下 満男

愛知県名古屋市緑区徳重二丁目 1 2 0 5 - 6

(72)発明者 内藤 慎哉

愛知県豊田市市木町 1 - 2 - 1 0

(72)発明者 佐竹 正城

愛知県名古屋市千種区田代本通 5 丁目 6 清和荘 2 号

F ターム(参考) 4G072 AA01 BB20 DD07 FF09 GG03 HH01 HH03 NN13 TT01 UU01

5F083 EP07 EP17 EP22 JA33 PR12

5F101 BA19 BA54 BB02 BD02 BH03