

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 2 月 4 日(04.02.2016)



(10) 国際公開番号
WO 2016/017292 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01) *H01L 21/66* (2006.01)
- (21) 国際出願番号: PCT/JP2015/066660
- (22) 国際出願日: 2015 年 6 月 10 日(10.06.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-157753 2014 年 8 月 1 日(01.08.2014) JP
- (71) 出願人: 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: 加賀美 徹也 (KAGAMI Tetsuya); 〒4078511 山梨県韮崎市藤井町北下条 2 3 8 1-1 東京エレクトロン株式会社内 Yamanashi (JP). 鈴木 貫二 (SUZUKI Kanji); 〒4078511 山梨県韮崎市藤井町北下条 2 3 8 1-1 東京エレクトロン株式会社内 Yamanashi (JP).
- (74) 代理人: 渡邊 和浩, 外 (WATANABE Kazuhiro et al.); 〒2520231 神奈川県相模原市中央区相模原 2 丁目 1 3 番 2 号 服部相模原ビル 7 0 3 Kanagawa (JP).

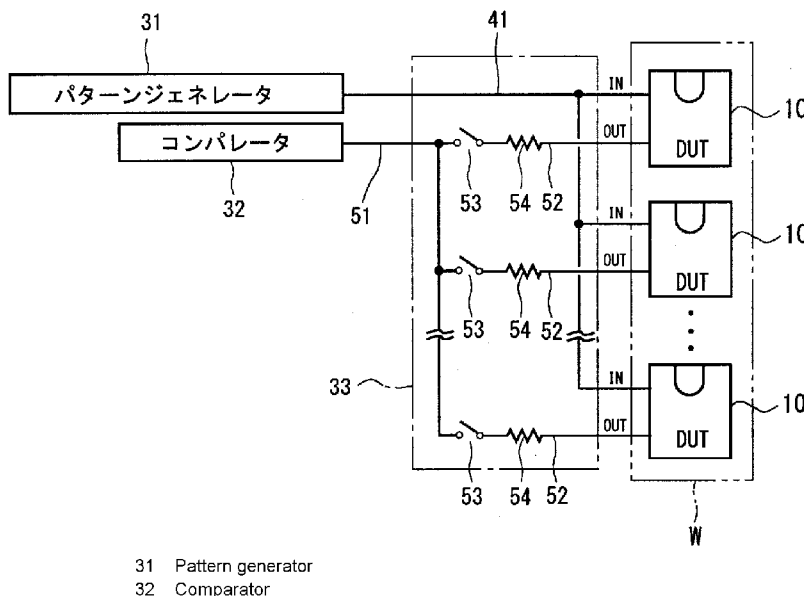
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: DEVICE INSPECTION METHOD, PROBE CARD, INTERPOSER, AND INSPECTION APPARATUS

(54) 発明の名称: デバイスの検査方法、プローブカード、インターポーズ及び検査装置



31 Pattern generator
32 Comparator

(57) Abstract: A signal input/output circuit (33) is provided with an input line (41), a common output line (51), a plurality of separated output lines (52), relay switch sections (53), and resistive elements (54). The common output line (51) is connected to a comparator (32), said common output line synthesizing response signals transmitted from a plurality of devices under test (DUT) (10), and transmitting a signal. In response to a test signal transmitted from a pattern generator (31), the comparator (32) compares the synthesized response signal with a threshold value, said synthesized response signal having been formed by synthesizing, into one signal, the response signals outputted from respective DUT (10).

(57) 要約: 信号入出力回路 33 は、入力ライン 41 と、共通出力ライン 51 と、複数の個別出力ライン 52 と、リレースイッチ部 53 と、抵抗素子 54 とを備えている。コンパレータ 32 には、複数の DUT 10 からの応答信号を合成して伝送する共通出力ライン 51 が接続されている。コンパレータ 32 は、パターン

ジェネレータ 31 から送られた試験信号に応答して、複数の DUT 10 からそれぞれ出力された応答信号を一つに合成した合成応答信号を、閾値と比較する。

明 細 書

発明の名称：

デバイスの検査方法、プローブカード、インターポーザ及び検査装置

技術分野

[0001] 本発明は、デバイスの電気的特性を検査するデバイスの検査方法、それに用いるプローブカード、インターポーザ及び検査装置に関する。

背景技術

[0002] 半導体ウェハ（以下、「ウエハ」と記すことがある）に形成された集積回路、半導体メモリなどのデバイスの電気的特性の検査は、プローブカードを有する検査装置を用いて行われる。プローブカードは、ウエハ上のデバイスの電極パッドに接触させらせる複数のプローブ（接触子）を備えている。そして、各プローブをウエハ上の各電極パッドに接触させた状態で、テストから各プローブに電気信号を送ることにより、ウエハ上の電子回路の検査が行われる。

[0003] 近年、電子回路パターンの微細化が進行するとともに、ウエハが大型化しているため、一枚のウエハ上に形成されるデバイスの数が飛躍的に増加している。そのため、一つのテストを複数の検査対象デバイス（以下、「DUT」と記すことがある）に接続して順次検査する方法では、すべてのDUTについて検査を完了するまでに長時間かかってしまう、という問題があった。

[0004] 日本国特開平4-158275号公報（特許文献1）では、テストに並列に接続された2個以上のDUTに対して一度にリーク電流の測定を行い、規格値Aに対して、同時に測定したDUTのリーク電流の和Bが小さい場合（ $A > B$ ）は、全てのDUTを合格と判定し、 $A < B$ の場合は、少なくとも一つのDUTを不合格と判定して、引き続きDUT毎にリーク電流の測定を個別に行う検査方法が提案されている。特許文献1の検査方法では、リーク電流の和Bを指標としているが、リーク電流値はDUTによって異なる値になるため、同時測定の結果が $A < B$ である場合に、不良のDUTの個数を推定す

ることはできない。

発明の概要

- [0005] 本発明は、複数のデバイスの電気的特性を検査する場合に、短時間で効率良く検査できる検査方法を提供するものである。
- [0006] 本発明のデバイスの検査方法は、基板上に形成された複数のデバイスの電気的特性を検査するデバイスの検査方法である。デバイスの検査方法は、テストに並列に接続された複数のデバイスに対して、前記テストから同時に試験信号を入力する第1のステップと、入力された前記試験信号に基づく前記複数のデバイスからの応答信号の合成値に基づき、前記複数のデバイスの1つ以上が不合格であるか否かの判定を行う第2のステップと、を含むことを特徴とする。
- [0007] 本発明のデバイスの検査方法は、前記第2のステップが、前記合成値を予め設定された閾値と比較し、前記閾値を充足しない場合は、前記複数のデバイスの1つ以上が不合格である、と判定するものであってもよい。この場合、前記第2のステップで前記閾値を充足しない場合に、前記閾値とは異なる新たな閾値を設定するステップをさらに備えていてもよく、前記新たな閾値を使用して、再度、前記第1のステップ及び前記第2のステップを行ってもよい。
- [0008] 本発明のデバイスの検査方法は、前記新たな閾値を設定するステップと、前記第1のステップと、前記第2のステップとを、前記新たな閾値を充足するまで繰り返し実行することによって、不合格である前記デバイスの数を検出してもよい。
- [0009] 本発明のデバイスの検査方法は、前記閾値が、多段階に設定されていてもよく、 N 回目（ただし、 N は1以上の正の整数を意味する）の判定で設定される閾値を TH_N 、 $N+1$ 回目の判定で設定される閾値を TH_{N+1} とすると、 $TH_N > TH_{N+1}$ の関係を有していてもよい。ここで、本発明のデバイスの検査方法は、前記複数のデバイスが n 個（ただし、 n は2以上の正の整数を意味する）のデバイスからなり、前記 n 個のデバイスの全てが合格である場合

の前記応答信号の合成値が S_0 である場合に、前記閾値 TH_N は、次の式（1）の関係を満たすものであってもよい。

[0010] [数1]

$$S_0 \times [n - (N - 1)] / n \geq TH_N > S_0 \times (n - N) / n \cdots (1)$$

[0011] 本発明のデバイスの検査方法は、前記デバイスが、不揮発性半導体メモリであってもよく、前記第1のステップ及び前記第2のステップが、前記不揮発性半導体メモリの書き込み試験として実行されるものであってもよい。

[0012] 本発明のプロブカードは、基板上に形成された複数のデバイスの電気的特性を検査するテストと、前記基板との間に配置されるものである。本発明のプロブカードは、複数の前記デバイスの電極パッドにそれぞれ接触させる複数のプローブと、前記複数のプローブを支持する支持基板と、を備えている。そして、本発明のプロブカードにおいて、前記支持基板は、前記プローブに接続され、前記テストからの試験信号を複数の前記デバイスに伝送する入力ラインと、前記プローブに接続され、前記試験信号に基づく前記デバイスからの応答信号を伝送する複数の個別出力ラインと、複数の前記個別出力ラインを統合し、複数の前記デバイスからの前記応答信号を合成して前記テストへ向けて伝送する共通出力ラインと、を有し、前記個別出力ラインに、前記デバイスの内部抵抗よりも大きな抵抗を有する抵抗部を備えていることを特徴とする。

[0013] 本発明のプロブカードは、前記個別出力ラインに、さらに、前記抵抗部と直列に接続されたりレスイッチ部を有していてもよい。

[0014] 本発明のインターポーザは、基板上に形成された複数のデバイスの電気的特性を検査するテストと、前記基板との間に配置されるものである。そして、本発明のインターポーザは、前記テストからの試験信号を、複数の前記デバイスに向けて伝送する入力ラインと、前記試験信号に基づく前記デバイスからの応答信号を伝送する複数の個別出力ラインと、複数の前記個別出力ラインを統合し、複数の前記デバイスからの前記応答信号を合成して前記テス

タへ向けて伝送する共通出力ラインと、を有し、前記個別出力ラインに、前記デバイスの内部抵抗よりも大きな抵抗を有する抵抗部を備えていることを特徴とする。

[0015] 本発明のインターポーザは、前記個別出力ラインに、さらに、前記抵抗部と直列に接続されたりレスイッチ部を有していてもよい。

[0016] 本発明の検査装置は、基板上に形成された複数のデバイスの電気的特性を検査するものである。本発明の検査装置は、前記デバイスを検査するための試験信号を生成するパターングジェネレータと、前記試験信号に基づく複数の前記デバイスからの応答信号を合成した合成応答信号を閾値と比較するコンパレータと、前記パターングジェネレータ及びコンパレータと前記デバイスとの間に介在する信号入出力回路と、を備えている。そして、本発明の検査装置において、前記信号入出力回路は、前記試験信号を、複数の前記デバイスに向けて伝送する入力ラインと、前記試験信号に基づく前記デバイスからの応答信号を伝送する複数の個別出力ラインと、複数の前記個別出力ラインを統合し、複数の前記デバイスからの前記応答信号を合成して前記コンパレータへ向けて伝送する共通出力ラインと、を有し、前記個別出力ラインに、前記デバイスの内部抵抗よりも大きな抵抗を有する抵抗部を備えていることを特徴とする。

[0017] 本発明の検査装置は、前記個別出力ラインに、さらに、前記抵抗部と直列に接続されたりレスイッチ部を有していてもよい。また、本発明の検査装置は、前記パターングジェネレータによる前記試験信号の生成を制御する信号制御部と、前記コンパレータによる、前記閾値と前記合成応答信号との比較情報に基づき、複数の前記デバイスのうち、1つ以上が不合格であるか否かを判定する判定部と、前記判定部によって、前記複数のデバイスのうち、1つ以上が不合格である、と判定された場合に、前記閾値とは異なる新たな閾値を設定する閾値設定部と、を有する制御部を、さらに備えていてもよい。

図面の簡単な説明

[0018] [図1]本発明の実施の形態に係る検査装置の概略構成を示す断面図である。

[図2]本発明の実施の形態における信号入出力回路の一例を示す概略構成図である。

[図3]図1に示した制御部のハードウェア構成の一例を示す図面である。

[図4]図1に示した制御部の機能ブロック図である。

[図5]従来の検査方法における試験信号及び応答信号と閾値の説明図である。

[図6]本実施の形態の検査方法で得られる合成応答信号の大きさを説明する図面である。

[図7]本実施の形態の検査方法における合成応答信号に対する閾値の設定例について説明する図面である。

[図8]本発明の一実施の形態に係る検査方法の手順の一例を示すフローチャートである。

発明を実施するための形態

[0019] [検査装置]

図1は、本発明の一実施の形態に係る検査装置の概略構成を示す断面図である。図1において、検査装置100は、ローダー室1と、複数の検査対象デバイス(DUT)10(図1では図示せず)が形成されたウエハWを収容する検査室2と、ウエハW上のDUT10の電気的特性検査を行うテスト3と、これら検査装置100の各構成部を制御する制御部4を備えている。

[0020] <ローダー室>

ローダー室1は、ウエハWを搬送する搬送領域を形成する。

[0021] <検査室>

検査室2は、ウエハWを載置する載置台11と、載置台11の上方に配置されたホルダ12と、を有している。載置台11は、ウエハWを載置した状態で、ウエハWをX、Y、Z及び θ 方向に移動させることが可能に構成されている。ホルダ12は、プローブカード13を支持する。プローブカード13は、支持基板13aと複数のプローブ(接触子)13bとを有している。プローブカード13は、多数の接続端子を有する接続リング21及びインターポーザ(又はパフォーマンズボード)22、テストヘッド(図示省略)を

介してテスト３と電氣的に接続されている。

[0022] また、検査室２は、ホルダ１２に支持されたプローブカード１３の複数のプローブ１３ｂと、載置台１１上のウエハＷに形成された複数のＤＵＴ１０の電極パッド（図示せず）との位置合わせを行うためのアライメント機構１４をさらに備えている。

[0023] ＜テスト＞

テスト３は、各ＤＵＴ１０に電気信号を送るとともに、ＤＵＴ１０からの応答信号を受信してウエハＷ上のＤＵＴ１０の電氣的特性検査を行う。テスト３は、パターンジェネレータ３１とコンパレータ３２を備えている。

[0024] 図２は、パターンジェネレータ３１及びコンパレータ３２と、複数のＤＵＴ１０とを電氣的に接続する信号入出力回路３３の一例を示す概略構成図である。

[0025] パターンジェネレータ３１は、ＤＵＴ１０を検査するための試験信号を生成する。パターンジェネレータ３１と複数のＤＵＴ１０との間は、途中で複数に分岐した配線である入力ライン４１によって接続されている。

[0026] コンパレータ３２は、パターンジェネレータ３１から送られた試験信号に応答して、複数のＤＵＴ１０からそれぞれ出力された応答信号、又は、複数のＤＵＴ１０からの応答信号を一つに合成した信号（以下、「合成応答信号」と記すことがある）を、閾値と比較する。コンパレータ３２には、複数のＤＵＴ１０からの応答信号を合成して伝送する配線である共通出力ライン５１が接続されている。コンパレータ３２と複数のＤＵＴ１０との間は、共通出力ライン５１及び各ＤＵＴ１０からの配線である個別出力ライン５２によって接続されている。

[0027] ＜信号入出力回路＞

図２に示すように、信号入出力回路３３は、入力ライン４１と、共通出力ライン５１と、複数の個別出力ライン５２と、リレースイッチ部５３と、抵抗素子５４とを備えている。本実施の形態において、信号入出力回路３３は、テスト３、プローブカード１３の支持基板１３ａ、又は、インターポーザ

(又はパフォーマンスボード) 22のいずれかに実装されていればよい。

[0028] 入力ライン41は、途中で、一度に検査を行うDUT10の数に応じて分岐しており、パターンジェネレータ31と複数のDUT10とを並列に接続している。パターンジェネレータ31で生成した試験信号は、入力ライン41を介して複数のDUT10に向けて伝送される。なお、入力ライン41には、パターンジェネレータ31と複数のDUT10との接続／非接続を切り替えるためのリレースイッチ部などが設けられていてもよい。また、入力ライン41は、各DUT10へ試験信号を同時に送信できる限り、図2に示した構成に限らない。

[0029] 共通出力ライン51は、パターンジェネレータ31から入力された試験信号に基づき、各DUT10から出力される応答信号を伝送する複数の個別出力ライン52が統合されてなるものである。各DUT10から出力された応答信号は、個別出力ライン52及び共通出力ライン51を介してコンパレータ32へ伝送される。

[0030] 各個別出力ライン52には、リレースイッチ部53と、抵抗素子54が直列に設けられている。なお、リレースイッチ部53と抵抗素子54との配列順序は問わない。

[0031] リレースイッチ部53は、コンパレータ32と複数のDUT10との接続／非接続を切り替える場合に用いることができる。各DUT10からの応答信号を一つに合成する場合には、すべてのリレースイッチ部53を接続状態(ON)にすればよい。各DUT10からの応答信号を個別にコンパレータ32に送る場合には、一つの個別出力ライン52のリレースイッチ部53のみを接続状態(ON)にして、他の個別出力ライン52のリレースイッチ部53は非接続状態(OFF)にすればよい。なお、各DUT10からの応答信号を個別にコンパレータ32に送る必要がない場合、リレースイッチ部53は設けなくてもよい。

[0032] 抵抗素子54は、応答信号を選別する作用を有するとともに、各個別出力ライン52に接続された共通出力ライン51におけるインピーダンスを調節

するために、各DUT10の内部抵抗（出力インピーダンス）よりも大きな抵抗を有している。

[0033] <制御部>

検査装置100の各構成部は、それぞれ制御部4に接続されて、制御部4によって制御される。制御部4は、典型的にはコンピュータである。図3は、図1に示した制御部4のハードウェア構成の一例を示している。制御部4は、主制御部101と、キーボード、マウス等の入力装置102と、プリンタ等の出力装置103と、表示装置104と、記憶装置105と、外部インターフェース106と、これらを互いに接続するバス107とを備えている。主制御部101は、CPU（中央処理装置）111、RAM（ランダムアクセスメモリ）112およびROM（リードオンリメモリ）113を有している。記憶装置105は、情報を記憶できるものであれば、その形態は問わないが、例えばハードディスク装置または光ディスク装置である。また、記憶装置105は、コンピュータ読み取り可能な記録媒体115に対して情報を記録し、また記録媒体115より情報を読み取るようになっている。記録媒体115は、情報を記憶できるものであれば、その形態は問わないが、例えばハードディスク、光ディスク、フラッシュメモリなどである。記録媒体115は、本実施の形態に係る検査方法のレシピを記録した記録媒体であってもよい。

[0034] 制御部4では、CPU111が、RAM112を作業領域として用いて、ROM113または記憶装置105に格納されたプログラムを実行することにより、本実施の形態の検査装置100においてウェハW上に形成されたDUT10に対する検査を実行できるようになっている。具体的には、制御部4は、検査装置100において、各構成部（例えば、載置台11、アライメント機構14、パターンジェネレータ31、コンパレータ32、リレースイッチ部53等）を制御する。

[0035] 図4は、制御部4の機能ブロック図であり、テスト3におけるパターンジェネレータ31と、コンパレータ32との関係も示している。図4に示すよ

うに、制御部4は、信号制御部121と、判定部122と、閾値設定部123とを備えている。これらは、CPU111が、RAM112を作業領域として用いて、ROM113または記憶装置105に格納されたソフトウェア（プログラム）を実行することによって実現される。なお、例えばFPGA（フィールド・プログラマブル・ゲート・アレイ）などを利用して、信号制御部121、判定部122及び閾値設定部123と同様の機能をプロブカード13、又は、インターポーザ（又はパフォーマンスボード）22に持たせてもよい。また、制御部4は、他の機能（例えばリレースイッチ部53の接続／非接続を切り替える制御機能など）も有しているが、詳細な説明は省略する。

[0036] 信号制御部121は、パターンジェネレータ31による試験信号の生成を制御する。具体的には、信号制御部121は、パターンジェネレータ31に対して制御信号を送り、パターンジェネレータ31で生成するクロック信号及びデータ信号の種類、生成／停止などを指示する。

[0037] 判定部122は、コンパレータ32から、閾値と合成応答信号との比較情報を取得し、該比較情報に基づき、複数のDUT10のうち、1つ以上が不合格であるか否か、つまり、全てのDUT10が合格であるか否か、を判定する。なお、この判定作業は、判定部122で行わず、コンパレータ32で行ってもよい。また、判定部122は、後述する手順に基づき、複数のDUT10の中で、FAIL信号を出力したDUT10の個数を判定することができる。

[0038] 閾値設定部123は、コンパレータ32において、コンパレートを行うための閾値を設定する。閾値設定部123は、多段階に複数の閾値を設定することが可能であり、閾値は、動的に変更され得る。例えば、判定部122（又はコンパレータ32）によって、第1の閾値と合成応答信号との比較情報から、複数のDUT10の中の1つ以上が不合格である、と判定された場合、閾値設定部123は、第1の閾値とは異なる新たな閾値として、第2の閾値を設定することができる。

- [0039] ここで、閾値設定部 1 2 3 における閾値の設定方法について、図 5 及び図 6 を参照して説明する。図 5 は、従来の検査方法における試験信号及び応答信号と閾値の説明図である。パターンジェネレータ 3 1 は、クロック信号（C L K）及びデータ信号（D A T A）を生成し、これらが試験信号として、各 D U T 1 0 へ入力される。その結果、各 D U T 1 0 からは、応答信号が出力され、この応答信号のレベルに基づき、コンパレータ 3 2 で各 D U T 1 0 の合否（P A S S / F A I L）が判断される。例えば、コンパレータ 3 2 で比較を行う際の閾値 T H が 3 V であるとする、応答信号が 3 V 以上であれば合格（P A S S）、3 V 未満であれば不合格（F A I L）と判断される。このように、各 D U T 1 0 からの個別応答信号には、閾値 T H を充足する P A S S 信号と、閾値 T H を充足しない F A I L 信号とが含まれる場合がある。従って、合成応答信号は、P A S S 信号だけから合成される場合と、F A I L 信号だけから合成される場合と、P A S S 信号及び F A I L 信号から合成される場合があり得る。
- [0040] 図 6（A）、（B）、（C）は、本実施の形態の検査方法で得られる合成応答信号の大きさ（例えば電圧値）を示している。図 7 は、本実施の形態の検査方法における合成応答信号に対する閾値の設定例について説明する図面である。図 6 及び図 7 では、D U T 1 0 が 3 つの場合を例に挙げている。各 D U T 1 0 に対して、パターンジェネレータ 3 1 からの入力される信号レベル及び信号パターンは、同じ内容である。それに対して、各 D U T 1 0 からの個別応答信号は、上記のとおり、合格（P A S S）と不合格（F A I L）が含まれる可能性があり、すべて P A S S の場合と、P A S S と F A I L が混在している場合では、1 つに合成された合成応答信号が異なる値となる。
- [0041] 例えば、D U T 1 0 の個別応答信号の出力レベルが H i（P A S S）：3 [V] 及び L o w（F A I L）：0 [V] の 2 値である場合、3 個の D U T 1 0 の個別応答信号の出力レベル S_0 がすべて H i であれば、図 6（A）に示すように、合成応答信号の出力レベル S_0 は、 $S_0 = 3$ [V] となる。
- [0042] また、3 個の D U T 1 0 の中の 2 個の D U T 1 0 の個別応答信号の出力レ

ベル S_D が H_i であり、1 個の $DUT10$ の個別応答信号の出力レベル S_D が Low である場合、図 6 (B) に示すように、合成応答信号の出力レベル S_1 は $2 [V] [= 3 [V] \times (3 - 1) / 3]$ となる。

[0043] さらに、3 個の $DUT10$ の中の 1 個の $DUT10$ の個別応答信号の出力レベル S_D が H_i であり、2 個の $DUT10$ の個別応答信号の出力レベル S_D が Low である場合、図 6 (C) に示すように、合成応答信号の出力レベル S_2 は $1 [V] [= 3 [V] \times (3 - 2) / 3]$ となる。なお、 $DUT10$ の出力インピーダンスは、 $H_i : 3 [V]$ 及び $Low : 0 [V]$ で同じであるものとする。

[0044] つまり、 n 個の $DUT10$ のすべてが、同じ出力レベル $S_D [V]$ の $PASS$ 信号を出力した場合、合成応答信号の出力レベル S_0 は、 $S_0 [V] = S_D [V] \times n / n$ となる。また、 n 個の $DUT10$ の中の 1 つの $DUT10$ が $FAIL$ 信号を出力し、他の $DUT10$ が $PASS$ 信号を出力した場合、合成応答信号の出力レベル S_1 は、 $S_1 [V] = S_D [V] \times (n - 1) / n$ となる。 n 個の $DUT10$ の中の 2 つの $DUT10$ が $FAIL$ 信号を出力し、他の $DUT10$ が $PASS$ 信号を出力した場合、合成応答信号の出力レベル S_2 は、 $S_2 [V] = S_D [V] \times (n - 2) / n$ となる。

[0045] 本実施の形態の検査方法では、合成応答信号の出力レベルを、コンパレータ 32 によって、順次、閾値 TH_1 、 TH_2 、 $TH_3 \cdots$ と比較することが好ましい。判定部 122 は、合成応答信号の出力レベルが閾値 TH を充足する場合は「全ての $DUT10$ が合格である」と判定し、閾値 TH を充足しない場合は、「一つ以上の $DUT10$ が不合格である」と判定する。

[0046] 図 7 に示すように、1 回目の判定では、使用する閾値 TH_1 を、3 つの $DUT10$ の全てが合格 ($PASS$) である場合の合成応答信号の出力レベル S_0 と、1 つの $DUT10$ が不合格 ($FAIL$) である場合の合成応答信号の出力レベル S_1 との間に設定しておけばよい。これによって、合成応答信号の出力レベルが閾値 TH_1 以上であれば、全ての $DUT10$ が合格 ($PASS$) であり、閾値 TH_1 未満であれば、1 つ以上の $DUT10$ が不合格 ($FAIL$)

であると判断できる。

[0047] また、2回目の判定では、使用する閾値 TH_2 を、1つのDUT10が不合格（F A I L）である場合の合成応答信号の出力レベル S_1 と、2つのDUT10が不合格（F A I L）である場合の合成応答信号の出力レベル S_2 との間に設定しておけばよい。これによって、1回目の判定結果と合わせて、合成応答信号の出力レベルが閾値 TH_2 以上であれば、2つのDUT10が合格（P A S S）であり、1つのDUT10が不合格（F A I L）であると判断できる。また、合成応答信号の出力レベルが閾値 TH_2 未満であれば、2つ以上のDUT10が不合格（F A I L）であると判断できる。

[0048] さらに、3回目の判定では、使用する閾値 TH_3 を、2つのDUT10が不合格（F A I L）である場合の合成応答信号の出力レベル S_2 未満に設定しておけばよい。これによって、1回目及び2回目の判定結果と合わせて、合成応答信号の出力レベルが閾値 TH_3 以上であれば、1つのDUT10が合格（P A S S）であり、2つのDUT10が不合格（F A I L）であると判断できる。また、合成応答信号の出力レベルが閾値 TH_3 未満であれば、3つのDUT10が不合格（F A I L）であると判断できる。

[0049] 1段階ずつ閾値レベルを下げて判定を行う場合、 n 個（ただし、 n は2以上の正の整数を意味する）のDUT10に対して、 N 回目（ただし、 N は1以上の正の整数を意味する）の判定のために設定される閾値を TH_N 、 $N+1$ 回目の判定で設定される閾値を TH_{N+1} とすると、 $TH_N > TH_{N+1}$ の関係を有する。また、 n 個のDUT10の全てが合格である場合の合成応答信号の出力レベル S_0 に対し、 N 回目の判定のために設定される閾値 TH_N は、次の式（1）によって表される関係を満たすことが好ましい。

[0050] [数2]

$$S_0 \times [n - (N - 1)] / n \geq TH_N > S_0 \times (n - N) / n \cdots (1)$$

[0051] また、閾値 TH_N は、マージンを考慮して判定の信頼性を高めるため、 $S_0 \times [n - (N - 1)] / n$ と $S_0 \times (n - N) / n$ との中間値付近に設定する

ことがより好ましい。つまり、F A I L 信号を出力するD U T 1 0の個数がゼロから1つずつ増加する場合の合成応答信号 S_0 、 S_1 、 S_2 、 $\dots$ 、 S_n としたとき、 S_0 と S_1 との中間値付近、 S_1 と S_2 との中間値付近、 $\dots$ 、 S_{n-1} と S_n との中間値付近に、閾値 TH_N を設定することが好ましい。この場合、閾値 TH_N は、例えば次の式(2)により表される値とすることが好ましい。

[0052] [数3]

$$TH_N = \{[S_0 \times [n - (N - 1)] / n] + [S_0 \times (n - N) / n]\} \times 1 / 2 \quad \dots (2)$$

[0053] [検査方法]

次に、図8を参照しながら、検査装置100を用いて行われる本発明の一実施の形態に係る検査方法の具体的手順について説明する。図8は、本発明の一実施の形態に係る検査方法の手順の一例を示すフローチャートである。本実施の形態の検査方法は、STEP 1～STEP 4の処理を含む。

[0054] STEP 1では、1回目の判定で用いる閾値 TH_1 を設定する。この閾値 TH_1 は、閾値設定部123によって設定される。上記式(1)より、 n 個のD U T 1 0の全てが合格である場合の合成応答信号の出力レベル S_0 に対し、1回目の判定で設定される閾値 TH_1 は、次の関係を満たすことが好ましい。

$$S_0 \times n / n \geq TH_1 > S_0 \times (n - 1) / n$$

また、マージンを考慮して、

$$TH_1 = [S_0 \times n / n + S_0 \times (n - 1) / n] \times 1 / 2$$

とすることがより好ましい。

[0055] STEP 2では、信号制御部121の指令に基づき、パターンジェネレータ31でクロック信号及びデータ信号を生成し、 n 個のD U T 1 0の全てに対して、同時に、同じ試験信号を入力する。

[0056] STEP 3では、試験信号に応答して各D U T 1 0から出力された応答信号の合成値(合成応答信号)を、コンパレータ32によって閾値 TH_1 と比較する。この場合、リレースイッチ部53は全て接続状態(ON)に維持される。

[0057] 次に、STEP 4で、判定部122は、コンパレータ32から、閾値 TH_1 と合成応答信号との比較情報を取得し、該比較情報に基づき、 n 個のDUT10のうち、1つ以上が不合格であるか否か、つまり、全てのDUT10が合格であるか否か、を判定する。

[0058] STEP 4で「 n 個のDUT10のうち、1つ以上が不合格である」(YES)と判定された場合は、再びSTEP 1に戻る。すなわち、再び、STEP 1で閾値設定部123によって、新しい閾値として、2回目の判定で用いる閾値 TH_2 が設定される。上記式(1)より、 n 個のDUT10の全てが合格である場合の合成応答信号の出力レベル S_0 に対し、2回目の判定で設定される閾値 TH_2 は、次の関係を満たすことが好ましい。

$$S_0 \times (n-1) / n \geq TH_2 > S_0 \times (n-2) / n$$

また、マージンを考慮して、

$$TH_2 = \{ [S_0 \times (n-1) / n] + [S_0 \times (n-2) / n] \} \times 1/2$$

とすることがより好ましい。

[0059] STEP 1で新しい閾値(例えば、2回目の判定で用いる閾値 TH_2)が設定されると、STEP 2～STEP 4の処理が実行され、2回目の判定が行われる。このようにして、STEP 1～STEP 4の処理が、STEP 4で「 n 個のDUT10のうち、1つ以上が不合格ではない」(NO)と判定されるまで、ループ状に繰り返し実行される。なお、予め繰り返し回数の上限を設定しておき、上限に達した場合は、判定部122から、信号制御部121及び閾値設定部123へ中止信号を送出するようにしてもよい。

[0060] 一方、STEP 4で「 n 個のDUT10のうち、1つ以上が不合格ではない」(NO)と判定された場合は、本実施の形態の検査方法による処理を終了する。

[0061] 本実施の形態では、FAIL信号を出力するDUT10の個数がゼロの状態から1つずつ増加する場合の合成応答信号の出力レベル S_0 、 S_1 、 S_2 、 $\dots$ 、 S_N (ただし、 N は1以上の正の整数を意味する)に対応付けて閾値 TH を変更することによって、 n 個のDUT10の中で、FAIL信号を出力し

たDUT10の個数を判定することができる。

すなわち、1回目の判定では、閾値 TH_1 を、 n 個のDUT10のすべてがPASS信号を出力する（つまり、ゼロ個のDUT10がFAIL信号を出力する）場合の合成応答信号の出力レベル S_0 と、 n 個のDUT10の中の1個がFAIL信号を出力する場合の合成応答信号の出力レベル S_1 との間（好ましくは出力レベル S_0 と出力レベル S_1 との中間値付近）に設定する。

また、2回目の判定では、閾値 TH_2 を、 n 個のDUT10の中の1個がFAIL信号を出力する場合の合成応答信号の出力レベル S_1 と、 n 個のDUT10の中の2個がFAIL信号を出力する場合の合成応答信号の出力レベル S_2 との間（好ましくは出力レベル S_1 と出力レベル S_2 との中間値付近）に設定する。

さらに、 N 回目の判定では、閾値 TH_N を、 n 個のDUT10の中の $N-1$ 個がFAIL信号を出力する場合の合成応答信号の出力レベル $S_{(N-1)}$ と、 n 個のDUT10の中の N 個がFAIL信号を出力する場合の合成応答信号の出力レベル S_N との間（好ましくは出力レベル $S_{(N-1)}$ と出力レベル S_N との中間値付近）に設定する。このように、閾値 TH を変更しながら、上記STEP1～STEP4の手順を繰り返し実行することにより、 n 個のDUT10の中で、FAIL信号を出力したDUT10の個数を自動的に判定することができる。

[0062] 上記STEP1～STEP4の手順を繰り返し実行する場合、例えば、制御部4において、閾値設定部123に接続するカウンタ部（図示省略）を設け、閾値設定部123で閾値 TH を設定する毎に、1カウントをインクリメントしていくことも可能である。この場合、カウンタ部でカウントされるカウント値（1、2、3、・・・ N ）は、STEP1～STEP4の手順の実行回数に等しくなる。また、最終的にSTEP4で「 n 個のDUT10のうち、1つ以上が不合格ではない」（NO）と判定されたときのカウント値（1、2、3、・・・ N ）は、FAIL信号を出力したDUT10の個数に1を加算した値となるため、FAIL信号を出力したDUT10の個数を速や

かに把握できる。

[0063] また、各DUT10からの個別応答信号の出力レベル S_D に変動が生じる可能性がある場合、予め、任意の1ないし数個のDUT10について、個別応答信号の出力レベル S_D を測定しておき、それらの値に基づいて閾値設定部123で設定する閾値 T_H を補正しておくステップを設けてもよい。

[0064] <変形例>

本実施の形態の検査方法では、上記のとおり、F A I L信号を出力したDUT10を特定することはできない。そのため、上記STEP1～STEP4に加え、各DUT10からの個別応答信号の出力レベル S_D を閾値 T_H と比較する工程を設けてもよい。すなわち、STEP4で「 n 個のDUT10のうち、1つ以上が不合格である」(YES)と判定された場合に、STEP1に戻らず、各DUT10からの個別応答信号の出力レベル S_D を閾値 T_H と比較するように変更してもよい。この場合、信号入出力回路33の一つの個別出力ライン52のリレースイッチ部53のみを接続状態(ON)、他の個別出力ライン52のリレースイッチ部53を非接続状態(OFF)にして個別応答信号をコンパレータ32へ送ればよい。なお、リレースイッチ部53を切り替える代わりに、複数のDUT10の中から任意のDUT10を選択して電氣的に接続できるチップセレクト端子を利用してもよい。また、1回目の手順のSTEP4で「 n 個のDUT10のうち、1つ以上が不合格である」(YES)と判定された場合は、直ちに個別応答信号の判定に移行してもよいし、上記STEP1～STEP4の処理を所定回数(例えば5～10回)繰り返した後、それでもなおSTEP4で「 n 個のDUT10のうち、1つ以上が不合格である」(YES)と判定される場合にのみ、個別応答信号の判定に移行するようにしてもよい。

[0065] 以上のように、本実施の形態の検査方法では、複数のDUT10からの出力信号を合成した合成応答信号を用いて閾値 T_H との比較を行うため、複数のDUT10の中に、不合格(F A I L)となるDUT10が含まれているか否かを迅速に判定できる。また、閾値 T_H を変更しながら、上記STEP

1～STEP4の手順を繰り返し実行することにより、n個のDUT10の中で、FAIL信号を出力したDUT10の個数を自動的に判定することができる。従って、本実施の形態の検査方法を利用することによって、各種半導体デバイスの検査において、短時間で効率の良い検査が可能になる。

[0066] 本実施の形態の検査方法は、各種半導体デバイスの検査に利用できる。特に、例えばNAND型フラッシュメモリなどの不揮発性半導体メモリ素子の書き込み試験に好ましく利用することができる。本実施の形態の検査方法では、上記のとおり、FAIL信号を出力したDUT10の個数を自動的にかつ迅速に判定できるが、FAIL信号を出力したDUT10を特定することはできない。しかし、不揮発性半導体メモリ素子の場合、書き込み試験の後で、個別のDUT10について読み出し試験を実施するため、個々のDUT10についての合否判定と不良DUT10の特定は、読み出し試験によって確認できる。

[0067] 以上、本発明の実施の形態を例示の目的で詳細に説明したが、本発明は上記実施の形態に制約されることはなく、種々の変形が可能である。例えば、本発明の検査方法は、READY信号／BUSY信号を出力するデバイスを一括して検査する場合であれば、デバイスの種類にかかわらず好ましく利用できる。

[0068] また、図8のフローチャートでは、STEP2～STEP4の処理を1回実行する毎に、STEP1で新たな閾値を設定することとしているが、STEP2～STEP4の処理を所定回数繰り返しても、なおSTEP4で「n個のDUT10のうち、1つ以上が不合格である」(YES)と判定される場合にSTEP1に戻り、新たな閾値を設定するように変形してもよい。

[0069] 本国際出願は、2014年8月1日出願された日本国特許出願2014-157753号に基づく優先権を主張するものであり、当該出願の全内容をここに援用する。

請求の範囲

- [請求項1] 基板上に形成された複数のデバイスの電気的特性を検査するデバイスの検査方法であって、
- テストに並列に接続された複数のデバイスに対して、前記テストから同時に試験信号を入力する第1のステップと、
- 入力された前記試験信号に基づく前記複数のデバイスからの応答信号の合成値に基づき、前記複数のデバイスの1つ以上が不合格であるか否かの判定を行う第2のステップと、
- を含むことを特徴とするデバイスの検査方法。
- [請求項2] 前記第2のステップでは、前記合成値を予め設定された閾値と比較し、前記閾値を充足しない場合は、前記複数のデバイスの1つ以上が不合格である、と判定するとともに、
- 前記第2のステップで前記閾値を充足しない場合に、前記閾値とは異なる新たな閾値を設定するステップをさらに備え、
- 前記新たな閾値を使用して、再度、前記第1のステップ及び前記第2のステップを行う請求項1に記載のデバイスの検査方法。
- [請求項3] 前記新たな閾値を設定するステップと、前記第1のステップと、前記第2のステップとを、前記新たな閾値を充足するまで繰り返し実行することによって、不合格である前記デバイスの数を検出する請求項2に記載のデバイスの検査方法。
- [請求項4] 前記閾値が、多段階に設定されており、N回目（ただし、Nは1以上の正の整数を意味する）の判定で設定される閾値を TH_N 、 $N+1$ 回目の判定で設定される閾値を TH_{N+1} とすると、 $TH_N > TH_{N+1}$ の関係を有するとともに、
- 前記複数のデバイスがn個（ただし、nは2以上の正の整数を意味する）のデバイスからなり、前記n個のデバイスの全てが合格である場合の前記応答信号の合成値が S_0 である場合に、前記閾値 TH_N は、次の式（1）の関係を満たすものである請求項3に記載のデバイス

の検査方法。

[数1]

$$S_0 \times [n - (N - 1)] / n \geq TH_N > S_0 \times (n - N) / n \cdots (1)$$

[請求項5] 前記デバイスが、不揮発性半導体メモリであり、前記第1のステップ及び前記第2のステップが、前記不揮発性半導体メモリの書き込み試験として実行される請求項1に記載のデバイスの検査方法。

[請求項6] 基板上に形成された複数のデバイスの電気的特性を検査するテストと、前記基板との間に配置されるプローブカードであって、

複数の前記デバイスの電極パッドにそれぞれ接触させさせる複数のプローブと、

前記複数のプローブを支持する支持基板と、
を備え、

前記支持基板は、

前記プローブに接続され、前記テストからの試験信号を複数の前記デバイスに伝送する入力ラインと、

前記プローブに接続され、前記試験信号に基づく前記デバイスからの応答信号を伝送する複数の個別出力ラインと、

複数の前記個別出力ラインを統合し、複数の前記デバイスからの前記応答信号を合成して前記テストへ向けて伝送する共通出力ラインと

、

を有し、

前記個別出力ラインに、前記デバイスの内部抵抗よりも大きな抵抗を有する抵抗部を備えていることを特徴とするプローブカード。

[請求項7] 前記個別出力ラインに、さらに、前記抵抗部と直列に接続されたりレスイッチ部を有している請求項6に記載のプローブカード。

[請求項8] 基板上に形成された複数のデバイスの電気的特性を検査するテストと、前記基板との間に配置されるインターポーザであって、

前記テストからの試験信号を、複数の前記デバイスに向けて伝送する入力ラインと、

前記試験信号に基づく前記デバイスからの応答信号を伝送する複数の個別出力ラインと、

複数の前記個別出力ラインを統合し、複数の前記デバイスからの前記応答信号を合成して前記テストへ向けて伝送する共通出力ラインと

、

を有し、

前記個別出力ラインに、前記デバイスの内部抵抗よりも大きな抵抗を有する抵抗部を備えていることを特徴とするインターポーザ。

[請求項9] 前記個別出力ラインに、さらに、前記抵抗部と直列に接続されたりレースイッチ部を有している請求項8に記載のインターポーザ。

[請求項10] 基板上に形成された複数のデバイスの電気的特性を検査する検査装置であって、

前記デバイスを検査するための試験信号を生成するパターンジェネレータと、

前記試験信号に基づく複数の前記デバイスからの応答信号を合成した合成応答信号を閾値と比較するコンパレータと、

前記パターンジェネレータ及びコンパレータと、前記デバイスとの間に介在する信号入出力回路と、

を備え、

前記信号入出力回路は、

前記試験信号を、複数の前記デバイスに向けて伝送する入力ラインと、

前記試験信号に基づく前記デバイスからの応答信号を伝送する複数の個別出力ラインと、

複数の前記個別出力ラインを統合し、複数の前記デバイスからの前記応答信号を合成して前記コンパレータへ向けて伝送する共通出力ラ

インと、

を有し、前記個別出力ラインに、前記デバイスの内部抵抗よりも大きな抵抗を有する抵抗部を備えていることを特徴とする検査装置。

[請求項11] 前記個別出力ラインに、さらに、前記抵抗部と直列に接続されたり
レースイッチ部を有している請求項10に記載の検査装置。

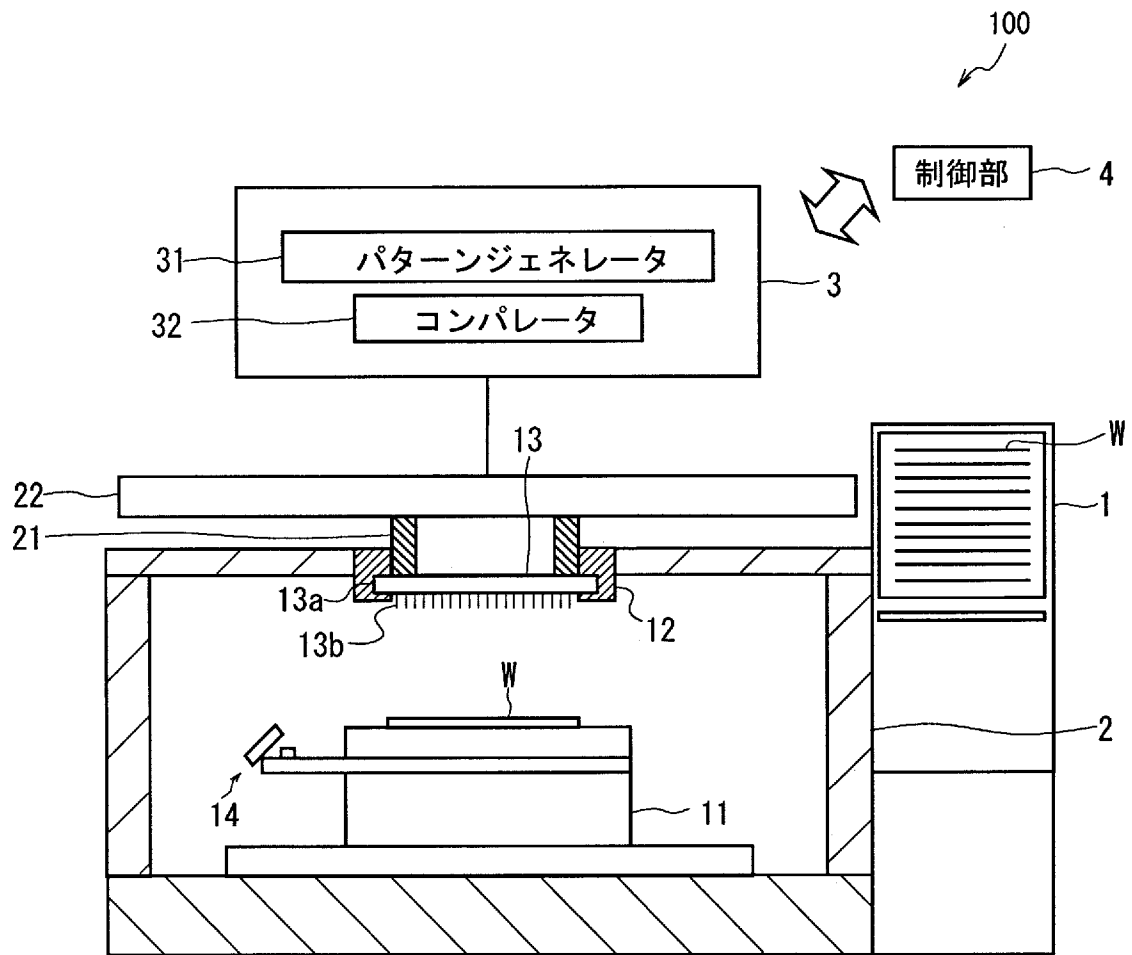
[請求項12] 前記パターンジェネレータによる前記試験信号の生成を制御する信号制御部と、

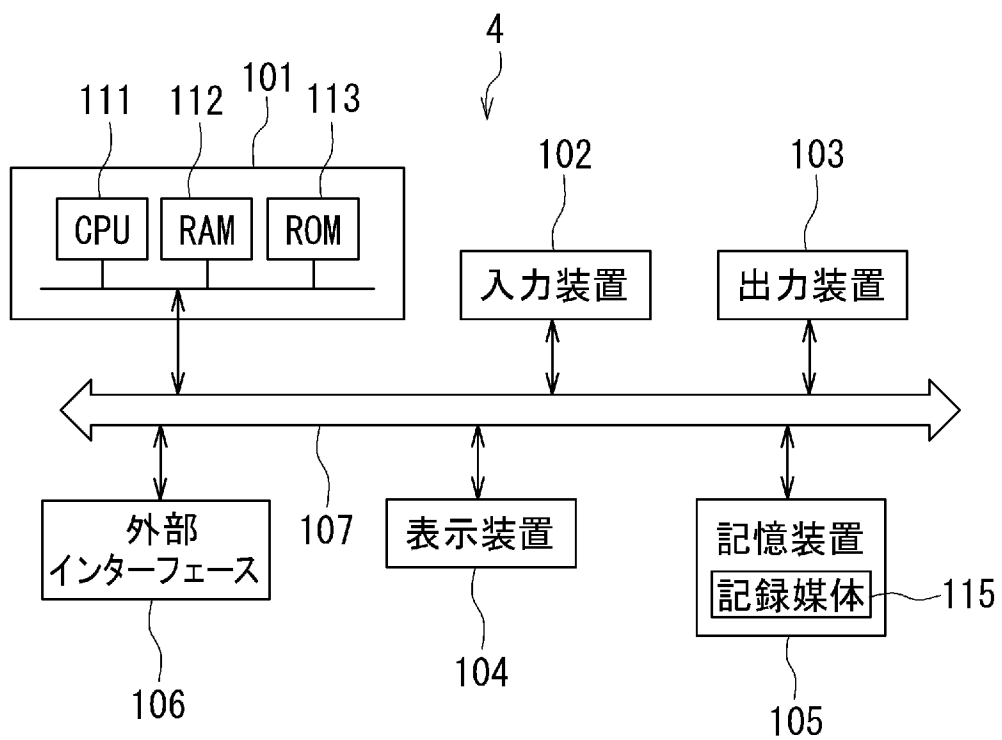
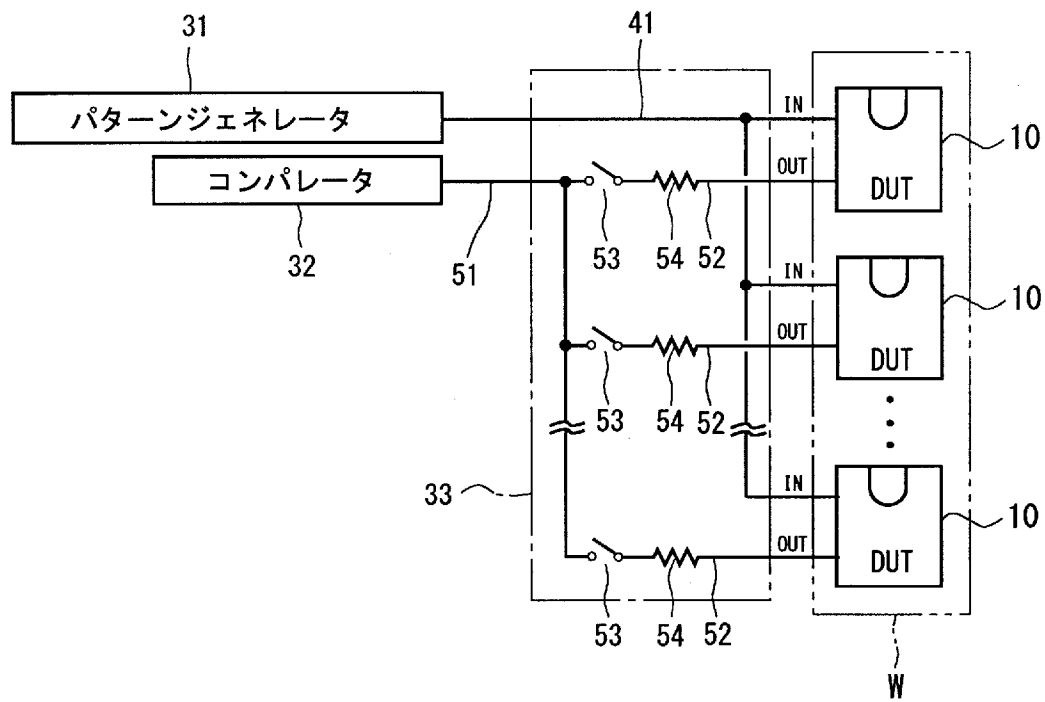
前記コンパレータによる、前記閾値と前記合成応答信号との比較情報に基づき、複数の前記デバイスのうち、1つ以上が不合格であるか否かを判定する判定部と、

前記判定部によって、前記複数のデバイスのうち、1つ以上が不合格である、と判定された場合に、前記閾値とは異なる新たな閾値を設定する閾値設定部と、

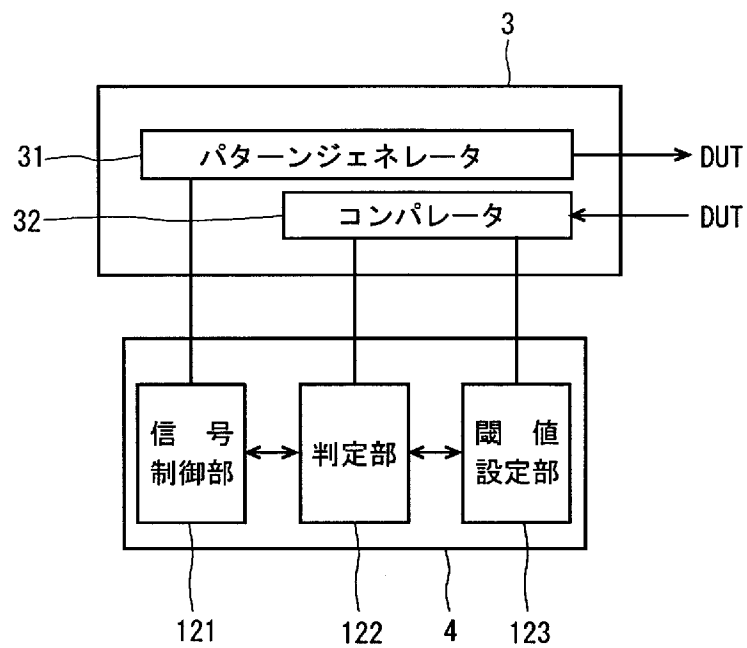
を有する制御部を、さらに備えた請求項10に記載の検査装置。

[図1]

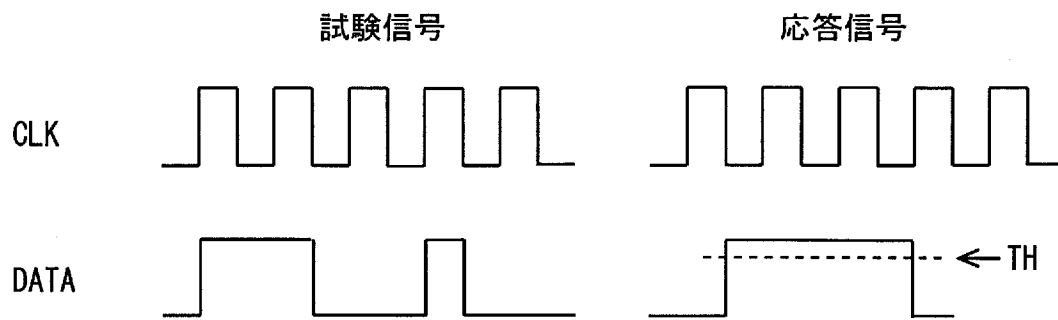




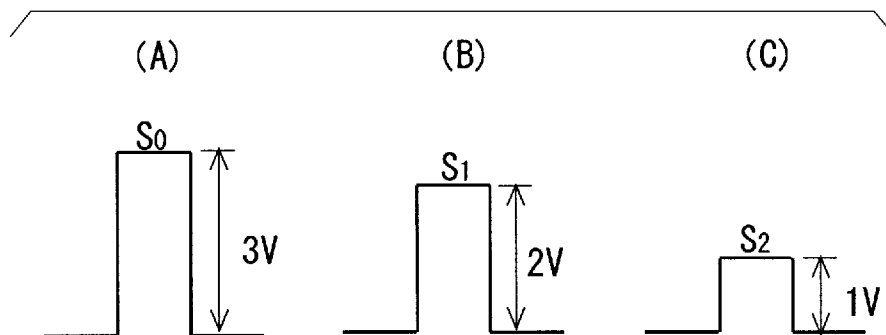
[図4]



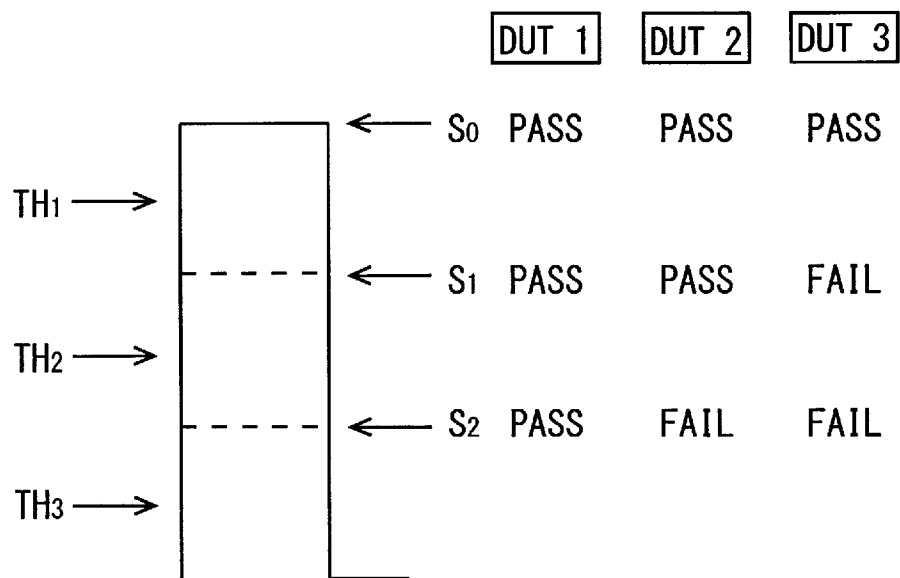
[図5]



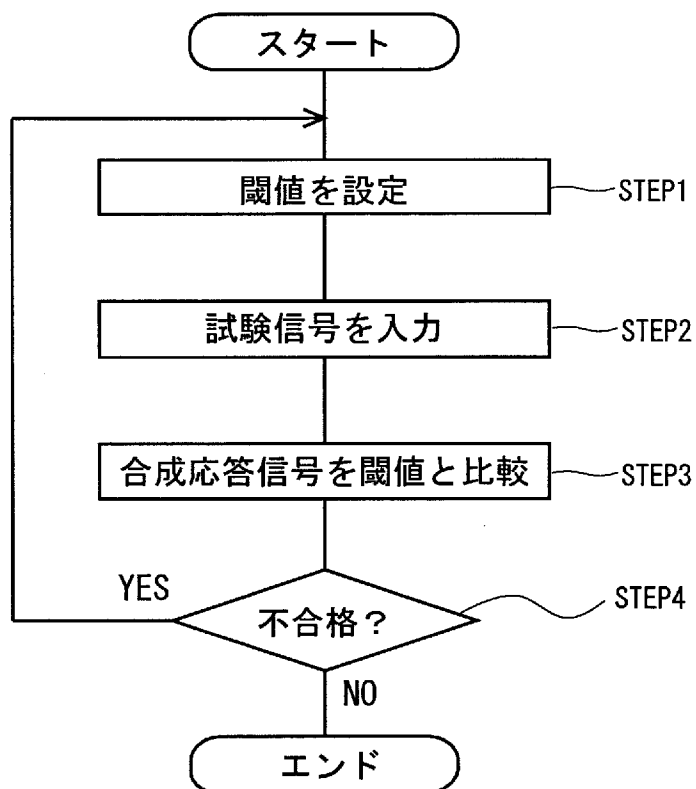
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/066660

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28(2006.01) i, H01L21/66(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2008/044391 A1 (Advantest Corp.), 17 April 2008 (17.04.2008), paragraphs [0013] to [0047]; fig. 1 to 5 & US 2009/0240365 A1 & TW 200909833 A	1-5 6-12
Y	JP 2011-53180 A (Fujitsu Ltd.), 17 March 2011 (17.03.2011), paragraphs [0054] to [0061]; fig. 8 to 11 & US 2011/0057681 A1	6-12
Y	JP 2000-346910 A (Yamada Den'on Kabushiki Kaisha), 15 December 2000 (15.12.2000), paragraphs [0032] to [0033] (Family: none)	6-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 August 2015 (24.08.15)

Date of mailing of the international search report
01 September 2015 (01.09.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G01R31/28(2006.01)i, H01L21/66(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01R31/28, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2008/044391 A1（株式会社アドバンテスト）2008.04.17, [0013]-[0047], 図1-5	1-5
Y	& US 2009/0240365 A1 & TW 200909833 A	6-12
Y	JP 2011-53180 A（富士通株式会社）2011.03.17, 段落0054-0061, 図8-11 & US 2011/0057681 A1	6-12
Y	JP 2000-346910 A（山田電音株式会社）2000.12.15, 段落0032-0033（ファミリーなし）	6-12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 8 . 2 0 1 5

国際調査報告の発送日

0 1 . 0 9 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

菅藤 政明

2 S

9 3 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8