

申請日期	80.6.3
案 號	80/04307
類 別	H01L 27/08

A4
C4

(以上各欄由本局填註)

發明
新型專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 名稱	中 文	具有讀出放大器之驅動電路以低尖峰電流達成短存取時間之動態半導體記憶器
	英 文	Dynamic semiconductor memory having a read amplifier drive circuit for achieving short access times with a low total peak current.
二、發明人 創作	姓 名	1. 沃爾夫岡拉伯 Wolfgang Raab 2. 赫里伯特蓋布 Heribert Geib
	籍 貫 (國籍)	1. 德國 2. 德國
	住、居所	1. 德國 W-8000 慕尼黑 90, 巴蘭街 132 2. 德國 W-8018 格拉芬, 克蘭松街 9b
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	籍 貫 (國籍)	德國
	住、居所 (事務所)	德國慕尼黑威田巴契廣場 2 號
	代表人 姓 名	夫蘭茲約瑟夫福克斯 (FRANZ-JOSEF FUCHS) 希母特史塔木勒 (HELMUT STADTMULLER)

五、發明說明(1)

如申請專利範圍第1項之前文，本發明係有關於一動態半導體記憶器。

本型式之動態半導體記憶器見載於1989年VLSI電路研討會之技術文摘(103頁至104頁)由岡村(東芝)所發表之“高密度半導DRAMs之解碼源感應放大器”。此係有關於一動態半導體記憶器，其中每一讀出半導體具一電晶體連接在該讀出放大器之SAN輸入端和SANN線之間當作一電阻，另一電晶體則接於讀出放大器之輸入SAN和參考電位之間，並靠行解碼器之位元線選擇訊號來驅動。因此每一讀出放大器需要要二個額外之電晶體，於是需要相當大之額外空間。

本發明之目的即欲發表一開始所提型式之動態半導體記憶器，該記憶器具最小之晶片區域及低尖峰電流使較短之存取時間成為可能。本目的之達成係根據本發明如請求專利範圍第1項所發表之特性。

本發明所供給之特別優點處係本發明設計之動態半導體記憶器較東芝所引用者，實質上需要之空間較小，為一加速電路所達成並陳示為一方塊，以節省評估時間。

申請專利範圍2至12係關於一較佳動態半導體記憶器之具體實施例。

參考下列各圖，以詳細解釋本發明：

圖1代表一由讀出放大器和局部SAN驅動器組成之讀出放大器方塊之動態半導體記憶器。

五、發明說明(2)

圖 2 代表一如圖 1 耦合至記憶單元之讀出放大器之詳細電路，

圖 3 代表 SAN 驅動器之詳細電路，

圖 4 代表根據本發明之半導體記憶器其局部 SAN 驅動器及藉行解碼器來驅動之加速電路，每一字元線方塊並提供一分開之行解碼器，

圖 5 代表根據本發明之半導體記憶器之局部 SAN 驅動器及藉上層座標屬行，列解碼器驅動之加速電路。

圖 6 代表根據本發明之半導體記憶器之局部 SAN 驅動器及藉一上層座標行解碼器驅動之加速電路，其中加速電路由驅動電晶體及選擇電晶體組成並顯示在一上層座標行解碼器。

圖 7 代表根據本發明之半導體記憶器之加速驅動電路，該電路具可定址之選擇解碼器及由 OR 電路組成之額外電路。

圖 7a 代表圖 7 之替代電路。

圖 8 代表根據本發明之半導體記憶器，其加速電路之效果之電壓-時間圖，

圖 1 代表具大量字元線 WL 及位元線對 BL，BLN 或 BL'，BLN' 之部份動態半導體記憶器，其分別組合形成字元方塊 WLB 和位元線方塊 TB 及 TB'。如在位元線方塊 TB 中，記憶單元 Z 接至字元線 WL 和位元線 BL，記憶單元 Z 之電晶體閘極接至字元線 WL，洩流極接至位元線 BL 而源極經由電

五、發明說明 (3)

容接至參考電位。讀出放大器方塊 LVB 由大量讀出放大器 LV 組成，該放大器具 SAN 輸入 E2 並接至位元線對 BL，BLN。SAN 輸入 E2 經由局部 SANN 線 2 接至一局部 SAN 驅動器 LTN 之輸出 A2。該局部 SAN 驅動器 LTN 依序接至 n 驅動線 SEN 和參考電壓 V_{ss} 。這類似應用至其這位元線方塊 TB'，TB'' 等。於是，如其它位元線方塊 TB' 具有位元線對 BL' 和 BLN'，記憶單元 Z'，讀出放大器方塊 LVB'，局部 SANN 線 2' 和局部 SAN 驅動器 LTN'。此處之位元線方塊 TB'' 僅示出一讀出放大器方塊 LVB''。

由位元線 BL 和字元線 WL 來定址之記憶單元 Z 係靠讀出放大器 LV 來讀值。具局部 SAN 驅動器 LTN 之觀念特別有好處，其可靠卻仍然快速的讀值有最好的驅動功能。在此案例中，局部 SAN 驅動器 LTN 驅動一具有 64 個讀出放大器之讀出放大器方塊。n 驅動線 SEN 代表 ^{SAN} 驅動器 LTN 之 n 相驅動。

圖 2 代表具耦合記憶單元 Z 之傳流讀出放大器電路。在此案例中，讀出放大器由 n 通道部份 SAN 和 P 通道部份 SAP 組成。P 通道部份 SAP 直接接至位元線對 B2 和 BLN 並由二個 P 通道電晶體 T3 和 T4 組成。T3 之洩極接至位元線 B2，源極接至 T4 之洩極，閘極接至位元之線 BLN。SAP 輸入 E1 接至 T4 之洩極，源極接至位元線 BLN，T4 之閘極接至位元線 BL。n 通道部份 SAN 以類似 P 通道部份 SAP 之方式作交叉耦合，並由二個 n 道道電晶體 T5，T6 組成

五、發明說明 (4)

。電晶體 T5 之洩極在此例中接至位元線部份 14, T5 之源極接至 T6 之洩極而 T5 之閘極接至位元線部份 15。T6 之洩極接至 SAN 之輸入 E2, T6 之源極接至位元線部份 15, T6 之閘極接至位元線部份 14。位於位元線對 BL, BLN 和位元線部份 14, 15 之間之二移轉電晶體 7 和 9 可靠驅動線 13 來驅動。位元線部份 14 和 15 可靠另二個移轉電晶體 16, 17 接至 IO 輸出 IOA 和 IONA。電晶體 16 和 17 之閘極接至位元線選擇輸入 CSLE。另有三 n 通道電晶體 6, 8 和 10 形成一短路 / 預充電電路, 在此, T6 之洩極接至輸入 5, 源極接至位元線 BL, 閘極接至輸入 12, T8 之洩極接至位元線 BL, 源極接至位元線 BLN, 閘極接至輸入 12, 電晶體 10 之洩極接至位元線 BLN, 源極接至輸入 11, 閘極接至輸入 12。記憶單元 Z 之電晶體 3 之洩極接至位元線 BL, 源極經由電池電容 4 接至參考電位, 而閘極接至字元源 WL。

由於電晶體 6, 8 和 10 之短路 / 預充電電路, 位元線 BL 和 BLN 暫時短路並充電至相同之預設值。導電移轉電晶體 7 和 9 及由字元線 WL ~~字元線 WL~~ 定址之所有記憶單元即讀出至預充電位元線。於是, 如圖 2 所示之記憶單元 Z 則被讀出至位元線 BL 並由交叉耦合成之 n 通道電晶體 T5 和 T6 來讀值, 則位元線 BL 和 BLN 之電壓差即被放大。二交叉耦合之 P 通道電晶體 T3 和 T4 在此作更進一步之讀值操作。一旦此讀值操作完成, 此二移轉電晶體 16 和 17 即靠

五、發明說明(5)

位元線選擇輸入CSLE之位元線選擇訊號切通，而位元線BL和BLN則切至IO輸出IOA和IONA。SAN輸入E2必須儘快地被帶至參考電位以啓動n通道部份SAN。輸入E2需一合適之控制電壓以確信啓動之儘量快速而仍然讀值正確。如在SAN驅動器中，可產生一具最佳電壓／時間功能之合適控制電壓。此可類似應用在SAP輸入E1上。

圖3代表一可能之SAN驅動器。在此例中，代表一可藉n驅動線SEN1至SENn來驅動之局部n相SAN驅動器。電晶體NT₁之洩流極接至驅動器輸出A2，源極經由二極體D接至參考電位V_{ss}，開極接至n控制線SEN之第一相SEN1。此處之二體D以正相偏壓並聯至電晶體NT₂，其開極接至線SEN2。NT₃之洩極接至驅動器輸出A2，源極接至參考電位V_{ss}，開極接至第三驅動源SEN3。與NT₃類似之方式，多至NTn之電晶體可與NT₃並聯以儘可能獲得儘好之接近理想驅動曲線。此例中，第n驅動電晶體NTn之開極接至驅動線SENn。是否驅動線SEN1...SENn之訊號可在局部SAN驅動器外形成或者它們是否可在局部SAN驅動器內靠延遲電路例如從驅動線SEN1訊號來形成就不重要了。

假如控制線SEN1接收高電位，則電晶體NT₁導通，驅動器輸出A2之電壓即為二極體D之預設電壓。只要第二驅動線SEN2一接收到高電位，驅動晶體NT₂同樣地導通，而位於驅動器輸出A2和參考電位V_{ss}間者為NT₁及

五、發明說明(6)

NT₂ 之二串聯通道電阻，其由於驅動電流而在 A2 產生一電壓降。由於驅動電晶體 NT₃ 至 NT_n 之連續導通，通道電阻即並聯並由於低總阻抗而在 A2 和參考電位 V_{ss} 間形成一低電壓。

圖 4 代表一加速電路，其僅由驅動電晶體 NT_{n+1} 阻成且是本發明動態半導體記憶器之一部份。本例中，驅動電晶體 NT_{n+1} 僅當分開之行解碼器 CDEC1 存在各字元線方塊時才藉位元線方塊選擇訊號 BSL 在其閘極來驅動。驅動電晶體 NT_{n+1} 之洩流極接至局 SAN 驅動器 LTN 之輸出 A2，其源極和參考電位 V'_{ss} 接觸。該參考電位 V'_{ss} 和局部 SAN 驅動器之參考電位 V_{ss} 分開是有好處的，因為防止由於供應線電壓降所造成之互相感應。局部 SAN 驅動器靠驅動線 SEN 來驅動，其輸出 A2 接至局部 SANN 線 2。

當本發明之動態半導體記憶器開始讀值時，字元線方塊 WLB 之所有局部 n 相 SAN 驅動器則被 n 共同驅動線 SEN 驅動。局部 SANN 線 2 之電壓降至圖 8 由 P 所指之值。只要字元線方塊 WLB 之所有驅動電晶體 NT_{n+1} 仍然不導通，則讀值不加速地進行。如位元線方塊選擇訊號現從行解碼器 CDEC1 接到高電位，則 NT_{n+1} 導通而局部 SANN 線迅速被帶至參考電位。局部 SANN 線需要極高之尖峰電流以快速將局部 SANN 線 2 放電至參考電位。因該高尖峰電流僅發生在本發明半導體記憶器之單位元線方塊，故

五、發明說明(7)

總尖峰電流僅不顯著地增加在加速電路上。

圖5所示之電路係關於本發明之一動態半導體記憶體，其中上層座標之行解碼器CDEC同時為大量字元線方塊。圖5所示之電路圖和圖4所示者僅在驅動電晶體 NT_{n+1} 之驅動上不同。明確地選擇一位元線方塊，其選擇訊號BSL必須首先和邏輯電路VL之字元線方塊選擇訊號WSL開接一起。為達成此一目的，邏輯電路VL之輸出V接至驅動電晶體 NT_{n+1} 之閘極。圖7和8將詳述行解碼器CDEC中位元線方塊選擇訊號之形成。字元線方塊選擇訊號WSL之形成則發生在列解碼器，其中，如同行解碼器，預編碼位址線以邏輯運算結合以形成字元線方塊選擇訊號WSL。如驅動電晶體 NT_{n+1} 僅靠位元線方塊選擇訊號BSL來驅動，則雖然僅藉驅動線SEN以位元線選擇訊號來定址之字元線方塊WLB能讀值，結果，極高之電流將流過驅動電晶體，流向其它之字元線方塊並將在總尖峰電流上有不利之效應。

如圖6所示，根據本發明之動態半導體記憶體之加速電路由驅動電晶體 NT_{n+1} 和選擇電晶體ST組成，此二電晶體串聯以致 NT_{n+1} 之洩極接至局部SANN線2， NT_{n+1} 之源極接至選擇電晶體之洩流極，而其源極接至參考電位 V'_{ss} 。如圖4和5所述，局部SAN驅動器由n驅動線SEN驅動，其輸出A2接至局部SANN線2。n驅動線SEN之單驅動線SENX接至選擇電晶體ST之閘極。ST之閘

五、發明說明(8)

極最好由最後，即第 n 相驅動線 SEN_n 來驅動。字元線方塊明確地由驅動線 SEN_x 定義，因行解碼器係上屬並同時驅動大量字元線方塊。如圖 4 所示，位元線方塊由一位元線方塊選擇訊號 BSL 選定，其可形成在行解碼器 $CDEC$ 內。

由列位址產生之 n 驅動線 SEN 訊號連續接收高電位並以預設時間來連續產生局部 SAN 驅動器 LTN 之 n 相位。因 n 驅動線 SEN 隨各字元線方塊而存在，故字元線方塊可以 n 驅動線 SEN 其中之一來選定。因選定位元線方塊之驅動電晶體 NT_{n+1} 僅靠位元線方塊選擇訊號 BSL 來導通，在時間存 $n+1$ ，在局部 SAN 驅動器之所有 n 階已導通後，第 n 相 ($x=n$) 之驅動線 SEN_x 已夠驅動選擇電晶體 ST 。由於 ST 和 NT_{n+1} 串聯，僅有和選定字元線方塊有關之位元線方塊接收加速讀值，因此，總尖峰電流僅不顯著地增加，雖然位元線方塊之選擇係靠每一字元線方塊上屬行解碼器 $CDEC$ 之位元線選擇訊號 BSL 。

在本發明之動態半導體記憶器中產生一方塊選擇訊 BSL 之可能如圖 7 所示。如圖 7 所示之電路，加速電路如圖 4 般由驅動電晶體 NT_{n+1} 組成，可直接由位元線方塊選擇訊號 BSL 來驅動。然而，該驅動電晶體亦可如圖 5 般，經由邏輯電路 VL 來驅動；或如圖 6 般，串聯一選擇電晶體 ST 。驅動電晶體 NT_{n+1} 之洩極接至局部 SAN 驅動器 LTN 之輸出 $A2$ ，並經由局部 $SANN$ 線 2 接至讀出放大器方

五、發明說明(9)

塊 LVB 之讀出放大器 LV1...LVi 之輸入 E2。驅動電晶體 NT_{n+1} 之源極與參考電位 V'_{ss} 接觸。讀出放大器 LV1...LVi 之 IO 輸出 IOA 和 IONA 接至 IO 線 IO 及 ION。可定址之選擇解碼器 CDEC' 在其輸出產生位元線選擇訊號 CSL1...CSLi, 其可饋進讀出放大器 LV1...LVi 之位元線選擇輸入 CSLE。當選擇解碼器 CDEC' 之一 (i 之 1) 發生選擇, 即一位元線選擇訊號, 如 CSL1, 切至高電位而剩下之位元線選擇訊號維持低電位。因位元線選擇訊號 CSL1...CSLi 所選擇之所有位元線屬於相同之位元線方塊 LVB, 故所有位元線選擇訊號 CSL1...CSLi 靠 OR 電路開接起來以形成一位元線方塊選擇訊號 BSL。可定址行解碼器 CDEC' 之選擇輸入接至預編碼之行位址 Y_A 和 Y_B (如 8 之 1), 而可定址行解碼 CDEC' 之位址輸入接至預編碼行位址 Y_C 和 Y_D (如 4 之 1) 之部份 Y_C' 和 Y_D' 。

在行位址 Y_A 和 Y_B (8 之 1) 與 Y_C 和 Y_D (4 之 1) 分別被預編碼之狀況下, 可定址之行解碼器 CDEC' 每一讀出放大器方塊 LVB 可驅動 64 個 ($i = 8 \times 8 = 64$) 讀出放大器並且可定址 $4 \times 4 = 16$ 個選擇解碼器 CDEC'。最簡單狀況下, 給予正邏輯, 僅需一位址線 Y_C' 和 Y_D' 以定址行解碼器 CDEC'。假如一讀出放大器方塊 LVB 含 64 個讀出放大器, 則藉 64 之 1 編碼位元線選擇訊號, 一位元線對恰可切至一對 IO 線 IO 和 ION。許多狀況下, 存在大量 IO 線對 IO 和 ION, 於是可能同時平行讀出大量位元線對, 然而卻不直接影響

五、發明說明 (10)

位元線選擇訊號之形成。如存在二IO線對IO和ION，則僅需一個選擇編碼器(i之2編碼)，例如，需4而非8個預編碼行位址線 Y_B 。

位元線選擇訊號靠OR電路來開接之方式很複雜，因此僅理論上可行。圖7a中，表示在行編碼CDEc中產生位元線方塊選擇訊號BSL之可能性。如圖7所示，例如(8之1)之預編碼行位址 Y_A, Y_B 接至可定址選擇解碼器CDEc"。如圖7a所示，位址線 Y_C 和 Y_D 之位址線 Y'_C 和 Y'_D 用來在定址選擇解碼器CDEc"並且位址線 Y_C 和 Y_D 之位址線 Y''_C 和 Y''_D 用來補加電路Z3中平行形成位元線方塊選擇訊號，其中位址線 Y'_C, Y'_D 和 Y''_C, Y''_D 一樣。假如因時間關係而不需平行形成位元線方塊選擇訊號BSL，則位元線方塊選擇訊號BSL可用以定址一簡單設計之選擇解碼器，為此目的。此位元線方塊選擇訊號BSL則饋進可定址選擇解碼器CDEc'之單定址輸入 Y_{CD} 。在最簡單狀況下，給予正邏輯，僅需一行位址 Y''_C ，如(4之1)預編碼行位址 Y_C 及一位址線 Y''_D ，如四線行位址 Y_D 之一，靠補加電路以AND電路開接起來形成一位元線方塊選擇訊號BSL。如一更複雜之預編碼行位址 Y_C 和 Y_D ，如給予負邏輯，則可能需要 $Q \geq 1$ 條線，如三條，以直接定址選擇解碼器CDEc"，及補加電路ZS可能需要 $K \geq 1$ 條線。

如圖8所示之電壓一時間圖，由於本發明之動態半導體記憶體之加速電路而描繪出讀值時間之改進，其中曲線參數之表示對應個別之電壓U。此處所示之電壓曲

五、發明說明(11)

線由讀出放大器之非啓動P通道部份而獲得。電壓 U_2 代表局部 SANN線之電壓，加速電路由P點開始並允許電壓 U_2 之接近參考電位較無加速電路者為快，並以虛線 2a 表示。如接至位元線 BL之記憶單元儲存邏輯，當此記憶單元讀值時其電壓 U_{BL} 將不顯著地下降，但是電壓 U_{BLN} 則尖銳地朝參考電位下降，導致電壓差 U_D 大增。以虛線表示之比較位元線電壓曲線 U_{BLNa} ，及導致之電壓差 U_{Da} 同樣以虛線表示。代表為比較之目的而無加速電路之曲線。

參考符號表

2, 2'	局部 SANN線
3	n 通道 MOS-FET記憶單元
4	記憶單元之電容器
5, 11	預充電電位之讀出放大器輸入
6, 8, 10	等效 / 預充電路之電晶體
7, 9	移動電晶體
12	等效 / 預充電電路之控制輸入
13	移轉電晶體之控制輸入
14, 15	位元線部份
16, 17	選擇電晶體
A2	局部 SANN驅動器輸出
B2, BL'	位元和比較位元線
BLN, BLN'	位元線方塊

五、發明說明(12)

BSL 位元線方塊選擇訊號

CDEc, CDEc1 行解碼器

CDEc', CDEc" 行解碼器

CSL1, ..., CSLi 位元線選擇訊號

CSLE 位元線選擇輸入

D SANN 驅動器之二極體

E1, E2 讀出放大器驅動輸入

IOA, IONA IO線輸出

LTN, LTN' 局部SANN驅動器

LV, LV1...LVi 讀出放大器

LVB, LVB', LBV" 讀出放大器方塊

 $NT_1 \dots NT_n, NT_{n+1}$ 局部SANN驅動器之n通道
MOS-FET

OR OR閘

RDEC 列解碼器

SAP, SAN 讀出放大器之P部份及n部份

SEN, SEN1...SENn 局部SANN驅動器之控制輸入

SENx 選擇電晶體之控制輸入

ST 選擇電晶體

TB, TB', TB" 位元線方塊

 U_2, U_{2a} 有, 無加速電路之驅動電壓 U_{BL}, U_{BLN} 有加速電路之位元線5和比較位元線電壓 U_{BLNa} 無加速電路之比較位元線電壓

五、發明說明(13)

U_D	有加速電路之 U_{BL} 和 U_{BLN} 電壓差
U_{Da}	無加速電路之電壓差
V_{DD}	供應電壓
V_{ss}, V_{ss}'	參考電位
V_L	開訊號
W_L	字元線
WLB	字元線方塊
WSL	字元線方塊選擇訊號
Y_A, Y_B, Y_C, Y_D	行位址
Y_C', Y_D'	$CDEc'$ 和 $CDEc''$ 之行位址
Y_C'', Y_D''	補加電路之行位址
Y_{CD}	定址 $CDEc''$ 之輸入
Z, Z'	記憶單元
ZS	補加電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：具有讀出放大器之驅動電路以低尖峰電流達成短存取時間之動態半導體記憶體)

具讀出放大器之驅動電路以低尖峰電流達成短存取時間之動態半導體記憶體。

本發明係關於一動態半導體記憶體，其分為字元線和位元線方塊，其字元線方塊由大量位元線方塊組成，每一位元線方塊含一局部SAN驅動器(LTN)及一加速電路以驅動與個別位元線方塊相關之讀出放大器(CV1...LVi)，而此加速電路可以此方式來驅動以達成低尖峰電流，即只有屬於該位元線方塊之加速電路，由其位元線切至IO線(IO, ION)來啟動。此加速電路，例如在每一案例中，僅由一驅動晶體($NT_n + 1$)組成。

英文發明摘要(發明之名稱：

Dynamic semiconductor memory having a read amplifier drive circuit for achieving short access times with a low total peak current.

The invention relates to a dynamic semiconductor memory, which can be divided into word line blocks and bit line blocks, word line blocks consisting of a plurality of bit line blocks, which includes for each bit line block a local SAN driver (LTN) and an accelerator circuit for driving the read amplifiers (LV1... LVi) associated with the respective bit line block, and the accelerator circuits of which can be driven in such a way that, to achieve a low total peak current, only the accelerator circuit belonging to the bit line block is active whose bit lines are switched through to IO lines (IO, ION). The accelerator circuit consists, for example, of only one driver transistor (NT_{n+1}) in each case.

Figure 7

附註：本案已向 德 國(地區) 申請專利，申請日期： 案號：
1990年9月20日P4029847.7

六、申請專利範圍

1. 具記憶單元佈置之動態半導體記憶器，其至少由一字元線方塊(WLB)組成，且至少一字元線方塊(WLB)由大量位元線方塊(TB, TB'---)組成，一位元線方塊由大量位元線對(BL, BLN)組成，
具至少一由大量讀出放大器(LV)組成之讀出放大器方塊(LVB)，每一讀出放大器接至與讀出放大器方塊相關之位元線方塊之位元線對，並由n通道部份(SAN)和P通道部份(SAP)組成，
具大量局部SAN驅動器以驅動讀出放大器之n通道部份(SAN)，及
具讀出放大器，其放大讀出訊可依位元線選擇訊號(CSL1...CSLi)切至IO線(IO, ION)，並可由行解碼器產生位元線選擇訊號(CSL1...CSCi)，其特徵為以達成低尖峰電流之加速定值，每一位元線方塊存在一局部SAN驅動器，且在局部SAN驅動器下亦另存在一具有驅動電晶體(NT_{n+1})之加速電路，其第一端點接至個別局部SAN驅動器之輸出(A2)，且該加速電路之驅動方式其加速定值僅發生在讀出放大器方塊之放大讀出訊號亦依位元線選擇訊號(CSL1...CSLi)切至IO線(IO, ION)時。
2. 如申請專利範圍第1項之動態半導體記憶器，其中加速電路僅為驅動電晶體(NT_{n+1})組成，(NT_{n+1})之第二端可直接由位元線方塊選擇訊號(BSL)來驅動

六、申請專利範圍

- ，如假設個別字元線方塊有分開之行解碼器(CDEC')
- ，且 $(NT_n + 1)$ 之第三端直接接至參考電位(V_{ss}')。
3. 如申請專利範圍第1項之動態半導體記憶器，其中加速電路僅為驅動電晶體 $(NT_n + 1)$ 組成， $(NT_n + 1)$ 之第二端靠邏輯電路VL接至其輸出(V)來驅動，位元線方塊選擇訊號(BSL)和字元線方塊選擇訊號(WSL)開接起來，並對大量字元線方塊提供一共同之上層座標行解碼器(CDEC)，且驅動電晶體之第三端直接接至參考電位(V_{ss}')。
4. 如申請專利範圍第3項之動態半導體記憶器，其中邏輯電路(VL)由一及(AND)閘組成。
5. 如申請專利範圍第1項之動態半導體記憶器，其中加速電路含驅動電晶體 $(NT_n + 1)$ 及選擇電晶體(ST)， $(NT_n + 1)$ 之第二端靠位元線方塊選擇訊號(BSL)直接驅動， $(NT_n + 1)$ 之第三端接至選擇電晶體(ST)之第一端，且由於要選擇一字元線方塊，(ST)之第二端可經由局部SAN驅動器之驅動線(SENx)來驅動，且(ST)之第三端接至參考電位(V_{ss}')。
6. 如申請專利範圍第5項之動態半導體記憶器，其中任一具n驅動線(SEN1...SENn)之n相SAN驅動器，其選擇電晶體(ST)之第二端可經由暫時最後第n相之驅動線SENn來驅動。

六、申請專利範圍

7. 如申請專利範圍第1項之動態半導體記憶器，其中行解碼器(CDEC)含一可定址選擇解碼器(CDEC', CDEC")以產生位元線選擇訊號(CSL1...CSLi)及一補加電路(ZS)以產生位元線方塊選擇訊號(BSL)，且行位址線(Y_A, Y_B)接至選擇解碼器(CDEC', CDEC")以形成位元線選擇訊號(CSL1...CSLi)。
8. 如申請專利範圍第7項之動態半導體記憶器，其中各情況T，選擇解碼器(CDEC')之所有位元線選擇訊號(CSL1...CSLi)以OR電路形式靠補加電路開接起來以形成位元線方塊選擇訊號(BSL)。
9. 如申請專利範圍第7項之動態半導體記憶器，其中選擇解碼器(CDEC")含一輸入(Y_{CD})作定址(啓動)，攜帶位元線方塊選擇訊號(BSL)之補加電路(ZS)之輸出接至一輸入(Y_{CD})以定址(啓動)選擇解碼器(CDEC")，而補加電路(ZS)之輸入(Y_C" , Y_D")則接至更進一步之行位址線(Y_C , Y_D)。
10. 如申請專利範圍第7項之動態半導體記憶器，其中選擇解碼器(CDEC")含輸入(Y_C' , Y_D')作定址(啓動)，而此輸入(Y_C' , Y_D')則接至更進一步之行位址線(Y_C , Y_D)，且補加電路(ZS)之輸入(Y_C" , Y_D")接至更進一步之行位址線(Y_C , Y_D)。
11. 如申請專利範圍第9或第10項之動態半導體記憶器，其中補加電路(ZS)由一及(AND)閘組成。

212852

A7
B7
C7
D7

六、申請專利範圍

12. 如申請專利範圍第1項之動態半導體記憶器，其中加速電路接至第一參考電位 (V'_{ss})，且局部SAN驅動器則接至和第一參考電位分開之第二參考電位 (V_{ss})。

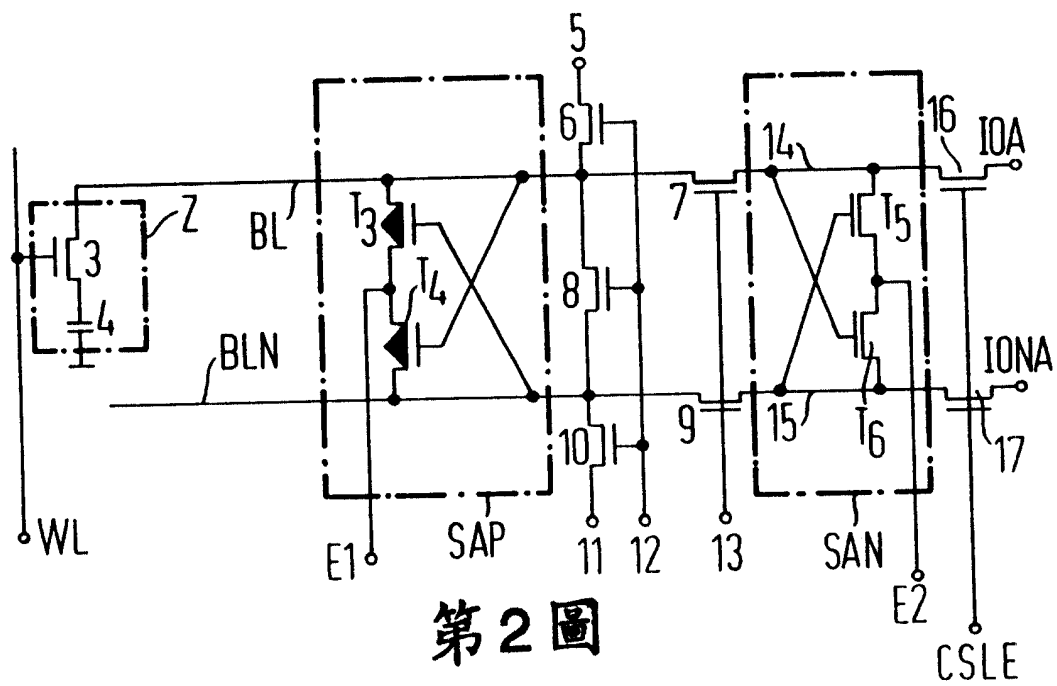
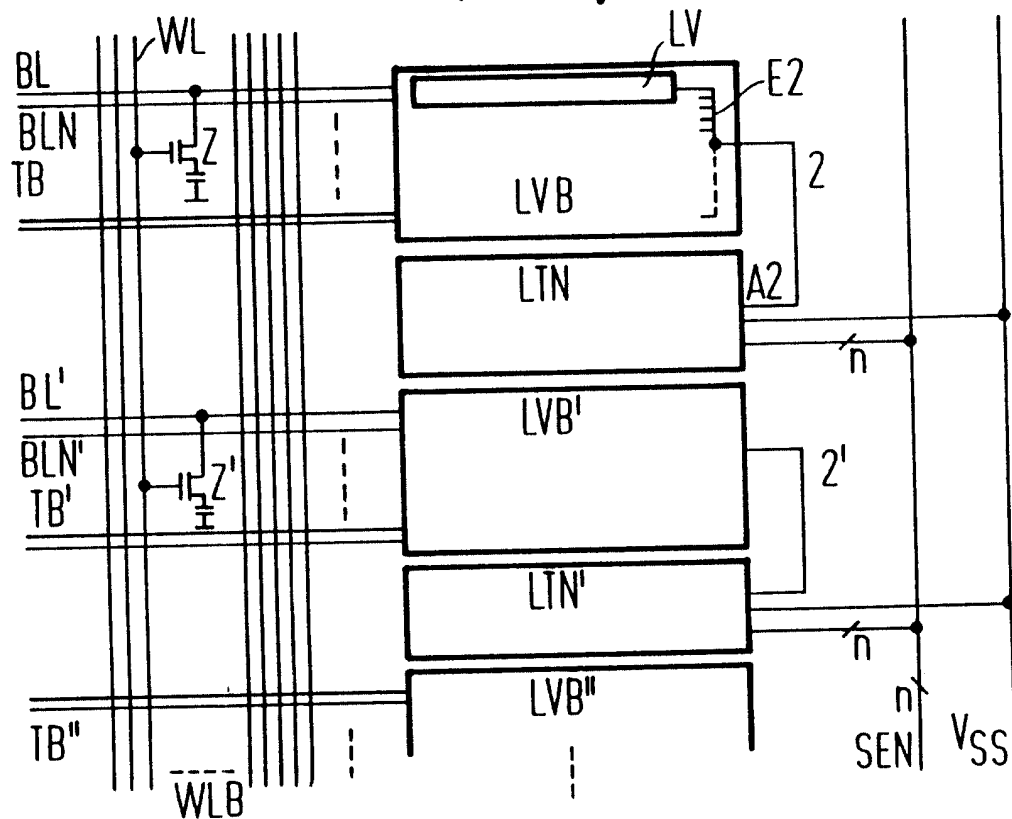
(請先閱讀背面之注意事項再填寫本頁)

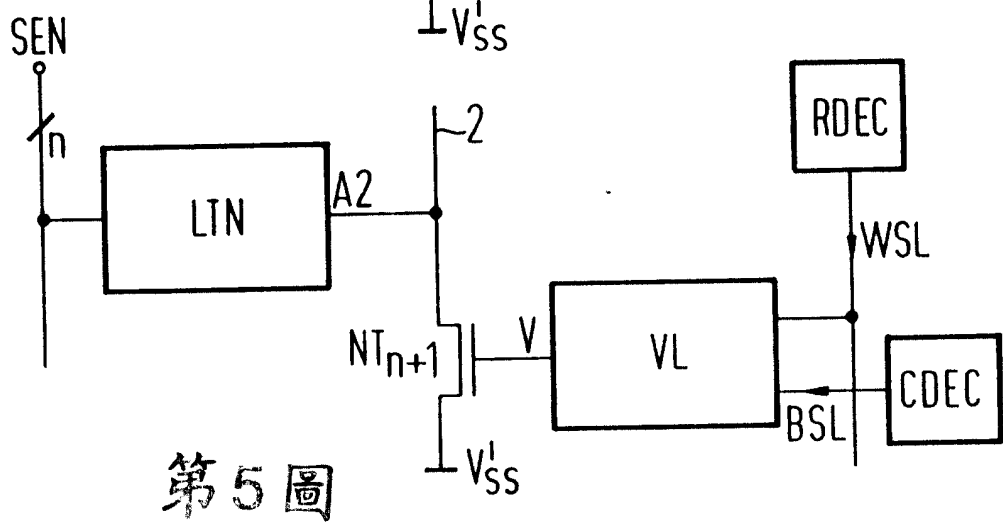
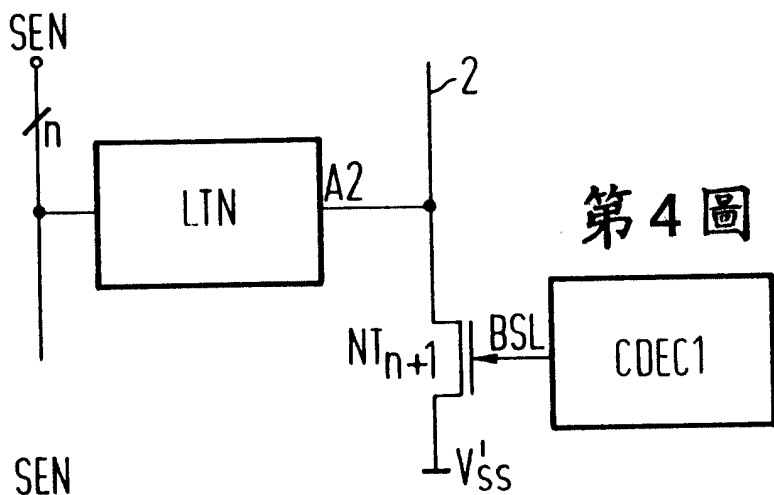
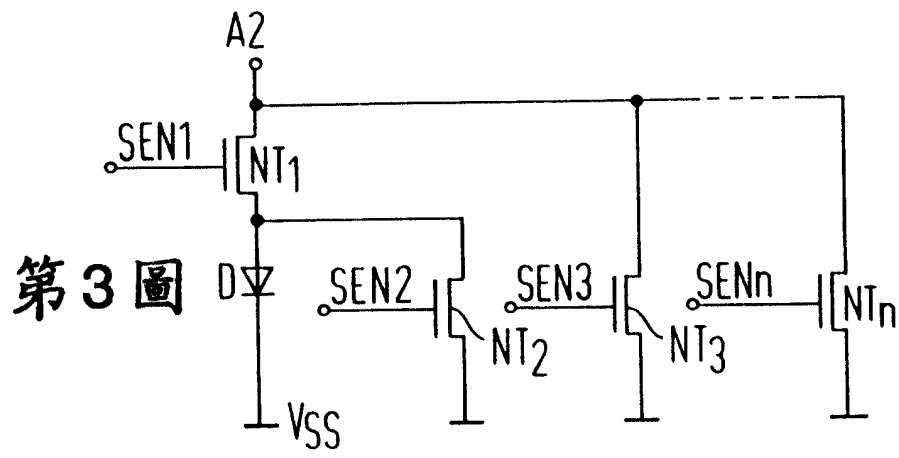
裝

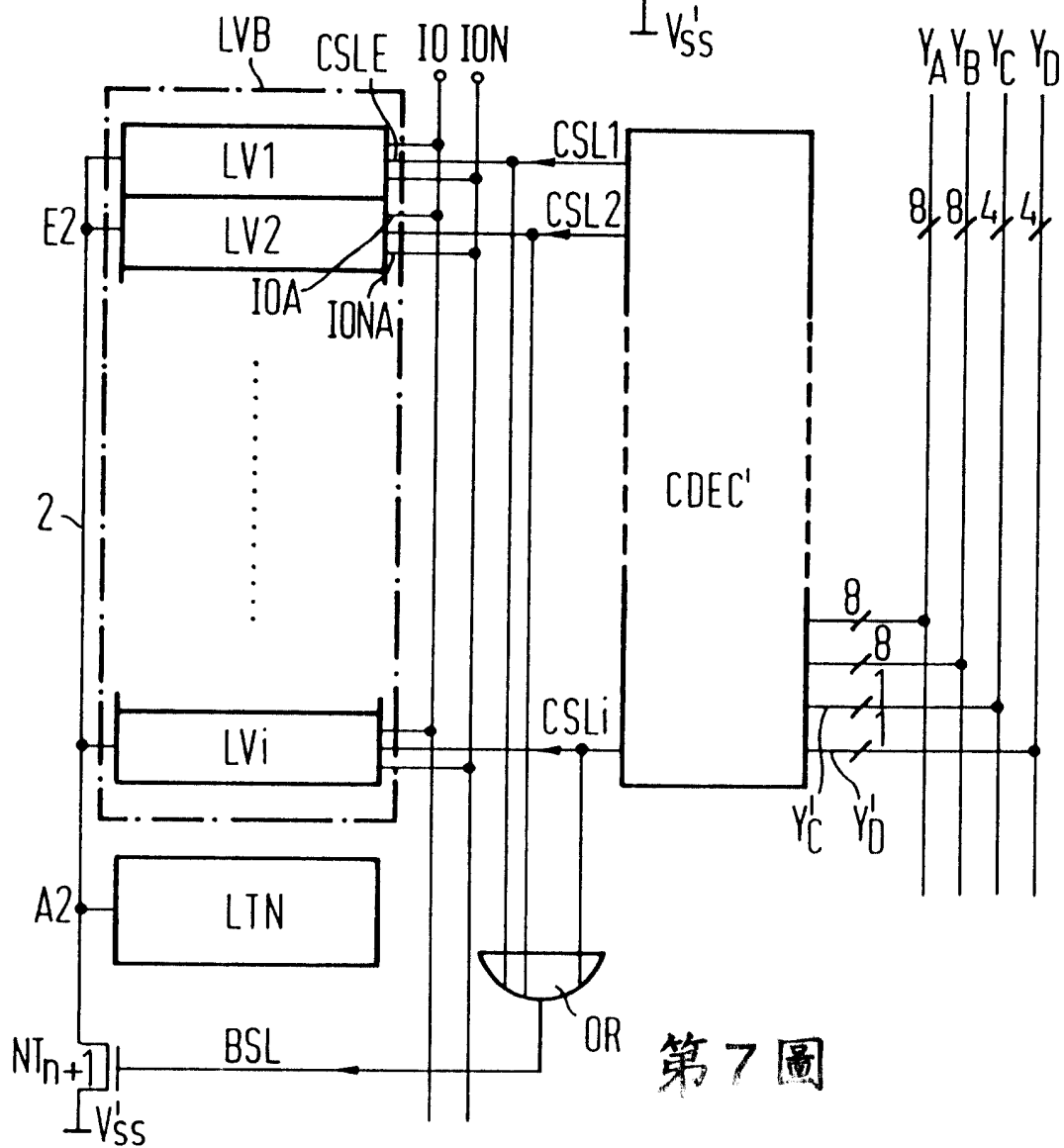
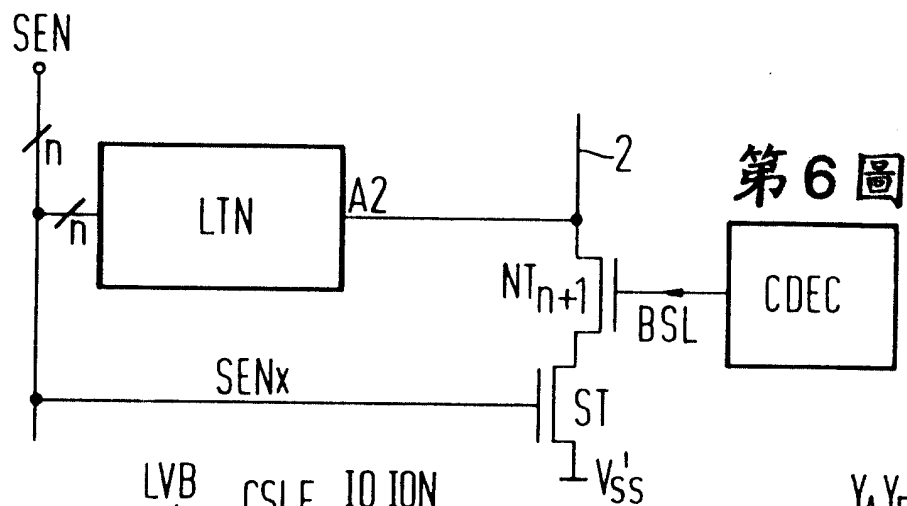
訂

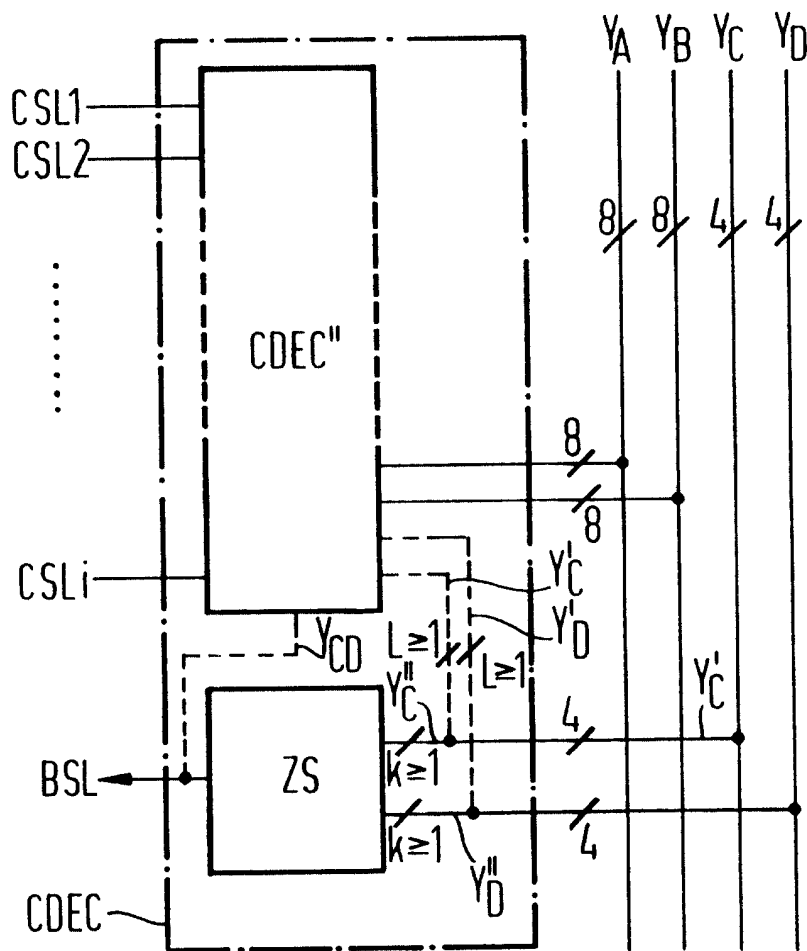
線

第 1 圖









第 7A 圖

第 8 圖

