



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월13일  
(11) 등록번호 10-1156382  
(24) 등록일자 2012년06월07일

(51) 국제특허분류(Int. Cl.)  
*B41J 2/05* (2006.01) *G06K 15/02* (2006.01)  
*G06K 15/10* (2006.01)

(21) 출원번호 10-2006-7024193  
(22) 출원일자(국제) 2005년04월06일  
 심사청구일자 2009년11월27일  
(85) 번역문제출일자 2006년11월17일  
(65) 공개번호 10-2007-0007369  
(43) 공개일자 2007년01월15일  
(86) 국제출원번호 PCT/US2005/011723  
(87) 국제공개번호 WO 2005/105455  
 국제공개일자 2005년11월10일  
(30) 우선권주장  
 10/827,142 2004년04월19일 미국(US)

(73) 특허권자  
휴렛-팩커드 디벨롭먼트 컴퍼니, 엘.피.  
미국 텍사스주 77070 휴스턴 콤팩크 센터 드라이  
브 웨스트 11445

(72) 발명자  
벤자민 트루디 엘  
미국 워싱턴주 98683-8906 밴쿠버 사우스이스트  
34번 스트리트 18110

(74) 대리인  
제이트체인리 기외즈

(56) 선행기술조사문헌  
EP01128324 A2\*  
\*는 심사관에 의하여 인용된 문헌

\*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 17 항

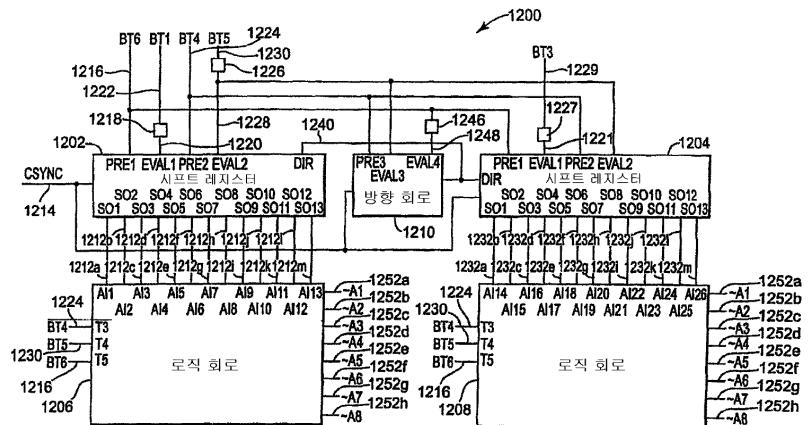
## 심사관 : 양정록

#### (54) 발명의 명칭 유체 분사 장치 및 유체 분사 방법

### (57) 요약

유체 분사 장치(fluid ejection device)는 제 1 점화 셀 그룹(1704a-1704c) 및 제 2 점화 셀 그룹(1704d-1704e)을 포함하는 점화 셀(firing cells)과, 제어 회로(1700)를 포함한다. 제어 회로(1700)는 제어 신호에 응답하여 제 1 점화 셀 그룹(1704a-1704c)이 활성화되도록 인에이블링하는 제 1 시퀀스 및 제 2 점화 셀 그룹(1704d-1704e)이 활성화되도록 인에이블링하는 제 2 시퀀스를 선택적으로 개시한다.

## 대 표 도



## 특허청구의 범위

### 청구항 1

유체 분사 장치(fluid ejection device)로서,

제 1 뱅크의 점화 셀 및 제 2 뱅크의 점화 셀을 포함하는 점화 셀들(firing cells)과,

제어 신호들에 응답하여 상기 제 1 뱅크의 점화 셀이 활성화되도록 인에이블링하는 제 1 어드레스 신호들의 제 1 시퀀스와, 상기 제 2 뱅크의 점화 셀이 활성화되도록 인에이블링하는 제 2 어드레스 신호들의 제 2 시퀀스를 선택적으로 제공하는 제 1 어드레스 생성기

를 포함하되,

상기 제 2 어드레스 신호들의 제 2 시퀀스는 상기 제 1 어드레스 신호들의 제 1 시퀀스와 무관하게 선택적으로 제공되며,

상기 제어 신호들은 제어 펄스들 및 일련의 타이밍 펄스들을 포함하고,

상기 제 1 어드레스 생성기는 상기 일련의 타이밍 펄스들 내의 타이밍 펄스들과 부합하는 제어 펄스들을 수신하는 것에 응답하여 상기 제 1 시퀀스를 개시하고 상기 제 2 시퀀스를 개시하는

유체 분사 장치.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

제 1 항에 있어서,

상기 제 1 어드레스 생성기는 상기 일련의 타이밍 펄스들 내의 제 1 타이밍 펄스와 부합하는 상기 제어 펄스들 내의 제 1 제어 펄스를 수신하는 것에 응답하여 상기 제 1 시퀀스를 개시하는

유체 분사 장치.

### 청구항 6

제 5 항에 있어서,

상기 제 1 어드레스 생성기는 상기 일련의 타이밍 펄스들 내의 제 2 타이밍 펄스와 부합하는 상기 제어 펄스들 내의 제 2 제어 펄스를 수신하는 것에 응답하여 상기 제 2 시퀀스를 개시하는

유체 분사 장치.

### 청구항 7

제 5 항에 있어서,

상기 제 1 어드레스 생성기는, 상기 일련의 타이밍 펄스들 내의 제 3 타이밍 펄스와 부합하는 상기 제어 펄스들 내의 제 3 제어 펄스를 수신하는 것에 응답하여 제 1 방향 신호를 설정하는 방향 회로(direction circuit)를 더 포함하는

유체 분사 장치.

## 청구항 8

제 1 항에 있어서,

상기 점화 셀들은 제 3 뱅크의 점화 셀 및 제 4 뱅크의 점화 셀을 포함하고,

상기 유체 분사 장치는,

상기 제어 신호들에 응답하여 상기 제 3 뱅크의 점화 셀이 활성화되도록 인에이블링하는 제 3 어드레스 신호들의 제 3 시퀀스와, 상기 제 4 뱅크의 점화 셀이 활성화되도록 인에이블링하는 제 4 어드레스 신호들의 제 4 시퀀스를 선택적으로 제공하는 제 2 어드레스 생성기를 더 포함하되,

상기 제 3 어드레스 신호들의 제 3 시퀀스는 상기 제 4 어드레스 신호들의 제 4 시퀀스와 무관하게 선택적으로 제공되는

유체 분사 장치.

## 청구항 9

유체 분사 장치로서,

제 1 그룹의 유체 분사 소자 및 제 2 그룹의 유체 분사 소자를 포함하는 점화 셀들과,

어드레스 생성기

를 포함하되,

상기 어드레스 생성기는,

일련의 타이밍 펄스들로부터 제 1 그룹의 타이밍 펄스를 수신하고, 상기 제 1 그룹의 타이밍 펄스에 응답하여 상기 제 1 그룹의 유체 분사 소자를 인에이블링하는 제 1 시퀀스의 가변 어드레스 신호를 생성하는 제 1 뱅크 회로와,

상기 일련의 타이밍 펄스들로부터 제 2 그룹의 타이밍 펄스를 수신하고, 상기 제 2 그룹의 타이밍 펄스에 응답하여 상기 제 2 그룹의 유체 분사 소자를 인에이블링하는 제 2 시퀀스의 가변 어드레스 신호를 생성하는 제 2 뱅크 회로와,

상기 일련의 타이밍 펄스들로부터 제 3 그룹의 타이밍 펄스를 수신하고, 상기 제 3 그룹의 타이밍 펄스에 응답하여 방향 신호를 제공하는 방향 회로를 포함하는

유체 분사 장치.

## 청구항 10

제 9 항에 있어서,

상기 제 1 뱅크 회로는 제 1 출력 신호를 제공하는 제 1 시프트 레지스터를 포함하는

유체 분사 장치.

## 청구항 11

제 10 항에 있어서,

상기 제 2 뱅크 회로는 제 2 출력 신호를 제공하는 제 2 시프트 레지스터를 포함하는

유체 분사 장치.

## 청구항 12

제 11 항에 있어서,

상기 제 1 뱅크 회로는 상기 제 1 출력 신호에 기초하여 상기 제 1 시퀀스의 가변 어드레스 신호를 제공하는 제 1 로직 회로를 포함하고,

상기 제 2 뱅크 회로는 상기 제 2 출력 신호에 기초하여 상기 제 2 시퀀스의 가변 어드레스 신호를 제공하는

제 2 로직 회로를 포함하는

유체 분사 장치.

### 청구항 13

삭제

### 청구항 14

제 11 항에 있어서,

상기 제 1 시프트 레지스터 및 상기 제 2 시프트 레지스터는 상기 방향 신호를 수신하고, 상기 방향 신호에 기초하여 선택된 방향으로 시프팅하는

유체 분사 장치.

### 청구항 15

제 10 항에 있어서,

상기 제 1 뱅크 회로는, 상기 제 1 출력 신호에 기초하여 상기 제 1 시퀀스의 가변 어드레스 신호를 제공하는 제 1 로직 회로를 포함하는

유체 분사 장치.

### 청구항 16

제 9 항에 있어서,

상기 제 1 뱅크 회로는 상기 수신된 제 1 그룹의 타이밍 펠스에 응답하여 상기 제 1 시퀀스의 가변 어드레스 신호를 제공하는 제 1 로직 회로를 포함하는

유체 분사 장치.

### 청구항 17

삭제

### 청구항 18

제 9 항에 있어서,

상기 제 1 뱅크 회로 및 상기 제 2 뱅크 회로는 상기 방향 신호를 수신하고, 상기 방향 신호에 기초하여 상기 제 1 시퀀스의 가변 어드레스 신호 및 상기 제 2 시퀀스의 가변 어드레스 신호를 선택된 시퀀스로 제공하는

유체 분사 장치.

### 청구항 19

유체 분사 장치로부터 유체를 분사하는 방법으로서,

제어 신호들을 수신하는 단계 - 상기 수신하는 단계는 상기 제어 신호들 중 하나의 제어 신호 내의 제어 펠스들을 수신하는 단계 및 상기 제어 신호들 내의 일련의 타이밍 펠스들을 수신하는 단계를 포함함 - 와,

상기 제어 신호들에 응답하여, 제 1 뱅크의 점화 셀이 활성화되도록 인에이블링하는 제 1 어드레스 신호들의 제 1 시퀀스 및 제 2 뱅크의 점화 셀이 활성화되도록 인에이블링하는 제 2 어드레스 신호들의 제 2 시퀀스를 선택적으로 제공하는 단계

를 포함하되,

상기 제 2 어드레스 신호들의 제 2 시퀀스는 상기 제 1 어드레스 신호들의 제 1 시퀀스와는 무관하게 선택적으로 제공되고,

상기 선택적으로 제공하는 단계는, 상기 일련의 타이밍 펠스들 내의 타이밍 펠스와 부합하도록 수신된 제어

펄스들에 응답하여 상기 제 1 시퀀스를 개시하고 상기 제 2 시퀀스를 개시하는 단계를 포함하는  
유체 분사 방법.

#### 청구항 20

삭제

#### 청구항 21

삭제

#### 청구항 22

삭제

#### 청구항 23

제 19 항에 있어서,

상기 선택적으로 제공하는 단계는, 상기 일련의 타이밍 펄스들 내의 제 1 타이밍 펄스와 부합하도록 수신된  
상기 제어 펄스들 내의 제 1 제어 펄스에 응답하여 상기 제 1 시퀀스를 개시하는 단계를 더 포함하는  
유체 분사 방법.

#### 청구항 24

제 23 항에 있어서,

상기 선택적으로 제공하는 단계는, 상기 일련의 타이밍 펄스들 내의 제 2 타이밍 펄스와 부합하도록 수신된  
상기 제어 펄스들 내의 제 2 제어 펄스에 응답하여 상기 제 2 시퀀스를 개시하는 단계를 더 포함하는  
유체 분사 방법.

#### 청구항 25

제 24 항에 있어서,

상기 선택적으로 제공하는 단계는, 상기 일련의 타이밍 펄스들 내의 제 3 타이밍 펄스와 부합하도록 수신된  
상기 제어 펄스들 내의 제 3 제어 펄스에 응답하여 방향 신호를 설정하는 단계를 더 포함하는  
유체 분사 방법.

### 명세서

[0001]

#### 관련 출원에 대한 참조

[0002]

본 출원은 "Fluid Ejection Device"라는 제목의 특허 출원 일련 번호 제 (미지정됨) 호(대리인 서류 제출 번호 제 200209168-1 호)와, "Fluid Ejection Device With Address Generator"라는 제목의 특허 출원 일련 번호 제 (미지정됨) 호(대리인 서류 제출 번호 제 200208780-1 호)와, "Device With Gates Configured In Loop Structures"라는 제목의 특허 출원 일련 번호 제 (미지정됨) 호(대리인 서류 제출 번호 제 200311485-1 호)와, "Fluid Ejection Device"라는 제목의 특허 출원 일련 번호 제 (미지정됨) 호(대리인 서류 제출 번호 제 200210152-1 호)와, "Fluid Ejection Device With Identification Cells"라는 제목의 특허 출원 일련 번호 제 (미지정됨) 호(대리인 서류 제출 번호 제 200209237-1 호)에 관련되는데, 그 각각의 특허는 본 발명의 양  
수인에게 양도되고 본 출원과 동일 날짜로 출원되었으며, 그 각각의 특허는 본 명세서 내에 전체가 제시된 것  
과 같이 그 전체가 참조 문서로서 인용되었다.

### 배경기술

[0003]

유체 분사 시스템의 일실시예로서, 잉크젯 인쇄 시스템은 프린트헤드(printhead)와, 프린트헤드에 액체 잉크

를 제공하는 잉크 공급부와, 프린트헤드를 제어하는 전자 제어기를 포함할 수 있다. 유체 분사 장치의 일실시예로서, 프린트헤드는 복수의 오리피스(orifices) 또는 노즐을 통해 잉크 액적(ink drops)을 분사한다. 잉크는 종이 등과 같은 인쇄 매체를 향해 분출되어, 인쇄 매체에 화상을 인쇄한다. 노즐은 전형적으로 하나 이상의 어레이로 정렬되어, 프린트헤드 및 인쇄 매체가 서로에 대해 대응하여 이동할 때 노즐로부터의 적절히 순차화된 잉크 분사에 의해 인쇄 매체 상에 문자 또는 다른 화상이 인쇄된다.

[0004] 전형적인 열 잉크젯 인쇄 시스템에서, 프린트헤드는 기화 챔버 내에 위치된 소량의 잉크를 급속 가열하는 것에 의해 노즐을 통해 잉크 액적을 분사한다. 잉크는 본 명세서에서 점화 저항으로 지칭되는 박막 저항 등과 같은 소형의 전기 히터에 의해 가열된다. 잉크의 가열은 잉크가 기화하고 노즐을 통해 분사되게 한다.

[0005] 하나의 잉크 액적을 분사하기 위해서, 프린트헤드를 제어하는 전자 제어기는 프린트헤드 외부의 전력 공급원으로부터 전기 전류를 활성화한다. 전기 전류는 선택된 점화 저항을 통하여 대응하여 선택된 기화 챔버 내의 잉크를 가열하고, 대응하는 노즐을 통해 잉크를 분사한다. 공지된 액적 생성기는 점화 저항과, 대응하는 기화 챔버와, 대응하는 노즐을 포함한다.

[0006] 잉크젯 프린트헤드가 발달됨에 따라, 프린트헤드 내의 액적 생성기의 개수가 증가되어 인쇄 속도 및/또는 품질이 개선된다. 프린트헤드 당 액적 생성기의 개수의 증가는 증가된 개수의 점화 저항에 에너지를 공급하기 위해 프린트헤드 다이 상에서 요구되는 입력 패드의 개수의 대응하는 증가를 초래하였다. 한 가지 타입의 프린트헤드에서, 각각의 점화 저항은 대응하는 입력 패드에 결합되어 점화 저항에 에너지를 공급할 전력을 제공한다. 점화 저항 당 하나의 입력 패드가 존재하는 것은 점화 저항의 개수가 증가됨에 따라 비실용적이 되고 있다.

[0007] 입력 패드 당 액적 생성기의 개수는 원형(primitives)을 갖는 다른 타입의 프린트헤드에서 크게 증가된다. 하나의 원형에서 단일 전력 리드(power lead)는 모든 점화 저항에 전력을 공급한다. 각각의 점화 저항은 전력 리드 및 대응하는 전계 효과 트랜지스터(field effect transistor : FET)의 드레인-소스 경로와 직렬로 결합된다. 원형 내의 각각의 FET의 게이트는 다수의 원형에 의해 공유되는 별개 에너지 공급 가능형 어드레스 리드에 결합된다.

[0008] 제조업자들은 지속적으로 프린트헤드 다이 상에서 입력 패드의 개수를 감소시키고 액적 생성기의 개수를 증가시키도록 노력한다. 더 소수의 입력 패드를 갖는 프린트헤드는 전형적으로 더 많은 입력 패드를 갖는 프린트헤드보다 비용이 덜 듦다. 또한, 더 많은 액적 생성기를 갖는 프린트헤드는 전형적으로 더 높은 품질 및/또는 인쇄 속도로 인쇄한다. 비용을 유지하면서 특정 인쇄 스위스 높이(print swath height)를 제공하기 위해서, 액적 생성기의 개수가 증가할 때 프린트헤드 다이 크기는 크게 변동되지 않을 것이다. 액적 생성기 밀도가 증가하고 입력 패드의 개수가 감소함에 따라, 프린트헤드 다이 배치는 더욱 더 복잡해질 수 있다.

[0009] 이러한 이유 및 다른 이유에 기인하여 본 발명이 필요하게 되었다.

## 실시예

[0031] 이하의 상세한 설명에서, 본 발명의 일부분을 형성하고 본 발명이 실행될 수 있는 특정 실시예를 예로서 도시하는 첨부 도면을 참조하였다. 이와 관련하여, "상면", "바닥", "전방", "후방", "선행", "후속" 등과 같은 방향 지시 용어는 도시된 도면(들)의 방향을 참조하도록 이용되었다. 본 발명의 실시예의 구성 요소는 다수의 서로 다른 방향으로 위치될 수 있으므로, 방향 지시 용어는 예시를 목적으로 사용되었고, 한정하는 방식으로 이용된 것이 아니다. 본 발명의 범주를 벗어나지 않으면서 다른 실시예를 이용하고, 구조적 또는 논리적 변경을 실행할 수 있다는 것을 이해할 것이다. 그러므로 이하의 상세한 설명은 한정적 의미로 해석되어서는 안되고, 본 발명의 범주는 첨부된 청구항에 의해서 정의된다.

[0032] 도 1은 잉크젯 인쇄 시스템(20)의 일실시예를 도시한다. 잉크젯 인쇄 시스템(20)은 잉크젯 프린트헤드 어셈블리(22) 등의 유체 분사 장치 및 잉크 공급 어셈블리(24) 등의 유체 공급 어셈블리를 포함하는 유체 분사 시스템(fluid ejection system)의 일실시예를 구성한다. 또한, 잉크젯 인쇄 시스템(20)은 탑재 어셈블리(26), 매체 반송 어셈블리(media transport assembly)(28) 및 전자 제어기(30)를 포함한다. 적어도 하나의 전력 공급원(32)은 잉크젯 인쇄 시스템(20)의 여러 전기 구성 요소에 전력을 공급한다.

[0033] 일실시예에서, 잉크젯 프린트헤드 어셈블리(22)는 복수의 오리피스(orifices) 또는 노즐(34)을 통해 인쇄 매체(36)를 향해 잉크 액적을 분사하여 인쇄 매체(36) 상에 인쇄되게 하는 적어도 하나의 프린트헤드 또는 프린

트헤드 다이(40)를 포함한다. 프린트헤드(40)는 유체 분사 장치의 일실시예이다. 인쇄 매체(36)는 종이, 카드 용지(card stock), 투명지(transparencies), 마일라(Mylar), 직물 등과 같은 임의의 타입의 적절한 시트 재료일 수 있다. 전형적으로, 노즐(34)은 하나 이상의 열 또는 어레이로 정렬되어, 잉크젯 프린트헤드 어셈블리(22) 및 인쇄 매체(36)가 서로에 대해 상관적으로 이동할 때 노즐(34)로부터의 적절히 순차화된 잉크의 분사에 의해서 문자, 기호 및/또는 다른 그래픽 또는 화상이 인쇄 매체(36) 상에 인쇄되게 된다. 이하의 설명은 프린트헤드 어셈블리(22)로부터 잉크를 분사하는 것에 관련되었으나, 투명 유체(clear fluid)를 포함하는 다른 액체, 유체 또는 유동 가능(flowable) 재료도 프린트헤드 어셈블리(22)로부터 분사될 수 있다는 것을 이해할 것이다.

[0034] 유체 공급 어셈블리의 일실시예로서의 잉크 공급 어셈블리(24)는 프린트헤드 어셈블리(22)에 잉크를 공급하고 잉크를 저장하는 저장소(38)를 포함한다. 이로 인해, 잉크는 저장소(38)로부터 잉크젯 프린트헤드 어셈블리(22)로 흐른다. 잉크 공급 어셈블리(24) 및 잉크젯 프린트헤드 어셈블리(22)는 일방향 잉크 전달 시스템 또는 재순환(recirculating) 잉크 전달 시스템을 형성할 수 있다. 일방향 잉크 전달 시스템에서, 잉크젯 프린트헤드 어셈블리(22)에 공급되는 실질적으로 전체의 잉크가 인쇄 동안에 소모된다. 재순환 잉크 전달 시스템에서, 프린트헤드 어셈블리(22)에 의해 공급되는 잉크의 일부분만이 인쇄 동안에 소모된다. 이 경우에, 인쇄 동안에 소모되지 않은 잉크는 잉크 공급 어셈블리(24)로 되돌아간다.

[0035] 일실시예에서, 잉크젯 프린트헤드 어셈블리(22) 및 잉크 공급 어셈블리(24)는 잉크젯 카트리지 또는 펜 내에서 함께 수용된다. 잉크젯 카트리지 또는 펜은 유체 분사 장치의 일실시예이다. 다른 실시예에서, 잉크 공급 어셈블리(24)는 잉크젯 프린트헤드 어셈블리(22)로부터 분리되고, 공급 튜브(supply tube)(도시하지 않음) 등과 같은 인터페이스 접속을 통해 잉크젯 프린트헤드 어셈블리(22)에 잉크를 공급한다. 어느 실시예에서도, 잉크 공급 어셈블리(24)의 저장소(38)는 제거, 교체 및/또는 보충될 수 있다. 잉크젯 프린트헤드 어셈블리(22) 및 잉크 공급 어셈블리(24)가 잉크젯 카트리지 내에 함께 수용되는 일실시예에서, 저장소(38)는 카트리지 내에 위치되는 국부 저장소(local reservoir)를 포함하고, 또한 카트리지와는 별도로 위치된 더 큰 저장소를 포함할 수 있다. 이 경우에, 별개의 더 큰 저장소는 국부 저장소를 보충하는 역할을 한다. 따라서, 별개의 더 큰 저장소 및/또는 국부 저장소는 제거, 교체 및/또는 보충될 수 있다.

[0036] 탑재 어셈블리(26)는 잉크젯 프린트헤드 어셈블리(22)를 매체 반송 어셈블리(28)에 대해 배치하고, 매체 반송 어셈블리(28)는 인쇄 매체(36)를 잉크젯 프린트헤드 어셈블리(22)에 대해 배치한다. 따라서, 인쇄 영역(print zone)(37)은 잉크젯 프린트헤드 어셈블리(22)와 인쇄 매체(36) 사이의 영역 내에서 노즐(34)에 인접하게 정의된다. 일실시예에서, 잉크젯 프린트헤드 어셈블리(22)는 스캐닝 타입(scanning type) 프린트헤드 어셈블리이다. 이 경우에, 탑재 어셈블리(26)는 잉크젯 프린트헤드 어셈블리(22)를 매체 반송 어셈블리(28)에 대해 이동시켜서 인쇄 매체(36)를 스캐닝하는 캐리지(carriage)(도시하지 않음)를 포함한다. 다른 실시예에서, 잉크젯 프린트헤드 어셈블리(22)는 비스캐닝 타입(non-scanning type) 프린트헤드 어셈블리이다. 이 경우에, 탑재 어셈블리(26)는 매체 반송 어셈블리(28)에 대해 지정된 위치에 잉크젯 프린트헤드 어셈블리(22)를 고정한다. 따라서, 매체 반송 어셈블리(28)는 인쇄 매체(36)를 잉크젯 프린트헤드 어셈블리(22)에 대해 배치한다.

[0037] 전자 제어기 또는 프린터 제어기(30)는 전형적으로 잉크젯 프린트헤드 어셈블리(22), 탑재 어셈블리(26) 및 매체 반송 어셈블리(28)와 통신하고 이들을 제어하기 위한 프로세서, 펌웨어(firmware) 및 다른 전자 기기 또는 그 조합을 포함한다. 전자 제어기(30)는 컴퓨터 등과 같은 호스트 시스템으로부터 데이터(39)를 수신하고, 일반적으로 데이터(39)를 일시적으로 저장하는 메모리를 포함한다. 전형적으로, 데이터(39)는 전자, 적외선, 광학, 또는 다른 정보 전송 경로를 따라 잉크젯 인쇄 시스템(20)으로 전달된다. 데이터(39)는 예를 들면, 인쇄될 문서 및/또는 파일을 나타낸다. 이 경우에, 데이터(39)는 잉크젯 인쇄 시스템(20)을 위한 인쇄 작업을 형성하고, 하나 이상의 인쇄 작업 커맨드 및/또는 커맨드 파라미터를 포함한다.

[0038] 일실시예에서, 전자 제어기(30)는 노즐(34)로부터 잉크 액적을 분사하도록 잉크젯 프린트헤드 어셈블리(22)를 제어한다. 이 경우에, 전자 제어기(30)는 인쇄 매체(36) 상에 문자, 기호 및/또는 다른 그래픽 또는 화상을 형성하는 분사된 잉크 액적의 패턴을 정의한다. 분사된 잉크 액적의 패턴은 인쇄 작업 커맨드 및/또는 커맨드 파라미터에 의해 결정된다.

[0039] 일실시예에서, 잉크젯 프린트헤드 어셈블리(22)는 하나의 프린트헤드(40)를 포함한다. 다른 실시예에서, 잉크젯 프린트헤드 어셈블리(22)는 와이드 어레이(wide-array) 또는 멀티 헤드(multi-head) 프린트헤드 어셈블리이다. 소정의 와이드 어레이의 실시예에서, 잉크젯 프린트헤드 어셈블리(22)는 프린트헤드 다이(40)를 전달하는 캐리어를 포함하고, 프린트헤드 다이(40)와 전자 제어기(30) 사이에 전기적 통신을 제공하고, 프린트

헤드 다이(40)와 잉크 공급 어셈블리(24) 사이에 유체학적 통신을 제공한다.

[0040] 도 2는 프린트헤드 다이(40)의 일실시예의 일부분을 도시하는 도면이다. 프린트헤드 다이(40)는 인쇄 또는 유체 분사 소자(42)의 어레이를 포함한다. 인쇄 소자(42)는 그 내부에 잉크 공급 슬롯(46)이 형성되어 있는 기판(44) 상에 형성된다. 이 경우에, 잉크 공급 슬롯(46)은 인쇄 소자(42)에 대한 액체 잉크의 공급원을 제공한다. 잉크 공급 슬롯(46)은 유체 공급원의 일실시예이다. 유체 공급원의 다른 실시예는 대응하는 기화 챔버(vaporization chambers)에 공급하는 대응하는 개별 잉크 공급 홀(ink feed holes) 및 유체 분사 소자의 대응 그룹에 각각 공급하는 다수의 더 짧은 잉크 공급 트렌치(ink feed trenches)를 포함하지만 이것으로 한정되지 않는다. 박막 구조물(48) 내부에는 기판(44) 내에 형성된 잉크 공급 슬롯(46)과 통신하는 잉크 공급 채널(54)이 형성되어 있다. 오리피스층(50)은 전면(front face)(50a) 및 전면(50a) 내에 형성된 노즐 개구(34)를 갖는다. 오리피스층(50) 내부에는 또한 노즐 개구(34) 및 박막 구조물(48)의 잉크 공급 채널(54)과 통신하는 노즐 챔버 또는 기화 챔버(56)가 형성되어 있다. 점화 저항(52)은 기화 챔버(56) 내에 위치되고, 리드(leads)(58)는 선택된 점화 저항을 통한 전류 인가를 제어하는 회로에 대해 점화 저항(52)을 전기적으로 결합한다. 본 명세서에 설명된 액적 생성기(60)는 점화 저항(52), 노즐 챔버 또는 기화 챔버(56) 및 노즐 개구(34)를 포함한다.

[0041] 인쇄 동안에, 잉크는 잉크 공급 슬롯(46)으로부터 잉크 공급 채널(54)을 통해 기화 챔버(56)로 흐른다. 노즐 개구(34)는 점화 저항(52)과 작동 가능하게 연결되어 기화 챔버(56) 내의 잉크 액적이 노즐 개구(34)를 통해 분사(예를 들면, 점화 저항(52)의 면에 대해 실질적으로 수직하게 분사)되고, 점화 저항(52)에 전력이 공급되면 인쇄 매체(36)를 향해 분사된다.

[0042] 프린트헤드 다이(40)의 예시적인 실시예는 열적 프린트헤드, 압전 프린트헤드, 정전 프린트헤드, 또는 다중층 구조물 내에 접적될 수 있는 것으로 본 기술 분야에서 알려진 임의의 다른 타입의 유체 분사 장치를 포함한다. 기판(44)은 예를 들면, 실리콘, 유리, 세라믹, 또는 안정한 폴리머로 형성되고, 박막 구조물(48)은 실리콘 이산화물, 실리콘 탄화물, 실리콘 질화물, 탄탈륨, 폴리실리콘 유리, 또는 다른 적절한 재료로 이루어진 하나 이상의 패시베이션(passivation)층 또는 절연층을 포함하도록 형성된다. 또한, 박막 구조물(48)은 점화 저항(52) 및 리드(58)를 정의하는 적어도 하나의 도전층을 포함한다. 일실시예에서, 도전층은 예를 들면, 알루미늄, 금, 탄탈륨, 탄탈륨-알루미늄, 또는 다른 금속 또는 금속 합금을 포함한다. 일실시예에서, 이하에 설명되는 점화 셀 회로(firing cell circuitry)는 기판(44) 및 박막 구조물(48) 등과 같은 기판 및 박막층 내에 구현된다.

[0043] 일실시예에서, 오리피스층(50)은 포토이미저블(photoimageable) 예를 들면, 메사추세츠주의 뉴튼에 소재하는 마이크로 켐(Micro-Chem) 사에 의해 시판되는 SU8로 지칭되는 에폭시를 포함한다. SU8 또는 다른 폴리머를 가지고 오리피스층(50)을 제조하는 예시적인 기법은 본 명세서에 참조 문헌으로 인용된 미국 특허 번호 제 6,162,589 호에 상세하게 개시되어 있다. 일실시예에서, 오리피스층(50)은 장벽층(barrier layer)(예를 들면, 드라이 필름 포토레지스트(dry film photoresist) 장벽층) 및 장벽층 위에 형성된 금속 오리피스층(예를 들면, 니켈, 구리, 철/니켈 합금, 팔라듐, 금 또는 로듐층)으로 지칭되는 2개의 별도의 층으로 형성된다. 그러나, 다른 적절한 재료를 이용하여 오리피스층(50)을 형성할 수 있다.

[0044] 도 3은 프린트헤드 다이(40)의 일실시예에서 잉크 공급 슬롯(46)과 함께 배치된 액적 생성기(60)를 도시하는 도면이다. 잉크 공급 슬롯(46)은 대향하는 잉크 공급 슬롯면(46a, 46b)을 포함한다. 액적 생성기(60)는 각각의 대향하는 잉크 공급 슬롯면(46a, 46b)을 따라 배치된다. 전체 n개의 액적 생성기(60)는 잉크 공급 슬롯(46)을 따라 배치되고, m개의 액적 생성기(60)는 잉크 공급 슬롯면(46a)을 따라 배치되며, n-m개의 액적 생성기(60)는 잉크 공급 슬롯면(46b)을 따라 배치된다. 일실시예에서, n은 잉크 공급 슬롯(46)을 따라 배치된 200개의 액적 생성기(60)와 같고, m은 대향하는 잉크 공급 슬롯면(46a, 46b) 각각을 따라 배치된 100개의 액적 생성기(60)와 같다. 다른 실시예에서, 임의의 적절한 개수의 액적 생성기(60)는 잉크 공급 슬롯(46)을 따라 배치될 수 있다.

[0045] 잉크 공급 슬롯(46)은 잉크 공급 슬롯(46)을 따라 배치된 n개의 액적 생성기(60) 각각에 대해 잉크를 공급한다. n개의 액적 생성기(60) 각각은 점화 저항(52), 기화 챔버(56) 및 노즐(34)을 포함한다. n개의 기화 챔버(56) 각각은 적어도 하나의 잉크 공급 채널(54)을 통해 잉크 공급 슬롯(46)에 대해 유체학적으로 결합된다. 액적 생성기(60)의 점화 저항(52)은 제어된 시퀀스로 전력이 공급되어, 기화 챔버(56)로부터 또한 노즐(34)을 통해 유체를 분사하여 인쇄 매체(36) 상에 화상을 인쇄한다.

[0046] 도 4는 프린트헤드 다이(40)의 일실시예에서 이용된 점화 셀(70)의 일실시예를 도시하는 도면이다. 점화 셀

(70)은 점화 저항(52), 저항 구동 스위치(72) 및 메모리 회로(74)를 포함한다. 점화 저항(52)은 액적 생성기(60)의 부분이다. 구동 스위치(72) 및 메모리 회로(74)는 점화 저항(52)을 통한 전류의 인가를 제어하는 회로의 부분이다. 점화 셀(70)은 박막 구조물(48) 내부 및 기판(44) 상에 형성된다.

[0047] 일실시예에서, 점화 저항(52)은 박막 저항이고, 구동 스위치(72)는 전계 효과 트랜지스터(FET)이다. 점화 저항(52)은 점화 라인(76) 및 구동 스위치(72)의 드레인-소스 경로에 전기적으로 결합된다. 또한 구동 스위치(72)의 드레인-소스 경로는 접지 등과 같은 기준 전압에 결합된 기준 라인(78)에 전기적으로 결합된다. 구동 스위치(72)의 게이트는 구동 스위치(72)의 상태를 제어하는 메모리 회로(74)에 전기적으로 결합된다.

[0048] 메모리 회로(74)는 데이터 라인(80) 및 인에이블 라인(enable lines)(82)에 전기적으로 결합된다. 데이터 라인(80)은 화상의 부분을 나타내는 데이터 신호를 수신하고, 인에이블 라인(82)은 메모리 회로(74)의 동작을 제어하는 인에이블 신호를 수신한다. 메모리 회로(74)는 인에이블 신호에 의해 인에이블링될 때 1비트의 데이터를 저장한다. 저장된 데이터 비트의 로직 레벨은 구동 스위치(72)의 상태(예를 들면, 온(on) 또는 오프(off), 도전 또는 비도전)를 설정한다. 인에이블 신호는 하나 이상의 선택 신호 및 하나 이상의 어드레스 신호를 포함할 수 있다.

[0049] 점화 라인(76)은 에너지 펄스를 포함하는 에너지 신호를 수신하고, 점화 저항(52)에 에너지 펄스를 제공한다. 일실시예에서, 에너지 펄스는 액적 생성기(60)의 기화 챔버(56) 내의 유체를 가열 및 기화하기 위한 적절한 양의 에너지를 제공하도록 타이밍된 시작 시간 및 타이밍된 주기를 갖도록 하여 전자 제어기(30)에 의해 제공된다. 구동 스위치(72)가 온 상태(도전 상태)이면, 에너지 펄스는 점화 저항(52)을 가열하여 액적 생성기(60)로부터의 유체를 가열 및 분사한다. 구동 스위치(72)가 오프 상태(비도전 상태)이면, 에너지 펄스는 점화 저항(52)을 가열하지 않고, 유체는 액적 생성기(60) 내에 유지된다.

[0050] 도 5는 참조 부호(100)로 표시된 잉크젯 프린트헤드 점화 셀 어레이의 일실시예를 도시하는 개략도이다. 점화 셀 어레이(100)는  $n$ 개의 점화 그룹(102a-102n)으로 정렬된 복수의 점화 셀(70)을 포함한다. 일실시예에서, 점화 셀(70)은 6개의 점화 그룹(102a-102n)으로 정렬된다. 다른 실시예에서, 점화 셀(70)은 4개 이상의 점화 그룹(102a-102n) 등과 같은 임의의 적합한 개수의 점화 그룹(102a-102n)으로 정렬될 수 있다.

[0051] 어레이(100) 내의 점화 셀(70)은  $L$ 개의 행 및  $m$ 개의 열로 개략적으로 정렬된다. 점화 셀(70)의  $L$ 개의 행은 인에이블 신호를 수신하는 인에이블 라인(104)에 대해 전기적으로 결합된다. 본 명세서에서 점화 셀(70)의 행 서브그룹 또는 서브그룹으로 지칭되는 점화 셀(70)의 각각의 행은, 서브그룹 인에이블 라인(106a-106L)의 하나의 세트에 전기적으로 결합된다. 서브그룹 인에이블 라인(106a-106L)은 점화 셀(70)의 대응하는 서브그룹을 인에이블링하는 서브그룹 인에이블 신호(SG<sub>1</sub>, SG<sub>2</sub>, ..., SG<sub>L</sub>)를 수신한다.

[0052]  $m$ 개의 열은 데이터 신호(D<sub>1</sub>, D<sub>2</sub>, ..., D<sub>m</sub>)를 각각 수신하는  $m$ 개의 데이터 라인(108a-108m)에 전기적으로 결합된다.  $m$ 개의 열 각각은 각각의  $n$ 개의 점화 그룹(102a-102n) 내의 점화 셀(70)을 포함하고, 본 명세서에서 데이터 라인 그룹 또는 데이터 그룹으로 지칭되는 점화 셀(70)의 각각의 열은, 데이터 라인(108a-108m) 중 하나에 전기적으로 결합된다. 다시 말해서, 각각의 데이터 라인(108a-108m)은 각각의 점화 그룹(102a-102n) 내의 점화 셀(70)을 포함하는 하나의 열 내의 각각의 점화 셀(70)에 전기적으로 결합된다. 예를 들면, 데이터 라인(108a)은 각각의 점화 그룹(102a-102n) 내의 점화 셀(70)을 포함하는 최좌측 열의 각각의 점화 셀(70)에 전기적으로 결합된다. 데이터 라인(108b)은 인접한 열 및 그 위쪽의 다른 열 내에 있는 각각의 점화 셀(70)에 전기적으로 결합되고, 데이터 라인(108m)은 각각의 점화 그룹(102a-102n) 내의 점화 셀(70)을 포함하는 최우측 열 내의 각각의 점화 셀(70)에 전기적으로 결합된다.

[0053] 일실시예에서, 어레이(100)는 6개의 점화 그룹(102a-102n)으로 정렬되고, 6개의 점화 그룹(102a-102n) 각각은 13개의 서브그룹 및 8개의 데이터 라인 그룹을 포함한다. 다른 실시예에서, 어레이(100)는 임의의 적합한 개수의 점화 그룹(102a-102n) 및 임의의 적합한 개수의 서브그룹 및 데이터 라인 그룹으로 정렬될 수 있다. 어떠한 실시예에서도, 점화 그룹(102a-102n)은 동일한 개수의 서브그룹 및 데이터 라인 그룹을 갖도록 제한되지 않는다. 대신에, 각각의 점화 그룹(102a-102n)은 임의의 다른 점화 그룹(102a-102n)에 비해 서로 다른 개수의 서브그룹 및/또는 데이터 라인 그룹을 가질 수 있다. 또한, 각각의 서브그룹은 임의의 다른 서브그룹에 비해 서로 다른 개수의 점화 셀(70)을 가질 수 있고, 각각의 데이터 라인 그룹은 임의의 다른 데이터 라인 그룹에 비해 서로 다른 개수의 점화 셀(70)을 가질 수 있다.

[0054] 각각의 점화 그룹(102a-102n) 내의 점화 셀(70)은 점화 라인(110a-110n) 중 하나에 전기적으로 결합된다. 점화 그룹(102a)에서, 각각의 점화 셀(70)은 점화 신호 또는 에너지 신호(FIRE1)를 수신하는 점화 라인(110a)에

전기적으로 결합된다. 점화 그룹(102b)에서, 각각의 점화 셀(70)은 점화 신호 또는 에너지 신호(FIRE2)를 수신하는 점화 라인(110b)에 전기적으로 결합되는데, 이것은 점화 그룹(102n)까지 계속 적용되어 점화 그룹(102n) 내에서 각각의 점화 셀(70)은 점화 신호 또는 에너지 신호(FIREn)를 수신하는 점화 라인(110n)에 전기적으로 결합된다. 또한, 각각의 점화 그룹(102a-102n) 내의 각각의 점화 셀(70)은 접지로 고정된 공통 기준 라인(112)에 전기적으로 결합된다.

[0055] 작동 중에, 서브그룹 인에이블 신호(SG1, SG2, ... SG<sub>L</sub>)는 서브그룹 인에이블 라인(106a-106L)에 제공되어 점화 셀(70)의 하나의 서브그룹을 인에이블링한다. 인에이블링된 점화 셀(70)은 데이터 라인(108a-108m)에 제공된 데이터 신호(D1, D2, ... D<sub>m</sub>)를 저장한다. 데이터 신호(D1, D2, ... D<sub>m</sub>)는 인에이블링된 점화 셀(70)의 메모리 회로(74) 내에 저장된다. 각각의 저장된 데이터 신호(D1, D2, ... D<sub>m</sub>)는 인에이블링된 점화 셀(70) 중 하나의 점화 셀 내에 있는 구동 스위치(72)의 상태를 설정한다. 구동 스위치(72)는 저장된 데이터 신호 값에 기초하여 도전 상태 또는 비도전 상태로 설정된다.

[0056] 선택된 구동 스위치(72)의 상태가 설정된 후, 에너지 신호(FIRE1-FIREn)는 점화 셀(70)의 선택된 서브그룹을 포함하는 점화 그룹(102a-102n)에 대응하는 점화 라인(110a-110n)에 제공된다. 에너지 신호(FIRE1-FIREn)는 에너지 펄스를 포함한다. 에너지 펄스는 선택된 점화 라인(110a-110n)에 제공되어 도전 상태의 구동 스위치(72)를 갖는 점화 셀(70) 내의 점화 저항(52)에 전력을 공급한다. 전력 공급된 점화 저항(52)은 인쇄 매체(36) 상에 잉크를 가열 및 분사하여 데이터 신호(D1, D2, ... D<sub>m</sub>)에 의해 표시되는 화상을 인쇄한다. 서브그룹 of 점화 셀(70)의 서브그룹의 인에이블링, 인에이블링된 서브그룹 내에 데이터 신호(D1, D2, ... D<sub>m</sub>)의 저장 및 에너지 신호(FIRE1-FIREn)를 제공하여 인에이블링된 서브그룹 내의 점화 저항(52)에 전력을 공급하는 프로세스는 인쇄가 종료할 때까지 계속된다.

[0057] 일실시예에서, 에너지 신호(FIRE1-FIREn)가 선택된 점화 그룹(102a-102n)에 제공될 때, 서브그룹 인에이블 신호(SG1, SG2, ... SG<sub>L</sub>)는 서로 다른 점화 그룹(102a-102n) 내의 다른 서브그룹을 선택 및 인에이블링하도록 변경된다. 새롭게 인에이블링된 서브그룹은 데이터 라인(108a-108m)에 제공된 데이터 신호(D1, D2, ... D<sub>m</sub>)를 저장하고, 에너지 신호(FIRE1-FIREn)는 점화 라인(110a-110n) 중 하나에 제공되어 새롭게 인에이블링된 점화 셀(70) 내의 점화 저항(52)에 전력을 공급한다. 임의의 한 시점에서, 오로지 하나의 점화 셀(70)의 서브그룹만이 서브그룹 인에이블 신호(SG1, SG2, ... SG<sub>L</sub>)에 의해 인에이블링되어 데이터 라인(108a-108m)에 제공된 데이터 신호(D1, D2, ... D<sub>m</sub>)를 저장한다. 이와 관련하여, 데이터 라인(108a-108m) 상의 데이터 신호(D1, D2, ... D<sub>m</sub>)는 시분할 다중화된(timed division multiplexed) 데이터 신호이다. 또한, 에너지 신호(FIRE1-FIREn)가 선택된 점화 그룹(102a-102n)에 제공되는 동안에, 선택된 점화 그룹(102a-102n) 내에서 오로지 하나의 서브그룹만이 도전 상태로 설정된 구동 스위치(72)를 포함한다. 그러나, 서로 다른 점화 그룹(102a-102n)에 제공된 에너지 신호(FIRE1-FIREn)는 중첩될 수 있다.

[0058] 도 6은 사전-충전된(pre-charged) 점화 셀(120)의 일실시예를 도시하는 개략도이다. 사전-충전된 점화 셀(120)은 점화 셀(70)의 일실시예이다. 사전-충전된 점화 셀(120)은 점화 저항(52)에 전기적으로 결합된 구동 스위치(172)를 포함한다. 일실시예에서, 구동 스위치(172)는 점화 저항(52)의 한 단자에 한 쪽 단이, 기준 라인(122)에 다른 쪽 단이 전기적으로 결합된 드레인-소스 경로를 포함하는 FET이다. 기준 라인(122)은 접지 등과 같은 기준 전압으로 고정된다. 점화 저항(52)의 다른 단자는 에너지 펄스를 포함하는 점화 신호 또는 에너지 신호(FIRE)를 수신하는 점화 라인(124)에 전기적으로 결합된다. 에너지 펄스는 구동 스위치(172)가 온 상태(도전 상태)일 때 점화 저항(52)에 전력을 공급한다.

[0059] 구동 스위치(172)의 게이트는 사전-충전 트랜지스터(128) 및 선택 트랜지스터(130)의 순차적 활성화에 따라서 데이터를 저장하는 메모리 소자로서 기능하는 저장 노드 캐페시턴스(126)를 형성한다. 드레인-소스 경로 및 사전-충전 트랜지스터(128)의 게이트는 사전-충전 신호를 수신하는 사전-충전 라인(132)에 전기적으로 결합된다. 구동 스위치(172)의 게이트는 사전-충전 트랜지스터(128)의 드레인-소스 경로 및 선택 트랜지스터(130)의 드레인-소스 경로에 전기적으로 결합된다. 선택 트랜지스터(130)의 게이트는 선택 신호를 수신하는 선택 라인(134)에 전기적으로 결합된다. 저장 노드 캐페시턴스(126)는 구동 스위치(172)의 일부분으로서 접선으로 도시되어 있다. 이와 다르게, 구동 스위치(172)로부터 분리된 캐페시터는 메모리 소자로서 이용될 수 있다.

[0060] 데이터 트랜지스터(136), 제 1 어드레스 트랜지스터(138) 및 제 2 어드레스 트랜지스터(140)는 병렬로 전기적으로 결합된 드레인-소스 경로를 포함한다. 데이터 트랜지스터(136), 제 1 어드레스 트랜지스터(138) 및 제 2 어드레스 트랜지스터(140)의 병렬 조합은 선택 트랜지스터(130)의 드레인-소스 경로와 기준 라인(122) 사이에 전기적으로 결합된다. 데이터 트랜지스터(136), 제 1 어드레스 트랜지스터(138) 및 제 2 어드레스 트랜지

스터(140)의 병렬 조합에 대해 결합된 선택 트랜지스터(130)를 포함하는 직렬 회로는 구동 스위치(172)의 노드 캐패시턴스(126)의 양단에 전기적으로 결합된다. 데이터 트랜지스터(136)의 게이트는 데이터 신호(~DATA A)를 수신하는 데이터 라인(142)에 전기적으로 결합된다. 제 1 어드레스 트랜지스터(138)의 게이트는 어드레스 신호(~ADDRESS1)를 수신하는 어드레스 라인(144)에 전기적으로 결합되고, 제 2 어드레스 트랜지스터(140)의 게이트는 어드레스 신호(~ADDRESS2)를 수신하는 제 2 어드레스 라인(146)에 전기적으로 결합된다. 데이터 신호(~DATA) 및 어드레스 신호(~ADDRESS1, ~ADDRESS2)는 신호 명칭의 앞부분에 있는 틸다(~)로 표시된 바와 같이 로우가 될 때 활성화된다. 노드 캐패시턴스(126), 사전-충전 트랜지스터(128), 선택 트랜지스터(130), 데이터 트랜지스터(136) 및 어드레스 트랜지스터(138, 140)는 메모리 셀을 형성한다.

[0061] 작동 중에, 노드 캐패시턴스(126)는 사전-충전 라인(132)에 하이 레벨(high level) 전압 펄스를 제공함으로써 사전-충전 트랜지스터(128)를 통해 사전-충전된다. 일실시예에서, 사전-충전 라인(132)에서의 하이 레벨 전압 펄스 이후에, 데이터 신호(~DATA)가 데이터 라인(142)에 제공되어 데이터 트랜지스터(136)의 상태를 설정하고, 어드레스 신호(~ADDRESS1, ~ADDRESS2)가 어드레스 라인(144, 146)에 제공되어 제 1 어드레스 트랜지스터(138) 및 제 2 어드레스 트랜지스터(140)의 상태를 설정한다. 충분한 크기의 전압 펄스가 선택 라인(134)에 제공되면 선택 트랜지스터(130)가 온 상태로 전환(turn on)되고, 데이터 트랜지스터(136), 제 1 어드레스 트랜지스터(138) 및/또는 제 2 어드레스 트랜지스터(140)가 온 상태가 되면 노드 캐패시턴스(126)는 방전한다. 이와 다르게, 데이터 트랜지스터(136), 제 1 어드레스 트랜지스터(138) 및 제 2 어드레스 트랜지스터(140)가 모두 오프 상태이면 노드 캐패시턴스(126)는 충전 상태로 유지된다.

[0062] 어드레스 신호(~ADDRESS1, ~ADDRESS2)가 모두 로우이면 사전-충전된 점화 셀(120)은 어드레싱된 점화 셀이고, 노드 캐패시턴스(126)는 데이터 신호(~DATA)가 하이이면 방전하거나, 데이터 신호(~DATA)가 로우이면 충전 상태로 유지된다. 어드레스 신호(~ADDRESS1, ~ADDRESS2) 중 적어도 하나가 하이이면 사전-충전된 점화 셀(120)은 어드레싱된 점화 셀이 아니고, 노드 캐패시턴스(126)는 데이터 신호(~DATA)의 전압 레벨에 무관하게 방전한다. 제 1 및 제 2 어드레스 트랜지스터(138, 140)는 어드레스 디코더를 포함하고, 데이터 트랜지스터(136)는 사전-충전된 점화 셀(120)이 어드레싱되면 노드 캐패시턴스(126) 상의 전압 레벨을 제어한다.

[0063] 사전-충전된 점화 셀(120)은 상술된 작동 관계가 유지되는 한 임의의 개수의 다른 토플로지 또는 정렬도 이용할 수 있다. 예를 들면, 그 출력이 단일 트랜지스터에 결합된 OR 게이트가 어드레스 라인(144, 146)에 결합될 수 있다.

[0064] 도 7은 잉크젯 프린트헤드 점화 셀 어레이(200)의 일실시예를 도시하는 개략도이다. 점화 셀 어레이(200)는 6개의 점화 그룹(202a-202f)으로 정렬된 복수의 사전-충전된 점화 셀(120)을 포함한다. 각각의 점화 그룹(202a-202f) 내의 사전-충전된 점화 셀(120)은 13 행 및 8 열로 대략 정렬된다. 사전-충전된 점화 셀의 개수 및 그 배치는 원하는 대로 변경될 수 있는 하지만 어레이(200) 내의 점화 그룹(202a-202f) 및 사전-충전된 점화 셀(120)은 78 행 및 8 열로 대략 정렬된다.

[0065] 사전-충전된 점화 셀(120)의 8개의 열은 각각 데이터 신호(~D1, ~D2, ..., ~D8)를 수신하는 8개의 데이터 라인(208a-208h)에 전기적으로 결합된다. 본 명세서에서 데이터 라인 그룹 또는 데이터 그룹으로 지칭되는 8개의 열은 각각, 각각의 6개의 점화 그룹(202a-202f) 내의 사전-충전된 점화 셀(120)을 포함한다. 사전-충전된 점화 셀(120)의 각각의 열 내의 각각의 점화 셀(120)은 데이터 라인(208a-208h) 중 하나에 전기적으로 결합된다. 데이터 라인 그룹 내의 모든 사전-충전된 점화 셀(120)은 해당 열 내의 사전-충전된 점화 셀(120)의 데이터 트랜지스터(136)의 게이트에 전기적으로 결합된 동일한 데이터 라인(208a-208h)에 전기적으로 결합된다.

[0066] 데이터 라인(208a)은 각각의 점화 그룹(202a-202f) 내의 사전-충전된 점화 셀을 포함하는 최좌측 열 내의 각각의 사전-충전된 점화 셀(120)에 전기적으로 결합된다. 데이터 라인(208b)은 인접한 열 내의 각각의 사전-충전된 점화 셀(120)에 전기적으로 결합되고, 이것은 그 다음 라인에도 계속 적용되어 데이터 라인(208h)은 각각의 점화 그룹(202a-202f) 내의 사전-충전된 점화 셀(120)을 포함하는 최우측 열 내의 각각의 사전-충전된 점화 셀(120)에 전기적으로 결합된다.

[0067] 사전-충전된 점화 셀(120)의 행은 어드레스 신호(~A1, ~A2, ..., ~A7)를 각각 수신하는 어드레스 라인(206a-206g)에 전기적으로 결합된다. 본 명세서에서 사전-충전된 점화 셀(120)의 행 서브그룹 또는 서브그룹으로 지칭되는 사전-충전된 점화 셀(120)의 행 내의 각각의 사전-충전된 점화 셀(120)은, 어드레스 라인(206a-206g) 중 2개의 어드레스 라인에 전기적으로 결합된다. 행 서브그룹 내의 모든 사전-충전된 점화 셀(120)은 위와 동일한 2개의 어드레스 라인(206a-206g)에 전기적으로 결합된다.

[0068] 점화 그룹(202a-202f)의 서브그룹은 점화 그룹 1(FG1)(202a) 내의 서브그룹(SG1-1 내지 SG1-13), 점화 그룹 2(FG2)(202b) 내의 서브그룹(SG2-1 내지 SG2-13)으로부터, 점화 그룹 6(FG6)(202f) 내의 서브그룹(SG6-1 내지 SG6-13)까지로 식별된다. 다른 실시예에서, 각각의 점화 그룹(202a-202f)은 14개 이상의 서브그룹 등과 같은 임의의 적절한 개수의 서브그룹을 포함할 수 있다.

[0069] 사전-충전된 점화 셀(120)의 각각의 서브그룹은 2개의 어드레스 라인(206a-206g)에 전기적으로 결합된다. 서브그룹에 대응하는 2개의 어드레스 라인(206a-206g)은 서브그룹의 모든 사전-충전된 점화 셀(120) 내의 제 1 및 제 2 어드레스 트랜지스터(138, 140)에 전기적으로 결합된다. 그 중 하나의 어드레스 라인(206a-206g)은 제 1 및 제 2 어드레스 트랜지스터(138, 140) 중 하나의 어드레스 트랜지스터의 게이트에 전기적으로 결합되고, 그 중 다른 어드레스 라인(206a-206g)은 제 1 및 제 2 어드레스 트랜지스터(138, 140) 중 다른 하나의 어드레스 트랜지스터의 게이트에 전기적으로 결합된다. 어드레스 라인(206a-206g)은 어드레스 신호(~A1, ~A2, ... ~A7)를 수신하고, 어레이(200)의 서브그룹에 대해 다음과 같이 어드레스 신호(~A1, ~A2, ... ~A7)를 제공하도록 결합되어 있다.

행 서브그룹 어드레스 신호	행 서브그룹
~A1, ~A2	SG1-1, SG2-1 ... SG6-1
~A1, ~A3	SG1-2, SG2-2 ... SG6-2
~A1, ~A4	SG1-3, SG2-3 ... SG6-3
~A1, ~A5	SG1-4, SG2-4 ... SG6-4
~A1, ~A6	SG1-5, SG2-5 ... SG6-5
~A1, ~A7	SG1-6, SG2-6 ... SG6-6
~A2, ~A3	SG1-7, SG2-7 ... SG6-7
~A2, ~A4	SG1-8, SG2-8 ... SG6-8
~A2, ~A5	SG1-9, SG2-9 ... SG6-9
~A2, ~A6	SG1-10, SG2-10 ... SG6-10
~A2, ~A7	SG1-11, SG2-11 ... SG6-11
~A3, ~A4	SG1-12, SG2-12 ... SG6-12
~A3, ~A5	SG1-13, SG2-13 ... SG6-13

[0070]

[0071] 사전-충전된 점화 셀(120)의 서브그룹은 어드레스 라인(206a-206g)에 어드레스 신호(~A1, ~A2, ... ~A7)를 제공함으로써 어드레싱된다. 일실시예에서, 어드레스 라인(206a-206g)은 프린트헤드 다이(40)에 제공된 하나 이상의 어드레스 생성기에 전기적으로 결합된다.

[0072]

사전-충전 라인(210a-210f)은 사전-충전 신호(PRE1, PRE2, ... PRE6)를 수신하고, 대응하는 점화 그룹(202a-202f)에 사전-충전 신호(PRE1, PRE2, ... PRE6)를 제공한다. 사전-충전 라인(210a)은 FG1(202a) 내의 모든 사전-충전된 점화 셀(120)에 전기적으로 결합된다. 사전-충전 라인(210b)은 FG2(202b) 내의 사전-충전된 점화 셀(120)에 전기적으로 결합되고, 이것은 사전-충전 라인(210f)까지 계속 적용되어, 사전-충전 라인(210f)은 FG6(202f) 내의 모든 사전-충전된 점화 셀(120)에 전기적으로 결합된다. 각각의 사전-충전 라인(210a-210f)은 대응하는 점화 그룹(202a-202f) 내의 모든 사전-충전 트랜지스터(128)의 게이트 및 드레인-소스 경로에 전기적으로 결합되고, 점화 그룹(202a-202f) 내의 모든 사전-충전된 점화 셀(120)은 오로지 하나의 사전-충전 라인(210a-210f)에 전기적으로 결합된다. 따라서, 점화 그룹(202a-202f) 내의 모든 사전-충전된 점화 셀(120)의 노드 캐패시턴스(126)는 대응하는 사전-충전 라인(210a-210f)에 대응하는 사전-충전 신호(PRE1, PRE2, ... PRE6)를 제공함으로써 충전된다.

[0073]

선택 라인(212a-212f)은 선택 신호(SEL1, SEL2, ... SEL6)를 수신하고, 대응하는 점화 그룹(202a-202f)에 선택 신호(SEL1, SEL2, ... SEL6)를 제공한다. 선택 라인(212a)은 FG1(202a) 내의 모든 사전-충전된 점화 셀(120)에 전기적으로 결합된다. 선택 라인(212b)은 FG2(202b) 내의 모든 사전-충전된 점화 셀(120)에 전기적으로 결합되고, 이것은 선택 라인(212f)까지 적용되어 선택 라인(212f)은 FG6(202f) 내의 모든 사전-충전된 점화 셀(120)에 전기적으로 결합된다. 각각의 선택 라인(212a-212f)은 대응하는 점화 그룹(202a-202f) 내의 모든 선택 트랜지스터(130)의 게이트에 전기적으로 결합되고, 점화 그룹(202a-202f) 내의 모든 사전-충전된 점화 셀(120)은 선택 라인(212a-212f) 중 오로지 하나에 전기적으로 결합된다.

[0074]

점화 라인(214a-214f)은 점화 신호 또는 에너지 신호(FIRE1, FIRE2, ... FIRE6)를 수신하고, 에너지 신호

(FIRE1, FIRE2, ... FIRE6)를 대응하는 점화 그룹(202a-202f)에 제공한다. 점화 라인(214a)은 FG1(202a) 내의 모든 사전-충전된 점화 셀(120)에 전기적으로 결합된다. 점화 라인(214b)은 FG2(202b) 내의 모든 사전-충전된 점화 셀(120)에 전기적으로 결합되고, 이것은 점화 라인(214f)까지 적용되어 점화 라인(214f)은 FG6(202f) 내의 모든 사전-충전된 점화 셀(120)에 전기적으로 결합된다. 각각의 점화 라인(214a-214f)은 대응하는 점화 그룹(202a-202f) 내의 모든 점화 저항(52)에 전기적으로 결합되고, 점화 그룹(202a-202f) 내의 모든 사전-충전된 점화 셀(120)은 점화 라인(214a-214f) 중 오로지 하나에 전기적으로 결합된다. 점화 라인(214a-214f)은 적절한 인터페이스 패드에 의해 외부 공급 회로에 전기적으로 결합된다. 어레이(200) 내의 모든 사전-충전된 점화 셀(120)은 접지 등과 같은 기준 전압으로 고정된 기준 라인(216)에 전기적으로 결합된다. 따라서, 사전-충전된 점화 셀(120)의 행 서브그룹 내의 사전-충전된 점화 셀(120)은 동일한 어드레스 라인(206a-206g), 사전-충전 라인(210a-210f), 선택 라인(212a-212f) 및 점화 라인(214a-214f)에 전기적으로 결합된다.

[0075] 작동 중에, 일실시예에서 점화 그룹(202a-202f)은 연속적으로 점화되도록 선택된다. FG1(202a)은 FG2(202b) 이전에 선택되고, FG2(202b)는 FG3 이전에 선택되며, 이것은 FG6(202f)까지 계속 적용된다. FG6(202f) 이후에, 점화 그룹 사이클은 다시 FG1(202a)에서 시작된다. 그러나, 다른 시퀀스, 및 비순차적 선택도 이용 가능하다.

[0076] 어드레스 신호(~A1, ~A2, ... ~A7)는 행 서브그룹 어드레스를 반복하기 전에 13 행 서브그룹 어드레스를 차례 차례로 순환한다. 어드레스 라인(206a-206g)에 제공된 어드레스 신호(~A1, ~A2, ... ~A7)는 점화 그룹(202a-202f)을 통과하는 각각의 사이클 동안에 하나의 행 서브그룹 어드레스로 설정된다. 어드레스 신호(~A1, ~A2, ... ~A7)는 점화 그룹(202a-202f)을 통과하는 하나의 사이클 동안 각각의 점화 그룹(202a-202f) 내에서 하나의 행 서브그룹을 선택한다. 점화 그룹(202a-202f)을 통과하는 다음의 사이클 동안에, 어드레스 신호(~A1, ~A2, ... ~A7)는 각각의 점화 그룹(202a-202f) 내에서 다른 행 서브그룹을 선택하도록 변경된다. 이것은 점화 그룹(202a-202f) 내의 최종 행 서브그룹을 선택하는 어드레스 신호(~A1, ~A2, ... ~A7)까지 계속된다. 최종 행 서브그룹 이후에, 어드레스 신호(~A1, ~A2, ... ~A7)는 어드레스 사이클을 다시 시작할 제 1 행 서브그룹을 선택한다.

[0077] 다른 작동 측면에서, 점화 그룹(202a-202f) 중의 하나의 점화 그룹은 하나의 점화 그룹(202a-202f)의 사전-충전 라인(210a-210f)에 사전-충전 신호(PRE1, PRE2, ... PRE6)를 제공하는 것에 의해 작동된다. 사전-충전 신호(PRE1, PRE2, ... PRE6)는 하나의 점화 그룹(202a-202f) 내의 각각의 구동 스위치(172)의 노드 캐페시턴스(126)가 하이 전압 레벨로 충전되어, 하나의 점화 그룹(202a-202f)을 사전-충전하는 시간인 사전-충전 시간 간격 또는 주기를 정의한다.

[0078] 어드레스 신호(~A1, ~A2, ... ~A7)는 어드레스 라인(206a-206g)에 제공되어 사전-충전된 점화 그룹(202a-202f) 내의 하나의 행 서브그룹을 포함하는 각각의 점화 그룹(202a-202f) 내의 하나의 행 서브그룹을 어드레싱한다. 데이터 신호(~D1, ~D2, ... ~D8)는 데이터 라인(208a-208h)에 제공되어 사전-충전된 점화 그룹(202a-202f) 내의 어드레싱된 행 서브그룹을 포함하는 모든 점화 그룹(202a-202f)에 데이터를 제공한다.

[0079] 다음에, 선택 신호(SEL1, SEL2, ... SEL6)가 사전-충전된 점화 그룹(202a-202f)의 선택 라인(212a-212f)에 제공되어 사전-충전된 점화 그룹(202a-202f)을 선택한다. 선택 신호(SEL1, SEL2, ... SEL6)는 선택된 점화 그룹(202a-202f) 내의 어드레싱된 행 서브그룹 내에 존재하지 않거나, 선택된 점화 그룹(202a-202f) 내에서 어드레싱된 사전-충전된 점화 셀(120) 내의 각각의 구동 스위치(172) 상의 노드 캐페시턴스(126)를 방전하고, 하이 레벨 데이터 신호(~D1, ~D2, ... ~D8)를 수신하는 방전 시간 간격을 정의한다. 노드 캐페시턴스(126)는 선택된 점화 그룹(202a-202f) 내에서 어드레싱된 사전-충전된 점화 셀(120) 내에서 방전하지 않고, 로우 레벨 데이터 신호(~D1, ~D2, ... ~D8)를 수신한다. 노드 캐페시턴스(126) 상의 하이 전압 레벨은 구동 스위치(172)를 온 상태(도전 상태)로 전환한다.

[0080] 선택된 점화 그룹(202a-202f) 내의 구동 스위치(172)가 도전 상태 또는 비도전 상태로 설정된 후, 에너지 펄스 또는 전압 펄스는 선택된 점화 그룹(202a-202f)의 점화 라인(214a-214f)에 제공된다. 도전 상태의 구동 스위치(172)를 갖는 사전-충전된 점화 셀(120)은 점화 저항(52)을 통해 전류를 전달하여 잉크를 가열하고, 대응하는 액적 생성기(60)로부터 잉크를 분사한다.

[0081] 연속으로 작동하는 점화 그룹(202a-202f)을 가지고, 하나의 점화 그룹(202a-202f)에 대한 선택 신호(SEL1, SEL2, ... SEL6)를 다음의 점화 그룹(202a-202f)에 대한 사전-충전 신호(PRE1, PRE2, ... PRE6)로 사용한다. 하나의 점화 그룹(202a-202f)에 대한 사전-충전 신호(PRE1, PRE2, ... PRE6)는 하나의 점화 그룹(202a-

202f)에 대한 선택 신호(SEL1, SEL2, ... SEL6) 및 에너지 신호(FIRE1, FIRE2, ... FIRE6)보다 선행한다. 사전-충전 신호(PRE1, PRE2, ... PRE6) 이후에, 데이터 신호(~D1, ~D2, ... ~D8)는 시간 다중화되고, 선택 신호(SEL1, SEL2, ... SEL6)에 의해 하나의 점화 그룹(202a-202f)의 어드레싱된 행 서브그룹 내에 저장된다. 선택된 점화 그룹(202a-202f)에 대한 선택 신호(SEL1, SEL2, ... SEL6)는 또한 다음의 점화 그룹(202a-202f)에 대한 사전-충전 신호(PRE1, PRE2, ... PRE6)가 된다. 선택된 점화 그룹(202a-202f)에 대한 선택 신호(SEL1, SEL2, ... SEL6)가 완료된 후, 다음의 점화 그룹(202a-202f)에 대한 선택 신호(SEL1, SEL2, ... SEL6)가 제공된다. 에너지 펄스를 포함하는 에너지 신호(FIRE1, FIRE2, ... FIRE6)가 선택된 점화 그룹(202a-202f)에 제공될 때 선택된 서브그룹 내의 사전-충전된 점화 셀(120)은 저장된 데이터 신호(~D1, ~D2, ... ~D8)에 기초하여 잉크를 점화 또는 가열한다.

[0082] 도 8은 점화 셀 어레이(200)의 일실시예에 대한 동작을 나타내는 타이밍도이다. 점화 그룹(202a-202f)은 연속적으로 선택되어 참조 부호(300)로 표시된 데이터 신호(~D1, ~D2, ... ~D8)에 기초하여 사전-충전된 점화 셀(120)에 전력을 공급한다. 참조 부호(300)에서의 데이터 신호(~D1, ~D2, ... ~D8)는 각각의 행 서브그룹 어드레스 및 점화 그룹(202a-202f) 조합에 대해 참조 부호(302)로 표시되어 유체를 분사하는 노즐에 따라서 변경된다. 참조 부호(304)에서의 어드레스 신호(~A1, ~A2, ... ~A7)는 어드레스 라인(206a-206g)에 제공되어 각각의 점화 그룹(202a-202f) 중에서 하나의 행 서브그룹을 어드레싱한다. 참조 부호(304)에서의 어드레스 신호(~A1, ~A2, ... ~A7)는 점화 그룹(202a-202f)을 통과하는 하나의 사이클 동안 참조 부호(306)에 표시된 바와 같이 하나의 어드레스로 설정된다. 사이클이 완료된 후, 참조 부호(304)에서의 어드레스 신호(~A1, ~A2, ... ~A7)는 참조 부호(308)에서 각각의 점화 그룹(202a-202f) 중에 서로 다른 행 서브그룹을 어드레싱하도록 변경된다. 참조 부호(304)에서의 어드레스 신호(~A1, ~A2, ... ~A7)는 행 서브그룹을 통해 증가되어 1에서 13까지, 또한 다시 1로 향하는 순차적 순서로 행 서브그룹을 어드레싱한다. 다른 실시예에서, 참조 부호(304)에서의 어드레스 신호(~A1, ~A2, ... ~A7)는 임의의 적합한 순서로 행 서브그룹을 어드레싱하도록 설정할 수 있다.

[0083] 점화 그룹(202a-202f)을 통과하는 사이클 동안에, FG6(202f)에 결합된 선택 라인(212f) 및 FG1(202a)에 결합된 사전-충전 라인(210a)은 SEL6/PRE1 신호 펄스(310)를 포함하는 SEL6/PRE1 신호(309)를 수신한다. 일실시 예에서, 선택 라인(212f) 및 사전-충전 라인(210a)은 함께 전기적으로 결합되어 동일한 신호를 수신한다. 다른 실시예에서, 선택 라인(212f) 및 사전-충전 라인(210a)은 함께 전기적으로 결합되지는 않지만 동일한 신호를 수신한다.

[0084] 참조 부호(310)에서의 사전-충전 라인(210a) 상의 SEL6/PRE1 신호 펄스는, FG1(202a) 내의 모든 점화 셀(120)을 사전-충전한다. FG1(202a) 내의 각각의 사전-충전된 점화 셀(120)에 대한 노드 캐페시턴스(126)는 하이 전압 레벨로 충전된다. 참조 부호(311)에서 표시된 바와 같이 하나의 행 서브그룹(SG1-K) 내의 사전-충전된 점화 셀(120)에 대한 노드 캐페시턴스(126)는 참조 부호(312)에서 하이 전압 레벨로 사전-충전된다. 참조 부호(306)에서의 행 서브그룹 어드레스는 서브그룹(SG1-K)을 선택하고, 참조 부호(314)에서의 데이터 신호 세트는 어드레스 선택된 행 서브그룹(SG1-K)을 포함하는 모든 점화 그룹(202a-202f)의 모든 사전-충전된 점화 셀(120) 내의 데이터 트랜지스터(136)에 제공된다.

[0085] FG1(202a)에 대한 선택 라인(212a) 및 FG2(202b)에 대한 사전-충전 라인(210b)은 SEL1/PRE2 신호 펄스(316)를 포함하는 SEL1/PRE2 신호(315)를 수신한다. 선택 라인(212a) 상의 SEL1/PRE2 신호 펄스(316)는 FG1(202a) 내의 각각의 사전-충전된 점화 셀(120) 내의 선택 트랜지스터(130)를 온 상태로 전환한다. 노드 캐페시턴스(126)는 어드레스 선택된 행 서브그룹(SG1-K) 내에 존재하지 않는 FG1(202a) 내의 모든 사전-충전된 점화 셀(120) 내에서 방전된다. 어드레스 선택된 행 서브그룹(SG1-K) 내에서, 참조 부호(314)에서의 데이터는 참조 부호(318)에서 표시된 바와 같이, 행 서브그룹(SG1-K) 내의 구동 스위치(172)의 노드 캐페시턴스(126) 내에 저장되어 구동 스위치를 온 상태(도전 상태) 또는 오프 상태(비도전 상태)로 전환한다.

[0086] 참조 부호(316)에서의 사전-충전 라인(210b) 상의 SEL1/PRE2 신호 펄스는, FG2(202b) 내의 모든 점화 셀(120)을 사전-충전한다. FG2(202b) 내의 각각의 사전-충전된 점화 셀(120)에 대한 노드 캐페시턴스(126)는 하이 전압 레벨로 충전된다. 참조 부호(319)에서 표시된 바와 같이 하나의 행 서브그룹(SG2-K) 내의 사전-충전된 점화 셀(120)에 대한 노드 캐페시턴스(126)는, 참조 부호(320)에서 하이 전압 레벨로 사전-충전된다. 참조 부호(306)에서의 행 서브그룹 어드레스는 서브그룹(SG2-K)을 선택하고, 참조 부호(328)에서의 데이터 신호 세트는 어드레스가 선택된 행 서브그룹(SG2-K)을 포함하는 모든 점화 그룹(202a-202f)의 모든 사전-충전된 점화 셀(120) 내의 데이터 트랜지스터(136)에 제공된다.

[0087] 점화 라인(214a)은 참조 부호(322)에서의 에너지 펄스를 포함하는 참조 부호(323)에서 표시된 바와 같은 에너

지 신호(FIRE1)를 수신하여, FG1(202a) 내의 도전성 구동 스위치(172)를 갖는 사전-충전된 점화 셀(120) 내의 점화 저항(52)에 전력을 공급한다. SEL1/PRE2 신호 펄스(316)가 하이가 되고, 비도전성 구동 스위치(172) 상의 노드 캐페시턴스(126)가 참조 부호(324)에서 에너지 신호(FIRE1)(323)에 표시된 것과 같이 능동적으로 로우로 유도되는 동안에 FIRE1 에너지 펄스(322)는 하이가 된다. 노드 캐페시턴스(126)가 능동적으로 로우로 유도되는 동안에 에너지 펄스(322)가 하이로 스위칭되는 것은, 에너지 펄스(322)가 하이가 될 때 구동 스위치(172)를 통해 노드 캐페시턴스(126)가 비의도적으로 충전되는 것을 방지한다. SEL1/PRE2 신호(315)는 로우가 되고, 에너지 펄스(322)는 사전 결정된 시간 동안 FG1(202a)에 제공되어 도전성의 사전-충전된 점화 셀(120)에 대응하는 노즐(34)을 통해 잉크를 가열하고 잉크를 분사한다.

[0088] FG2(202b)에 대한 선택 라인(212b) 및 FG3(202c)에 대한 사전-충전 라인(210c)은 SEL2/PRE3 신호 펄스(326)를 포함하는 SEL2/PRE3 신호(325)를 수신한다. SEL1/PRE2 신호 펄스(316)가 로우로 된 후, 에너지 펄스(322)가 하이가 되어 있는 동안에, 선택 라인(212b) 상의 SEL2/PRE3 신호 펄스(326)는 FG2(202b) 내의 각각의 사전-충전된 점화 셀(120) 내에서 선택 트랜지스터(130)를 온 상태로 전환한다. 노드 캐페시턴스(126)는 어드레스가 선택된 행 서브그룹(SG2-K) 내에 존재하지 않는 FG2(202b) 내의 모든 사전-충전된 점화 셀(120)에서 방전된다. 서브그룹(SG2-K)에 대한 데이터 신호 세트(328)는 참조 부호(330)에 표시된 서브그룹(SG2-K)의 사전-충전된 점화 셀(120) 내에 저장되어, 구동 스위치(172)를 온 상태(도전 상태) 또는 오프 상태(비도전 상태)로 전환한다. 사전-충전 라인(210c) 상의 SEL2/PRE3 신호 펄스는 FG3(202c) 내의 모든 사전-충전된 점화 셀(120)을 사전-충전한다.

[0089] 점화 라인(214b)은 참조 부호(331)에 표시된 바와 같이 에너지 펄스(332)를 포함하는 에너지 신호(FIRE2)를 수신하여, 도전성 구동 스위치(172)를 갖는 FG2(202b)의 사전-충전된 점화 셀(120) 내의 점화 저항(52)에 전력을 공급한다. SEL2/PRE3 신호 펄스(326)가 하이인 동안에 참조 부호(334)에 표시된 바와 같이 FIRE2 에너지 펄스(332)는 하이가 된다. SEL2/PRE3 신호 펄스(326)는 로우가 되고, FIRE2 에너지 펄스(332)는 하이로 유지되어 대응하는 액적 생성기(60)로부터 잉크를 가열 및 분사한다.

[0090] SEL2/PRE3 신호 펄스(326)가 로우가 된 후, 에너지 펄스(332)가 하이인 동안에, SEL3/PRE4 신호가 제공되어 FG3(202c)을 선택하고, FG4(202d)를 사전-충전한다. 에너지 펄스를 포함하는 에너지 신호를 사전-충전, 선택 및 제공하는 프로세스는 FG6(202f)까지 계속 적용된다.

[0091] 사전-충전 라인(210f) 상의 SEL5/PRE6 신호 펄스는 FG6(202f) 내의 모든 점화 셀(120)을 사전-충전한다. FG6(202f) 내의 각각의 사전-충전된 점화 셀(120)에 대한 노드 캐페시턴스(126)는 하이 전압 레벨로 충전된다. 참조 부호(339)에 표시된 바와 같이 하나의 행 서브그룹(SG6-K) 내의 사전-충전된 점화 셀(120)에 대한 노드 캐페시턴스(126)는 참조 부호(341)에서 하이 전압 레벨로 사전-충전된다. 참조 부호(306)에서의 행 서브그룹 어드레스는 서브그룹(SG6-K)을 선택하고, 데이터 신호 세트(338)는 어드레스 선택된 행 서브그룹(SG6-K)을 포함하는 모든 점화 그룹(202a-202f)의 모든 사전-충전된 점화 셀(120) 내의 데이터 트랜지스터(136)에 제공된다.

[0092] FG6(202f)에 대한 선택 라인(212f) 및 FG1(202a)에 대한 사전-충전 라인(210a)은 참조 부호(336)에서 제 2 SEL6/PRE1 신호 펄스를 수신한다. 선택 라인(212f) 상의 제 2 SEL6/PRE1 신호 펄스(336)는 FG6(202f) 내의 각각의 사전-충전된 점화 셀(120) 내의 선택 트랜지스터(130)를 온 상태로 전환한다. 노드 캐페시턴스(126)는 어드레스 선택된 행 서브그룹(SG6-K) 내에 존재하지 않는 FG6(202f) 내의 모든 사전-충전된 점화 셀(120)에서 방전된다. 어드레스가 선택된 행 서브그룹(SG6-K)에서, 데이터(338)는 참조 부호(340)에서의 각각의 구동 스위치(172)의 노드 캐페시턴스(126)에 저장되어 구동 스위치를 온 또는 오프로 전환한다.

[0093] 사전-충전 라인(210a) 상의 SEL6/PRE1 신호는 참조 부호(342)에서 표시된 바와 같이 행 서브그룹(SG1-K) 내의 점화 셀(120)을 포함하는 FG1(202a) 내의 모든 점화 셀(120) 내의 노드 캐페시턴스(126)를 하이 전압 레벨로 사전-충전한다. 참조 부호(304)에서 어드레스 신호(~A1, ~A2, ... ~A7)가 행 서브그룹(SG1-K, SG2-K)으로부터 행 서브그룹(SG6-K)까지 선택할 동안에 FG1(202a) 내의 점화 셀(120)은 사전-충전된다.

[0094] 점화 라인(214f)은 참조 부호(343)에 표시된 바와 같이 참조 부호(344)에서의 에너지 펄스를 포함하는 에너지 신호(FIRE6)를 수신하여 FG6(202f) 내의 도전성 구동 스위치(172)를 갖는 사전-충전된 점화 셀(120) 내의 점화 저항(52)에 전력을 공급한다. SEL6/PRE1 신호 펄스(336)가 하이가 되고, 참조 부호(346)에 표시된 바와 같이 비도전성 구동 스위치(172) 상의 노드 캐페시턴스(126)가 능동적으로 로우로 유도되는 동안에 에너지 펄스(344)는 하이가 된다. 노드 캐페시턴스(126)가 능동적으로 로우로 유도되는 동안에 에너지 펄스(344)를 하이로 스위칭하는 것은, 에너지 펄스(344)가 하이로 될 때 구동 스위치(172)를 통해 노드 캐페시턴스(126)가

비의도적으로 충전되는 것을 방지한다. SEL6/PRE1 신호 펄스(336)는 로우가 되고, 에너지 펄스(344)는 사전 결정된 시간동안 하이로 유지되어 도전성의 사전-충전된 점화 셀(120)에 대응하는 노즐(34)을 통해 잉크를 가열하고 잉크를 분사한다.

[0095] SEL6/PRE1 신호 펄스(336)가 로우가 된 후, 에너지 펄스(344)가 하이인 동안에, 참조 부호(304)에서의 어드레스 신호(~A1, ~A2, ... ~A7)는 참조 부호(308)에서 다른 세트의 서브그룹(SG1-K+1, SG2-K+1)으로부터 서브그룹(SG6-K+1)까지 선택하도록 변경된다. FG1(202a)에 대한 선택 라인(212a) 및 FG2(202b)에 대한 사전-충전 라인(210b)은 참조 부호(348)에서 표시된 SEL1/PRE2 신호 펄스를 수신한다. 선택 라인(212a) 상의 SEL1/PRE2 신호 펄스(348)는 FG1(202a) 내의 각각의 사전-충전된 점화 셀(120) 내의 선택 트랜지스터(130)를 온 상태로 전환한다. 노드 캐페시턴스(126)는 어드레스가 선택된 서브그룹(SG1-K+1) 내에 존재하지 않는 FG1(202a) 내의 모든 사전-충전된 점화 셀(120) 내에서 방전된다. 행 서브그룹(SG1-K+1)에 대한 데이터 신호 세트(350)는 서브그룹(SG1-K+1)의 사전-충전된 점화 셀(120) 내에 저장되어 구동 스위치(172)를 온 또는 오프로 전환한다. 사전-충전 라인(210b) 상의 SEL1/PRE2 신호 펄스(348)는 FG2(202b) 내의 모든 점화 셀(120)을 사전-충전한다.

[0096] 점화 라인(214a)은 에너지 펄스(352)를 수신하여 도전성 구동 스위치(172)를 갖는 FG1(202a)의 사전-충전된 점화 셀(120) 및 점화 저항(52)에 전력을 공급한다. 참조 부호(348)에서의 SEL1/PRE2 신호 펄스가 하이인 동안에 에너지 펄스(352)는 하이가 된다. SEL1/PRE2 신호 펄스(348)가 로우가 되고 에너지 펄스(352)가 하이로 유지되면 대응하는 액적 생성기(60)로부터 잉크가 가열 및 분사된다. 이 프로세스는 인쇄가 완료될 때까지 계속된다.

[0097] 도 9는 프린트헤드 다이(40) 내의 어드레스 생성기(400)의 일실시예를 도시하는 도면이다. 어드레스 생성기(400)는 시프트 레지스터(402), 방향 회로(404) 및 로직 어레이(406)를 포함한다. 시프트 레지스터(402)는 방향 제어 라인(408)을 통해 방향 회로(404)에 전기적으로 결합된다. 또한, 시프트 레지스터(402)는 시프트 레지스터 출력 라인(410a-410m)을 통해 로직 어레이(406)에 전기적으로 결합된다.

[0098] 후술되는 실시예에서, 어드레스 생성기(400)는 점화 셀(120)에 어드레스 신호를 제공한다. 일실시예에서, 어드레스 생성기(400)는 제어 신호(CSYNC) 및 6개의 타이밍 신호(T1-T6)를 포함하는 외부 신호를 수신하고, 그 응답으로서 7개의 어드레스 신호(~A1, ~A2, ... ~A7)를 제공한다. 어드레스 신호(~A1, ~A2, ... ~A7)는 각각의 신호 명칭 앞의 털다에 의해 표시된 바와 같이 그들이 로우 전압 레벨일 때 활성화된다. 일실시예에서, 타이밍 신호(T1-T6)는 선택 라인(예를 들면, 도 7에 도시된 선택 라인(212a-212f))에 제공된다. 어드레스 생성기(400)는 제어 신호(예를 들면, CSYNC)에 응답하여 점화 셀(120)이 활성화되도록 인에이블링하는 시퀀스(예를 들면, 정방향 또는 역방향 순서로 된 어드레스(~A1, ~A2, ... ~A7)의 시퀀스)를 개시하는 제어 회로의 일실시예이다.

[0099] 어드레스 생성기(400)는 타이밍 신호(T2, T4, T6)를 수신하는 저항 분배 네트워크(412, 414, 416)를 포함한다. 저항 분배 네트워크(412)는 타이밍 신호 라인(418)을 통해 타이밍 신호(T2)를 수신하고 및 타이밍 신호(T2)의 전압 레벨을 분배하여 제 1 평가 신호 라인(420)에 감소된 전압 레벨의 T2 타이밍 신호를 제공한다. 저항 분배 네트워크(414)는 타이밍 신호 라인(422)을 통해 타이밍 신호(T4)를 수신하고, 타이밍 신호(T4)의 전압 레벨을 분배하여 제 2 평가 신호 라인(424) 상에 감소된 전압 레벨의 T4 타이밍 신호를 제공한다. 저항 분배 네트워크(416)는 타이밍 신호 라인(426)을 통해 타이밍 신호(T6)를 수신하고, 타이밍 신호(T6)의 전압 레벨을 분배하여 제 3 평가 신호 라인(428) 상에 감소된 전압 레벨의 T6 타이밍 신호를 제공한다.

[0100] 시프트 레지스터(402)는 제어 신호 라인(430)을 통해 제어 신호(CSYNC)를 수신하고 방향 신호 라인(408)을 통해 방향 신호를 수신한다. 또한, 시프트 레지스터(402)는 제 1 사전-충전 신호(PRE1)로서 타이밍 신호 라인(432)을 통해 타이밍 신호(T1)를 수신한다. 감소된 전압 레벨의 T2 타이밍 신호는 제 1 평가 신호(EVAL1)로서 제 1 평가 신호 라인(420)을 통해 수신된다. 타이밍 신호(T3)는 제 2 사전-충전 신호(PRE2)로서 타이밍 신호 라인(434)을 통해 수신되고, 감소된 전압 레벨의 T4 타이밍 신호는 제 2 평가 신호(EVAL2)로서 제 2 평가 신호 라인(424)을 통해 수신된다. 시프트 레지스터(402)는 시프트 레지스터 출력 라인(410a-410m) 상에 시프트 레지스터 출력 신호(S01-S013)를 제공한다.

[0101] 시프트 레지스터(402)는 13개의 시프트 레지스터 출력 신호(S01-S013)를 제공하는 13개의 시프트 레지스터 셀(403a-403m)을 포함한다. 각각의 시프트 레지스터 셀(403a-403m)은 시프트 레지스터 출력 신호(S01-S013) 중 하나를 제공한다. 13개의 시프트 레지스터 셀(403a-403m)은 직렬로 전기적으로 결합되어 정방향 및 역방향으로의 시프팅을 제공한다. 다른 실시예에서, 시프트 레지스터(402)는 임의의 적합한 개수의 시프트 레지스터

셀(403)을 포함하여 임의의 개수의 원하는 어드레스 신호를 제공하기 위한 임의의 적합한 개수의 시프트 레지스터 출력 신호를 제공한다.

[0102] 시프트 레지스터 셀(403a)은 시프트 레지스터 출력 라인(410a)에 시프트 레지스터 출력 신호(S01)를 제공한다. 시프트 레지스터 셀(403b)은 시프트 레지스터 출력 라인(410b)에 시프트 레지스터 출력 신호(S02)를 제공한다. 시프트 레지스터 셀(403c)은 시프트 레지스터 출력 라인(410c)에 시프트 레지스터 출력 신호(S03)를 제공한다. 시프트 레지스터 셀(403d)은 시프트 레지스터 출력 라인(410d)에 시프트 레지스터 출력 신호(S04)를 제공한다. 시프트 레지스터 셀(403e)은 시프트 레지스터 출력 라인(410e)에 시프트 레지스터 출력 신호(S05)를 제공한다. 시프트 레지스터 셀(403f)은 시프트 레지스터 출력 라인(410f)에 시프트 레지스터 출력 신호(S06)를 제공한다. 시프트 레지스터 셀(403g)은 시프트 레지스터 출력 라인(410g)에 시프트 레지스터 출력 신호(S07)를 제공한다. 시프트 레지스터 셀(403h)은 시프트 레지스터 출력 라인(410h)에 시프트 레지스터 출력 신호(S08)를 제공한다. 시프트 레지스터 셀(403i)은 시프트 레지스터 출력 라인(410i)에 시프트 레지스터 출력 신호(S09)를 제공한다. 시프트 레지스터 셀(403j)은 시프트 레지스터 출력 라인(410j)에 시프트 레지스터 출력 신호(S010)를 제공한다. 시프트 레지스터 셀(403k)은 시프트 레지스터 출력 라인(410k)에 시프트 레지스터 출력 신호(S011)를 제공한다. 시프트 레지스터 셀(403l)은 시프트 레지스터 출력 라인(410l)에 시프트 레지스터 출력 신호(S012)를 제공하고, 시프트 레지스터 셀(403m)은 시프트 레지스터 출력 라인(410m)에 시프트 레지스터 출력 신호(S013)를 제공한다.

[0103] 방향 회로(404)는 제어 신호 라인(430)에서 제어 신호(CSYNC)를 수신한다. 타이밍 신호(T3)는 제 4 사전-충전 신호(PRE4)로서 타이밍 신호 라인(434)에서 수신된다. 감소된 전압 레벨의 T4 타이밍 신호는 제 4 평가 신호(EVAL4)로서 평가 신호 라인(424)에서 수신된다. 타이밍 신호(T5)는 제 3 사전-충전 신호(PRE3)로서 타이밍 신호 라인(436)에서 수신되고, 감소된 전압 레벨의 T6 타이밍 신호는 제 3 평가 신호(EVAL3)로서 평가 신호 라인(428)에서 수신된다. 방향 회로(404)는 방향 신호 라인(408)을 통해 시프트 레지스터(402)에 방향 신호를 제공한다.

[0104] 로직 어레이(406)는 어드레스 라인 사전-충전 트랜지스터(438a-438g), 어드레스 평가 트랜지스터(440a-440m), 평가 방지 트랜지스터(evaluation prevention transistors)(442a, 442b) 및 로직 평가 사전-충전 트랜지스터(444)를 포함한다. 또한, 로직 어레이(406)는 시프트 레지스터 출력 라인(410a-410m) 상에서 시프트 레지스터 출력 신호(S01-S013)를 디코딩하여 어드레스 신호(~A1, ~A2, ..., ~A7)를 제공하는 어드레스 트랜지스터 쌍(446, 448, ..., 470)을 포함한다. 로직 어레이(406)는 어드레스 1 트랜지스터(446a, 446b), 어드레스 2 트랜지스터(448a, 448b), 어드레스 3 트랜지스터(450a, 450b), 어드레스 4 트랜지스터(452a, 452b), 어드레스 5 트랜지스터(454a, 454b), 어드레스 6 트랜지스터(456a, 456b), 어드레스 7 트랜지스터(458a, 458b), 어드레스 8 트랜지스터(460a, 460b), 어드레스 9 트랜지스터(462a, 462b), 어드레스 10 트랜지스터(464a, 464b), 어드레스 11 트랜지스터(466a, 466b), 어드레스 12 트랜지스터(468a, 468b) 및 어드레스 13 트랜지스터(470a, 470b)를 포함한다.

[0105] 어드레스 라인 사전-충전 트랜지스터(438a-438g)는 T3 신호 라인(434) 및 어드레스 라인(472a-472g)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438a)의 게이트 및 드레인-소스 경로의 한 쪽은 T3 신호 라인(434)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438a)의 드레인-소스 경로의 다른 쪽은 어드레스 라인(472a)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438b)의 게이트 및 드레인-소스 경로의 한 쪽은 T3 신호 라인(434)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438b)의 드레인-소스 경로의 다른 쪽은 어드레스 라인(472b)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438c)의 게이트 및 드레인-소스 경로의 한 쪽은 T3 신호 라인(434)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438c)의 드레인-소스 경로의 다른 쪽은 어드레스 라인(472c)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438d)의 게이트 및 드레인-소스 경로의 한 쪽은 T3 신호 라인(434)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438d)의 드레인-소스 경로의 다른 쪽은 어드레스 라인(472d)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438e)의 게이트 및 드레인-소스 경로의 한 쪽은 T3 신호 라인(434)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438e)의 드레인-소스 경로의 다른 쪽은 어드레스 라인(472e)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438f)의 게이트 및 드레인-소스 경로의 한 쪽은 T3 신호 라인(434)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438f)의 드레인-소스 경로의 다른 쪽은 어드레스 라인(472f)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438g)의 게이트 및 드레인-소스 경로의 한 쪽은 T3 신호 라인(434)에 전기적으로 결합된다. 어드레스 라인 사전-충전 트랜지스터(438g)의 드레인-소스 경로의 다른 쪽은 어드레스 라인(472g)에 전기적으로 결합된다. 일실시예에서, 어드레스 라인 사전-충전 트랜지스터

스터(438a-438g)는 T3 신호 라인(434)이 아닌 T4 신호 라인(422)에 전기적으로 결합된다. T4 신호 라인(422)은 각각의 어드레스 라인 사전-충전 트랜지스터(438a-438g)의 게이트 및 드레인-소스 경로의 한 쪽에 전기적으로 결합된다.

[0106] 각각의 어드레스 평가 트랜지스터(440a-440m)의 게이트는 로직 평가 신호 라인(474)에 전기적으로 결합된다. 각각의 어드레스 평가 트랜지스터(440a-440m)의 드레인-소스 경로의 한 쪽은 접지에 전기적으로 결합된다. 추가하여, 어드레스 평가 트랜지스터(440a)의 드레인-소스 경로는 평가 라인(476a)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440b)의 드레인-소스 경로는 평가 라인(476b)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440c)의 드레인-소스 경로는 평가 라인(476c)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440d)의 드레인-소스 경로는 평가 라인(476d)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440e)의 드레인-소스 경로는 평가 라인(476e)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440f)의 드레인-소스 경로는 평가 라인(476f)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440g)의 드레인-소스 경로는 평가 라인(476g)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440h)의 드레인-소스 경로는 평가 라인(476h)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440i)의 드레인-소스 경로는 평가 라인(476i)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440j)의 드레인-소스 경로는 평가 라인(476j)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440k)의 드레인-소스 경로는 평가 라인(476k)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440l)의 드레인-소스 경로는 평가 라인(476l)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440m)의 드레인-소스 경로는 평가 라인(476m)에 전기적으로 결합된다.

[0107] 로직 평가 사전-충전 트랜지스터(444)의 게이트 및 드레인-소스 경로의 한 쪽은 T5 신호 라인(436)에 전기적으로 결합되고, 드레인-소스 경로의 다른 쪽은 로직 평가 신호 라인(474)에 전기적으로 결합된다. 평가 방지 트랜지스터(442a)의 게이트는 T3 신호 라인(434)에 전기적으로 결합된다. 평가 방지 트랜지스터(442a)의 드레인-소스 경로의 한 쪽은 로직 평가 신호 라인(474)에, 다른 쪽은 참조 부호(478)에서 기준 라인에 전기적으로 결합된다. 평가 방지 트랜지스터(442b)의 게이트는 T4 신호 라인(422)에 전기적으로 결합된다. 평가 방지 트랜지스터(442b)의 드레인-소스 경로의 한 쪽은 로직 평가 신호 라인(474)에, 다른 쪽은 참조 부호(478)의 기준 라인에 전기적으로 결합된다.

[0108] 어드레스 트랜지스터 쌍(446, 448, ..., 470)의 드레인-소스 경로는 어드레스 라인(472a-472g)과 평가 라인(476a-476m) 사이에 전기적으로 결합된다. 어드레스 트랜지스터 쌍(446, 448, ..., 470)의 게이트는 시프트 레지스터 출력 신호 라인(410a-410m)을 통과한 시프트 레지스터 출력 신호(S01-S013)에 의해 구동된다.

[0109] 어드레스 1 트랜지스터(446a, 446b)의 게이트는 시프트 레지스터 출력 신호 라인(410a)에 전기적으로 결합된다. 어드레스 1 트랜지스터(446a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472a)에, 다른 쪽은 평가 라인(476a)에 전기적으로 결합된다. 어드레스 1 트랜지스터(446b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472b)에, 다른 쪽은 평가 라인(476a)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440a)가 로직 평가 신호 라인(474) 상의 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410a) 상의 하이 레벨 시프트 레지스터 출력 신호(S01)는 어드레스 1 트랜지스터(446a, 446b)를 온 상태로 전환한다. 어드레스 1 트랜지스터(446a) 및 어드레스 평가 트랜지스터(440a)는 도전 상태가 되어 어드레스 라인(472a)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 1 트랜지스터(446b) 및 어드레스 평가 트랜지스터(440a)는 도전 상태가 되어 어드레스 라인(472b)을 로우 전압 레벨로 능동적으로 유도한다.

[0110] 어드레스 2 트랜지스터(448a, 448b)의 게이트는 시프트 레지스터 출력 라인(410b)에 전기적으로 결합된다. 어드레스 2 트랜지스터(448a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472a)에, 그 다른 쪽은 평가 라인(476b)에 전기적으로 결합된다. 어드레스 2 트랜지스터(448b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472c)에, 그 다른 쪽은 평가 라인(476b)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440b)가 로직 평가 신호 라인(474) 상의 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410b) 상의 하이 레벨 시프트 레지스터 출력 신호(S02)는 어드레스 2 트랜지스터(448a, 448b)를 온 상태로 전환한다. 어드레스 2 트랜지스터(448a) 및 어드레스 평가 트랜지스터(440b)는 도전 상태가 되어 어드레스 라인(472a)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 2 트랜지스터(448b) 및 어드레스 평가 트랜지스터(440b)는 도전 상태가 되어 어드레스 라인(472c)을 로우 전압 레벨로 능동적으로 유도한다.

[0111] 어드레스 3 트랜지스터(450a, 450b)의 게이트는 시프트 레지스터 출력 신호 라인(410c)에 전기적으로 결합된다. 어드레스 3 트랜지스터(450a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472a)에, 그 다른 쪽은 평가 라인(476c)에 전기적으로 결합된다. 어드레스 3 트랜지스터(450b)의 드레인-소스 경로의 한 쪽은 어드레스

라인(472d)에, 그 다른 쪽은 평가 라인(476c)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440c)가 로직 평가 신호 라인(474) 상의 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410c) 상의 하이 레벨 시프트 레지스터 출력 신호(S03)는 어드레스 3 트랜지스터(450a, 450b)를 온 상태로 전환한다. 어드레스 3 트랜지스터(450a) 및 어드레스 평가 트랜지스터(440c)는 도전 상태가 되어 어드레스 라인(472a)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 3 트랜지스터(450b) 및 어드레스 평가 트랜지스터(440c)는 도전 상태가 되어 어드레스 라인(472d)을 로우 전압 레벨로 능동적으로 유도한다.

[0112] 어드레스 4 트랜지스터(452a, 452b)의 게이트는 시프트 레지스터 출력 신호 라인(410d)에 전기적으로 결합된다. 어드레스 4 트랜지스터(452a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472a)에, 그 다른 쪽은 평가 라인(476d)에 전기적으로 결합된다. 어드레스 4 트랜지스터(452b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472e)에, 그 다른 쪽은 평가 라인(476d)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440d)가 로직 평가 신호 라인(474) 상의 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410d) 상의 하이 레벨 시프트 레지스터 출력 신호(S04)는 어드레스 4 트랜지스터(452a, 452b)를 온 상태로 전환한다. 어드레스 4 트랜지스터(452a) 및 어드레스 평가 트랜지스터(440d)는 도전 상태가 되어 어드레스 라인(472a)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 4 트랜지스터(452b) 및 어드레스 평가 트랜지스터(440d)는 도전 상태가 되어 어드레스 라인(472e)을 로우 전압 레벨로 능동적으로 유도한다.

[0113] 어드레스 5 트랜지스터(454a, 454b)의 게이트는 시프트 레지스터 출력 신호 라인(410e)에 전기적으로 결합된다. 어드레스 5 트랜지스터(454a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472a)에, 그 다른 쪽은 평가 라인(476e)에 전기적으로 결합된다. 어드레스 5 트랜지스터(454b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472f)에, 그 다른 쪽은 평가 라인(476e)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440e)가 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410e) 상의 하이 레벨 시프트 레지스터 출력 신호(S05)는 어드레스 5 트랜지스터(454a, 454b)를 온 상태로 전환한다. 어드레스 5 트랜지스터(454a) 및 어드레스 평가 트랜지스터(440e)는 도전 상태가 되어 어드레스 라인(472a)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 5 트랜지스터(454b) 및 어드레스 평가 트랜지스터(440e)는 도전 상태가 되어 어드레스 라인(472f)을 로우 전압 레벨로 능동적으로 유도한다.

[0114] 어드레스 6 트랜지스터(456a, 456b)의 게이트는 시프트 레지스터 출력 신호 라인(410f)에 전기적으로 결합된다. 어드레스 6 트랜지스터(456a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472a)에, 그 다른 쪽은 평가 라인(476f)에 전기적으로 결합된다. 어드레스 6 트랜지스터(456b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472g)에, 그 다른 쪽은 평가 라인(476f)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440f)가 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410f) 상의 하이 레벨 시프트 레지스터 출력 신호(S06)는 어드레스 6 트랜지스터(456a, 456b)를 도전 상태가 되도록 온 상태로 전환한다. 어드레스 6 트랜지스터(456a) 및 어드레스 평가 트랜지스터(440f)는 도전 상태가 되어 어드레스 라인(472a)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 6 트랜지스터(456b) 및 어드레스 평가 트랜지스터(440f)는 도전 상태가 되어 어드레스 라인(472g)을 로우 전압 레벨로 능동적으로 유도한다.

[0115] 어드레스 7 트랜지스터(458a, 458b)의 게이트는 시프트 레지스터 출력 신호 라인(410g)에 전기적으로 결합된다. 어드레스 7 트랜지스터(458a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472b)에, 그 다른 쪽은 평가 라인(476g)에 전기적으로 결합된다. 어드레스 7 트랜지스터(458b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472c)에, 그 다른 쪽은 평가 라인(476g)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440g)가 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410g) 상의 하이 레벨 시프트 레지스터 출력 신호(S07)는 어드레스 7 트랜지스터(458a, 458b)를 온 상태로 전환한다. 어드레스 7 트랜지스터(458a) 및 어드레스 평가 트랜지스터(440g)는 도전 상태가 되어 어드레스 라인(472b)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 7 트랜지스터(458b) 및 어드레스 평가 트랜지스터(440g)는 도전 상태가 되어 어드레스 라인(472c)을 로우 전압 레벨로 능동적으로 유도한다.

[0116] 어드레스 8 트랜지스터(460a, 460b)의 게이트는 시프트 레지스터 출력 신호 라인(410h)에 전기적으로 결합된다. 어드레스 8 트랜지스터(460a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472b)에, 그 다른 쪽은 평가 라인(476h)에 전기적으로 결합된다. 어드레스 8 트랜지스터(460b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472d)에, 그 다른 쪽은 평가 라인(476h)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440h)가 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410h) 상의 하

이 레벨 시프트 레지스터 출력 신호(S08)는 어드레스 8 트랜지스터(460a, 460b)를 온 상태로 전환한다. 어드레스 8 트랜지스터(460a) 및 어드레스 평가 트랜지스터(440h)는 도전 상태가 되어 어드레스 라인(472b)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 8 트랜지스터(460b) 및 어드레스 평가 트랜지스터(440h)는 도전 상태가 되어 어드레스 라인(472d)을 로우 전압 레벨로 능동적으로 유도한다.

[0117] 어드레스 9 트랜지스터(462a, 462b)의 게이트는 시프트 레지스터 출력 신호 라인(410i)에 전기적으로 결합된다. 어드레스 9 트랜지스터(462a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472b)에, 그 다른 쪽은 평가 라인(476i)에 전기적으로 결합된다. 어드레스 9 트랜지스터(462b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472e)에, 그 다른 쪽은 평가 라인(476i)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440i)가 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410i) 상의 하이 레벨 시프트 레지스터 출력 신호(S09)는 어드레스 9 트랜지스터(462a, 462b)를 도전 상태가 되도록 온 상태로 전환한다. 어드레스 9 트랜지스터(462a) 및 어드레스 평가 트랜지스터(440i)는 도전 상태가 되어 어드레스 라인(472b)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 9 트랜지스터(462b) 및 어드레스 평가 트랜지스터(440i)는 도전 상태가 되어 어드레스 라인(472e)을 로우 전압 레벨로 능동적으로 유도한다.

[0118] 어드레스 10 트랜지스터(464a, 464b)의 게이트는 시프트 레지스터 출력 신호 라인(410j)에 전기적으로 결합된다. 어드레스 10 트랜지스터(464a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472b)에, 그 다른 쪽은 평가 라인(476j)에 전기적으로 결합된다. 어드레스 10 트랜지스터(464b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472f)에, 그 다른 쪽은 평가 라인(476j)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440j)가 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410j) 상의 하이 레벨 시프트 레지스터 출력 신호(S010)는 어드레스 10 트랜지스터(464a, 464b)를 온 상태로 전환한다. 어드레스 10 트랜지스터(464a) 및 어드레스 평가 트랜지스터(440j)는 도전 상태가 되어 어드레스 라인(472b)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 10 트랜지스터(464b) 및 어드레스 평가 트랜지스터(440j)는 도전 상태가 되어 어드레스 라인(472f)을 로우 전압 레벨로 능동적으로 유도한다.

[0119] 어드레스 11 트랜지스터(466a, 466b)의 게이트는 시프트 레지스터 출력 신호 라인(410k)에 전기적으로 결합된다. 어드레스 11 트랜지스터(466a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472b)에, 그 다른 쪽은 평가 라인(476k)에 전기적으로 결합된다. 어드레스 11 트랜지스터(466b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472g)에, 그 다른 쪽은 평가 라인(476k)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440k)가 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410k) 상의 하이 레벨 시프트 레지스터 출력 신호(S011)는 어드레스 11 트랜지스터(466a, 466b)를 온 상태로 전환한다. 어드레스 11 트랜지스터(466a) 및 어드레스 평가 트랜지스터(440k)는 도전 상태가 되어 어드레스 라인(472b)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 11 트랜지스터(466b) 및 어드레스 평가 트랜지스터(440k)는 도전 상태가 되어 어드레스 라인(472g)을 로우 전압 레벨로 능동적으로 유도한다.

[0120] 어드레스 12 트랜지스터(468a, 468b)의 게이트는 시프트 레지스터 출력 신호 라인(410l)에 전기적으로 결합된다. 어드레스 12 트랜지스터(468a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472c)에, 그 다른 쪽은 평가 라인(476l)에 전기적으로 결합된다. 어드레스 12 트랜지스터(468b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472d)에, 그 다른 쪽은 평가 라인(476l)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440l)가 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410l) 상의 하이 레벨 시프트 레지스터 출력 신호(S012)는 어드레스 12 트랜지스터(468a, 468b)를 온 상태로 전환한다. 어드레스 12 트랜지스터(468a) 및 어드레스 평가 트랜지스터(440l)는 도전 상태가 되어 어드레스 라인(472c)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 12 트랜지스터(468b) 및 어드레스 평가 트랜지스터(440l)는 도전 상태가 되어 어드레스 라인(472d)을 로우 전압 레벨로 능동적으로 유도한다.

[0121] 어드레스 13 트랜지스터(470a, 470b)의 게이트는 시프트 레지스터 출력 신호 라인(410m)에 전기적으로 결합된다. 어드레스 13 트랜지스터(470a)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472c)에, 그 다른 쪽은 평가 라인(476m)에 전기적으로 결합된다. 어드레스 13 트랜지스터(470b)의 드레인-소스 경로의 한 쪽은 어드레스 라인(472e)에, 그 다른 쪽은 평가 라인(476m)에 전기적으로 결합된다. 어드레스 평가 트랜지스터(440m)가 하이 전압 레벨 평가 신호(LEVAL)에 의해 온 상태로 전환될 때, 시프트 레지스터 출력 신호 라인(410m) 상의 하이 레벨 시프트 레지스터 출력 신호(S013)는 어드레스 13 트랜지스터(470a, 470b)를 온 상태로 전환한다. 어드레스 13 트랜지스터(470a) 및 어드레스 평가 트랜지스터(440m)는 도전 상태가 되어 어드레스 라인(472c)을 로우 전압 레벨로 능동적으로 유도한다. 어드레스 13 트랜지스터(470b) 및 어드레스 평가 트랜지스터(440m)는 도전 상태가 되어 어드레스 라인(472e)을 로우 전압 레벨로 능동적으로 유도한다.

[0122] 시프트 레지스터(402)는 하나의 시프트 레지스터 출력 신호 라인(410a-410m)으로부터 다음의 시프트 레지스터 출력 신호 라인(410a-410m)으로 단일 하이 전압 레벨 출력 신호를 시프팅한다. 시프트 레지스터(402)는 제어 라인(430) 상의 제어 신호(CSYNC) 내의 제어 펄스 및 타이밍 신호(T1-T4)로부터의 일련의 타이밍 펄스를 수신하여 수신된 제어 펄스를 시프트 레지스터(402)로 시프팅한다. 그 응답으로서, 시프트 레지스터(402)는 단일 하이 전압 레벨 시프트 레지스터 출력 신호(S01 또는 S013)를 제공한다. 모든 다른 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 제공된다. 시프트 레지스터(402)는 타이밍 신호(T1-T4)로부터 다른 일련의 타이밍 펄스를 수신하고, 하나의 시프트 레지스터 출력 신호(S01-S013)로부터 다음의 시프트 레지스터 출력 신호(S01-S013)로 단일 하이 전압 레벨 출력 신호를 시프팅하며, 모든 다른 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 제공된다. 시프트 레지스터(402)는 반복하는 일련의 타이밍 펄스를 수신하고, 각각의 일련의 타이밍 펄스에 응답하여, 시프트 레지스터(402)는 단일 하이 전압 레벨 출력 신호를 시프팅하여 일련의 최대 13개의 하이 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 제공한다. 각각의 하이 전압 레벨 시프트 레지스터 출력 신호(S01-S013)는 2개의 어드레스 트랜지스터 쌍(446, 448, ..., 470)을 온 상태로 전환하여 점화 셀(120)에 어드레스 신호(~A1, ~A2, ..., ~A7)를 제공한다. 어드레스 신호(~A1, ~A2, ..., ~A7)는 13개의 시프트 레지스터 출력 신호(S01-S013)에 대응하는 13개의 어드레스 타임 슬롯 내에 제공된다. 다른 실시예에서, 시프트 레지스터(402)는 14개 등과 같은 임의의 적절한 개수의 시프트 레지스터 출력 신호를 포함하여, 14개의 어드레스 타임 슬롯 등과 같은 임의의 적절한 개수의 어드레스 타임 슬롯 내에 어드레스 신호(~A1, ~A2, ..., ~A7)를 제공한다.

[0123] 시프트 레지스터(402)는 방향 신호 라인(408)을 통해 방향 회로(404)로부터 방향 신호를 수신한다. 방향 신호는 시프트 레지스터(402) 내의 시프팅 방향을 설정한다. 시프트 레지스터(402)는 하이 전압 레벨 출력 신호를 정방향으로, 즉 시프트 레지스터 출력 신호(S01)로부터 시프트 레지스터 출력 신호(S013)로 시프팅하도록 설정되거나, 역방향으로, 즉 시프트 레지스터 출력 신호(S013)로부터 시프트 레지스터 출력 신호(S01)로 시프팅하도록 설정될 수 있다.

[0124] 정방향에서, 시프트 레지스터(402)는 제어 신호(CSYNC) 내의 제어 펄스를 수신하고 하이 전압 레벨 시프트 레지스터 출력 신호(S01)를 제공한다. 모든 다른 시프트 레지스터 출력 신호(S02-S013)는 로우 전압 레벨로 제공된다. 시프트 레지스터(402)는 다음의 일련의 타이밍 펄스를 수신하고, 하이 전압 레벨 시프트 레지스터 출력 신호(S02)를 제공하며, 모든 다른 시프트 레지스터 출력 신호(S01 및 S03-S013)는 로우 전압 레벨로 제공된다. 시프트 레지스터(402)는 다음의 일련의 타이밍 펄스를 수신하고, 하이 전압 레벨 시프트 레지스터 출력 신호(S03)를 제공하며, 모든 다른 시프트 레지스터 출력 신호(S01, S02, 및 S04-S013)는 로우 전압 레벨로 제공된다. 계속하여 시프트 레지스터(402)는 하이 전압 레벨 시프트 레지스터 출력 신호(S013)를 제공하고, 모든 다른 시프트 레지스터 출력 신호(S01-S012)가 로우 전압 레벨로 제공될 때까지 각각의 일련의 타이밍 펄스에 응답하여 하이 레벨 출력 신호를 계속 시프팅한다. 하이 전압 레벨 시프트 레지스터 출력 신호(S013)를 제공한 후, 시프트 레지스터(402)는 다음의 일련의 타이밍 펄스를 수신하고, 모든 시프트 레지스터 출력 신호(S01-S013)에 대한 로우 전압 레벨 신호를 제공한다. 제어 신호(CSYNC) 내의 다른 제어 펄스가 제공되어 시프트 레지스터 출력 신호(S01)로부터 시프트 레지스터 출력 신호(S013)로 일련의 하이 전압 레벨 출력 신호를 정방향으로 시프팅하도록 시프트 레지스터(402)를 시작 또는 개시한다.

[0125] 역방향에서, 시프트 레지스터(402)는 제어 신호(CSYNC) 내의 제어 펄스를 수신하고, 하이 레벨 시프트 레지스터 출력 신호(S013)를 제공한다. 모든 다른 시프트 레지스터 출력 신호(S01-S012)는 로우 전압 레벨로 제공된다. 시프트 레지스터(402)는 다음의 일련의 타이밍 펄스를 수신하고, 하이 전압 레벨 시프트 레지스터 출력 신호(S012)를 제공하며, 모든 다른 시프트 레지스터 출력 신호(S01-S011 및 S013)는 로우 전압 레벨로 제공된다. 시프트 레지스터(402)는 다음의 일련의 타이밍 펄스를 수신하고, 하이 전압 레벨 시프트 레지스터 출력 신호(S011)를 제공하며, 모든 다른 시프트 레지스터 출력 신호(S01-S010, S012 및 S013)는 로우 전압 레벨로 제공된다. 계속하여 시프트 레지스터(402)는 하이 전압 레벨 시프트 레지스터 출력 신호(S01)를 제공하고, 모든 다른 시프트 레지스터 출력 신호(S02-S013)가 로우 전압 레벨로 제공될 때까지 각각의 일련의 타이밍 펄스에 응답하여 하이 전압 레벨 출력 신호를 계속 시프팅한다. 하이 전압 레벨 시프트 레지스터 출력 신호(S01)를 제공한 후, 시프트 레지스터(402)는 다음의 일련의 타이밍 펄스를 수신하고, 모든 시프트 레지스터 출력 신호(S01-S013)에 대한 로우 전압 레벨 신호를 제공한다. 제어 신호(CSYNC) 내의 다른 제어 펄스가 제공되어 시프트 레지스터 출력 신호(S013)로부터 시프트 레지스터 출력 신호(S01)로 일련의 하이 전압 레벨 출력 신호를 역방향으로 시프팅하도록 시프트 레지스터(402)를 시작 또는 개시한다.

[0126] 방향 회로(404)는 방향 신호 라인(408)을 통과하는 2개의 방향 신호를 제공한다. 방향 신호는 시프트 레지스

터(402) 내에서 정방향/역방향의 시프팅 방향을 설정한다. 또한, 방향 신호는 시프트 레지스터(402)로부터의 하이 전압 레벨 출력 신호를 소거하기 위해 이용될 수 있다.

[0127] 방향 회로(404)는 타이밍 신호(T3-T6)로부터 반복되는 일련의 타이밍 펄스를 수신한다. 추가하여, 방향 회로(404)는 제어 라인(430)에서 제어 신호(CSYNC) 내의 제어 펄스를 수신한다. 방향 회로(404)는 타이밍 신호(T4)로부터의 타이밍 펄스와 부합하는 제어 펄스를 수신하는 것에 응답하여 정방향 신호를 제공한다. 정방향 신호는 시프트 레지스터 출력 신호(S01)로부터 시프트 레지스터 출력 신호(S013)로 정방향으로 시프팅하도록 시프트 레지스터(402)를 설정한다. 방향 회로(404)는 타이밍 신호(T6)로부터의 타이밍 펄스와 부합하는 제어 펄스를 수신하는 것에 응답하여 역방향 신호를 제공한다. 역방향 신호는 시프트 레지스터 출력 신호(S013)로부터 시프트 레지스터 출력 신호(S01)로 역방향으로 시프팅하도록 시프트 레지스터(402)를 설정한다. 방향 회로(404)가 타이밍 신호(T4)로부터의 타이밍 펄스 및 타이밍 신호(T6)로부터의 타이밍 펄스와 모두 부합하는 제어 펄스를 수신하는 것에 응답하여, 방향 회로(404)는 시프트 레지스터(402)를 소거하는 방향 신호를 제공한다.

[0128] 로직 어레이(406)는 시프트 레지스터 출력 신호 라인(410a-410m) 상에서 시프트 레지스터 출력 신호(S01-S013) 및 타이밍 신호 라인(434, 422, 436) 상에서 타이밍 신호(T3-T5)로부터의 타이밍 펄스를 수신한다. 시프트 레지스터 출력 신호(S01-S013) 내의 단일 하이 전압 레벨 출력 신호 및 타이밍 신호(T3-T5)로부터의 타이밍 펄스에 응답하여, 로직 어레이(406)는 7개의 어드레스 신호(~A1, ~A2, ..., ~A7) 중에서 2개의 로우 전압 레벨 어드레스 신호를 제공한다.

[0129] 로직 어레이(406)는 평가 방지 트랜지스터(442a)를 온 상태로 전환하여 평가 신호 라인(474)을 로우 전압 레벨로 유도하고, 어드레스 평가 트랜지스터(440)를 오프 상태로 전환하는 타이밍 신호(T3)로부터의 타이밍 펄스를 수신한다. 또한, 타이밍 신호(T3)로부터의 타이밍 펄스는 어드레스 라인 사전-충전 트랜지스터(438)를 통해 어드레스 라인(472a-472g)을 하이 전압 레벨로 충전한다. 일실시예에서, 타이밍 신호(T3)로부터의 타이밍 펄스는 타이밍 신호(T4)로부터의 타이밍 펄스로 대체되어 어드레스 라인 사전-충전 트랜지스터(438)를 통해 어드레스 라인(472a-472g)을 하이 전압 레벨로 충전한다.

[0130] 타이밍 신호(T4)로부터의 타이밍 펄스는 평가 방지 트랜지스터(442b)를 온 상태로 전환하여 평가 신호 라인(474)을 로우 전압 레벨로 유도하고, 어드레스 평가 트랜지스터(440)를 오프로 전환한다. 시프트 레지스터 출력 신호(S01-S013)는 타이밍 신호(T4)로부터의 타이밍 펄스동안에 유효 출력 신호로 확정된다. 시프트 레지스터 출력 신호(S01-S013) 내의 단일 하이 전압 레벨 출력 신호는 로직 어레이(406) 내의 어드레스 트랜지스터 쌍(446, 448, ..., 470)의 게이트에 제공된다. 타이밍 신호(T5)로부터의 타이밍 펄스는 평가 신호 라인(474)을 하이 전압 레벨로 충전하여 어드레스 평가 트랜지스터(440)를 온 상태로 전환한다. 어드레스 평가 트랜지스터(440)가 온 상태로 전환될 때, 하이 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 수신하는 로직 어레이(406) 내의 어드레스 트랜지스터 쌍(446, 448, ..., 또는 470)은 도전 상태가 되어 대응하는 어드레스 라인(472)을 방전한다. 대응하는 어드레스 라인(472)은 도전성 어드레스 트랜지스터 쌍(446, 448, ..., 470) 및 도전성 어드레스 평가 트랜지스터(440)를 통해 로우 레벨로 능동적으로 유도된다. 다른 어드레스 라인(472)은 하이 전압 레벨로 충전된 상태로 유지된다.

[0131] 로직 어레이(406)는 각각의 어드레스 타임 슬롯 내에서 7개의 어드레스 신호(~A1, ~A2, ..., ~A7) 중 2개의 로우 전압 레벨 어드레스 신호를 제공한다. 시프트 레지스터 출력 신호(S01)가 하이 전압 레벨이면, 어드레스 1 트랜지스터(446a, 446b)는 도전 상태가 되어 어드레스 라인(472a, 472b)이 로우 전압 레벨이 되도록 유도하고, 활성 로우 어드레스 신호(~A1, ~A2)를 제공한다. 시프트 레지스터 출력 신호(S02)가 하이 전압 레벨이면, 어드레스 2 트랜지스터(448a, 448b)는 도전 상태가 되어 어드레스 라인(472a, 472c)을 로우 전압 레벨로 유도하고, 활성 로우 어드레스 신호(~A1, ~A3)를 제공한다. 시프트 레지스터 출력 신호(S03)가 하이 전압 레벨이면, 어드레스 3 트랜지스터(450a, 450b)는 도전 상태가 되어 어드레스 라인(472a, 472d)을 로우 전압 레벨로 유도하고, 활성 로우 어드레스 신호(~A1, ~A4)를 제공하며, 이와 같이 각각의 시프트 레지스터 출력 신호(S04-S013)에도 계속 적용된다. 시프트 레지스터 출력 신호(S01-S013)에 상관되는 13개의 어드레스 타임 슬롯 각각에 대한 어드레스 신호(~A1, ~A2, ..., ~A7)는, 다음의 표에 제시되어 있다.

어드레스 타임 슬롯	활성 어드레스 신호
1	~A1 및 ~A2
2	~A1 및 ~A3
3	~A1 및 ~A4
4	~A1 및 ~A5
5	~A1 및 ~A6
6	~A1 및 ~A7
7	~A2 및 ~A3
8	~A2 및 ~A4
9	~A2 및 ~A5
10	~A2 및 ~A6
11	~A2 및 ~A7
12	~A3 및 ~A4
13	~A3 및 ~A5

[0132]

다른 실시예에서, 로직 어레이(406)는 다음의 표에 제시되는 바와 같이 13개의 어드레스 타임 슬롯 각각에 대한 활성 어드레스 신호(~A1, ~A2, ..., ~A7)를 제공할 수 있다.

어드레스 타임 슬롯	활성 어드레스 신호
1	~A1 및 ~A3
2	~A1 및 ~A4
3	~A1 및 ~A5
4	~A1 및 ~A6
5	~A2 및 ~A4
6	~A2 및 ~A5
7	~A2 및 ~A6
8	~A2 및 ~A7
9	~A3 및 ~A5
10	~A3 및 ~A6
11	~A3 및 ~A7
12	~A4 및 ~A6
13	~A4 및 ~A7

[0134]

또한, 다른 실시예에서, 로직 어레이(406)는 각각의 하이 전압 레벨 출력 신호(S01-S013)에 대해 임의의 적절한 개수의 로우 전압 레벨 어드레스 신호(~A1, ~A2, ..., ~A7)를, 로우 전압 레벨 어드레스 신호(~A1, ~A2, ..., ~A7)의 임의의 적합한 시퀀스로 제공하는 어드레스 트랜지스터를 포함할 수 있다. 이것은 예를 들면, 각각의 트랜지스터 쌍(446, 448, ..., 470)을 적절히 배치하여 임의의 2개의 원하는 어드레스 라인(672a-672g)을 방전하는 것에 의해 이루어질 수 있다.

[0136]

또한, 다른 실시예에서, 로직 어레이(406)는 임의의 적절한 개수의 어드레스 타임 슬롯 내에 임의의 적절한 개수의 어드레스 신호를 제공하기 위한 임의의 적절한 개수의 어드레스 라인을 포함할 수 있다.

[0137]

작동 중에, 반복되는 일련의 6개의 타이밍 펄스는 타이밍 신호(T1-T6)로부터 제공된다. 각각의 타이밍 신호(T1-T6)는 각각의 일련의 6개의 타이밍 펄스 내의 하나의 타이밍 펄스를 제공한다. 타이밍 신호(T1)로부터의 타이밍 펄스에 후속하여 타이밍 신호(T2)로부터의 타이밍 펄스가 제공되고, 그에 후속하여 타이밍 신호(T3)로부터의 타이밍 펄스가, 그에 후속하여 타이밍 신호(T4)로부터의 타이밍 펄스가, 그에 후속하여 타이밍 신호(T5)로부터의 타이밍 펄스가 제공되며, 그에 후속하여 타이밍 신호(T6)로부터의 타이밍 펄스가 제공된다. 일련의 6개의 타이밍 펄스는 반복되는 일련의 6개의 타이밍 펄스 내에서 반복된다.

[0138]

하나의 일련의 6개의 타이밍 펄스에서, 방향 회로(404)는 제 4 사전-충전 신호(PRE4)에서 타이밍 신호(T3)로부터의 타이밍 펄스를 수신한다. 제 4 사전-충전 신호(PRE4) 내의 타이밍 펄스는 방향 라인(408) 중 제 1 방향 라인을 하이 전압 레벨로 충전한다. 방향 회로(404)는 제 4 평가 신호(EVAL4)에서 타이밍 신호(T4)로부터

의 감소된 전압 레벨의 타이밍 펄스를 수신한다. 방향 회로(404)가 제 4 평가 신호(EVAL4)와 부합하는(그와 동시에) 제어 신호(CSYNC) 내의 제어 펄스를 수신하면, 방향 회로(404)는 제 1 방향 라인(408)을 방전한다. 방향 회로(404)가 제 4 평가 신호(EVAL4) 내에 타이밍 펄스와 부합하는 로우 전압 레벨 제어 신호(CSYNC)를 수신하면, 제 1 방향 라인(408)은 하이 전압 레벨로 충전된 채로 유지된다.

[0139] 다음에, 방향 회로(404)는 제 3 사전-충전 신호(PRE3)에서 타이밍 신호(T5)로부터의 타이밍 펄스를 수신한다. 제 3 사전-충전 신호(PRE3) 내의 타이밍 펄스는 방향 라인(408) 중 제 2 방향 라인을 충전한다. 방향 회로(404)는 제 3 평가 신호(EVAL3)에서 타이밍 신호(T6)로부터의 감소된 전압 레벨의 타이밍 펄스를 수신한다. 방향 회로(404)가 제 3 평가 신호(EVAL3) 내의 타이밍 펄스와 부합하는 제어 신호(CSYNC) 내의 제어 펄스를 수신하면, 방향 회로(404)는 제 2 방향 라인(408)을 로우 전압 레벨로 방전한다. 방향 회로(404)가 제 3 평가 신호(EVAL3) 내에 타이밍 펄스와 부합하는 로우 전압 레벨 제어 신호(CSYNC)를 수신하면, 제 2 방향 라인(408)은 하이 전압 레벨로 충전된 채로 유지된다.

[0140] 제 1 방향 라인(408)이 로우 전압 레벨로 방전되고, 제 2 방향 라인(408)이 하이 전압 레벨로 유지되면, 제 1 및 제 2 방향 라인(408)에서의 신호 레벨은 시프트 레지스터(402)가 정방향으로 시프팅하도록 설정한다. 제 1 방향 라인(408)이 하이 전압 레벨로 유지되고, 제 2 방향 라인(408)이 로우 전압 레벨로 방전되면, 방향 라인(408)에서의 신호 레벨은 시프트 레지스터(402)가 역방향으로 시프팅하도록 설정한다. 제 1 및 제 2 방향 라인(408)이 모두 로우 전압 레벨로 방전되면, 시프트 레지스터(402)는 하이 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 제공하는 것이 방지된다. 방향 라인(408)에서의 방향 신호는 각각의 일련의 6개의 타이밍 펄스동안에 설정된다.

[0141] 먼저, 방향은 하나의 일련의 6개의 타이밍 펄스에서 설정되고, 시프트 레지스터(402)는 다음의 일련의 6개의 타이밍 펄스에서 개시된다. 시프트 레지스터(402)를 개시하기 위해서, 시프트 레지스터(402)는 제 1 사전-충전 신호(PRE1)로서 타이밍 신호(T1)로부터의 타이밍 펄스를 수신한다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스는 13개의 시프트 레지스터 셀(403a-403m) 각각의 내부에 있는 내부 노드를 사전-충전한다. 시프트 레지스터(402)는 제 1 평가 신호(EVAL1)로서 타이밍 신호(T2)로부터의 감소된 전압 레벨의 타이밍 펄스를 수신한다. 제어 신호(CSYNC) 내의 제어 펄스가 제 1 평가 신호(EVAL1) 내의 타이밍 펄스와 부합하도록 시프트 레지스터(402)에 의해 수신되면, 시프트 레지스터(402)는 13개의 시프트 레지스터 셀 중 하나의 내부 노드를 방전하여 방전된 내부 노드에서 로우 전압 레벨을 제공한다. 제어 신호(CSYNC)가 제 1 평가 신호(EVAL1) 내의 타이밍 펄스와 부합하는 로우 전압 레벨로 유지되면, 각각의 13개의 시프트 레지스터 셀 내의 내부 노드는 하이 전압 레벨로 유지된다.

[0142] 시프트 레지스터(402)는 제 2 사전-충전 신호(PRE2)로서 타이밍 신호(T3)로부터의 타이밍 펄스를 수신한다. 제 2 사전-충전 신호(PRE2) 내의 타이밍 펄스는 13개의 시프트 레지스터 출력 라인(410a-410m)을 사전-충전하여 하이 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 제공한다. 시프트 레지스터(402)는 제 2 평가 신호(EVAL2)로서 타이밍 신호(T4)로부터의 감소된 전압 레벨의 타이밍 펄스를 수신한다. 제 1 평가 신호(EVAL1) 내의 타이밍 펄스와 부합하는 제어 신호(CSYNC)로부터의 제어 펄스를 수신한 후와 마찬가지로, 시프트 레지스터 셀(403) 내의 내부 노드가 로우 전압 레벨이 되면, 시프트 레지스터(402)는 시프트 레지스터 출력 신호(S01-S013)를 하이 전압 레벨로 유지한다. 모든 다른 시프트 레지스터 셀(403)에서와 마찬가지로 시프트 레지스터 셀(403) 내의 내부 노드가 하이 전압 레벨이면, 시프트 레지스터(402)는 시프트 레지스터 출력 라인(410a-410m)을 방전하여 로우 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 제공한다. 시프트 레지스터(402)는 하나의 일련의 6개의 타이밍 펄스에서 개시된다. 시프트 레지스터 출력 신호(S01-S013)는 제 2 평가 신호(EVAL2) 내에서 타이밍 신호(T4)로부터의 타이밍 펄스동안에 유효하게 되고, 다음의 일련의 6개의 타이밍 펄스 내의 타이밍 신호(T3)로부터의 타이밍 펄스까지 유효하게 유지된다. 각각의 후속하는 일련의 6개의 타이밍 펄스에서, 시프트 레지스터(402)는 하나의 시프트 레지스터 셀(403)로부터 다음의 시프트 레지스터 셀(403)로 하이 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 시프팅한다.

[0143] 로직 어레이(406)는 시프트 레지스터 출력 신호(S01-S013)를 수신한다. 일실시예에서, 로직 어레이(406)는 타이밍 신호(T3)로부터의 타이밍 펄스를 수신하여 어드레스 라인(472)을 사전-충전하고, 어드레스 평가 트랜지스터(440)를 오프 상태로 전환한다. 일실시예에서, 로직 어레이(406)는 타이밍 신호(T3)로부터의 타이밍 펄스를 수신하여 어드레스 평가 트랜지스터(440)를 오프로 전환하고 타이밍 신호(T4)로부터의 타이밍 펄스를 수신하여 어드레스 라인(472)을 사전-충전한다.

[0144] 시프트 레지스터 출력 신호(S01-S013)가 유효 시프트 레지스터 출력 신호(S01-S013)로 결정될 때, 로직 어레이(406)는 타이밍 신호(T4)로부터의 타이밍 펄스를 수신하여 어드레스 평가 트랜지스터(440)를 오프로 전환한

다. 시프트 레지스터(402)가 개시되면, 하나의 시프트 레지스터 출력 신호(S01-S013)는 타이밍 신호(T4)로부터의 타이밍 펄스이후에 하이 전압 레벨로 유지된다. 로직 어레이(406)는 타이밍 신호(T5)로부터의 타이밍 펄스를 수신하여 평가 신호 라인(474)을 충전하고, 어드레스 평가 트랜지스터(440)를 온 상태로 전환한다. 하이 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 수신하는 어드레스 트랜지스터 쌍(446, 448, ..., 470)은 온 상태로 전환되어 7개의 어드레스 라인(472a-472g) 중 2개를 로우 전압 레벨로 유도한다. 어드레스 신호(~A1, ~A2, ..., ~A7) 내의 2개의 로우 전압 레벨 어드레스 신호는 점화 셀(120) 및 점화 셀 서브그룹이 활성화되도록 인에이블링하는 데 이용된다. 어드레스 신호(~A1, ~A2, ..., ~A7)는 타이밍 신호(T5)로부터의 타이밍 펄스 동안에 유효하게 되고, 다음의 일련의 6개의 타이밍 펄스 내에서 타이밍 신호(T3)로부터의 타이밍 펄스까지 유효하게 유지된다.

[0145] 시프트 레지스터(402)가 개시되지 않으면, 모든 시프트 레지스터 출력 라인(410)은 방전되어 로우 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 제공한다. 로우 전압 레벨 시프트 레지스터 출력 신호(S01-S013)는 어드레스 트랜지스터 쌍(446, 448, 470)을 오프 상태로 전환하고, 어드레스 라인(472)은 충전 상태로 유지되어 하이 전압 레벨 어드레스 신호(~A1, ~A2, ..., ~A7)를 제공한다. 하이 전압 레벨 어드레스 신호(~A1, ~A2, ..., ~A7)는 점화 셀(120) 및 점화 셀 서브그룹이 활성화를 위해 인에이블링되는 것을 방지한다.

[0146] 도 9는 어드레스 회로의 일실시예를 도시하지만, 서로 다른 로직 소자 및 구성 요소를 이용하는 다른 실시예를 이용할 수 있다. 예를 들면, 상술된 입력 신호, 예를 들면 신호(T1-T6)를 수신하고, 어드레스 신호(~A1, ~A2, ..., ~A7)를 제공하는 제어기를 이용할 수 있다.

[0147] 도 10a는 시프트 레지스터(402) 내의 하나의 시프트 레지스터 셀(403a)을 도시하는 도면이다. 시프트 레지스터(402)는 13개의 시프트 레지스터 출력 신호(S01-S013)를 제공하는 13개의 시프트 레지스터 셀(403a-403m)을 포함한다. 각각의 시프트 레지스터 셀(403a-403m)은 시프트 레지스터 출력 신호(S01-S013) 중 하나를 제공하고, 각각의 시프트 레지스터 셀(403a-403m)은 시프트 레지스터 셀(403a)과 유사하다. 13개의 시프트 레지스터 셀(403)은 직렬로 전기적으로 결합되어 정방향 및 역방향으로의 시프팅을 제공한다. 다른 실시예에서, 시프트 레지스터(402)는 임의의 적절한 개수의 시프트 레지스터 셀(403)을 포함하여 임의의 적절한 개수의 시프트 레지스터 출력 신호를 제공할 수 있다.

[0148] 시프트 레지스터 셀(403a)은 참조 부호(500)에서 점선으로 표시된 입력 스테이지로서의 제 1 스테이지와, 참조 부호(502)에서 점선으로 표시된 출력 스테이지로서의 제 2 스테이지를 포함한다. 제 1 스테이지(500)는 제 1 사전-충전 트랜지스터(504), 제 1 평가 트랜지스터(506), 정방향 입력 트랜지스터(508), 역방향 입력 트랜지스터(510), 정방향 트랜지스터(512) 및 역방향 트랜지스터(514)를 포함한다. 제 2 스테이지(502)는 제 2 사전-충전 트랜지스터(516), 제 2 평가 트랜지스터(518) 및 내부 노드 트랜지스터(520)를 포함한다.

[0149] 제 1 스테이지(500)에서, 제 1 사전-충전 트랜지스터(504)의 게이트 및 드레인-소스 경로의 한 쪽은 타이밍 신호 라인(432)에 전기적으로 결합된다. 타이밍 신호 라인(432)은 제 1 사전-충전 신호(PRE1)로서 타이밍 신호(T1)를 시프트 레지스터(402)에 제공한다. 제 1 사전-충전 트랜지스터(504)의 드레인-소스 경로의 다른 쪽은 제 1 평가 트랜지스터(506)의 드레인-소스 경로의 한 쪽 및 내부 노드(522)를 통해 내부 노드 트랜지스터(520)의 게이트에 전기적으로 결합된다. 내부 노드(522)는 스테이지(500)와 스테이지(502) 사이에서 시프트 레지스터 내부 노드 신호(SN1)를 내부 노드 트랜지스터(520)의 게이트에 제공한다.

[0150] 제 1 평가 트랜지스터(506)의 게이트는 제 1 평가 신호 라인(420)에 전기적으로 결합된다. 제 1 평가 신호 라인(420)은 제 1 평가 신호(EVAL1)로서 시프트 레지스터(402)에 감소된 전압 레벨의 T2 타이밍 신호를 제공한다. 제 1 평가 트랜지스터(506)의 드레인-소스 경로의 다른 쪽은 정방향 입력 트랜지스터(508)의 드레인-소스 경로의 한 쪽과, 내부 경로(524)를 통해 역방향 입력 트랜지스터(510)의 드레인-소스 경로의 한 쪽에 전기적으로 결합된다.

[0151] 정방향 입력 트랜지스터(508)의 드레인-소스 경로의 다른 쪽은 참조 부호(526)에서 정방향 트랜지스터(512)의 드레인-소스 경로의 한 쪽에 전기적으로 결합되고, 역방향 입력 트랜지스터(510)의 드레인-소스 경로의 다른 쪽은 참조 부호(528)에서 역방향 트랜지스터(514)의 드레인-소스 경로의 한 쪽에 전기적으로 결합된다. 정방향 트랜지스터(512) 및 역방향 트랜지스터(514)의 드레인-소스 경로는 참조 부호(530)에서 접지 등과 같은 기준 전압에 전기적으로 결합된다.

[0152] 정방향 트랜지스터(512)의 게이트는 방향 회로(404)로부터 정방향 신호(DIRF)를 수신하는 방향 라인(408a)에 전기적으로 결합된다. 역방향 트랜지스터(514)의 게이트는 방향 회로(404)로부터 역방향 신호(DIRR)를 수신하는 방향 라인(408b)에 전기적으로 결합된다.

[0153]

제 2 스테이지(502)에서, 제 2 사전-충전 트랜지스터(516)의 게이트 및 드레인-소스 경로의 한 쪽은 타이밍 신호 라인(434)에 전기적으로 결합된다. 타이밍 신호 라인(434)은 제 2 사전-충전 신호(PRE2)로서 시프트 레지스터(402)에 타이밍 신호(T3)를 제공한다. 제 2 사전-충전 트랜지스터(516)의 드레인-소스 경로의 다른 쪽은 제 2 평가 트랜지스터(518)의 드레인-소스 경로의 한 쪽 및 시프트 레지스터 출력 라인(410a)에 전기적으로 결합된다. 제 2 평가 트랜지스터(518)의 드레인-소스 경로의 다른 쪽은 참조 부호(532)에서 내부 노드 트랜지스터(520)의 드레인-소스 경로의 한 쪽에 전기적으로 결합된다. 제 2 평가 트랜지스터(518)의 게이트는 제 2 평가 신호 라인(424)에 전기적으로 결합되어 제 2 평가 신호(EVAL2)로서 시프트 레지스터(402)에 감소된 전압 레벨의 T4 타이밍 신호를 제공한다. 내부 노드 트랜지스터(520)의 게이트는 내부 노드(522)에 전기적으로 결합되고, 내부 노드 트랜지스터(520)의 드레인-소스 경로의 다른 쪽은 참조 부호(534)에서 접지 등과 같은 기준 전압에 전기적으로 결합된다. 내부 노드 트랜지스터(520)의 게이트는 시프트 레지스터 셀 내부 노드 신호(SN1)를 저장하는 캐페시턴스(536)를 저장한다. 시프트 레지스터 출력 신호 라인(410a)은 시프트 레지스터 출력 신호(S01)를 저장하는 캐페시턴스(538)를 포함한다.

[0154]

일련의 13개의 시프트 레지스터 셀(403) 내의 각각의 시프트 레지스터 셀(403a-403m)은 시프트 레지스터 셀(403a)과 동일하다. 각각의 시프트 레지스터 셀(403a-403m) 내의 정방향 트랜지스터(508)의 게이트는 제어 라인(430) 또는 정방향으로 시프팅하는 시프트 레지스터 출력 라인(410a-410l) 중 하나에 전기적으로 결합된다. 각각의 시프트 레지스터 셀(403a-403m) 내의 역방향 트랜지스터(510)의 게이트는 제어 라인(430) 또는 역방향으로 시프팅하는 시프트 레지스터 출력 라인(410b-410m) 중의 하나에 전기적으로 결합된다. 시프트 레지스터 출력 신호 라인(410)은 시프트 레지스터 출력 신호 라인(410a, 410m)을 제외하고는, 하나의 정방향 트랜지스터(508) 및 하나의 역방향 트랜지스터(510)에 전기적으로 결합된다. 시프트 레지스터 출력 신호 라인(410a)은 시프트 레지스터 셀(403b) 내의 정방향 트랜지스터(508)에 전기적으로 결합되지만, 역방향 트랜지스터(510)에는 결합되지 않는다. 시프트 레지스터 출력 신호 라인(410m)은 시프트 레지스터 셀(403l) 내의 역방향 트랜지스터(510)에 전기적으로 결합되지만, 정방향 트랜지스터(508)에는 결합되지 않는다.

[0155]

시프트 레지스터 셀(403a)은 시프트 레지스터(402)가 정방향으로 시프팅할 때 일련의 13개의 시프트 레지스터(403) 내에서의 제 1 시프트 레지스터(403)이다. 시프트 레지스터 셀(403a) 내의 정방향 입력 트랜지스터(508)의 게이트는 제어 신호(CSYNC)를 수신할 제어 신호 라인(430)에 전기적으로 결합된다. 제 2 시프트 레지스터 셀(403b)은 시프트 레지스터 출력 신호(S01)를 수신할 시프트 레지스터 출력 라인(410a)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 3 시프트 레지스터 셀(403c)은 시프트 레지스터 출력 신호(S02)를 수신할 시프트 레지스터 출력 라인(410b)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 4 시프트 레지스터 셀(403d)은 시프트 레지스터 출력 신호(S03)를 수신할 시프트 레지스터 출력 라인(410c)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 5 시프트 레지스터 셀(403e)은 시프트 레지스터 출력 신호(S04)를 수신할 시프트 레지스터 출력 라인(410d)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 6 시프트 레지스터 셀(403f)은 시프트 레지스터 출력 신호(S05)를 수신하도록 시프트 레지스터 출력 라인(410e)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 7 시프트 레지스터 셀(403g)은 시프트 레지스터 출력 신호(S06)를 수신하도록 시프트 레지스터 출력 라인(410f)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 8 시프트 레지스터 셀(403h)은 시프트 레지스터 출력 신호(S07)를 수신하도록 시프트 레지스터 출력 라인(410g)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 9 시프트 레지스터 셀(403i)은 시프트 레지스터 출력 신호(S08)를 수신하도록 시프트 레지스터 출력 라인(410h)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 10 시프트 레지스터 셀(403j)은 시프트 레지스터 출력 신호(S09)를 수신하도록 시프트 레지스터 출력 라인(410i)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 11 시프트 레지스터 셀(403k)은 시프트 레지스터 출력 신호(S010)를 수신하도록 시프트 레지스터 출력 라인(410j)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 12 시프트 레지스터 셀(403l)은 시프트 레지스터 출력 신호(S011)를 수신하도록 시프트 레지스터 출력 라인(410k)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다. 제 13 시프트 레지스터 셀(403m)은 시프트 레지스터 출력 신호(S012)를 수신하도록 시프트 레지스터 출력 라인(410l)에 전기적으로 결합된 정방향 입력 트랜지스터의 게이트를 포함한다.

[0156]

시프트 레지스터 셀(403a)은 시프트 레지스터(402)가 역방향으로 시프팅할 때 일련의 13개의 시프트 레지스터 셀(403) 내에서의 최종 시프트 레지스터 셀(403)이다. 시프트 레지스터 셀(403a) 내의 역방향 입력 트랜지스터(510)의 게이트는 시프트 레지스터 출력 신호(S02)를 수신할 이전의 시프트 레지스터 출력 라인(410b)에 전기적으로 결합된다. 시프트 레지스터 셀(403b)은 시프트 레지스터 출력 신호(S03)를 수신하도록 시프트 레지

스터 출력 라인(410c)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403c)은 시프트 레지스터 출력 신호(S04)를 수신하도록 시프트 레지스터 출력 라인(410d)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403d)은 시프트 레지스터 출력 신호(S05)를 수신하도록 시프트 레지스터 출력 라인(410e)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403e)은 시프트 레지스터 출력 신호(S06)를 수신하도록 시프트 레지스터 출력 라인(410f)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403f)은 시프트 레지스터 출력 신호(S07)를 수신하도록 시프트 레지스터 출력 라인(410g)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403g)은 시프트 레지스터 출력 신호(S08)를 수신하도록 시프트 레지스터 출력 라인(410h)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403h)은 시프트 레지스터 출력 신호(S09)를 수신하도록 시프트 레지스터 출력 라인(410i)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403i)은 시프트 레지스터 출력 신호(S010)를 수신하도록 시프트 레지스터 출력 라인(410j)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403j)은 시프트 레지스터 출력 신호(S011)를 수신하도록 시프트 레지스터 출력 라인(410k)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403k)은 시프트 레지스터 출력 신호(S012)를 수신하도록 시프트 레지스터 출력 라인(410l)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403l)은 시프트 레지스터 출력 신호(S013)를 수신하도록 시프트 레지스터 출력 라인(410m)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 셀(403m)은 제어 신호(CSYNC)를 수신하도록 제어 신호 라인(430)에 전기적으로 결합된 역방향 입력 트랜지스터의 게이트를 포함한다. 시프트 레지스터 출력 라인(410a-410m)은 또한 로직 어레이(406)에 전기적으로 결합된다.

[0157] 시프트 레지스터(402)는 제어 신호(CSYNC) 내의 제어 펄스를 수신하고, 단일 하이 전압 레벨 출력 신호를 제공한다. 상술되고 이하에 후술되는 바와 같이, 시프트 레지스터(402)의 시프팅 방향은 제어 신호 라인(430) 상의 제어 신호(CSYNC)에 기초하여 타이밍 신호(T3-T6) 내의 타이밍 펄스 동안에 생성된 방향 신호(DIRF, DIRR)에 응답하여 설정된다. 시프트 레지스터(402)가 정방향으로 시프팅되면, 시프트 레지스터(402)는 제어 펄스 및 타이밍 신호(T1-T4)에서의 타이밍 펄스에 응답하여 시프트 레지스터 출력 라인(410a) 및 시프트 레지스터 출력 신호(S01)를 하이 전압 레벨로 설정한다. 시프트 레지스터(402)가 역방향으로 시프팅되면, 시프트 레지스터(402)는 제어 펄스 및 타이밍 신호(T1-T4) 내의 타이밍 펄스에 응답하여 시프트 레지스터 출력 라인(410m) 및 시프트 레지스터 출력 신호(S013)를 하이 전압 레벨로 설정한다. 하이 전압 레벨 출력 신호(S01 또는 S013)는 타이밍 신호(T1-T4) 내의 타이밍 펄스에 응답하여 하나의 시프트 레지스터 셀(403)로부터 다음의 시프트 레지스터 셀(403)로 시프트 레지스터(402)를 통해 시프팅된다.

[0158] 시프트 레지스터(402)는 제어 펄스에서 시프팅하고, 2개의 사전-충전 동작 및 2개의 평가 동작을 이용하여 하나의 시프트 레지스터 셀(403)로부터 다음의 시프트 레지스터 셀(403)로 단일 하이 레벨 출력 신호를 시프팅 한다. 각각의 시프트 레지스터 셀(403)의 제 1 스테이지(500)는 정방향 신호(DIRF) 및 역방향 신호(DIRR)를 수신한다. 또한, 각각의 시프트 레지스터(403)의 제 1 스테이지(500)는 정방향 시프트 레지스터 입력 신호(SIF) 및 역방향 시프트 레지스터 입력 신호(SIR)를 수신한다. 시프트 레지스터(402) 내의 모든 시프트 레지스터 셀(403)은 타이밍 펄스가 타이밍 신호(T1-T4) 내에서 수신되는 것과 동시에, 동일한 방향으로 시프팅되도록 설정된다.

[0159] 각각의 시프트 레지스터 셀(403)의 제 1 스테이지(500)는 정방향 시프트 레지스터 입력 신호(SIF) 또는 역방향 시프트 레지스터 입력 신호(SIR)로 시프팅한다. 선택된 시프트 레지스터 입력 신호(SIF 또는 SIR)의 하이 또는 로우 전압 레벨은 시프트 레지스터 출력 신호(S01-S013)로서 제공된다. 각각의 시프트 레지스터 셀(403)의 제 1 스테이지(500)는 타이밍 신호(T1)로부터의 타이밍 펄스 동안에 내부 노드(522)를 사전-충전하고, 타이밍 신호(T2)로부터의 타이밍 펄스 동안에 선택된 시프트 레지스터 입력 신호(SIF 또는 SIR)를 평가한다. 각각의 시프트 레지스터 셀(403) 내의 제 2 스테이지(502)는 타이밍 신호(T3)로부터의 타이밍 펄스 동안에 시프트 레지스터 출력 라인(410a-410m)을 사전-충전하고, 타이밍 신호(T4)로부터의 타이밍 펄스 동안에 내부 노드 신호(SN)(예를 들면, SN1)를 평가한다.

[0160] 방향 신호(DIRF, DIRR)는 시프트 레지스터(402) 내의 시프트 레지스터 셀(403a) 및 모든 다른 시프트 레지스터 셀(403)의 시프팅을 정방향/역방향으로 설정한다. 시프트 레지스터(402)는 정방향 신호(DIRF)가 하이 전압 레벨이고, 역방향 신호(DIRR)가 로우 전압 레벨일 때 정방향으로 시프팅한다. 시프트 레지스터(402)는 역방향 방향 신호(DIRR)가 하이 전압 레벨이고, 정방향 신호(DIRF)가 로우 전압 레벨일 때 역방향으로 시프팅한다. 방향 신호(DIRF, DIRR)가 모두 로우 전압 레벨일 때, 시프트 레지스터(402)는 어떤 방향으로도 시프팅하

지 않고, 모든 시프트 레지스터 출력 신호(S01-S013)는 비활성 로우 전압 레벨로 소거된다.

[0161] 시프트 레지스터 셀(403a)의 정방향으로의 시프팅 동작에서, 정방향 신호(DIRF)는 하이 전압 레벨로 설정되고, 역방향 신호(DIRR)는 로우 전압 레벨로 설정된다. 하이 전압 레벨 정방향 신호(DIRF)는 정방향 트랜지스터(512)를 온 상태로 전환하고, 로우 전압 레벨 역방향 신호(DIRR)는 역방향 트랜지스터(514)를 오프 상태로 전환한다. 타이밍 신호(T1)로부터의 타이밍 펄스는 제 1 사전-충전 신호(PRE1) 내에서 시프트 레지스터(402)로 제공되어 제 1 사전-충전 트랜지스터(504)를 통해 내부 노드(522)를 하이 전압 레벨로 충전한다. 다음에, 타이밍 신호(T2)로부터의 타이밍 펄스는 저항 분배 네트워크(412)로 제공되고, 감소된 전압 레벨의 T2 타이밍 펄스는 제 1 평가 신호(EVAL1)로서 시프트 레지스터(402)에 제공된다. 제 1 평가 신호(EVAL1) 내의 타이밍 펄스는 제 1 평가 트랜지스터(506)를 온 상태로 전환한다. 정방향 시프트 레지스터 입력 신호(SIF)가 하이 전압 레벨이고, 정방향 입력 트랜지스터(508)는 온 상태로 전환되며 정방향 트랜지스터(512)가 이미 온 상태이면, 내부 노드(522)는 방전되어 로우 전압 레벨 내부 노드 신호(SN1)를 제공한다. 내부 노드(522)는 제 1 평가 트랜지스터(506), 정방향 입력 트랜지스터(508) 및 정방향 트랜지스터(512)를 통해 방전된다. 정방향 시프트 레지스터 입력 신호(SIF)가 로우 전압 레벨이면, 정방향 입력 트랜지스터(508)는 온 상태로 전환되고, 내부 노드(522)는 충전된 채로 유지되어 하이 전압 레벨 내부 노드 신호(SN1)를 제공한다. 역방향 시프트 레지스터 입력 신호(SIR)는 역방향 입력 트랜지스터(510)를 제어한다. 그러나, 역방향 트랜지스터(514)는 오프 상태로 전환되어 내부 노드(522)가 역방향 입력 트랜지스터(510)를 통해 방전되지 않게 한다.

[0162] 내부 노드(522) 상의 내부 노드 신호(SN1)는 내부 노드 트랜지스터(520)를 제어한다. 로우 전압 레벨 내부 노드 신호(SN1)는 내부 노드 트랜지스터(520)를 오프 상태로 전환하고, 하이 전압 레벨 내부 노드 신호(SN1)는 내부 노드 트랜지스터(520)를 온 상태로 전환한다.

[0163] 타이밍 신호(T3)로부터의 타이밍 펄스는 제 2 사전-충전 신호(PRE2)로서 시프트 레지스터(402)에 제공된다. 제 2 사전-충전 신호(PRE2) 내의 타이밍 펄스는 제 2 사전-충전 트랜지스터(516)를 통해 시프트 레지스터 출력 라인(410a)을 하이 전압 레벨로 충전한다. 다음에, 타이밍 신호(T4)로부터의 타이밍 펄스는 저항 분배 네트워크(414)에 제공되고, 감소된 전압 레벨의 T4 타이밍 펄스는 제 2 평가 신호(EVAL2)로서 시프트 레지스터(402)에 제공된다. 제 2 평가 신호(EVAL2) 내의 타이밍 펄스는 제 2 평가 트랜지스터(518)를 온 상태로 전환한다. 내부 노드 트랜지스터(520)가 오프 상태가 되면, 시프트 레지스터 출력 라인(410a)은 하이 전압 레벨로 충전된 채로 유지된다. 내부 노드 트랜지스터(520)가 온 상태가 되면, 시프트 레지스터 출력 라인(410a)은 로우 전압 레벨로 방전된다. 시프트 레지스터 출력 신호(S01)는 내부 노드 신호(SN1)의 하이/로우 반전이고, 이 내부 노드 신호는 정방향 시프트 레지스터 입력 신호(SIF)의 하이/로우 반전이다. 정방향 시프트 레지스터 입력 신호(SIF)의 레벨은 시프트 레지스터 출력 신호(S01)로 시프팅된다.

[0164] 시프트 레지스터 셀(403a)에서, 정방향 시프트 레지스터 입력 신호(SIF)는 제어 라인(430) 상의 제어 신호(CSYNC)이다. 내부 노드(522)를 로우 전압 레벨로 방전하기 위해서, 제어 신호(CSYNC) 내의 제어 펄스는 제 1 평가 신호(EVAL1) 내의 타이밍 펄스와 동시에 제공된다. 타이밍 신호(T2)로부터의 타이밍 펄스와 부합하는 제어 신호(CSYNC) 내의 제어 펄스는 시프트 레지스터(402)가 정방향으로 시프팅하도록 개시한다.

[0165] 시프트 레지스터 셀(403a)의 역방향으로의 시프팅 동작에서, 정방향 신호(DIRF)는 로우 전압 레벨로 설정되고, 역방향 신호(DIRR)는 하이 전압 레벨로 설정된다. 로우 전압 레벨 정방향 신호(DIRF)는 정방향 트랜지스터(512)를 오프 상태로 전환하고, 하이 전압 레벨 역방향 신호(DIRR)는 역방향 트랜지스터(514)를 오프 상태로 전환한다. 타이밍 신호(T1)로부터의 타이밍 펄스는 제 1 사전-충전 신호(PRE1)로서 제공되어 제 1 사전-충전 트랜지스터(504)를 통해 내부 노드(522)를 하이 전압 레벨로 충전한다. 다음에, 타이밍 신호(T2)로부터의 타이밍 펄스는 저항 분배 네트워크(412)로 제공되고, 감소된 전압 레벨의 T2 타이밍 펄스는 제 1 평가 신호(EVAL1) 내에 제공된다. 제 1 평가 신호(EVAL1) 내의 타이밍 펄스는 제 1 평가 트랜지스터(506)를 온 상태로 전환한다. 역방향 시프트 레지스터 입력 신호(SIR)가 하이 전압 레벨이고, 역방향 입력 트랜지스터(510)는 온 상태로 전환되며 역방향 트랜지스터(514)가 이미 온 상태이면, 내부 노드(522)는 방전되어 로우 전압 레벨 내부 노드 신호(SN1)를 제공한다. 내부 노드(522)는 제 1 평가 트랜지스터(506), 역방향 입력 트랜지스터(510) 및 역방향 트랜지스터(514)를 통해 방전된다. 역방향 시프트 레지스터 입력 신호(SIR)가 로우 전압 레벨이면, 역방향 입력 트랜지스터(510)는 오프 상태로 전환되고, 내부 노드(522)는 충전된 채로 유지되어 하이 전압 레벨 내부 노드 신호(SN1)를 제공한다. 정방향 시프트 레지스터 입력 신호(SIF)는 정방향 입력 트랜지스터(508)를 제어한다. 그러나, 정방향 트랜지스터(512)는 오프 상태로 전환되어 내부 노드(522)가 정방향 입력 트랜지스터(508)를 통해 방전되지 않게 한다.

[0166] 타이밍 신호(T3)로부터의 타이밍 펄스는 제 2 사전-충전 신호(PRE2)로 제공된다. 제 2 사전-충전 신호(PRE2)

내의 타이밍 펄스는 제 2 사전-충전 저항(516)을 통해 시프트 레지스터 출력 라인(410a)을 하이 전압 레벨로 충전한다. 다음에, 타이밍 신호(T4)로부터의 타이밍 펄스는 저항 분배 네트워크(414)에 제공되고, 감소된 전압 레벨의 T4 타이밍 펄스는 제 2 평가 신호(EVAL2)로 제공된다. 제 2 평가 신호(EVAL2) 내의 타이밍 펄스는 제 2 평가 트랜지스터(518)를 온 상태로 전환한다. 내부 노드 트랜지스터(520)가 오프 상태가 되면, 시프트 레지스터 출력 라인(410a)은 하이 전압 레벨로 충전된 채로 유지된다. 내부 노드 트랜지스터(520)가 온 상태가 되면, 시프트 레지스터 출력 라인(410a)은 로우 전압 레벨로 방전된다. 시프트 레지스터 출력 신호(S01)는 내부 노드 신호(SN1)의 하이/로우 반전이고, 이 내부 노드 신호는 역방향 시프트 레지스터 입력 신호(SIR)의 하이/로우 반전이다. 역방향 시프트 레지스터 입력 신호(SIR)의 레벨은 시프트 레지스터 출력 신호(S01)로 시프팅된다.

[0167] 시프트 레지스터 셀(403a)에서, 역방향 시프트 레지스터 입력 신호(SIR)는 시프트 레지스터 출력 라인(410b) 상의 시프트 레지스터 출력 신호(S02)이다. In 시프트 레지스터 셀(403m)에서, 역방향 시프트 레지스터 입력 신호(SIR)는 제어 라인(430) 상의 제어 신호(CSYNC)이다. 시프트 레지스터 셀(403m) 내의 내부 노드(522)를 로우 전압 레벨로 방전하기 위해서, 제어 신호(CSYNC) 내의 제어 펄스는 제 1 평가 신호(EVAL1) 내의 타이밍 펄스와 동시에 제공된다. 타이밍 신호(T2)로부터의 타이밍 펄스와 부합하는 제어 신호(CSYNC) 내의 제어 펄스는 시프트 레지스터(402)가 시프트 레지스터 셀(403m)로부터 시프트 레지스터 셀(403a)을 향해 역방향으로 시프팅하도록 개시한다.

[0168] 시프트 레지스터(402) 내의 시프트 레지스터 셀(403a) 및 모든 시프트 레지스터 셀(403)을 소거하는 동작에서, 방향 신호(DIRF, DIRR)는 로우 전압 레벨로 설정된다. 로우 전압 정방향 신호(DIRF)는 정방향 트랜지스터(512)를 오프로 전환하고, 로우 전압 레벨 역방향 신호(DIRR)는 역방향 트랜지스터(514)를 오프로 전환한다. 타이밍 신호(T1)로부터의 타이밍 펄스는 제 1 사전-충전 신호(PRE1)에 제공되어 내부 노드(522)를 충전하고, 하이 전압 레벨 내부 노드 신호(SN1)를 제공한다. 타이밍 신호(T2)로부터의 타이밍 펄스는 제 1 평가 신호(EVAL1)에 감소된 전압 레벨의 T2 타이밍 펄스로서 제공되어 제 1 평가 트랜지스터(506)를 온 상태로 전환한다. 정방향 트랜지스터(512) 및 역방향 트랜지스터(514)는 모두 오프로 전환되어 내부 노드(522)가 정방향 입력 트랜지스터(508) 또는 역방향 입력 트랜지스터(510)를 통해 방전되지 않게 한다.

[0169] 하이 전압 레벨 내부 노드 신호(SN1)는 내부 노드 트랜지스터(520)를 온 상태로 전환한다. 타이밍 신호(T3)로부터의 타이밍 펄스는 제 2 사전-충전 신호(PRE2)에 제공되어 시프트 레지스터 출력 신호 라인(410a) 및 모든 시프트 레지스터 출력 신호 라인(410)을 충전한다. 다음에, 타이밍 신호(T4)로부터의 타이밍 펄스는 제 2 평가 신호(EVAL2)에 감소된 전압 레벨의 T4 타이밍 펄스로서 제공되어 제 2 평가 트랜지스터(518)를 온 상태로 전환한다. 시프트 레지스터 출력 라인(410a)은 제 2 평가 트랜지스터(518) 및 내부 노드 트랜지스터(520)를 통해 방전되어 로우 전압 레벨 시프트 레지스터 출력 신호(S01)를 제공한다. 또한, 모든 다른 시프트 레지스터 출력 라인(410)은 방전되어 비활성 로우 전압 레벨 시프트 레지스터 출력 신호(S02-S013)를 제공한다.

[0170] 도 10b는 방향 회로(404)를 도시하는 도면이다. 방향 회로(404)는 정방향 신호 회로(550) 및 역방향 신호 회로(552)를 포함한다. 정방향 신호 회로(550)는 제 3 사전-충전 트랜지스터(554), 제 3 평가 트랜지스터(556) 및 제 1 제어 트랜지스터(558)를 포함한다. 역방향 신호 회로(552)는 제 4 사전-충전 트랜지스터(560), 제 4 평가 트랜지스터(562) 및 제 2 제어 트랜지스터(564)를 포함한다.

[0171] 제 3 사전-충전 트랜지스터(554)의 게이트 및 드레인-소스 경로의 한 쪽은 타이밍 신호 라인(436)에 전기적으로 결합된다. 타이밍 신호 라인(436)은 제 3 사전-충전 신호(PRE3)로서 타이밍 신호(T5)를 방향 회로(404)에 제공한다. 제 3 사전-충전 트랜지스터(554)의 드레인-소스 경로의 다른 쪽은 방향 신호 라인(408a)을 통해 제 3 평가 트랜지스터(556)의 드레인-소스 경로의 한 쪽에 전기적으로 결합된다. 방향 신호 라인(408a)은 시프트 레지스터 셀(403a) 내의 정방향 트랜지스터(512)의 게이트 등과 같이 시프트 레지스터(402) 내의 각각의 시프트 레지스터 셀(403) 내의 정방향 트랜지스터의 게이트에 정방향 신호(DIRF)를 제공한다. 제 3 평가 트랜지스터(556)의 게이트는 방향 회로(404)에 감소된 전압 레벨의 T6 타이밍 신호를 제공하는 제 3 평가 신호 라인(428)에 전기적으로 결합된다. 제 3 평가 트랜지스터(556)의 드레인-소스 경로의 다른 쪽은 참조 부호(566)에서 제어 트랜지스터(558)의 드레인-소스 경로에 전기적으로 결합된다. 제어 트랜지스터(558)의 드레인-소스 경로는 또한 참조 부호(568)에서 접지 등과 같은 기준 전압에 전기적으로 결합된다. 제어 트랜지스터(558)의 게이트는 제어 라인(430)에 전기적으로 결합되어 제어 신호(CSYNC)를 수신한다.

[0172] 제 4 사전-충전 트랜지스터(560)의 게이트 및 드레인-소스 경로의 한 쪽은 타이밍 신호 라인(434)에 전기적으로 결합된다. 타이밍 신호 라인(434)은 제 4 사전-충전 신호(PRE4)로서 타이밍 신호(T3)를 방향 회로(404)에

제공한다. 제 4 사전-충전 트랜지스터(560)의 드레인-소스 경로의 다른 쪽은 방향 신호 라인(408b)을 통해 제 4 평가 트랜지스터(556)의 드레인-소스 경로의 한 쪽에 전기적으로 결합된다. 방향 신호 라인(408b)은 시프트 레지스터 셀(403a) 내의 역방향 트랜지스터(514)의 게이트 등과 같이 시프트 레지스터(402) 내의 각각의 시프트 레지스터 셀(403) 내의 역방향 트랜지스터의 게이트에 역방향 신호(DIRR)를 제공한다. 제 4 평가 트랜지스터(562)의 게이트는 방향 회로(404)에 감소된 전압 레벨의 T4 타이밍 신호를 제공하는 제 4 평가 신호 라인(424)에 전기적으로 결합된다. 제 4 평가 트랜지스터(562)의 드레인-소스 경로의 다른 쪽은 참조 부호(570)에서 제어 트랜지스터(564)의 드레인-소스 경로에 전기적으로 결합된다. 제어 트랜지스터(564)의 드레인-소스 경로는 또한 참조 부호(572)에서 접지 등과 같은 기준 전압에 전기적으로 결합된다. 제어 트랜지스터(564)의 게이트는 제어 라인(430)에 전기적으로 결합되어 제어 신호(CSYNC)를 수신한다.

[0173] 방향 신호(DIRF, DIRR)는 시프트 레지스터(402)에서의 시프팅 방향을 설정한다. 정방향 신호(DIRF)가 하이 전압 레벨로 설정되고, 역방향 신호(DIRR)가 로우 전압 레벨로 설정되면, 정방향 트랜지스터(512) 등과 같은 정방향 트랜지스터는 온 상태로 전환되고, 역방향 트랜지스터(514) 등과 같은 역방향 방향 트랜지스터는 오프 상태로 전환된다. 시프트 레지스터(402)는 정방향으로 시프팅한다. 정방향 신호(DIRF)가 로우 전압 레벨로 설정되고, 역방향 신호(DIRR)가 하이 전압 레벨로 설정되면, 정방향 트랜지스터(512) 등과 같은 정방향 트랜지스터는 오프 상태로 전환되고, 역방향 트랜지스터(514) 등과 같은 역방향 트랜지스터는 온 상태로 전환된다. 시프트 레지스터(402)는 역방향으로 시프팅한다. 시프트 레지스터(402)가 정방향 또는 역방향으로 능동적으로 시프팅할 때, 방향 신호(DIRF, DIRR)는 타이밍 신호(T3-T6)로부터의 각각의 일련의 타이밍 펄스 동안에 설정된다. 시프트 레지스터(402)의 시프팅을 종료 또는 방지하기 위해서, 방향 신호(DIRF, DIRR)는 로우 전압 레벨로 설정된다. 이것은 시프트 레지스터 출력 신호(S01-S013)로부터의 단일 하이 전압 레벨 신호를 소거하여, 모든 시프트 레지스터 출력 신호(S01-S013)가 로우 전압 레벨이 되게 한다. 로우 전압 레벨 시프트 레지스터 출력 신호(S01-S013)는 모든 어드레스 트랜지스터 쌍(446, 448, ..., 470)을 오프로 전환하고, 어드레스 신호(~A1, ~A2, ..., ~A7)는 하이 전압 레벨로 유지되어 접화 셀(120)을 인에이블링하지 않는다.

[0174] 작동 중에, 타이밍 신호 라인(434)은 제 4 사전-충전 신호(PRE4)로서 타이밍 신호(T3)로부터의 타이밍 펄스를 방향 회로(404)에 제공한다. 제 4 사전-충전 신호(PRE4)의 타이밍 펄스는 역방향 신호 라인(408b)을 하이 전압 레벨로 충전한다. 타이밍 신호(T4)로부터의 타이밍 펄스는 제 4 평가 신호(EVAL4)로서 감소된 전압 레벨의 T4 타이밍 펄스를 방향 회로(404)에 제공하는 저항 분배 네트워크(414)에 제공된다. 제 4 평가 신호(EVAL4)의 타이밍 펄스는 제 4 평가 트랜지스터(562)를 온 상태로 전환한다. 제 4 평가 신호(EVAL4)의 타이밍 펄스가 제 4 평가 트랜지스터(562)에 제공되는 것과 동시에 제어 신호(CSYNC)로부터의 제어 펄스가 제어 트랜지스터(564)의 게이트에 제공되면, 역방향 신호 라인(408b)은 로우 전압 레벨로 방전된다. 제 4 평가 신호(EVAL4)의 타이밍 펄스가 제 4 평가 트랜지스터(562)에 제공될 때 제어 신호(CSYNC)가 로우 전압 레벨로 유지되면, 역방향 신호 라인(408b)은 하이 전압 레벨로 충전된 채로 유지된다.

[0175] 타이밍 신호 라인(436)은 제 3 사전-충전 신호(PRE3)로서 타이밍 신호(T5)로부터의 타이밍 펄스를 방향 회로(404)에 제공한다. 제 3 사전-충전 신호(PRE3)의 타이밍 펄스는 정방향 신호 라인(408a)을 하이 전압 레벨로 충전한다. 타이밍 신호(T6)로부터의 타이밍 펄스는 감소된 전압 레벨의 T6 타이밍 펄스를 제 3 평가 회로(EVAL3)로서 방향 회로(404)에 제공하는 저항 분배 네트워크(416)에 제공된다. 제 3 평가 신호(EVAL3)는 제 3 평가 트랜지스터(556)를 온 상태로 전환한다. 제 3 평가 신호(EVAL3)의 타이밍 펄스가 제 3 평가 트랜지스터(556)에 제공되는 것과 동시에 제어 신호(CSYNC)로부터의 제어 펄스가 제어 트랜지스터(558)의 게이트에 제공되면, 정방향 신호 라인(408a)은 로우 전압 레벨로 방전된다. 제 3 평가 신호(EVAL3) 내의 타이밍 펄스가 제 3 평가 트랜지스터(556)에 제공될 때 제어 신호(CSYNC)가 로우 전압 레벨로 유지되면, 정방향 신호 라인(408a)은 하이 전압 레벨로 충전된 채로 유지된다.

[0176] 도 11은 정방향에서의 어드레스 생성기(400)의 동작을 도시하는 타이밍도이다. 타이밍 신호(T1-T6)는 일련의 6개의 반복되는 펄스를 제공한다. 각각의 타이밍 신호(T1-T6)는 일련의 6개의 펄스 내의 하나의 펄스를 제공한다.

[0177] 하나의 일련의 6개의 펄스에서, 참조 부호(600)에서의 타이밍 신호(T1)는 타이밍 펄스(602)를 포함하고, 참조 부호(604)에서의 타이밍 신호(T2)는 타이밍 펄스(606)를 포함하며, 참조 부호(608)에서의 타이밍 신호(T3)는 타이밍 펄스(610)를 포함하고, 참조 부호(612)에서의 타이밍 신호(T4)는 타이밍 펄스(614)를 포함하고, 참조 부호(616)에서의 타이밍 신호(T5)는 타이밍 펄스(618)를 포함하고, 참조 부호(620)에서의 타이밍 신호(T6)는 타이밍 펄스(622)를 포함한다. 참조 부호(624)에서의 제어 신호(CSYNC)는 시프트 레지스터(402) 내의 시프팅 방향을 설정하고, 참조 부호(625)에 표시된 바와 같이 어드레스 신호(~A1, ~A2, ..., ~A7)를 생성하도록 시프

트 레지스터(402)를 개시하는 제어 펄스를 포함한다.

[0178] 참조 부호(600)에서의 타이밍 신호(T1)의 타이밍 펄스(602)는 제 1 사전-충전 신호(PRE1)로서 시프트 레지스터(402)에 제공된다. 타이밍 펄스(602) 동안에, 각각의 시프트 레지스터 셀(403a-403m) 내의 내부 노드(522)는 충전되어 하이 전압 레벨 내부 노드 신호(SN1-SN13)를 제공한다. 참조 부호(626)에 표시된 바와 같은 모든 시프트 레지스터 내부 노드 신호(SN)는 참조 부호(628)에서 하이 전압 레벨로 설정된다. 하이 전압 레벨 내부 노드 신호(SN)(626)는 각각의 시프트 레지스터 셀(403a-403m) 내의 내부 노드 트랜지스터(520)를 온 상태로 전환한다. 이 예에서, 일련의 6개의 타이밍 펄스는 타이밍 펄스(602) 이전에 제공되고, 시프트 레지스터(402)는 개시되지 않아서, 모든 시프트 레지스터 출력 신호(SO)(630)는 참조 부호(632)에 표시된 바와 같이 로우 전압 레벨로 방전되고, 모든 어드레스 신호(~A1, ~A2, ... ~A7)(625)는 참조 부호(633)에 표시된 바와 같이 하이 전압 레벨로 유지된다.

[0179] 타이밍 신호(T2)(604)의 타이밍 펄스(606)는 제 1 평가 신호(EVAL1)로서 시프트 레지스터(402)에 제공된다. 타이밍 펄스(606)는 각각의 시프트 레지스터 셀(403a-403m) 내에서 제 1 평가 트랜지스터(506)를 온 상태로 전환한다. 제어 신호(CSYNC)(624)가 참조 부호(634)에서 로우 전압 레벨로 유지되고 모든 시프트 레지스터 출력 신호(SO)(630)가 참조 부호(636)에서 로우 전압 레벨로 유지되는 동안에, 각각의 시프트 레지스터 셀(403a-403m) 내의 정방향 입력 트랜지스터(508) 및 역방향 입력 트랜지스터(510)는 오프 상태가 된다. 비도전성 정방향 입력 트랜지스터(508) 및 비도전성 역방향 입력 트랜지스터(510)는 각각의 시프트 레지스터 셀(403a-403m) 내의 내부 노드(522)가 로우 전압 레벨로 방전되는 것을 방지한다. 모든 시프트 레지스터 내부 노드 신호(SN)(626)는 참조 부호(638)에서 하이 전압 레벨로 유지된다.

[0180] 타이밍 신호(T3)(608)의 타이밍 펄스(610)는 제 2 사전-충전 신호(PRE2)로서 시프트 레지스터(402)에, 제 4 사전-충전 신호(PRE4)로서 방향 회로(404)에, 로직 어레이(406) 내의 어드레스 라인 사전-충전 트랜지스터(438) 및 평가 방지 트랜지스터(442a)에 제공된다. 제 2 사전-충전 신호(PRE2) 내의 타이밍 펄스(610) 동안에, 모든 시프트 레지스터 출력 신호(SO)(630)는 참조 부호(640)에서 하이 전압 레벨로 충전된다. 또한, 제 4 사전-충전 신호(PRE4) 내의 타이밍 펄스(610) 동안에, 역방향 신호(DIRR)(642)는 참조 부호(644)에서 하이 전압 레벨로 충전된다. 또한, 타이밍 펄스(610)는 참조 부호(646)에서 모든 어드레스 신호(625)를 하이 전압 레벨로 충전하고, 참조 부호(650)에서 평가 방지 트랜지스터(442a)를 온 상태로 전환하여 로직 평가 신호(LEVAL)(648)를 로우 전압 레벨로 유도한다.

[0181] 타이밍 신호(T4)(612)의 타이밍 펄스(614)는 제 2 평가 신호(EVAL2)로서 시프트 레지스터(402)에, 제 4 평가 신호(EVAL4)로서 방향 회로(404)에, 로직 어레이(406) 내의 평가 방지 트랜지스터(442b)에 제공된다. 제 2 평가 신호(EVAL2) 내의 타이밍 펄스(614)는 각각의 시프트 레지스터 셀(403a-403m) 내의 제 2 평가 트랜지스터(518)를 온 상태로 전환한다. 내부 노드 신호(SN)(626)가 하이 전압 레벨이 되어 각각의 시프트 레지스터 셀(403a-403m) 내의 내부 노드 트랜지스터(520)가 온 상태로 전환되면, 모든 시프트 레지스터 출력 신호(SO)(630)는 참조 부호(652)에서 로우 전압 레벨로 방전된다. 또한, 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(614)는 제 4 평가 트랜지스터(562)를 온 상태로 전환한다. 제어 신호(CSYNC)(624)의 참조 부호(654)에서의 제어 펄스는 제어 트랜지스터(564)를 온 상태로 전환한다. 제 4 평가 트랜지스터(562) 및 제어 트랜지스터(564)가 온 상태로 전환되면, 방향 신호(DIRR)(642)는 참조 부호(656)에서 로우 전압 레벨로 방전된다. 또한, 타이밍 펄스(614)는 평가 방지 트랜지스터(442b)를 온 상태로 전환하여 참조 부호(658)에서 로직 평가 신호(LEVAL)(648)를 로우 전압 레벨로 유지한다. 로우 전압 레벨로 로직 평가 신호(LEVAL)(648)는 어드레스 평가 트랜지스터(440)를 오프 상태로 전환한다.

[0182] 타이밍 신호(T5)(616)의 타이밍 펄스(618)는 제 3 사전-충전 신호(PRE3)로서 방향 회로(404)에 제공되고 로직 어레이(406) 내의 로직 평가 사전-충전 트랜지스터(444)에 제공된다. 제 3 사전-충전 신호(PRE3) 내의 타이밍 펄스(618) 동안에, 정방향 신호(DIRF)(658)는 참조 부호(660)에서 하이 전압 레벨로 충전된다. 하이 전압 레벨 정방향 신호(DIRF)(658)는 각각의 시프트 레지스터 셀(403a-403m) 내의 정방향 트랜지스터(512)를 온 상태로 전환하여 시프트 레지스터(402)가 정방향으로 시프팅하도록 설정한다. 또한, 타이밍 펄스(618) 동안에, 로직 평가 신호(LEVAL)(648)는 참조 부호(662)에서 하이 전압 레벨로 충전되고, 이것은 모든 로직 평가 트랜지스터(440)를 온 상태로 전환한다. 모든 시프트 레지스터 출력 신호(SO)(630)가 로우 전압 레벨이면, 모든 어드레스 트랜지스터 쌍(446, 448, ... 470)은 오프로 전환되고, 모든 어드레스 신호(~A1, ~A2, ... ~A7)(625)는 하이 전압 레벨로 유지된다.

[0183] 타이밍 신호(T6)(620)로부터의 타이밍 펄스(622)는 제 3 평가 신호(EVAL3)로서 방향 회로(404)에 제공된다. 타이밍 펄스(622)는 제 3 평가 트랜지스터(556)를 온 상태로 전환한다. 제어 신호(CSYNC)(624)가 참조 부호

(664)에서 로우 전압 레벨로 유지되기 때문에, 제어 트랜지스터(558)는 오프 상태로 전환되고, 정방향 신호(DIRF)(658)는 하이 전압 레벨로 유지된다. 하이 전압 레벨 정방향 신호(DIRF)(658) 및 로우 전압 레벨 역방향 신호(DIRR)(642)는 각각의 시프트 레지스터 셀(403a-403m)이 정방향으로 시프팅하도록 설정한다.

[0184] 다음의 일련의 6개의 타이밍 펄스에서, 타이밍 펄스(666)는 모든 내부 노드 신호(SN)(626)를 하이 전압 레벨로 충전한다. 타이밍 펄스(668)는 각각의 시프트 레지스터 셀(403a-403m) 내의 제 1 평가 트랜지스터(506)를 온 상태로 전환한다. 제어 신호(CSYNC)(624)는 참조 부호(670)에서 시프트 레지스터 셀(403a) 내의 정방향 입력 트랜지스터(508)에 제어 펄스를 제공한다. 정방향 트랜지스터(512)가 이미 온 상태이면, 시프트 레지스터 셀(403a) 내의 내부 노드 신호(SN1)는 참조 부호(672)에 표시된 바와 같이 로우 전압 레벨로 방전된다. 시프트 레지스터 출력 신호(SO)(630)는 참조 부호(674)에서 로우 전압 레벨이고, 이것은 시프트 레지스터 셀(403b-403m) 내의 정방향 입력 트랜지스터를 오프로 전환한다. 정방향 입력 트랜지스터가 오프 상태이면, 시프트 레지스터 셀(403b-403m) 내의 각각의 다른 내부 노드 신호(SN2-SN13)는 참조 부호(675)에 표시된 바와 같이 하이 전압 레벨로 유지된다.

[0185] 타이밍 펄스(678) 동안에, 모든 시프트 레지스터 출력 신호(SO)(630)는 참조 부호(680)에서 하이 전압 레벨로 충전되고, 역방향 신호(DIRR)(642)는 참조 부호(682)에서 하이 전압 레벨로 충전된다. 또한, 타이밍 펄스(678) 동안에 모든 어드레스 신호(~A1, ~A2, ... ~A7)(625)는 참조 부호(684)에서 하이 전압 레벨로 충전되고, 로직 평가 신호(LEVAL)(648)는 참조 부호(686)에서 로우 전압 레벨로 방전된다. 로우 전압 레벨로 직 평가 신호(LEVAL)(648)는 어드레스 평가 트랜지스터(440)를 오프 상태로 전환하고, 이것은 어드레스 트랜지스터 쌍(446, 448, ... 470)이 어드레스 신호(~A1, ~A2, ... ~A7)(625)를 로우 전압 레벨로 유도하는 것을 방지한다.

[0186] 타이밍 펄스(688) 동안에, 시프트 레지스터 출력 신호(SO2-SO13)는 참조 부호(690)에서 로우 전압 레벨로 방전된다. 참조 부호(672)에서의 내부 노드 신호(SN1)가 시프트 레지스터 셀(403a)의 내부 노드 트랜지스터(520)를 오프로 전환한 것에 기인하여, 참조 부호(692)에 표시된 바와 같이 시프트 레지스터 출력 신호(SO1)는 하이 전압 레벨로 유지된다. 또한, 타이밍 펄스(688)는 제 2 평가 트랜지스터(562)를 온 상태로 전환하고, 제어 펄스(694)는 제어 트랜지스터(564)를 온 상태로 전환하여 참조 부호(696)에서 역방향 신호(DIRR)(642)를 로우 전압 레벨로 방전한다. 또한, 타이밍 펄스(688)는 평가 방지 트랜지스터(442b)를 온 상태로 전환하여 참조 부호(698)에서 로직 평가 신호(LEVAL)(648)를 로우 전압 레벨로 유도하고, 평가 트랜지스터(440)를 오프 상태로 유지한다.

[0187] 타이밍 펄스(700) 동안에, 정방향 신호(DIRF)(658)는 하이 전압 레벨로 유지되고, 로직 평가 신호(LEVAL)(648)는 참조 부호(702)에서 하이 전압 레벨로 충전된다. 참조 부호(702)에서 하이 전압 레벨로 직 평가 신호(LEVAL)(648)는 평가 트랜지스터(440)를 온 상태로 전환한다. 참조 부호(692)에서의 하이 레벨 시프트 레지스터 출력 신호(SO1)는 어드레스 트랜지스터 쌍(446a, 446b)을 온 상태로 전환하고, 어드레스 신호(~A1, ~A2)(625)는 참조 부호(704)에서 로우 전압 레벨로 능동적으로 유도된다. 다른 시프트 레지스터 출력 신호(SO2-SO13)는 참조 부호(690)에서 로우 전압 레벨로 유도되어, 어드레스 트랜지스터(448, 450, ... 470)가 오프 상태로 전환되게 하고, 참조 부호(706)에 표시된 바와 같이 어드레스 신호(~A3-~A7)가 하이 전압 레벨로 유지되게 한다. 어드레스 신호(~A1, ~A2, ... ~A7)(625)는 타이밍 신호(T5)(616) 내의 타이밍 펄스(700) 동안에 유효하게 된다. 타이밍 펄스(708)는 제 3 평가 트랜지스터(556)를 온 상태로 전환한다. 그러나, 제어 신호(CSYNC)(624)는 참조 부호(710)에서 로우 전압 레벨이 되고, 정방향 신호(DIRF)(658)는 참조 부호(712)에서 하이 전압 레벨로 유지된다.

[0188] 다음의 일련의 6개의 타이밍 펄스에서, 타이밍 펄스(714)는 참조 부호(716)에서 모든 내부 노드 신호(SN)(626)를 하이 전압 레벨로 충전한다. 각각의 시프트 레지스터 셀(403a-403m)에서의 정방향 입력 신호(SIF)가 하이 전압 레벨인 경우에 타이밍 펄스(718)는 각각의 시프트 레지스터 셀(403a-403m) 내의 제 1 평가 트랜지스터(506)를 온 상태로 전환하여 노드(522)가 방전될 수 있게 한다. 시프트 레지스터 셀(403a)에서의 정방향 입력 신호(SIF)는 제어 신호(CSYNC)(624)이고, 이것은 참조 부호(720)에서 로우 전압 레벨이 된다. 각각의 다른 시프트 레지스터 셀(403b-403m)에서의 정방향 입력 신호(SIF)는 선행하는 시프트 레지스터 셀(403)의 시프트 레지스터 출력 신호(SO)(630)이다. 시프트 레지스터 출력 신호(SO1)는 참조 부호(692)에서 하이 전압 레벨이고, 제 2 시프트 레지스터 셀(403b)의 정방향 입력 신호(SIF)이다. 시프트 레지스터 출력 신호(SO2-SO13)는 모두 참조 부호(690)에서 로우 전압 레벨이 된다.

[0189] 시프트 레지스터 셀(403a 및 403c-403m)은 각각의 시프트 레지스터 셀(403a 및 403c-403m) 내의 정방향 입력 트랜지스터(508)를 오프 상태로 전환하여, 내부 노드 신호(SN1 및 SN3-SN13)가 참조 부호(722)에서 하이 레벨

이 되게 하는 로우 전압 레벨 정방향 입력 신호(SIF)를 수신한다. 시프트 레지스터 셀(403b)은 정방향 입력 트랜지스터를 온 상태로 전환하여 참조 부호(724)에서 내부 노드 신호(SN2)를 방전하는 정방향 입력 신호(SIF)로서 하이 전압 레벨 시프트 레지스터 출력 신호(S01)를 수신한다.

[0190] 타이밍 펄스(726) 동안에, 모든 시프트 레지스터 출력 신호(S0)(630)는 참조 부호(728)에서 하이 전압 레벨로 충전되고, 참조 부호(730)에서 역방향 신호(DIRR)(642)는 하이 전압 레벨로 충전된다. 또한, 타이밍 펄스(726)는 참조 부호(732)에서 모든 어드레스 신호(~A1, ~A2, ... ~A7)(625)를 하이 전압 레벨로 충전하고, 평가 방지 트랜지스터(442a)를 온 상태로 전환하여 참조 부호(734)에서 LEVAL(648)을 로우 전압 레벨이 되도록 유도한다.

[0191] 어드레스 신호(~A1, ~A2, ... ~A7)(625)는 어드레스 신호(~A1, ~A2)가 참조 부호(704)에서 로우 전압 레벨로 유도되는 시간에서부터 모든 어드레스 신호(~A1, ~A2, ... ~A7)(625)가 참조 부호(732)에서 하이 전압 레벨로 유도될 때까지 유효하다. 어드레스 신호(~A1, ~A2, ... ~A7)(625)는 선행하는 일련의 6개의 타이밍 펄스의 타이밍 신호(T6)(620)로부터의 타이밍 펄스(708) 및 현재의 일련의 6개의 타이밍 펄스의 타이밍 신호(T1)(600) 및 타이밍 신호(T2)(604)로부터의 타이밍 펄스(714, 718) 동안에 유효하다.

[0192] 타이밍 펄스(736)는 각각의 시프트 레지스터 셀(403a-403m) 내의 제 2 평가 트랜지스터(518)를 온 상태로 전환하여 내부 노드 신호(SN)(626)를 평가한다. 내부 노드 신호(SN1 및 SN3-SN13)는 참조 부호(722)에서 하이 전압 레벨이 되고, 참조 부호(738)에서 시프트 레지스터 출력 신호(S01 및 S03-S013)를 로우 전압 레벨로 방전한다. 내부 노드 신호(SN2)는 참조 부호(724)에서 로우 전압 레벨이 되어 시프트 레지스터 셀(403b)의 내부 노드 트랜지스터를 오프 상태로 전환하고, 참조 부호(740)에서 시프트 레지스터 출력 신호(S02)를 하이 전압 레벨로 유지한다.

[0193] 제 4 평가 트랜지스터(562)가 타이밍 펄스(736)에 의해 온 상태로 전환되고, CSYNC(624) 내의 제어 펄스(742)가 제어 트랜지스터(564)를 온 상태로 전환하면, 역방향 신호(DIRR)(642)는 참조 부호(744)에서 로우 전압 레벨로 방전된다. 방향 신호(DIRR)(642) 및 방향 신호(DIRF)(658)는 각각의 일련의 6개의 타이밍 펄스 동안에 설정된다. 또한, 타이밍 펄스(736)는 평가 방지 트랜지스터(442b)를 온 상태로 전환하여 참조 부호(746)에서 LEVAL(648)을 로우 전압 레벨로 유지한다.

[0194] 타이밍 펄스(748) 동안에, 정방향 신호(DIRF)(658)는 참조 부호(750)에서 하이 전압 레벨로 유지되고 LEVAL(648)은 참조 부호(752)에서 하이 전압 레벨로 충전된다. 참조 부호(752)에서 하이 전압 레벨로 평가 신호(LEVAL)(678)는 평가 트랜지스터(440)를 온 상태로 전환한다. 참조 부호(740)에서 하이 전압 레벨 시프트 레지스터 출력 신호(S02)는 어드레스 트랜지스터(448a, 448b)를 온 상태로 전환하여 참조 부호(754)에서 어드레스 신호(~A1, ~A3)를 로우 전압 레벨로 유도한다. 다른 어드레스 신호(~A2 및 ~A4~A7)는 참조 부호(756)에서 하이 전압 레벨로 유지된다.

[0195] 타이밍 펄스(758)는 제 3 평가 트랜지스터(556)를 온 상태로 전환한다. 제어 신호(CSYNC)(624)는 참조 부호(760)에서 로우 전압 레벨로 유지되어 제어 트랜지스터(558)를 오프 상태로 전환하고, 정방향 신호(DIRF)(642)를 하이 전압 레벨로 유지한다.

[0196] 다음의 일련의 6개의 타이밍 펄스는 하이 전압 레벨 시프트 레지스터 출력 신호(S03)를 제공하는 다음의 시프트 레지스터 셀(403c)에 대해 하이 전압 레벨 시프트 레지스터 출력 신호(S02)를 시프팅한다. 시프팅은 각각의 시프트 레지스터 출력 신호(S01-S013)가 다시 하이 전압 레벨이 될 때까지 각각의 일련의 6개의 타이밍 펄스에 대해 계속 실행된다. 시프트 레지스터 출력 신호(S013)가 하이 전압 레벨이 된 후, 일련의 하이 전압 레벨 시프트 레지스터 출력 신호(S0)(630)는 중지된다. 시프트 레지스터(402)는 참조 부호(604)에서의 타이밍 신호(T2)로부터의 타이밍 펄스와 부합하는 제어 펄스(670) 등과 같은 제어 신호(CSYNC) 내의 제어 펄스를 제공하는 것에 의해 다시 개시될 수 있다.

[0197] 정방향 동작에서, 제어 신호(CSYNC)(624) 내의 제어 펄스는 참조 부호(612)에서 타이밍 신호(T4)로부터의 타이밍 펄스와 부합하도록 제공되어 시프팅 방향을 정방향으로 설정한다. 또한, 제어 신호(CSYNC)(624)로부터의 제어 펄스는 참조 부호(604)에서 타이밍 신호(T2)로부터의 타이밍 펄스와 부합하도록 제공되어 시프트 레지스터 출력 신호(S01-S013)를 통해 하이 전압 신호를 시프팅하는 시프트 레지스터(402)를 시작 또는 개시한다.

[0198] 도 12는 어드레스 생성기(400)의 역방향 동작을 도시하는 타이밍도이다. 타이밍 신호(T1-T6)는 반복되는 일련의 6개의 펄스를 제공한다. 각각의 타이밍 신호(T1-T6)는 일련의 6개의 펄스 내의 하나의 펄스를

제공한다. 하나의 일련의 6개의 펄스에서, 타이밍 신호(T1)(800)는 타이밍 펄스(802)를 포함하고, 타이밍 신호(T2)(804)는 타이밍 펄스(806)를 포함하고, 타이밍 신호(T3)(808)는 타이밍 펄스(810)를 포함하고, 타이밍 신호(T4)(812)는 타이밍 펄스(814)를 포함하고, 타이밍 신호(T5)(816)는 타이밍 펄스(818)를 포함하고, 타이밍 신호(T6)(820)는 타이밍 펄스(822)를 포함한다. 제어 신호(CSYNC)(824)는 시프트 레지스터(402)의 시프팅 방향을 설정하고, 어드레스 신호(~A1, ~A2, ..., ~A7)(825)를 생성하도록 시프트 레지스터(402)를 개시하는 제어 펄스를 포함한다.

[0199] 타이밍 펄스(802)는 제 1 사전-충전 신호(PRE1)로서 시프트 레지스터(402)에 제공된다. 타이밍 펄스(802) 동안에, 각각의 시프트 레지스터 셀(403a-403m) 내의 내부 노드(522)는 충전되어 대응하는 하이 전압 레벨 내부 노드 신호(SN1-SN13)를 제공한다. 시프트 레지스터 내부 노드 신호(SN)(826)는 참조 부호(828)에서 하이 전압 레벨로 설정된다. 하이 전압 레벨 내부 노드 신호(SN)(826)는 시프트 레지스터 셀(403) 내의 내부 노드 트랜지스터(520)를 온 상태로 전환한다. 이 예에서, 일련의 6개의 타이밍 펄스는 시프트 레지스터(402)를 개시하지 않으면서 타이밍 펄스(802) 이전에 제공되어, 모든 시프트 레지스터 출력 신호(SO)(830)가 참조 부호(832)에 표시된 바와 같이 로우 전압 레벨로 방전되게 하고, 모든 어드레스 신호(~A1, ~A2, ..., ~A7)(825)가 참조 부호(833)에 표시된 바와 같이 하이 전압 레벨로 유지되게 한다.

[0200] 타이밍 펄스(806)는 제 1 평가 신호(EVAL1)로서 시프트 레지스터(402)에 제공된다. 타이밍 펄스(806)는 각각의 시프트 레지스터 셀(403a-403m) 내의 제 1 평가 트랜지스터(506)를 온 상태로 전환한다. 제어 신호(CSYNC)(824)가 참조 부호(834)에서 로우 전압 레벨로 유지되고 모든 시프트 레지스터 출력 신호(SO)(830)가 참조 부호(836)에서 로우 전압 레벨로 유지되어, 각각의 시프트 레지스터 셀(403a-403m) 내의 정방향 입력 트랜지스터(508) 및 역방향 입력 트랜지스터(510)는 오프 상태가 된다. 비도전성 정방향 및 역방향 입력 트랜지스터(508, 510)는 각각의 시프트 레지스터 셀(403a-403m) 내의 내부 노드(522)가 로우 전압 레벨로 방전되는 것을 방지한다. 모든 시프트 레지스터 내부 노드 신호(SN)(826)는 참조 부호(838)에서 하이 전압 레벨로 유지된다.

[0201] 타이밍 펄스(810)는 제 2 사전-충전 신호(PRE2)로서 시프트 레지스터(402)에, 제 4 사전-충전 신호(PRE4)로서 방향 회로(404)에, 로직 어레이(406) 내의 어드레스 라인 사전-충전 트랜지스터(438) 및 평가 방지 트랜지스터(442a)에 제공된다. 타이밍 펄스(810) 동안에, 모든 시프트 레지스터 출력 신호(SO)(830)는 참조 부호(840)에서 하이 전압 레벨로 충전된다. 또한, 타이밍 펄스(810) 동안에, 역방향 신호(DIRR)(842)는 참조 부호(844)에서 하이 전압 레벨로 충전된다. 또한, 타이밍 펄스(810)는 모든 어드레스 신호(825)를 하이 전압 레벨로 충전하고, 참조 부호(850)에서 평가 방지 트랜지스터(442a)를 온 상태로 전환하여 로직 평가 신호(LEVAL)(848)를 로우 전압 레벨로 유도한다.

[0202] 타이밍 펄스(814)는 제 2 평가 신호(EVAL2)로서 시프트 레지스터(402)에, 제 4 평가 신호(EVAL4)로서 방향 회로(404)에, 로직 어레이(406) 내의 평가 방지 트랜지스터(442b)에 제공된다. 타이밍 펄스(814)는 각각의 시프트 레지스터 셀(403a-403m) 내의 제 2 평가 트랜지스터(518)를 온 상태로 전환한다. 내부 노드 신호(SN)(826)가 하이 전압 레벨이 되어 각각의 시프트 레지스터 셀(403a-403m) 내의 내부 노드 트랜지스터(520)가 온 상태로 전환되면, 모든 시프트 레지스터 출력 신호(SO)(830)는 참조 부호(852)에서 로우 전압 레벨로 방전된다. 또한, 타이밍 펄스(814)는 제 4 평가 트랜지스터(562)를 온 상태로 전환하고, 제어 신호(CSYNC)(824)는 로우 전압을 제공하여 제어 트랜지스터(564)를 오프 상태로 전환한다. 제어 트랜지스터(564)가 오프로 전환되면, 역방향 신호(DIRR)(842)는 하이 전압 레벨로 충전된 채로 유지된다. 또한, 타이밍 펄스(814)는 평가 방지 트랜지스터(442b)를 온 상태로 전환하여 참조 부호(858)에서 로직 평가 신호(LEVAL)(848)를 로우 전압 레벨로 유지한다. 로우 전압 레벨 로직 평가 신호(LEVAL)(848)는 어드레스 평가 트랜지스터(440)를 오프 상태로 전환한다.

[0203] 타이밍 펄스(818)는 제 3 사전-충전 신호(PRE3)로서 방향 회로(404)에 제공되고 로직 어레이(406) 내의 로직 평가 사전-충전 트랜지스터(444)에 제공된다. 타이밍 펄스(818) 동안에, 정방향 신호(DIRF)(858)는 참조 부호(860)에서 하이 전압 레벨로 충전된다. 또한, 타이밍 펄스(818) 동안에, 로직 평가 신호(LEVAL)(848)는 참조 부호(862)에서 하이 전압 레벨로 충전되어, 모든 로직 평가 트랜지스터(440)를 온 상태로 전환한다. 모든 시프트 레지스터 출력 신호(SO)(830)가 로우 전압 레벨이면, 모든 어드레스 트랜지스터 쌍(446, 448, ..., 470)은 오프 상태로 전환되고, 모든 어드레스 신호(~A1, ~A2, ..., ~A7)(825)는 하이 전압 레벨로 유지된다.

[0204] 타이밍 펄스(822)는 제 3 평가 신호(EVAL3)로서 방향 회로(404)에 제공된다. 타이밍 펄스(822)는 제 3 평가 트랜지스터(556)를 온 상태로 전환한다. 제어 신호(CSYNC)(824)는 제어 펄스(864)를 제공하여 제어 트랜지스터(558)를 온 상태로 전환하고, 정방향 신호(DIRF)(858)는 참조 부호(865)에서 로우 전압 레벨로 방전된다.

로우 전압 레벨 정방향 신호(DIRF)(858) 및 하이 전압 레벨 역방향 신호(DIRR)(842)는 각각의 시프트 레지스터 셀(403a-403m)이 역방향으로 시프팅하도록 설정한다.

[0205] 다음의 일련의 6개의 타이밍 펄스에서, 타이밍 펄스(866) 동안에 모든 내부 노드 신호(SN)(826)는 하이 전압 레벨로 충전된다. 타이밍 펄스(868)는 각각의 시프트 레지스터 셀(403a-403m) 내의 제 1 평가 트랜지스터(506)를 온 상태로 전환한다. 제어 신호(CSYNC) 내에 존재할 수 있는 제어 펄스(870)를 제공하여 시프트 레지스터 셀(403m) 내의 역방향 입력 트랜지스터를 온 상태로 전환하고, 역방향 트랜지스터를 온 상태로 전환하면, 참조 부호(872)에 표시된 바와 같이 내부 노드 신호(SN13)는 로우 전압 레벨로 방전된다. 시프트 레지스터 출력 신호(SO)(830)는 참조 부호(874)에서 로우 전압 레벨이고, 이것은 시프트 레지스터 셀(403a-4031) 내의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 역방향 입력 트랜지스터가 오프 상태이면, 각각의 다른 내부 노드 신호(SN1-SN12)는 참조 부호(876)에 표시된 바와 같이 하이 전압 레벨로 유지된다.

[0206] 타이밍 펄스(878) 동안에, 모든 시프트 레지스터 출력 신호(SO)(830)는 참조 부호(880)에서 하이 전압 레벨로 충전되고, 역방향 신호(DIRR)(842)는 참조 부호(882)에서 하이 전압 레벨로 유지된다. 또한, 타이밍 펄스(878) 동안에 모든 어드레스 신호(~A1, ~A2, ... ~A7)(825)는 참조 부호(884)에서 하이 전압 레벨로 충전되고, 로직 평가 신호(LEVAL)(848)는 참조 부호(886)에서 로우 전압 레벨로 유도된다. 로우 전압 레벨로 직 평가 신호(LEVAL)(848)는 어드레스 평가 트랜지스터(440)를 오프 상태로 전환하고, 이것은 어드레스 트랜지스터 쌍(446, 448, ... 470)이 어드레스 신호(~A1, ~A2, ... ~A7)(825)를 로우 전압 레벨로 유도하는 것을 방지한다.

[0207] 타이밍 펄스(888) 동안에, 시프트 레지스터 출력 신호(SO1-SO12)는 참조 부호(890)에서 로우 전압 레벨로 방전된다. 시프트 레지스터 셀(403m)의 내부 노드 트랜지스터(520)를 오프 상태로 전환하는 참조 부호(872)의 로우 전압 레벨 내부 노드 신호(SN13)에 기초하여 참조 부호(892)에 표시된 바와 같이 시프트 레지스터 출력 신호(SO13)는 하이 전압 레벨로 유지된다. 또한, 타이밍 펄스(888)는 제 2 평가 트랜지스터를 온 상태로 전환하고, 제어 신호(CSYNC)(824)는 제어 트랜지스터(564)를 오프 상태로 전환하여 참조 부호(896)에서 역방향 신호(DIRR)(842)를 하이 전압 레벨로 유지한다. 또한, 타이밍 펄스(888)는 평가 방지 트랜지스터(442b)를 온 상태로 전환하여 참조 부호(898)에서 로직 평가 신호(LEVAL)(848)를 로우 전압 레벨로 유지하고 평가 트랜지스터(440)를 오프 상태로 유지한다. 시프트 레지스터 출력 신호(SO)(830)는 타이밍 펄스(888) 동안에 안정되어, 하나의 시프트 레지스터 출력 신호(SO13)가 하이 전압 레벨이 되고, 모든 다른 시프트 레지스터 출력 신호(SO1-SO12)가 로우 전압 레벨이 되게 한다.

[0208] 타이밍 펄스(900) 동안에, 정방향 신호(DIRF)(858)는 참조 부호(901)에서 하이 전압 레벨로 유지되고, 로직 평가 신호(LEVAL)(848)는 참조 부호(902)에서 하이 전압 레벨로 충전된다. 참조 부호(902)에서 하이 전압 레벨로 직 평가 신호(LEVAL)(848)는 평가 트랜지스터(440)를 온 상태로 전환한다. 참조 부호(892)에서의 하이 레벨 시프트 레지스터 출력 신호(SO13)는 어드레스 트랜지스터 쌍(470a, 470b)을 온 상태로 전환하고, 어드레스 신호(~A3, ~A5)는 참조 부호(904)에서 로우 전압 레벨로 능동적으로 유도된다. 다른 시프트 레지스터 출력 신호(SO1-SO12)는 참조 부호(890)에서 로우 전압 레벨로 유도되어, 어드레스 트랜지스터 쌍(446, 448, ... 468)이 오프 상태로 전환되게 하고, 참조 부호(906)에 표시된 바와 같이 어드레스 신호(~A1, ~A2, ~A4, ~A6, ~A7)가 하이 전압 레벨로 유지되게 한다. 어드레스 신호(~A1, ~A2, ... ~A7)(825)는 타이밍 펄스(900) 동안에 유효하게 된다. 타이밍 펄스(908)는 제 3 평가 트랜지스터(556)를 온 상태로 전환하고, 제어 신호(CSYNC)(824) 내의 제어 펄스(910)는 제어 트랜지스터(558)를 온 상태로 전환하여 참조 부호(912)에서 정방향 신호(DIRF)(858)를 로우 전압 레벨로 방전한다.

[0209] 다음의 일련의 6개의 타이밍 펄스에서, 타이밍 펄스(914) 동안에 참조 부호(916)에서 모든 내부 노드 신호(SN)(826)는 하이 전압 레벨로 충전된다. 각각의 시프트 레지스터 셀(403a-403m)에서의 역방향 입력 신호(SIR)가 하이 전압 레벨인 경우에 타이밍 펄스(918)는 각각의 시프트 레지스터 셀(403a-403m) 내의 제 1 평가 트랜지스터(506)를 온 상태로 전환하여 노드(522)가 방전될 수 있게 한다. 시프트 레지스터 셀(403m)에서의 역방향 입력 신호(SIR)는 제어 신호(CSYNC)(824)이고, 이것은 참조 부호(920)에서 로우 전압 레벨이 된다. 각각의 다른 시프트 레지스터 셀(403a-4031)에서의 역방향 입력 신호(SIR)는 후속하는 시프트 레지스터 셀(403)의 시프트 레지스터 출력 신호(SO)(830)이다. 시프트 레지스터 출력 신호(SO13)는 참조 부호(892)에서 하이 전압 레벨이 되고, 제 2 시프트 레지스터 셀(4031)의 역방향 입력 신호(SIR)이다. 시프트 레지스터 출력 신호(SO1-SO12)는 모두 참조 부호(890)에서 로우 전압 레벨이 된다. 시프트 레지스터 셀(403a-403k 및 403m)은 역방향 입력 트랜지스터(510)를 오프 상태로 전환하여, 내부 노드 신호(SN1-SN11 및 SN13)가 참조 부호(922)에서 하이 레벨이 되게 하는 로우 전압 레벨 역방향 입력 신호(SIR)를 수신한다. 시프트 레지스터 셀

(4031)은 역방향 입력 트랜지스터를 온 상태로 전환하여 참조 부호(924)에서 내부 노드 신호(SN12)를 방전하는 역방향 입력 신호(SIR)로서 하이 전압 레벨 시프트 레지스터 출력 신호(S013)를 수신한다.

[0210] 타이밍 펄스(926) 동안에, 모든 시프트 레지스터 출력 신호(S0)(830)는 참조 부호(928)에서 하이 전압 레벨로 충전되고, 참조 부호(930)에서 역방향 신호(DIRR)(842)는 하이 전압 레벨로 유지된다. 또한, 타이밍 펄스(926)는 참조 부호(932)에서 모든 어드레스 신호(~A1, ~A2, ... ~A7)(825)를 하이 전압 레벨로 충전하고, 평가 방지 트랜지스터(442a)를 온 상태로 전환하여 참조 부호(934)에서 LEVAL(848)을 로우 전압 레벨이 되도록 유도한다. 어드레스 신호(~A1, ~A2, ... ~A7)(825)는 어드레스 신호(~A3, ~A5)가 참조 부호(904)에서 로우 전압 레벨로 유도되는 시간에서부터 모든 어드레스 신호(~A1, ~A2, ... ~A7)(825)가 참조 부호(932)에서 하이 전압 레벨로 유도될 때까지 유효하다. 어드레스 신호(~A1, ~A2, ... ~A7)(825)는 타이밍 펄스(908, 914, 918) 동안에 유효하다.

[0211] 타이밍 펄스(936)는 각각의 시프트 레지스터 셀(403a-403m) 내의 제 2 평가 트랜지스터(518)를 온 상태로 전환하여 내부 노드 신호(SN)(826)를 평가한다. 내부 노드 신호(SN1-SN11 및 SN13)는 참조 부호(922)에서 하이 전압 레벨이 되고, 참조 부호(938)에서 시프트 레지스터 출력 신호(S01-S011 및 S013)를 로우 전압 레벨로 방전한다. 내부 노드 신호(SN12)는 참조 부호(924)에서 로우 전압 레벨이 되어 시프트 레지스터 셀(4031)의 내부 노드 트랜지스터를 오프 상태로 전환하고, 참조 부호(940)에서 시프트 레지스터 출력 신호(S012)를 하이 전압 레벨로 유지한다.

[0212] 또한, 타이밍 펄스(936)는 제 4 평가 트랜지스터(562)를 온 상태로 전환하고, 제어 신호(CSYNC)(824)는 로우 전압 레벨이 되어 제어 트랜지스터(564)를 오프 상태로 전환함으로써 참조 부호(944)에서 역방향 신호(DIRR)(842)를 하이 전압 레벨로 유지한다. 추가하여, 타이밍 펄스(936)는 평가 방지 트랜지스터(442b)를 온 상태로 전환하여 참조 부호(946)에서 LEVAL(848)을 로우 전압 레벨로 유지한다.

[0213] 타이밍 펄스(948) 동안에, 정방향 신호(DIRF)(858)는 참조 부호(950)에서 하이 전압 레벨로 충전되고 LEVAL(848)은 참조 부호(952)에서 하이 전압 레벨로 충전된다. 참조 부호(952)에서 하이 전압 레벨로 평가 신호(LEVAL)(848)는 평가 트랜지스터(440)를 온 상태로 전환한다. 참조 부호(940)에서 하이 전압 레벨 시프트 레지스터 출력 신호(S012)는 어드레스 트랜지스터(468a, 468b)를 온 상태로 전환하여 참조 부호(954)에서 어드레스 신호(~A3, ~A4)를 로우 전압 레벨로 유도한다. 다른 어드레스 신호(~A1, ~A2 및 ~A5-~A7)는 참조 부호(956)에서 하이 전압 레벨로 유지된다.

[0214] 타이밍 펄스(958)는 제 3 평가 트랜지스터(556)를 온 상태로 전환한다. 제어 신호(CSYNC)(824) 내의 제어 펄스(960)는 제어 트랜지스터(558)를 온 상태로 전환하고, 정방향 신호(DIRF)(858)는 참조 부호(962)에서 로우 전압 레벨로 방전된다.

[0215] 다음의 일련의 6개의 타이밍 펄스는 하이 전압 레벨 시프트 레지스터 출력 신호(S011)를 제공하는 다음의 시프트 레지스터 셀(403k)에 대해 하이 전압 레벨 시프트 레지스터 출력 신호(S012)를 시프팅한다. 시프팅은 각각의 시프트 레지스터 출력 신호(S01-S013)가 다시 하이 전압 레벨이 될 때까지 각각의 일련의 6개의 타이밍 펄스에 대해 계속 실행된다. 시프트 레지스터 출력 신호(S01)가 하이 전압 레벨이 된 후, 일련의 하이 전압 레벨 시프트 레지스터 출력 신호(S0)(830)는 중지된다. 시프트 레지스터(402)는 타이밍 신호(T2)로부터의 타이밍 펄스(804)와 부합하는 제어 펄스(870) 등과 같은 제어 펄스를 제공하는 것에 의해 다시 개시될 수 있다.

[0216] 역방향 동작에서, 제어 신호(CSYNC)(824)로부터의 제어 펄스는 타이밍 신호(T6)로부터의 타이밍 펄스와 부합하도록 제공되어 시프팅 방향을 역방향으로 설정한다. 또한, 제어 신호(CSYNC)(824)로부터의 제어 펄스는 타이밍 신호(T2)로부터의 타이밍 펄스(804)와 부합하도록 제공되어 시프트 레지스터 출력 신호(S01-S013)를 통해 하이 전압 레벨 신호를 시프팅하는 시프트 레지스터(402)를 시작 또는 개시한다.

[0217] 도 13은 2개의 어드레스 생성기(1000, 1002) 및 6개의 점화 그룹(1004a-1004f)에 대한 일실시예를 도시하는 블록도이다. 각각의 어드레스 생성기(1000, 1002)는 도 9의 어드레스 생성기(400)와 동일하고, 점화 그룹(1004a-1004f)은 도 7에 도시된 점화 그룹(202a-202f)과 동일하다. 어드레스 생성기(1000)는 제 1 어드레스 라인(1006)을 통해 점화 그룹(1004a-1004c)에 전기적으로 결합된다. 어드레스 라인(1006)은 어드레스 생성기(1000)로부터 각각의 점화 그룹(1004a-1004c)으로 어드레스 신호(~A1, ~A2, ... ~A7)를 제공한다. 또한, 어드레스 생성기(1000)는 제어 라인(1010)에 전기적으로 결합된다. 제어 라인(1010)은 제어 신호(CSYNC)를 수신하고 어드레스 생성기(1000)로 전달한다. 일실시예에서, CSYNC 신호는 외부 제어기에 의해서, 2개의 어드레스 생성기(1000, 1002) 및 6개의 점화 그룹(1004a-1004f)이 제조되어 있는 프린트헤드 다이에 대해 제공된

다. 추가하여, 어드레스 생성기(1000)는 선택 라인(1008a-1008f)에 전기적으로 결합된다. 선택 라인(1008a-1008f)은 도 7에 도시된 선택 라인(212a-212f)과 동일하다. 선택 라인(1008a-1008f)은 선택 신호(SEL1, SEL2, ... SEL6)를 대응하는 점화 그룹(1004a-1004f)(도시하지 않음)뿐만 아니라 어드레스 생성기(1000)로 전달한다.

[0218] 선택 라인(1008a)은 어드레스 생성기(1000)로 선택 신호(SEL1)를 전달하고, 일실시예에서 타이밍 신호(T3)은 타이밍 신호(T6)이다. 선택 라인(1008b)은 선택 신호(SEL2)를 어드레스 생성기(1000)로 전달하고, 일실시예에서 타이밍 신호(T4)는 타이밍 신호(T1)이다. 선택 라인(1008c)은 선택 신호(SEL3)를 어드레스 생성기(1000)로 전달하고, 일실시예에서 타이밍 신호(T5)는 타이밍 신호(T2)이다. 선택 라인(1008d)은 선택 신호(SEL4)를 어드레스 생성기(1000)로 전달하고, 일실시예에서 타이밍 신호(T6)는 타이밍 신호(T3)이다. 선택 라인(1008e)은 선택 신호(SEL5)를 어드레스 생성기(1000)로 전달하고, 일실시예에서 타이밍 신호(T1)은 타이밍 신호(T4)이며, 선택 라인(1008f)은 선택 신호(SEL6)를 어드레스 생성기(1000)로 전달하고, 일실시예에서 타이밍 신호(T2)는 타이밍 신호(T5)이다.

[0219] 어드레스 생성기(1002)는 제 2 어드레스 라인(1012)을 통해 점화 그룹(1004d-1004f)에 전기적으로 결합된다. 어드레스 라인(1012)은 어드레스 생성기(1002)로부터 각각의 점화 그룹(1004d-1004f)으로 어드레스 신호(~B1, ~B2, ... ~B7)를 제공한다. 또한, 어드레스 생성기(1002)는 제어 신호(CSYNC)를 어드레스 생성기(1002)로 전달하는 제어 라인(1010)에 전기적으로 결합된다. 추가하여, 어드레스 생성기(1002)는 선택 라인(1008a-1008f)에 전기적으로 결합된다. 선택 라인(1008a-1008f)은 대응하는 점화 그룹(1004a-1004f)(도시하지 않음)뿐만 아니라 어드레스 생성기(1002)로 선택 신호(SEL1, SEL2, ... SEL6)를 전달한다.

[0220] 선택 라인(1008a)은 선택 신호(SEL1)를 어드레스 생성기(1002)로 전달하고, 일실시예에서 선택 신호(SEL1)는 타이밍 신호(T3)이다. 선택 라인(1008b)은 선택 신호(SEL2)를 어드레스 생성기(1002)로 전달하고, 일실시예에서 선택 신호(SEL2)는 타이밍 신호(T4)이다. 선택 라인(1008c)은 선택 신호(SEL3)를 어드레스 생성기(1002)로 전달하여, 일실시예에서 선택 신호(SEL3)는 타이밍 신호(T5)이다. 선택 라인(1008d)은 선택 신호(SEL4)를 어드레스 생성기(1002)로 전달하고, 일실시예에서 선택 신호(SEL4)는 타이밍 신호(T6)이다. 선택 라인(1008e)은 선택 신호(SEL5)를 어드레스 생성기(1002)로 전달하고, 일실시예에서 선택 신호(SEL5)는 타이밍 신호(T1)이며, 선택 라인(1008f)은 선택 신호(SEL6)를 어드레스 생성기(1002)로 전달하고, 일실시예에서 선택 신호(SEL6)는 타이밍 신호(T2)이다.

[0221] 선택 신호(SEL1, SEL2, ... SEL6)는 반복되는 일련의 6개의 펄스로 반복하는 일련의 6개의 펄스를 포함한다. 각각의 선택 신호(SEL1, SEL2, ... SEL6)는 일련의 6개의 펄스 내의 하나의 펄스를 포함한다. 일실시예에서, 선택 신호(SEL1) 내의 펄스 뒤에는 선택 신호(SEL2) 내의 펄스가 후속하고, 그 뒤에는 선택 신호(SEL3) 내의 펄스가 후속하며, 그 뒤에는 선택 신호(SEL4) 내의 펄스가 후속하며, 그 뒤에는 선택 신호(SEL5) 내의 펄스가 후속하며, 그 뒤에는 선택 신호(SEL6) 내의 펄스가 후속한다. 선택 신호(SEL6) 내의 펄스 후에, 일련의 펄스는 선택 신호(SEL1) 내의 펄스부터 시작하여 반복한다. 제어 신호(CSYNC)는 선택 신호(SEL1, SEL2, ... SEL6) 내의 펄스와 부합하는 펄스를 포함하여 어드레스 생성기(1000, 1002)를 개시하고, 예를 들면 도 11 및 도 12와 관련하여 설명된 바와 같이 어드레스 생성기(1000, 1002) 내의 시프팅 방향 또는 어드레스 생성 방향을 설정한다. 어드레스 생성기(1000)로부터의 어드레스 생성을 개시하기 위해, 제어 신호(CSYNC)는 선택 신호(SEL3) 내의 타이밍 펄스에 대응하는 타이밍 신호(T2) 내의 타이밍 펄스와 부합하는 제어 펄스를 포함한다.

[0222] 어드레스 생성기(1000)는 선택 신호(SEL1, SEL2, ... SEL6) 및 제어 신호(CSYNC)에 응답하여 어드레스 신호(~A1, ~A2, ... ~A7)를 생성한다. 어드레스 신호(~A1, ~A2, ... ~A7)는 제 1 어드레스 라인(1006)을 통해 점화 그룹(1004a-1004c)에 제공된다.

[0223] 어드레스 생성기(1000)에서, 어드레스 신호(~A1, ~A2, ... ~A7)는 선택 신호(SEL1, SEL2, SEL3) 내의 타이밍 펄스에 대응하는 타이밍 신호(T6, T1, T2) 내의 타이밍 펄스 동안에 유효하다. 제어 신호(CSYNC)는 선택 신호(SEL5) 내의 타이밍 펄스에 대응하는 타이밍 신호(T4) 내의 타이밍 펄스와 부합하는 제어 펄스를 포함하여 어드레스 생성기(1000)의 시프팅을 정방향으로 설정한다. 제어 신호(CSYNC)는 선택 신호(SEL1) 내의 타이밍 펄스에 대응하는 타이밍 신호(T6) 내의 타이밍 펄스에 부합하는 제어 펄스를 포함하여 어드레스 생성기(1000)가 역방향으로 시프팅하도록 설정한다.

[0224] 점화 그룹(1004a-1004c)은 선택 신호(SEL1, SEL2, SEL3) 내의 펄스 동안에 유효 어드레스 신호(~A1, ~A2, ... ~A7)를 수신한다. 점화 그룹 1(FG1)(1004a)이 어드레스 신호(~A1, ~A2, ... ~A7) 및 선택 신호(SEL1) 내의 펄스를 수신할 때, 선택된 행 서브그룹(SG1) 내의 점화 셀(120)은 점화 신호(FIRE1)에 의한 활성화를 위해 인

에이블링된다. 점화 그룹 2(FG2)(1004b)가 어드레스 신호(~A1, ~A2, ... ~A7) 및 선택 신호(SEL2) 내의 펄스를 수신할 때, 선택된 행 서브그룹(SG2) 내의 점화 셀(120)은 점화 신호(FIRE2)에 의한 활성화를 위해 인에이블링된다. 점화 그룹 3(FG3)(1004c)이 어드레스 신호(~A1, ~A2, ... ~A7) 및 선택 신호(SEL3) 내의 펄스를 수신할 때, 선택된 행 서브그룹(SG3) 내의 점화 셀(120)은 점화 신호(FIRE3)에 의한 활성화를 위해 인에이블링된다.

[0225]

어드레스 생성기(1002)는 선택 신호(SEL1, SEL2, ... SEL6) 및 제어 신호(CSYNC)에 응답하여 어드레스 신호(~B1, ~B2, ... ~B7)를 생성한다. 어드레스 신호(~B1, ~B2, ... ~B7)는 제 2 어드레스 라인(1012)을 통해 점화 그룹(1004d-1004f)에 제공된다. 어드레스 생성기(1002)에서, 어드레스 신호(~B1, ~B2, ... ~B7)는 선택 신호(SEL4, SEL5, SEL6) 내의 타이밍 펄스에 대응하는 타이밍 신호(T6, T1, T2) 내의 타이밍 펄스 동안에 유효하다. 제어 신호(CSYNC)는 선택 신호(SEL2) 내의 타이밍 펄스에 대응하는 타이밍 신호(T4) 내의 타이밍 펄스에 부합하는 제어 펄스를 포함하여 어드레스 생성기(1002)가 정방향으로 시프팅하도록 설정한다. 제어 신호(CSYNC)는 선택 신호(SEL4) 내의 타이밍 펄스에 대응하는 타이밍 신호(T6) 내의 타이밍 펄스와 부합하는 제어 펄스를 포함하여 어드레스 생성기(1002)가 역방향으로 시프팅하도록 설정한다. 어드레스 생성기(1002)로부터의 어드레스 생성을 개시하기 위하여, 제어 신호(CSYNC)는 선택 신호(SEL6) 내의 타이밍 펄스에 대응하는 타이밍 신호(T2) 내의 타이밍 펄스에 부합된 제어 펄스를 포함한다.

[0226]

점화 그룹(1004d-1004f)은 선택 신호(SEL4, SEL5, SEL6) 내의 펄스 동안에 유효 어드레스 신호(~B1, ~B2, ... ~B7)를 수신한다. 점화 그룹 4(FG4)(1004d)가 어드레스 신호(~B1, ~B2, ... ~B7) 및 선택 신호(SEL4) 내의 펄스를 수신할 때, 선택된 행 서브그룹(SG4) 내의 점화 셀(120)은 점화 신호(FIRE4)를 활성화하도록 인에이블링된다. 점화 그룹 5(FG5)(1004e)가 어드레스 신호(~B1, ~B2, ... ~B7) 및 선택 신호(SEL5) 내의 펄스를 수신할 때, 선택된 행 서브그룹(SG5) 내의 점화 셀(120)은 점화 신호(FIRE5)에 의한 활성화를 위해 인에이블링된다. 점화 그룹 6(FG6)(1004f)이 어드레스 신호(~B1, ~B2, ... ~B7) 및 선택 신호(SEL6) 내의 펄스를 수신할 때, 선택된 행 서브그룹(SG6) 내의 점화 셀(120)은 점화 신호(FIRE6)에 의한 활성화를 위해 인에이블링된다.

[0227]

예시적인 동작에서, 하나의 일련의 6개의 펄스 동안에 제어 신호(CSYNC)는 선택 신호(SEL2, SEL5) 내의 타이밍 펄스와 부합하는 제어 펄스를 포함하여 어드레스 생성기(1000, 1002)가 정방향으로 시프팅하도록 설정한다. 선택 신호(SEL2) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 생성기(1002)가 정방향으로 시프팅하도록 설정한다. 선택 신호(SEL5) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 생성기(1000)가 정방향으로 시프팅하도록 설정한다.

[0228]

다음의 일련의 6개의 펄스에서, 제어 신호(CSYNC)는 선택 신호(SEL2, SEL3, SEL5, SEL6) 내의 타이밍 펄스와 부합하는 제어 펄스를 포함한다. 선택 신호(SEL2, SEL5) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 생성기(1000, 1002)에서 시프팅 방향을 정방향으로 설정한다. 선택 신호(SEL3, SEL6) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 신호(~A1, ~A2, ... ~A7 및 ~B1, ~B2, ... ~B7)를 생성하도록 어드레스 생성기(1000, 1002)를 개시한다. 선택 신호(SEL3) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 생성기(1000)를 개시하고, 선택 신호(SEL6) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 생성기(1002)를 개시한다.

[0229]

제 3의 일련의 타이밍 펄스 동안에, 어드레스 생성기(1000)는 선택 신호(SEL1, SEL2, SEL3) 내의 타이밍 펄스 동안에 유효한 어드레스 신호(~A1, ~A2, ... ~A7)를 생성한다. 유효 어드레스 신호(~A1, ~A2, ... ~A7)는 참조 부호(1004a-1004c)에서의 점화 그룹(FG1, FG2, FG3) 내의 행 서브그룹(SG1, SG2, SG3)의 점화 셀(120)이 활성화되도록 인에이블링하는 데 이용된다. 제 3 일련의 타이밍 펄스 동안에, 어드레스 생성기(1002)는 선택 신호(SEL4, SEL5, SEL6) 내의 타이밍 펄스 동안에 유효한 어드레스 신호(~B1, ~B2, ... ~B7)를 생성한다. 유효 어드레스 신호(~B1, ~B2, ... ~B7)는 참조 부호(1004d-1004f)에서의 점화 그룹(FG4, FG5, FG6) 내의 행 서브그룹(SG4, SG5, SG6)의 점화 셀(120)이 활성화되도록 인에이블링하는 데 이용된다.

[0230]

선택 신호(SEL1, SEL2, ... SEL6) 내의 제 3 일련의 타이밍 펄스 동안에, 어드레스 신호(~A1, ~A2, ... ~A7)는 13개의 어드레스 중 하나의 어드레스에 대응하는 로우 전압 레벨 신호를 포함하고, 어드레스 신호(~B1, ~B2, ... ~B7)는 13개의 어드레스 중 동일한 하나의 어드레스에 대응하는 로우 전압 레벨 신호를 포함한다. 선택 신호(SEL1, SEL2, ... SEL6)로부터의 각각의 후속되는 일련의 타이밍 펄스 동안에, 어드레스 신호(~A1, ~A2, ... ~A7) 및 어드레스 신호(~B1, ~B2, ... ~B7)는 13개의 어드레스 중 동일한 하나의 어드레스에 대응하는 로우 전압 레벨 신호를 포함한다. 각각의 일련의 타이밍 펄스는 어드레스 타임 슬롯이므로, 13개의 어드

레스 중의 하나는 각각의 일련의 타이밍 펄스 동안에 제공된다.

[0231] 정방향 동작에서, 어드레스 1은 먼저 어드레스 생성기(1000, 1002)에 의해 제공되고, 그 후에 어드레스 2가 제공되고, 그 다음에도 어드레스 13까지 제공된다. 어드레스 13 후에, 어드레스 생성기(1000, 1002)는 모든 하이 전압 레벨 어드레스 신호(~A1, ~A2, ... ~A7 및 ~B1, ~B2, ... ~B7)를 제공한다. 또한, 선택 신호(SEL1, SEL2, ... SEL6)로부터의 각각의 일련의 타이밍 펄스 동안에, 제어 펄스는 선택 신호(SEL2, SEL5) 내의 타이밍 펄스와 부합하도록 제공되어 계속 정방향으로 시프팅된다.

[0232] 다른 예시적인 동작에서, 하나의 일련의 6개의 펄스 동안에, 제어 신호(CSYNC)는 선택 신호(SEL1, SEL4) 내의 타이밍 펄스와 부합하는 제어 펄스를 포함하여 어드레스 생성기(1000, 1002)가 역방향으로 시프팅하도록 설정한다. 선택 신호(SEL1) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 생성기(1000)가 역방향으로 시프팅하도록 설정한다. 선택 신호(SEL4) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 생성기(1002)가 역방향으로 시프팅하도록 설정한다.

[0233] 다음의 일련의 6개의 펄스에서, 제어 신호(CSYNC)는 선택 신호(SEL1, SEL3, SEL4, SEL6) 내의 타이밍 펄스와 부합하는 제어 펄스를 포함한다. 선택 신호(SEL1, SEL4) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 생성기(1000, 1002) 내에서 시프팅 방향을 역방향으로 설정한다. 선택 신호(SEL3, SEL6) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 신호(~A1, ~A2, ... ~A7 및 ~B1, ~B2, ... ~B7)를 생성하도록 어드레스 생성기(1000, 1002)를 개시한다. 선택 신호(SEL3) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 생성기(1000)를 개시하고, 선택 신호(SEL6) 내의 타이밍 펄스와 부합하는 제어 펄스는 어드레스 생성기(1002)를 개시한다.

[0234] 제 3 일련의 타이밍 펄스 동안에, 어드레스 생성기(1000)는 선택 신호(SEL1, SEL2, SEL3) 내의 타이밍 펄스 동안에 유효한 어드레스 신호(~A1, ~A2, ... ~A7)를 생성한다. 유효 어드레스 신호(~A1, ~A2, ... ~A7)는 참조 부호(1004a-1004c)에서 점화 그룹(FG1, FG2, FG3) 내의 행 서브그룹(SG1, SG2, SG3)의 점화 셀(120)의 활성화를 인에이블링하는 데 이용된다. 어드레스 생성기(1002)는 제 3 일련의 타이밍 펄스 동안에 선택 신호(SEL4, SEL5, SEL6) 내의 타이밍 펄스 동안 유효한 어드레스 신호(~B1, ~B2, ... ~B7)를 생성한다. 유효 어드레스 신호(~B1, ~B2, ... ~B7)는 참조 부호(1004d-1004f)에서의 점화 그룹(FG4, FG5, FG6) 내의 행 서브그룹(SG4, SG5, SG6)의 점화 셀(120)의 활성화를 인에이블링하는 데 이용된다.

[0235] 역방향 동작에서 선택 신호(SEL1, SEL2, ... SEL6) 내의 제 3 일련의 타이밍 펄스 동안에, 어드레스 신호(~A1, ~A2, ... ~A7)는 13개의 어드레스 중 하나의 어드레스에 대응하는 로우 전압 레벨 신호를 포함하고, 어드레스 신호(~B1, ~B2, ... ~B7)는 13개의 어드레스 중 동일한 하나의 어드레스에 대응하는 로우 전압 레벨 신호를 포함한다. 선택 신호(SEL1, SEL2, ... SEL6)로부터의 각각의 후속하는 일련의 타이밍 펄스 동안에, 어드레스 신호(~A1, ~A2, ... ~A7 및 ~B1, ~B2, ... ~B7)는 13개의 어드레스 중 동일한 하나의 어드레스에 대응하는 로우 전압 레벨 신호를 포함한다. 각각의 일련의 타이밍 펄스는 어드레스 타임 슬롯이므로, 13개의 어드레스 중 하나는 각각의 일련의 타이밍 펄스 동안에 제공된다.

[0236] 역방향 동작에서, 어드레스 13은 먼저 어드레스 생성기(1000, 1002)에 의해 제공되고, 그 후에 어드레스 12가 제공되고, 그 다음에도 어드레스 1까지 제공된다. 어드레스 1 후에, 어드레스 생성기(1000, 1002)는 모든 하이 전압 레벨 어드레스 신호(~A1, ~A2, ... ~A7 및 ~B1, ~B2, ... ~B7)를 제공한다. 또한, 선택 신호(SEL1, SEL2, ... SEL6)로부터의 각각의 일련의 타이밍 펄스 동안에, 제어 펄스는 선택 신호(SEL1, SEL4) 내의 타이밍 펄스와 부합하도록 제공되어 계속 역방향으로 시프팅된다.

[0237] 어드레스 생성을 종료 또는 방지하기 위해서, 제어 신호(CSYNC)는 선택 신호(SEL1, SEL2, SEL4, SEL5) 내의 타이밍 펄스와 부합하는 제어 펄스를 포함한다. 이것은 어드레스 생성기(1000, 1002) 내에서 시프트 레지스터(402) 등과 같은 시프트 레지스터를 소거한다. 제어 신호(CSYNC) 내의 일정한 하이 전압 레벨, 또는 일련의 하이 전압 펄스는 또한 어드레스 생성을 종료 또는 방지하고, 제어 신호(CSYNC) 내의 일정한 로우 전압 레벨은 어드레스 생성기(1000, 1002)를 개시하지 않을 것이다.

[0238] 도 14는 어드레스 생성기(1000, 1002)의 정방향 및 역방향 동작을 도시하는 타이밍도이다. 정방향으로의 시프팅에 사용되는 제어 신호는 CSYNC(FWD)(1124)이고, 역방향으로의 시프팅에 이용되는 제어 신호는 CSYNC(REV)(1126)이다. 어드레스 신호(~A1, ~A2, ... ~A7)(1128)는 어드레스 생성기(1000)에 의해 제공되고, 정방향 및 역방향 동작 어드레스 기준을 모두 포함한다. 어드레스 신호(~B1, ~B2, ... ~B7)(1130)는 어드레스 생성기(1002)에 의해 제공되고, 정방향 및 역방향 동작 어드레스 기준을 모두 포함한다.

- [0239] 선택 신호(SEL1, SEL2, ... SEL6)는 반복되는 일련의 6개의 펠스를 제공한다. 각각의 선택 신호(SEL1, SEL2, ... SEL6)는 일련의 6개의 펠스 내의 하나의 펠스를 포함한다. 반복되는 일련의 6개의 펠스 중 하나의 연속 펠스에서, 선택 신호(SEL1)(1100)는 타이밍 펠스(1102)를 포함하고, 선택 신호(SEL2)(1104)는 타이밍 펠스(1106)를 포함하고, 선택 신호(SEL3)(1108)는 타이밍 펠스(1110)를 포함하고, 선택 신호(SEL4)(1112)는 타이밍 펠스(1114)를 포함하고, 선택 신호(SEL5)(1116)는 타이밍 펠스(1118)를 포함하고, 선택 신호(SEL6)(1120)는 타이밍 펠스(1122)를 포함한다.
- [0240] 정방향 동작에서, 제어 신호(CSYNC(FWD))(1124)는 선택 신호(SEL2)(1104) 내의 타이밍 펠스(1106)와 부합하는 제어 펠스(1132)를 포함한다. 제어 펠스(1132)는 어드레스 생성기(1002)가 정방향으로 시프팅하도록 설정한다. 또한, 제어 신호(CSYNC(FWD))(1124)는 선택 신호(SEL5)(1116) 내의 타이밍 펠스(1118)와 부합하는 제어 펠스(1134)를 포함한다. 제어 펠스(1134)는 어드레스 생성기(1000)가 정방향으로 시프팅하도록 설정한다.
- [0241] 다음의 반복되는 일련의 6개의 펠스에서, 선택 신호(SEL1)(1100)는 타이밍 펠스(1136)를 포함하고, 선택 신호(SEL2)(1104)는 타이밍 펠스(1138)를 포함하고, 선택 신호(SEL3)(1108)는 타이밍 펠스(1140)를 포함하고, 선택 신호(SEL4)(1112)는 타이밍 펠스(1142)를 포함하고, 선택 신호(SEL5)(1116)는 타이밍 펠스(1144)를 포함하고, 선택 신호(SEL6)(1120)는 타이밍 펠스(1146)를 포함한다.
- [0242] 제어 신호(CSYNC(FWD))(1124)는 타이밍 펠스(1138)와 부합하는 제어 펠스(1148)를 포함하여 계속 어드레스 생성기(1002)가 정방향으로 시프팅하도록 설정하고, 타이밍 펠스(1144)와 부합하는 제어 펠스(1152)를 포함하여 계속 어드레스 생성기(1000)가 정방향으로 시프팅하도록 설정한다. 또한, 제어 신호(CSYNC(FWD))(1124)는 선택 신호(SEL3)(1108) 내의 타이밍 펠스(1140)와 부합하는 제어 펠스(1150)를 포함한다. 제어 펠스(1150)는 어드레스 신호(~A1, ~A2, ... ~A7)(1128)를 생성하는 어드레스 생성기(1000)를 개시한다. 추가하여, 제어 신호(CSYNC(FWD))(1124)는 선택 신호(SEL6)(1120) 내의 타이밍 펠스(1146)와 부합하는 제어 펠스(1154)를 포함한다. 제어 펠스(1154)는 어드레스 생성기(1002)를 개시하여 어드레스 신호(~B1, ~B2, ... ~B7)(1130)를 생성한다.
- [0243] 다음의 또는 제 3의 일련의 6개의 펠스에서, 선택 신호(SEL1)(1100)는 타이밍 펠스(1156)를 포함하고, 선택 신호(SEL2)(1104)는 타이밍 펠스(1158)를 포함하고, 선택 신호(SEL3)(1108)는 타이밍 펠스(1160)를 포함하고, 선택 신호(SEL4)(1112)는 타이밍 펠스(1162)를 포함하고, 선택 신호(SEL5)(1116)는 타이밍 펠스(1164)를 포함하고, 선택 신호(SEL6)(1120)는 타이밍 펠스(1166)를 포함한다. 제어 신호(CSYNC(FWD))(1124)는 타이밍 펠스(1158)와 부합하는 제어 펠스(1168)를 포함하여 계속 어드레스 생성기(1002)가 정방향으로 시프팅하도록 설정하고, 타이밍 펠스(1164)와 부합하는 제어 펠스(1170)를 포함하여 계속 어드레스 생성기(1000)가 정방향으로 시프팅하도록 설정한다.
- [0244] 어드레스 생성기(1000)는 어드레스 신호(~A1, ~A2, ... ~A7)(1128)를 제공한다. 정방향 동작으로 개시된 후, 어드레스 생성기(1000) 및 어드레스 신호(~A1, ~A2, ... ~A7)(1128)는 참조 부호(1172)에서 어드레스 1을 제공한다. 참조 부호(1172)에서의 어드레스 1은 선택 신호(SEL6)(1120) 내의 타이밍 펠스(1146) 동안에 유효하게 되고 선택 신호(SEL4)(1112) 내의 타이밍 펠스(1162)까지 유효하게 유지된다. 참조 부호(1172)에서의 어드레스 1은 선택 신호(SEL1, SEL2, SEL3)(1100, 1104, 1108) 내의 타이밍 펠스(1156, 1158, 1160) 동안에 유효하다.
- [0245] 어드레스 생성기(1002)는 어드레스 신호(~B1, ~B2, ... ~B7)(1130)를 제공한다. 정방향 동작으로 개시된 후, 어드레스 생성기(1002) 및 어드레스 신호(~B1, ~B2, ... ~B7)(1130)는 참조 부호(1174)에서 어드레스 1을 제공한다. 참조 부호(1174)에서의 어드레스 1은 선택 신호(SEL3)(1108) 내의 타이밍 펠스(1160) 동안에 유효하게 되고 선택 신호(SEL1)(1100) 내의 타이밍 펠스(1176)까지 유효하게 유지된다. 참조 부호(1174)에서의 어드레스 1은 선택 신호(SEL4, SEL5, SEL6)(1112, 1116, 1120) 내의 타이밍 펠스(1162, 1164, 1166) 동안에 유효하다.
- [0246] 어드레스 신호(~A1, ~A2, ... ~A7)(1128) 및 어드레스 신호(~B1, ~B2, ... ~B7)(1130)는 동일한 어드레스, 즉 참조 부호(1172, 1174)에서의 어드레스 1을 제공한다. 어드레스 1은 타이밍 펠스(1156)에서 시작되고 타이밍 펠스(1166)에서 종료되는 일련의 6개의 타이밍 펠스 동안에 제공되는데, 이 일련의 6개의 타이밍 펠스는 어드레스 1에 대한 어드레스 타임 슬롯이다. 타이밍 펠스(1176)에서 시작되는 다음의 일련의 6개의 펠스 동안에, 어드레스 신호(~A1, ~A2, ... ~A7)(1128)는 참조 부호(1178)에서 어드레스 2를 제공하고, 어드레스 신호(~B1, ~B2, ... ~B7)(1130)는 또한 어드레스 2를 제공한다. 이러한 방식으로, 어드레스 생성기(1000, 1002)는 정방향에서 어드레스 1로부터 어드레스 13까지의 어드레스를 제공한다. 어드레스 13 이후에, 어드레스 생성기

(1000, 1002)는 동일한 방식으로 다시 유효 어드레스들을 거쳐 순환하도록 재개시된다.

[0247] 역방향 동작에서, 제어 신호(CSYNC(REV))(1126)는 선택 신호(SEL1)(1100) 내의 타이밍 펄스(1102)와 부합하는 제어 펄스(1180)를 포함한다. 제어 펄스(1180)는 어드레스 생성기(1000)가 역방향으로 시프팅하도록 설정한다. 또한, 제어 신호(CSYNC(REV))(1126)는 선택 신호(SEL4)(1112) 내의 타이밍 펄스(1114)와 부합하는 제어 펄스(1182)를 포함한다. 제어 펄스(1182)는 어드레스 생성기(1002)가 역방향으로 시프팅하도록 설정한다.

[0248] 제어 신호(CSYNC(REV))(1126)는 타이밍 펄스(1136)와 부합하는 제어 펄스(1184)를 포함하여 계속 어드레스 생성기(1000)가 역방향으로 시프팅하도록 설정하고, 타이밍 펄스(1142)와 부합하는 제어 펄스(1188)를 포함하여 계속 어드레스 생성기(1002)가 역방향으로 시프팅하도록 설정한다. 또한, 제어 신호(CSYNC(REV))(1126)는 선택 신호(SEL3)(1108) 내의 타이밍 펄스(1140)와 부합하는 제어 펄스(1186)를 포함한다. 제어 펄스(1186)는 어드레스 신호(~A1, ~A2, ..., ~A7)(1128)를 생성하는 어드레스 생성기(1000)를 개시한다. 추가하여, 제어 신호(CSYNC(REV))(1126)는 선택 신호(SEL6)(1120) 내의 타이밍 펄스(1146)와 부합하는 제어 펄스(1190)를 포함한다. 제어 펄스(1190)는 어드레스 생성기(1002)를 개시하여 어드레스 신호(~B1, ~B2, ..., ~B7)(1130)를 생성한다.

[0249] 제어 신호(CSYNC(REV))(1126)는 타이밍 펄스(1156)와 부합하는 제어 펄스(1192)를 포함하여 계속 어드레스 생성기(1000)가 역방향으로 시프팅하도록 설정하고, 타이밍 펄스(1162)와 부합하는 제어 펄스(1194)를 포함하여 계속 어드레스 생성기(1002)가 역방향으로 시프팅하도록 설정한다.

[0250] 어드레스 생성기(1000)는 어드레스 신호(~A1~A7)(1128)를 제공한다. 역방향 동작으로 개시된 후, 어드레스 생성기(1000) 및 어드레스 신호(~A1, ~A2, ..., ~A7)(1128)는 참조 부호(1172)에서 어드레스 13을 제공한다. 참조 부호(1172)에서의 어드레스 13은 타이밍 펄스(1146) 동안에 유효하게 되고 타이밍 펄스(1162)까지 유효하게 유지된다. 참조 부호(1172)에서의 어드레스 13은 선택 신호(SEL1, SEL2, SEL3)(1100, 1104, 1108) 내의 타이밍 펄스(1156, 1158, 1160) 동안에 유효하다.

[0251] 어드레스 생성기(1002)는 어드레스 신호(~B1, ~B2, ..., ~B7)(1130)를 제공한다. 역방향 동작으로 개시된 후, 어드레스 생성기(1002) 및 어드레스 신호(~B1, ~B2, ..., ~B7)(1130)는 참조 부호(1174)에서 어드레스 13을 제공한다. 참조 부호(1174)에서의 어드레스 13은 타이밍 펄스(1160) 동안에 유효하게 되고 타이밍 펄스(1176)까지 유효하게 유지된다. 참조 부호(1174)에서의 어드레스 13은 선택 신호(SEL4, SEL5, SEL6)(1112, 1116, 1120) 내의 타이밍 펄스(1162, 1164, 1166) 동안에 유효하다.

[0252] 어드레스 신호(~A1, ~A2, ..., ~A7)(1128) 및 어드레스 신호(~B1, ~B2, ..., ~B7)(1130)는 동일한 어드레스, 즉 참조 부호(1172, 1174)에서의 어드레스 13을 제공한다. 어드레스 13은 타이밍 펄스(1156)에서 시작되고 타이밍 펄스(1166)에서 종료되는 일련의 6개의 타이밍 펄스 동안에 제공되는데, 이 일련의 6개의 타이밍 펄스는 어드레스 13에 대한 어드레스 타임 슬롯이다. 타이밍 펄스(1176)에서 시작되는 다음의 일련의 6개의 펄스 동안에, 어드레스 신호(~A1, ~A2, ..., ~A7)(1128)는 참조 부호(1178)에서 어드레스 12를 제공하고, 어드레스 신호(~B1, ~B2, ..., ~B7)(1130)는 또한 어드레스 12를 제공한다. 어드레스 생성기(1000, 1002)는 역방향에서 어드레스 13으로부터 어드레스 1까지의 어드레스를 제공한다. 어드레스 1 이후에, 어드레스 생성기(1000, 1002)는 다시 유효 어드레스들을 제공하도록 재개시된다.

[0253] 도 15는 프린트헤드 다이(40) 내의 뱅크 선택 어드레스 생성기(1200)에 대한 일실시예를 도시하는 도면이다. 뱅크 선택 어드레스 생성기(1200)는 프린트헤드 다이(40) 내의 제어 회로의 일실시예이다. 뱅크 선택 어드레스 생성기(1200)는 8개의 어드레스 신호(~A1, ~A2, ..., ~A8) 내에 어드레스 1-26으로 지칭되는 26개의 어드레스 신호 조합을 제공하도록 구성된다. 하위 뱅크 어드레스 1-13으로 지칭되는 낮은 번호의 어드레스 1-13은 점화 셀의 하위 뱅크로서 지칭되는 제 1 점화 셀 그룹 내의 인에이블 점화 셀에 제공된다. 상위 뱅크 어드레스 14-26으로 지칭되는 높은 번호의 어드레스 14-26은, 점화 셀의 상위 뱅크로서 지칭되는 제 2 점화 셀 그룹 내의 인에이블 점화 셀에 제공된다. 일실시예에서, 8개의 어드레스 신호(~A1, ~A2, ..., ~A8) 중 2개는 소정 시점에서 활성화되어 26개의 어드레스 1-26을 제공한다.

[0254] 뱅크 선택 어드레스 생성기(1200)는 하위 뱅크 시프트 레지스터(1202), 상위 뱅크 시프트 레지스터(1204), 하위 뱅크 로직 회로(1206), 상위 뱅크 로직 회로(1208) 및 방향 회로(1210)를 포함한다. 하위 뱅크 시프트 레지스터(1202)는 시프트 레지스터(402)(도 9에 도시됨)와 유사하고, 상위 뱅크 시프트 레지스터(1204)는 시프트 레지스터(402)와 유사하다. 하위 뱅크 시프트 레지스터(1202)는 시프트 레지스터(402)와는 상이한 타이밍 신호를 수신하고, 상위 뱅크 시프트 레지스터(1204)는 시프트 레지스터(402)와는 상이한 타이밍 신호를 수신한다. 하위 뱅크 로직 회로(1206)는 로직 회로(406)(도 9에 도시됨)와 유사한 트랜지스터 로직을 포함하여

하위 뱅크 어드레스 1-13을 제공하고, 상위 뱅크 로직 회로(1208)는 로직 회로(406)와 유사한 트랜지스터 로직을 포함하여 상위 뱅크 어드레스 14-26을 제공한다.

[0255] 하위 뱅크 시프트 레지스터(1202)는 시프트 레지스터 출력 라인(1212a-1212m)을 통해 하위 뱅크 로직 회로(1206)에 전기적으로 결합된다. 시프트 레지스터 출력 라인(1212a-1212m)은 각각 로직 회로 입력 신호(AI1-AI13)로서 시프트 레지스터 출력 신호(S01-S013)를 로직 회로(1206)에 제공한다. 또한, 하위 뱅크 시프트 레지스터(1202)는 하위 뱅크 시프트 레지스터(1202)에 제어 신호(CSYNC)를 제공하는 제어 신호 라인(1214)에 전기적으로 결합된다. 추가하여, 하위 뱅크 시프트 레지스터(1202)는 뱅크 타이밍 신호(BT1, BT4, BT5, BT6) 내의 타이밍 펄스를 수신한다.

[0256] 하위 뱅크 시프트 레지스터(1202)는 하위 뱅크 시프트 레지스터(1202)에 제 1 사전-충전 신호(PRE1)로서 뱅크 타이밍 신호(BT6)를 제공하는 타이밍 신호 라인(1216)에 전기적으로 결합된다. 하위 뱅크 시프트 레지스터(1202)는 제 1 평가 신호 라인(1220)을 통해 제 1 저항 분할 네트워크(1218)에 전기적으로 결합된다. 제 1 저항 분할 네트워크(1218)는 뱅크 타이밍 신호(BT1)를 제 1 저항 분할 네트워크(1218)에 제공하는 타이밍 신호 라인(1222)에 전기적으로 결합된다. 제 1 저항 분할 네트워크(1218)는 제 1 평가 신호 라인(1220) 상에서 제 1 평가 신호(EVAL1)로서 감소된 전압 레벨의 BT1 타이밍 신호를 하위 뱅크 시프트 레지스터(1202)에 제공한다. 하위 뱅크 시프트 레지스터(1202)는 제 2 사전-충전 신호(PRE2)로서 뱅크 타이밍 신호(BT4)를 하위 뱅크 시프트 레지스터(1202)에 제공하는 타이밍 신호 라인(1224)에 전기적으로 결합되고, 하위 뱅크 시프트 레지스터(1202)는 제 2 평가 신호 라인(1228)을 통해 제 2 저항 분할 네트워크(1226)에 전기적으로 결합된다. 제 2 저항 분할 네트워크(1226)는 제 2 저항 분할 네트워크(1226)에 뱅크 타이밍 신호(BT5)를 제공하는 타이밍 신호 라인(1230)에 전기적으로 결합된다. 제 2 저항 분할 네트워크(1226)는 제 2 평가 신호 라인(1228)을 통해 제 2 평가 신호(EVAL2)로서 감소된 전압 레벨의 BT5 타이밍 신호를 하위 뱅크 시프트 레지스터(1202)에 제공한다.

[0257] 상위 뱅크 시프트 레지스터(1204)는 시프트 레지스터 출력 라인(1232a-1232m)을 통해 상위 뱅크 로직 회로(1208)에 전기적으로 결합된다. 시프트 레지스터 출력 라인(1232a-1232m)은 각각 로직 회로 입력 신호(AI14-AI26)로서 시프트 레지스터 출력 신호(S01-S013)를 로직 회로(1208)에 제공한다. 또한, 상위 뱅크 시프트 레지스터(1204)는 제어 신호(CSYNC)를 상위 뱅크 시프트 레지스터(1204)에 제공하는 제어 신호 라인(1214)에 전기적으로 결합된다. 추가하여, 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT3, BT4, BT5, BT6) 내의 타이밍 펄스를 수신한다.

[0258] 상위 뱅크 시프트 레지스터(1204)는 뱅크 타이밍 신호(BT6)를 제 1 사전-충전 신호(PRE1)로서 상위 뱅크 시프트 레지스터(1204)에 제공하는 타이밍 신호 라인(1216)에 전기적으로 결합된다. 상위 뱅크 시프트 레지스터(1204)는 제 1 평가 신호 라인(1221)을 통해 제 3 저항 분할 네트워크(1227)에 전기적으로 결합된다. 제 3 저항 분할 네트워크(1227)는 뱅크 타이밍 신호(BT3)를 제 3 저항 분할 네트워크(1227)에 제공하는 타이밍 신호 라인(1229)에 전기적으로 결합된다. 제 3 저항 분할 네트워크(1227)는 제 1 평가 신호 라인(1221)을 통해 감소된 전압 레벨의 BT3 타이밍 신호를 제 1 평가 신호(EVAL1)로서 상위 뱅크 시프트 레지스터(1204)에 제공한다. 상위 뱅크 시프트 레지스터(1204)는 뱅크 타이밍 신호(BT3)를 제 2 사전-충전 신호(PRE2)로서 상위 뱅크 시프트 레지스터(1204)에 전달하는 타이밍 신호 라인(1224)에 전기적으로 결합된다. 상위 뱅크 시프트 레지스터(1204)는 상위 뱅크 시프트 레지스터(1204)에 제 2 평가 신호(EVAL2)로서 감소된 전압 레벨의 BT5 타이밍 신호를 제공하는 제 2 평가 신호 라인(1228)에 전기적으로 결합된다.

[0259] 방향 회로(1210)는 방향 신호 라인(1240)을 통해 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 전기적으로 결합된다. 방향 신호 라인(1240)은 방향 회로(1210)로부터 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)로 방향 신호(DIRR, DIRF)를 제공한다. 또한, 방향 회로(1210)는 제어 신호(CSYNC)를 방향 회로(1210)에 제공하는 제어 신호 라인(1214)에 전기적으로 결합된다. 추가하여, 방향 회로(1210)는 타이밍 신호(BT4-BT6) 내의 타이밍 펄스를 수신한다.

[0260] 방향 회로(1210)는 타이밍 신호(BT3)를 제 3 사전-충전 신호(PRE3)로서 방향 회로(1210)에 제공하는 타이밍 신호 라인(1224)에 전기적으로 결합된다. 방향 회로(1210)는 감소된 전압의 BT5 타이밍 신호를 제 3 평가 신호(EVAL3)로서 방향 회로(1210)로 전달하는 제 2 평가 신호 라인(1228)에 전기적으로 결합된다. 또한, 방향 회로(1210)는 평가 신호 라인(1248)을 통해 제 4 저항 분할 네트워크(1246)에 전기적으로 결합된다. 제 4 저항 분할 네트워크(1246)는 뱅크 타이밍 신호(BT6)를 제 4 저항 분할 네트워크(1246)에 제공하는 타이밍 신호 라인(1216)에 전기적으로 결합된다. 제 4 저항 분할 네트워크(1246)는 방향 회로(1210)에 제 4 평가 신호

(EVAL4)로서 감소된 전압의 BT6 타이밍 신호를 제공한다.

[0261] 하위 뱅크 로직 회로(1206)는 시프트 레지스터 출력 라인(1212a-1212m)에 전기적으로 결합되어 시프트 레지스터 출력 신호(S01-S013)를 각각 입력 신호(AI1-AI13)로서 수신한다. 또한, 하위 뱅크 로직 회로(1206)는 어드레스 라인(1252a-1252h)에 전기적으로 결합되어 각각 어드레스 신호(~A1, ~A2, ... ~A7)를 제공한다. 추가하여, 하위 뱅크 로직 회로(1206)는 하위 뱅크 로직 회로(1206)에 타이밍 신호(T3)로서 타이밍 신호(BT4)를 제공하는 타이밍 신호 라인(1224)과, 하위 뱅크 로직 회로(1206)에 타이밍 신호(T4)로서 타이밍 신호(BT5)를 제공하는 타이밍 신호 라인(1230)과, 하위 뱅크 로직 회로(1206)에 타이밍 신호(T5)로서 타이밍 신호(BT6)를 제공하는 타이밍 신호 라인(1216)에 전기적으로 결합된다.

[0262] 상위 뱅크 로직 회로(1208)는 시프트 레지스터 출력 라인(1232a-1232m)에 전기적으로 결합되어 시프트 레지스터 출력 신호(S01-S013)를 각각 입력 신호(AI14-AI26)로서 수신한다. 또한, 상위 뱅크 로직 회로(1208)는 어드레스 라인(1252a-1252h)에 전기적으로 결합되어 각각 어드레스 신호(~A1, ~A2, ... ~A7)를 제공한다. 추가하여, 상위 뱅크 로직 회로(1208)는 상위 뱅크 로직 회로(1208)에 타이밍 신호(T3)로서 타이밍 신호(BT4)를 제공하는 타이밍 신호 라인(1224)과, 상위 뱅크 로직 회로(1208)에 타이밍 신호(T4)로서 타이밍 신호(BT5)를 제공하는 타이밍 신호 라인(1230)과, 상위 뱅크 로직 회로(1208)에 타이밍 신호(T5)로서 타이밍 신호(BT6)를 제공하는 타이밍 신호 라인(1216)에 전기적으로 결합된다.

[0263] 하위 뱅크 시프트 레지스터(1202) 및 하위 뱅크 로직 회로(1206)는 어드레스 신호(~A1, ~A2, ... ~A8) 내의 로우 전압 레벨 신호를 제공하여 13개의 하위 뱅크 어드레스 1-13을 제공한다. 하위 뱅크 시프트 레지스터(1202) 및 하위 뱅크 로직 회로(1206)는 어드레스 1부터 어드레스 13까지의 정방향 및 어드레스 13으로부터 어드레스 1까지의 역방향으로 하위 뱅크 어드레스 1-13을 제공한다. 상위 뱅크 시프트 레지스터(1204) 및 상위 뱅크 로직 회로(1208)는 어드레스 신호(~A1, ~A2, ... ~A8) 내의 로우 전압 레벨 신호를 제공하여 13개의 상위 뱅크 어드레스 14-26을 제공한다. 상위 뱅크 시프트 레지스터(1204) 및 상위 뱅크 로직 회로(1208)는 어드레스 14부터 어드레스 26까지의 정방향 및 어드레스 26으로부터 어드레스 14까지의 역방향으로 상위 뱅크 어드레스 14-26을 제공한다. 방향 회로(1210)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)의 정방향 동작 또는 역방향 동작을 설정하는 방향 신호(DIRF, DIRR)를 제공한다.

[0264] 각각의 13개의 시프트 레지스터 셀은 전기적으로 결합되어 제 1 사전-충전 신호(PRE1), 제 1 평가 신호(EVAL1), 제 2 사전-충전 신호(PRE2) 및 제 2 평가 신호(EVAL2)를 수신한다. 하위 뱅크 시프트 레지스터(1202)는 타이밍 신호(BT1) 내의 타이밍 펄스와 실질적으로 부합하는 제어 신호(CSYNC) 내의 제어 펄스를 수신함으로써 개시된다. 그 응답으로서, S01 또는 S013에서 하이 전압 레벨 신호가 제공된다. 각각의 후속하는 일련의 6개의 타이밍 펄스에서, 하위 뱅크 시프트 레지스터(1202)는 하이 전압 레벨 신호를 다음의 시프트 레지스터 셀(403)로 시프팅하고, 하이 전압 레벨 신호를 시프트 레지스터 출력 신호(S01-S013) 중의 하나로서 시프팅한다. 정방향에서, 하이 전압 레벨 신호는 시프트 레지스터 출력 신호(S01)로부터 시프트 레지스터 출력 신호(S02)로 시프팅되고, 이와 같이 계속 진행되어 시프트 레지스터 출력 신호(S013)까지 시프팅된다. 역방향에서, 하이 전압 레벨 신호는 시프트 레지스터 출력 신호(S013)로부터 시프트 레지스터 출력 신호(S012)로 시프팅되고, 이와 같이 계속 적용되어 시프트 레지스터 출력 신호(S01)까지 시프팅된다. 소정의 시퀀스 동안에 각각의 시프트 레지스터 출력 신호(S01-S013)가 하이 전압 레벨로 설정된 후, 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 설정된다.

[0265] 트랜지스터 로직을 포함하는 하위 뱅크 로직 회로(1206)는 어드레스 신호(~A1, ~A2, ... ~A8) 내에 로우 전압 레벨 어드레스 신호를 제공한다. 하위 뱅크 로직 회로(1206)는 하위 뱅크 입력 신호(AI1-AI13) 중 하나에서 하이 전압 레벨 신호를 수신하고, 어드레스 신호(~A1, ~A2, ... ~A8) 내에 대응하는 로우 전압 레벨 어드레스 신호의 세트를 제공한다. 하위 뱅크 입력 신호(AI1-AI13)는 각각 하위 뱅크 어드레스(1-13)에 대응한다. 일실시예에서, 하이 전압 레벨 입력 신호(AI1)에 응답하여, 하위 뱅크 로직 회로(1206)는 어드레스 신호(~A1, ~A2, ... ~A8) 내에 하위 뱅크 어드레스 1로서 ~A1 및 ~A2 등과 같은 2개의 로우 전압 레벨 어드레스 신호를 제공한다. 하이 전압 레벨 입력 신호(AI2)에 응답하여, 하위 뱅크 로직 회로(1206)는 어드레스 신호(~A1, ~A2, ... ~A8) 내에 하위 뱅크 어드레스 2로서 ~A1 및 ~A3 등과 같은 2개의 로우 전압 레벨 어드레스 신호를 제공한다. 이것은 하위 뱅크 로직 회로(1206)가 하이 전압 레벨 입력 신호(AI13)를 수신하고, 어드레스 신호(~A1, ~A2, ... ~A8) 내에 하위 뱅크 어드레스 13으로서 2개의 로우 전압 레벨 어드레스 신호를 제공할 때까지 계속 적용된다.

[0266] 상위 뱅크 시프트 레지스터(1204)는 13개의 시프트 레지스터 출력 신호(S01-S013)를 제공하는 13개의 시프트 레지스터 셀(403)을 포함한다. 각각의 13개의 시프트 레지스터 셀은 전기적으로 결합되어 제 1 사전-충전 신호

호(PRE1), 제 1 평가 신호(EVAL1), 제 2 사전-충전 신호(PRE2) 및 제 2 평가 신호(EVAL2)를 수신한다. 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT3) 내의 타이밍 펄스와 실질적으로 부합하는 제어 신호(CSYNC) 내의 제어 펄스를 수신하는 것에 의해 개시된다. 그 응답으로서, S01 또는 S013에서 하이 전압 레벨 신호가 제공된다. 각각의 후속하는 일련의 6개의 타이밍 펄스에서, 상위 뱅크 시프트 레지스터(1204)는 하이 전압 레벨 신호를 다음의 시프트 레지스터 셀(403)로 시프팅하고, 하이 전압 레벨 신호를 시프트 레지스터 출력 신호(S01-S013) 중의 하나로 시프팅한다. 정방향에서, 하이 전압 레벨 신호는 시프트 레지스터 출력 신호(S01)로부터 시프트 레지스터 출력 신호(S02)로 시프팅되고, 이와 같이 계속 진행되어 시프트 레지스터 출력 신호(S013)까지 시프팅된다. 역방향에서, 하이 전압 레벨 신호는 시프트 레지스터 출력 신호(S013)로부터 시프트 레지스터 출력 신호(S012)로 시프팅되고, 이와 같이 계속 적용되어 시프트 레지스터 출력 신호(S01)까지 시프팅된다. 각각의 시프트 레지스터 출력 신호(S01-S013)가 하이 전압 레벨로 설정된 후, 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 설정된다.

[0267] 트랜지스터 로직을 포함하는 상위 뱅크 로직 회로(1208)는 어드레스 신호(~A1, ~A2, ... ~A8) 내에 로우 전압 레벨 어드레스 신호를 제공한다. 상위 뱅크 로직 회로(1208)는 상위 뱅크 입력 신호(AI14-AI26) 중 하나에서 하이 전압 레벨 신호를 수신하고, 어드레스 신호(~A1, ~A2, ... ~A8) 내에 대응하는 로우 전압 레벨 어드레스 신호의 세트를 제공한다. 상위 뱅크 입력 신호(AI14-AI26)는 각각 상위 뱅크 어드레스 14-26에 대응한다. 일실시예에서, 하이 전압 레벨 입력 신호(AI14)에 응답하여, 상위 뱅크 로직 회로(1208)는 어드레스 신호(~A1, ~A2, ... ~A8) 내에 상위 뱅크 어드레스 14로서 2개의 로우 전압 레벨 어드레스 신호를 제공한다. 하이 전압 레벨 입력 신호(AI15)에 응답하여, 상위 뱅크 로직 회로(1208)는 어드레스 신호(~A1, ~A2, ... ~A8) 내에 상위 뱅크 어드레스 15로서 2개의 로우 전압 레벨 어드레스 신호를 제공한다. 이것은 상위 뱅크 로직 회로(1208)가 하이 전압 레벨 입력 신호(AI26)를 수신하고, 어드레스 신호(~A1, ~A2, ... ~A8) 내에 상위 뱅크 어드레스 26으로서 2개의 로우 전압 레벨 어드레스 신호를 제공할 때까지 계속 적용된다.

[0268] 방향 회로(1210)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 방향 신호(DIRF, DIRR)를 제공하여 시프팅 방향을 설정한다. 방향 회로(1210)가 타이밍 신호(BT5) 내의 타이밍 펄스와 실질적으로 부합하는 제어 신호(CSYNC) 내의 제어 펄스를 수신하면, 방향 회로(1210)는 정방향으로 시프팅되고 어드레스를 제공하기 위해서 로우 전압 레벨 방향 신호(DIRR) 및 하이 전압 레벨 방향 신호(DIRF)를 제공한다. 방향 회로(1210)가 타이밍 신호(BT5) 내의 타이밍 펄스와 실질적으로 부합하는 제어 펄스를 수신하지 않으면, 방향 회로(1210)는 역방향으로 시프팅되고 어드레스를 제공하기 위해서 로우 전압 레벨 방향 신호(DIRF) 및 하이 전압 레벨 방향 신호(DIRR)를 제공한다.

[0269] 뱅크 타이밍 신호(BT1-BT6)는 반복되는 일련의 6개의 펄스를 제공한다. 각각의 타이밍 신호(BT1-BT6)는 일련의 6개의 펄스 내에 하나의 펄스를 제공하고, 타이밍 신호(BT1-BT6)는 타이밍 신호(BT1)로부터 타이밍 신호(BT6)로의 순서로 펄스를 제공한다.

[0270] 하위 뱅크 시프트 레지스터(1202)의 정방향 동작에서, 방향 회로(1210)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하여 방향 신호(DIRR, DIRF)를 하이 전압 레벨로 사전-충전한다. 방향 회로(1210)는 타이밍 신호(BT5) 내의 타이밍 펄스와 실질적으로 부합하는 제어 신호(CSYNC) 내의 제어 펄스를 수신하여 방향 신호(DIRR)를 로우 전압 레벨로 방전한다. 하이 전압 레벨 방향 신호(DIRF) 및 로우 전압 레벨 방향 신호(DIRR)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)가 정방향으로 시프팅하도록 설정한다. 작동 방향은 타이밍 신호(BT1-BT6) 내의 각각의 일련의 타이밍 펄스 동안에 설정된다. 또한, 타이밍 신호(BT6) 내의 타이밍 펄스 동안에, 시프트 레지스터 셀(403) 내의 모든 내부 노드(SN)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 사전-충전된다.

[0271] 타이밍 신호(BT1-BT6) 내의 다음의 일련의 6개의 펄스 내에서 하위 뱅크 시프트 레지스터(1202)를 개시하기 위해서, 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(BT1) 내의 타이밍 펄스와 실질적으로 부합하도록 제공된다. 타이밍 신호(BT1) 내의 타이밍 펄스와 실질적으로 부합하는 제어 신호(CSYNC) 내의 제어 펄스 동안에, 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드(SN1)는 로우 전압 레벨로 방전된다. 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드(SN2-SN13)는 하이 전압 레벨로 유지되고, 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드(SN1-SN13)는 하이 전압 레벨로 유지된다. 상위 뱅크 시프트 레지스터(1204)는 개시되지 않는다.

[0272] 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하고, 그 동안에 모든 시프트 레지스터 출력 신호(S01-S013)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 사전-충전된다. 하위 뱅크 시프트 레지스터

(1202) 및 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT5) 내의 타이밍 펄스를 수신하고, 그 동안에 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S02-S013) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S013)는 방전된다. 내부 노드 신호(SN1)가 로우 전압 레벨로 유지되기 때문에 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01)는 하이 전압 레벨로 유지된다. 하위 뱅크 시프트 레지스터(1202)는 하위 뱅크 로직 회로(1206)에 하이 전압 레벨 출력 신호(S01)를 제공한다.

[0273] 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하여 어드레스 라인(1252a-1252h)을 사전-충전한다. 타이밍 신호(BT5) 내의 타이밍 펄스는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 로직 평가 트랜지스터가 온 상태로 전환되는 것을 방지한다. 일실시예에서, 타이밍 신호(BT4) 내의 타이밍 펄스가 아니라 타이밍 신호(BT5) 내의 타이밍 펄스 동안에 어드레스 라인(1252a-1252h)이 사전-충전된다.

[0274] 다음에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)는 타이밍 신호(BT6) 내의 타이밍 펄스를 수신하여 로직 평가 트랜지스터를 온 상태로 전환한다. 하위 뱅크 로직 회로(1206)는 하나의 하이 전압 레벨 시프트 레지스터 출력 신호(S01)를 하위 뱅크 입력 신호(AI1)로서 수신하고, 로우 전압 레벨 시프트 레지스터 출력 신호(S02-S013)를 하위 뱅크 입력 신호(AI2-AI13)로서 각각 수신한다. 그 응답으로서, 하위 뱅크 로직 회로(1206)는 하위 뱅크 어드레스 1 내의 로우 전압 레벨 어드레스 신호에 대응하는 어드레스 라인을 로우 전압 레벨로 능동적으로 유도한다. 상위 뱅크 로직 회로(1208)는 로우 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 상위 뱅크 입력 신호(AI14-AI26)로서 수신하고, 어드레스 라인(1252a-1252h) 중 어떤 것도 방전 하지 않는다.

[0275] 각각의 후속하는 일련의 6개의 펄스는 시프트 레지스터 출력 신호(S01-S013) 중 하나의 신호로부터의 하이 전압 레벨 신호를 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01-S013) 중 그 인접한 하나의 신호로 시프팅한다. 하위 뱅크 로직 회로(1206)는 각각의 하이 전압 레벨 출력 신호(S01-S013)를 수신하고, 어드레스 신호(~A1, ~A2, ..., ~A8) 내에서 대응하는 하위 뱅크 어드레스 1-13을 하위 뱅크 어드레스 1로부터 하위 뱅크 어드레스 13까지 제공한다. 시프트 레지스터 출력 신호(S013)가 하이가 된 후, 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 설정되고, 로직 회로가 다시 개시되거나 어드레스 라인이 다른 뱅크의 로직 회로에 의해 방전되지 않는 한 어드레스 신호(~A1, ~A2, ..., ~A8)는 하이 전압 레벨로 충전된 채로 유지된다.

[0276] 상위 뱅크 시프트 레지스터(1204)의 정방향 동작에서, 방향 회로(1210)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하여 방향 신호(DIRR, DIRF)를 하이 전압 레벨로 사전-충전한다. 방향 회로(1210)는 타이밍 신호(BT5) 내의 타이밍 펄스와 실질적으로 부합하는 제어 신호(CSYNC) 내의 제어 펄스를 수신하여 방향 신호(DIRR)를 로우 전압 레벨로 방전한다. 방향 회로(1210)는 타이밍 신호(BT6) 내의 타이밍 펄스를 수신하고, 방향 신호(DIRR)가 로우 전압 레벨이면, 방향 신호(DIRF)는 하이 전압 레벨로 유지된다. 하이 전압 레벨 방향 신호(DIRF) 및 로우 전압 레벨 방향 신호(DIRR)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)가 정방향으로 시프팅하도록 설정한다. 작동 방향은 타이밍 신호(BT1-BT6) 내의 각각의 일련의 타이밍 펄스 동안에 설정된다. 또한, 타이밍 신호(BT6) 내의 타이밍 펄스 동안에, 시프트 레지스터 셀(403) 내의 모든 내부 노드(SN)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 사전-충전된다.

[0277] 타이밍 신호(BT1-BT6) 내의 다음의 일련의 6개의 펄스 내에서 상위 뱅크 시프트 레지스터(1204)를 개시하기 위해서, 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(BT3) 내의 타이밍 펄스와 실질적으로 부합하도록 제공된다. 타이밍 신호(BT3) 내의 타이밍 펄스는 제어 신호(CSYNC) 내의 제어 펄스와 실질적으로 부합하고, 그 동안에 상위 뱅크 시프트 레지스터(1204) 내에서 내부 노드(SN1)는 로우 전압 레벨로 방전된다. 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드(SN2-SN13)는 하이 전압 레벨로 유지되고, 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드(SN1-SN13)는 하이 전압 레벨로 유지된다. 하위 뱅크 시프트 레지스터(1202)는 개시되지 않는다.

[0278] 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하고, 그 동안에 시프트 레지스터 출력 신호(S01-S013)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 충전된다. 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT5) 내의 타이밍 펄스를 수신하고, 그 동안에 하위 뱅크 시프트 레지스터(1202) 내의 모든 시프트 레지스터 출력 신호(S01-S013) 및 상위 뱅크 시프트 레지스터(1204) 내의

시프트 레지스터 출력 신호(S02-S013)는 방전된다. 내부 노드 신호(SN1)가 로우 전압 레벨로 유지되기 때문에 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01)는 하이 전압 레벨로 유지된다. 상위 뱅크 시프트 레지스터(1204)는 상위 뱅크 로직 회로(1208)에 하이 전압 레벨 출력 신호(S01)를 제공한다.

[0279] 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하여 어드레스 라인(1252a-1252h)을 사전-충전한다. 타이밍 신호(BT5) 내의 타이밍 펄스는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 로직 평가 트랜지스터가 온 상태로 전환되는 것을 방지한다. 일실시예에서, 타이밍 신호(BT4) 내의 타이밍 펄스가 아니라 타이밍 신호(BT5) 내의 타이밍 펄스 동안에 어드레스 라인(1252a-1252h)이 사전-충전된다.

[0280] 다음에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)는 타이밍 신호(BT6) 내의 타이밍 펄스를 수신하여 로직 평가 트랜지스터를 온 상태로 전환한다. 상위 뱅크 로직 회로(1208)는 하나의 하이 전압 레벨 시프트 레지스터 출력 신호(S01)를 상위 뱅크 입력 신호(AI14)로서 수신하고, 로우 전압 레벨 시프트 레지스터 출력 신호(S02-S013)를 상위 뱅크 입력 신호(AI15-AI26)로서 각각 수신한다. 그 응답으로서, 상위 뱅크 로직 회로(1208)는 상위 뱅크 어드레스 14 내의 로우 전압 레벨 어드레스 신호에 대응하는 어드레스 라인을 로우 전압 레벨로 능동적으로 유도한다. 하위 뱅크 로직 회로(1206)는 로우 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 하위 뱅크 입력 신호(AI1-AI13)로서 수신하고, 어드레스 라인(1252a-1252h) 중 어떤 것도 방전하지 않는다.

[0281] 각각의 후속하는 일련의 6개의 펄스는 시프트 레지스터 출력 신호(S01-S013) 중 하나의 신호로부터의 하이 전압 레벨 신호를 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S013) 중 그 다음의 신호로 시프팅한다. 상위 뱅크 로직 회로(1208)는 각각의 하이 전압 레벨 출력 신호(S01-S013)를 수신하고, 어드레스 신호(~A1, ~A2, ... ~A8) 내에서 대응하는 상위 뱅크 어드레스 14-26을 상위 뱅크 어드레스 14로부터 상위 뱅크 어드레스 26까지 제공한다. 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S013)가 하이가 된 후, 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 설정되고, 로직 회로가 다시 개시되거나 어드레스 라인이 다른 뱅크의 로직 회로에 의해 방전되지 않는 한 어드레스 신호(~A1, ~A2, ... ~A8)는 하이 전압 레벨로 충전된 채로 유지된다.

[0282] 하위 뱅크 시프트 레지스터(1202)의 역방향 동작에서, 타이밍 신호(BT1-BT6) 내의 하나의 일련의 6개의 펄스 동안에 방향 회로(1210)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하여 방향 신호(DIRR, DIRF)를 하이 전압 레벨로 사전-충전한다. 방향 회로(1210)는 타이밍 신호(BT5) 내의 타이밍 펄스와 실질적으로 부합하는 로우 전압 레벨 제어 신호(CSYNC)를 수신하여 방향 신호(DIRR)를 하이 전압 레벨로 유지한다. 방향 회로(1210)는 타이밍 신호(BT6) 내의 타이밍 펄스를 수신하고, 방향 신호(DIRR)가 하이 전압 레벨이면, 방향 신호(DIRF)는 로우 전압 레벨로 방전된다. 로우 전압 레벨 방향 신호(DIRF) 및 하이 전압 레벨 방향 신호(DIRR)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)가 역방향으로 시프팅하도록 설정한다. 작동 방향은 타이밍 신호(BT1-BT6) 내의 각각의 일련의 타이밍 펄스 동안에 설정된다. 또한, 타이밍 신호(BT6) 내의 타이밍 펄스 동안에, 시프트 레지스터 셀(403) 내의 모든 내부 노드(SN)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 사전-충전된다.

[0283] 타이밍 신호(BT1-BT6) 내의 다음의 일련의 6개의 펄스 내에서 하위 뱅크 시프트 레지스터(1202)를 개시하기 위해서, 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(BT1) 내의 타이밍 펄스와 실질적으로 부합하도록 제공된다. 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(BT1) 내의 타이밍 펄스와 실질적으로 부합하고, 그 동안에 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드(SN13)는 로우 전압 레벨로 방전된다. 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드(SN1-SN12)는 하이 전압 레벨로 유지되고, 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드(SN1-SN13)는 하이 전압 레벨로 유지된다. 상위 뱅크 시프트 레지스터(1204)는 개시되지 않는다.

[0284] 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하고, 그 동안에 모든 시프트 레지스터 출력 신호(S01-S013)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 사전-충전된다. 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT5) 내의 타이밍 펄스를 수신하고, 그 동안에 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01-S012) 및 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 방전된다. 내부 노드 신호(SN13)가 로우 전압 레벨이기 때문에 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S013)는 하이 전압 레벨로

유지된다. 하위 뱅크 시프트 레지스터(1202)는 하위 뱅크 로직 회로(1206)에 하이 전압 레벨 출력 신호(S013)를 제공한다.

[0285] 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하여 어드레스 라인(1252a-1252h)을 사전-충전한다. 타이밍 신호(BT5) 내의 타이밍 펄스는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 로직 평가 트랜지스터가 온 상태로 전환되는 것을 방지한다. 일실시예에서, 타이밍 신호(BT4) 내의 타이밍 펄스가 아니라 타이밍 신호(BT5) 내의 타이밍 펄스 동안에 어드레스 라인(1252a-1252h)이 사전-충전된다.

[0286] 다음에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)는 타이밍 신호(BT6) 내의 타이밍 펄스를 수신하여 로직 평가 트랜지스터를 온 상태로 전환한다. 하위 뱅크 로직 회로(1206)는 하나의 하이 전압 레벨 시프트 레지스터 출력 신호(S013)를 하위 뱅크 입력 신호(AI13)로서 수신하고, 로우 전압 레벨 시프트 레지스터 출력 신호(S01-S012)를 하위 뱅크 입력 신호(AI1-AI12)로서 각각 수신한다. 그 응답으로서, 하위 뱅크 로직 회로(1206)는 하위 뱅크 어드레스 13 내의 로우 전압 레벨 어드레스 신호에 대응하는 어드레스 라인을 로우 전압 레벨로 능동적으로 유도한다. 상위 뱅크 로직 회로(1208)는 로우 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 상위 뱅크 입력 신호(AI14-AI26)로서 수신하고, 어드레스 라인(1252a-1252h) 중 어떤 것도 방전하지 않는다.

[0287] 각각의 후속하는 일련의 6개의 펄스는 시프트 레지스터 출력 신호(S01-S013) 중 하나의 신호로부터의 하이 전압 레벨 신호를 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01-S013) 중 그 다음의 신호로 시프팅한다. 하위 뱅크 로직 회로(1206)는 각각의 하이 전압 레벨 출력 신호(S01-S013)를 수신하고, 어드레스 신호(~A1, ~A2, ... ~A8) 내에서 대응하는 하위 뱅크 어드레스 1-13을 하위 뱅크 어드레스 13으로부터 하위 뱅크 어드레스 1까지 제공한다. 시프트 레지스터 출력 신호(S01)가 하이가 된 후, 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 설정되고, 로직 회로가 다시 개시되거나 어드레스 라인이 다른 뱅크의 로직 회로에 의해 방전되지 않는 한 어드레스 신호(~A1, ~A2, ... ~A8)는 하이 전압 레벨로 충전된 채로 유지된다.

[0288] 상위 뱅크 시프트 레지스터(1204)의 역방향 동작에서, 타이밍 신호(BT1-BT6) 내의 하나의 일련의 6개의 펄스 동안에 방향 회로(1210)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하여 방향 신호(DIRR, DIRF)를 하이 전압 레벨로 사전-충전한다. 방향 회로(1210)는 타이밍 신호(BT5) 내의 타이밍 펄스와 실질적으로 부합하는 로우 전압 레벨 제어 신호(CSYNC)를 수신하여 방향 신호(DIRR)를 하이 전압 레벨로 유지한다. 방향 회로(1210)는 타이밍 신호(BT6) 내의 타이밍 펄스를 수신하고, 방향 신호(DIRR)가 하이 전압 레벨이면, 방향 신호(DIRF)는 로우 전압 레벨로 방전된다. 로우 전압 레벨 방향 신호(DIRF) 및 하이 전압 레벨 방향 신호(DIRR)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)가 역방향으로 시프팅하도록 설정한다. 작동 방향은 타이밍 신호(BT1-BT6) 내의 각각의 일련의 타이밍 펄스 동안에 설정된다. 또한, 타이밍 신호(BT6) 내의 타이밍 펄스 동안에, 시프트 레지스터 셀(403) 내의 모든 내부 노드(SN)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 사전-충전된다.

[0289] 타이밍 신호(BT1-BT6) 내의 다음의 일련의 6개의 펄스 내에서 상위 뱅크 시프트 레지스터(1204)를 개시하기 위해서, 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(BT3) 내의 타이밍 펄스와 실질적으로 부합하도록 제공된다. 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(BT3) 내의 타이밍 펄스와 실질적으로 부합하고, 그 동안에 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드(SN13)는 로우 전압 레벨로 방전된다. 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드(SN1-SN12)는 하이 전압 레벨로 유지되고, 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드(SN1-SN13)는 하이 전압 레벨로 유지된다. 하위 뱅크 시프트 레지스터(1202)는 개시되지 않는다.

[0290] 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하고, 그 동안에 모든 시프트 레지스터 출력 신호(S01-S013)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 충전된다. 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT5) 내의 타이밍 펄스를 수신하고, 그 동안에 하위 뱅크 시프트 레지스터(1202) 내의 모든 시프트 레지스터 출력 신호(S01-S013) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S012)는 방전된다. 내부 노드 신호(SN13)가 로우 전압 레벨로 유지되기 때문에 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S013)는 하이 전압 레벨로 유지된다. 상위 뱅크 시프트 레지스터(1204)는 상위 뱅크 로직 회로(1208)에 하이 전압 레벨 출력 신호(S013)를 제

공한다.

[0291] 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)는 타이밍 신호(BT4) 내의 타이밍 펄스를 수신하여 어드레스 라인(1252a-1252h)을 사전-충전한다. 타이밍 신호(BT5) 내의 타이밍 펄스는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 로직 평가 트랜지스터가 온 상태로 전환되는 것을 방지한다. 일실시예에서, 타이밍 신호(BT4) 내의 타이밍 펄스가 아니라 타이밍 신호(BT5) 내의 타이밍 펄스 동안에 어드레스 라인(1252a-1252h)이 사전-충전된다.

[0292] 다음에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)는 타이밍 신호(BT6) 내의 타이밍 펄스를 수신하여 로직 평가 트랜지스터를 온 상태로 전환한다. 상위 뱅크 로직 회로(1208)는 하나의 하이 전압 레벨 시프트 레지스터 출력 신호(S013)를 상위 뱅크 입력 신호(AI26)로서 수신하고, 로우 전압 레벨 시프트 레지스터 출력 신호(S01-S012)를 상위 뱅크 입력 신호(AI14-AI25)로서 각각 수신한다. 그 응답으로서, 상위 뱅크 로직 회로(1208)는 상위 뱅크 어드레스 26 내의 로우 전압 레벨 어드레스 신호에 대응하는 어드레스 라인을 로우 전압 레벨로 능동적으로 유도한다. 하위 뱅크 로직 회로(1206)는 로우 전압 레벨 시프트 레지스터 출력 신호(S01-S013)를 하위 뱅크 입력 신호(AI1-AI13)로서 수신하고, 어드레스 라인(1252a-1252h) 중 어떤 것도 방전하지 않는다.

[0293] 각각의 후속하는 일련의 6개의 펄스는 시프트 레지스터 출력 신호(S01-S013) 중 하나의 신호로부터의 하이 전압 레벨 신호를 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S013) 중 그 다음의 신호로 시프팅한다. 상위 뱅크 로직 회로(1208)는 각각의 하이 전압 레벨 출력 신호(S01-S013)를 수신하고, 어드레스 신호(~A1, ~A2, ... ~A8) 내에서 대응하는 상위 뱅크 어드레스 14-26을 상위 뱅크 어드레스 26으로부터 상위 뱅크 어드레스 14까지 제공한다. 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01)가 하이가 된 후, 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 설정되고, 로직 회로가 다시 개시되거나 어드레스 라인이 다른 뱅크의 로직 회로에 의해 방전되지 않는 한 어드레스 신호(~A1, ~A2, ... ~A8)는 하이 전압 레벨로 충전된 채로 유지된다.

[0294] 작동 중에, 하위 뱅크 시프트 레지스터(1202)는 상위 뱅크 시프트 레지스터(1204)와는 독립적으로 개시되어 정방향 또는 역방향으로 어드레스 신호(~A1, ~A2, ... ~A8) 내에 하위 뱅크 어드레스 1-13을 제공하고, 상위 뱅크 시프트 레지스터(1204)는 하위 뱅크 시프트 레지스터(1202)와는 독립적으로 개시되어 정방향 또는 역방향으로 어드레스 신호(~A1, ~A2, ... ~A8) 내에 상위 뱅크 어드레스 14-26을 제공한다. 또한, 하위 뱅크 시프트 레지스터(1202)는 한번에 하나씩 개시되어 반복적으로 어드레스 신호(~A1, ~A2, ... ~A8) 내에 하위 뱅크 어드레스 1-13을 생성할 수 있고, 상위 뱅크 시프트 레지스터(1204)는 한번에 하나씩 개시되어 반복적으로 어드레스 신호(~A1, ~A2, ... ~A8) 내에 상위 뱅크 어드레스 14-26을 생성할 수 있다. 추가하여, 하위 뱅크 시프트 레지스터(1202)가 개시되어 하위 뱅크 어드레스 1-13을 생성하고, 그에 후속하여 상위 뱅크 시프트 레지스터(1204)를 개시하여 상위 뱅크 어드레스 14-26을 생성하거나, 그 반대로 실행할 수도 있다.

[0295] 특정한 실시예에서 하위 뱅크 시프트 레지스터(1202) 및 하위 뱅크 로직 회로(1206), 및 상위 뱅크 시프트 레지스터(1204) 및 상위 뱅크 로직 회로(1208)는 프린트헤드 다이(40) 상에서 서로 근접하게 위치될 수 있다는 것을 유의하라. 다른 실시예에서, 하위 뱅크 시프트 레지스터(1202) 및 하위 뱅크 로직 회로(1206), 및 상위 뱅크 시프트 레지스터(1204) 및 상위 뱅크 로직 회로(1208)는 프린트헤드 다이(40) 상에서 서로 근접하게 위치되지 않을 수 있다. 후자의 실시예에서, 2개의 방향 회로(1210)가 제공되는데, 그 각각은 하위 뱅크 시프트 레지스터(1202) 및 하위 뱅크 로직 회로(1206)의 근처와, 상위 뱅크 시프트 레지스터(1204) 및 상위 뱅크 로직 회로(1208)의 근처에 배치된다.

[0296] 도 16은 방향 회로(1210)를 도시하는 도면이다. 방향 회로(1210)는 역방향 신호 스테이지(1260) 및 정방향 신호 스테이지(1262)를 포함한다. 역방향 신호 스테이지(1260)는 사전-충전 트랜지스터(1264), 평가 트랜지스터(1266) 및 제어 트랜지스터(1268)를 포함한다. 정방향 신호 스테이지(1262)는 사전-충전 트랜지스터(1270), 평가 트랜지스터(1272) 및 제어 트랜지스터(1274)를 포함한다.

[0297] 사전-충전 트랜지스터(1264)의 게이트 및 드레인-소스 경로의 한 쪽은 타이밍 신호 라인(1224)에 전기적으로 결합된다. 타이밍 신호 라인(1224)은 방향 회로(1210)에 제 3 사전-충전 신호(PRE3)로서 타이밍 신호(BT4)를 제공한다. 사전-충전 트랜지스터(1264)의 드레인-소스 경로의 다른 쪽은 방향 신호 라인(1240b)을 통해 평가 트랜지스터(1266)의 드레인-소스 경로의 한 쪽에 전기적으로 결합된다. 방향 신호 라인(1240b)은 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 각각의 시프트 레지스터 셀에서 역방향 트랜지스터의 게이트에 역방향 신호(DIRR)를 제공한다. 평가 트랜지스터(1266)의 게이트는 방향 회로(1210)에

제 3 평가 신호(EVAL3)로서 감소된 전압 레벨의 BT5 타이밍 신호를 제공하는 평가 신호 라인(1228)에 전기적으로 결합된다. 평가 트랜지스터(1266)의 드레인-소스 경로의 다른 쪽은 참조 부호(1726)에서 제어 트랜지스터(1268)의 드레인-소스 경로에 전기적으로 결합된다. 제어 트랜지스터(1268)의 드레인-소스 경로는 또한 참조 부호(1278)에서 접지 등과 같은 기준 전압에 전기적으로 결합된다. 제어 트랜지스터(1268)의 게이트는 제어 라인(1214)에 전기적으로 결합되어 제어 신호(CSYNC)를 수신한다.

[0298] 사전-충전 트랜지스터(1270)의 게이트 및 드레인-소스 경로의 한 쪽은 타이밍 신호 라인(1224)에 전기적으로 결합된다. 사전-충전 트랜지스터(1270)의 드레인-소스 경로의 다른 쪽은 방향 신호 라인(1240a)을 통해 평가 트랜지스터(1272)의 드레인-소스 경로의 한 쪽에 전기적으로 결합된다. 방향 신호 라인(1240a)은 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 각각의 시프트 레지스터에서 정방향 트랜지스터의 게이트에 정방향 신호(DIRF)를 제공한다. 평가 트랜지스터(1272)의 게이트는 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 감소된 전압 레벨의 BT6 타이밍 신호를 제공하는 평가 신호 라인(1248)에 전기적으로 결합된다. 평가 트랜지스터(1272)의 드레인-소스 경로의 다른 쪽은 참조 부호(1280)에서 제어 트랜지스터(1274)의 드레인-소스 경로에 전기적으로 결합된다. 제어 트랜지스터(1274)의 드레인-소스 경로는 참조 부호(1282)에서 접지 등과 같은 기준 전압에 전기적으로 결합된다. 제어 트랜지스터(1274)의 게이트는 방향 신호 라인(1240b)에 전기적으로 결합되어 역방향 신호(DIRR)를 수신한다.

[0299] 방향 신호(DIRF, DIRR)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프팅 방향을 설정한다. 정방향 신호(DIRF)가 하이 전압 레벨로 설정되고, 역방향 신호(DIRR)가 로우 전압 레벨로 설정되면, 정방향 트랜지스터(512) 등의 정방향 트랜지스터는 온 상태로 전환되고, 역방향 트랜지스터(514) 등과 같은 역방향 방향 트랜지스터는 오프 상태로 전환된다. 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)는 정방향으로 시프팅한다. 정방향 신호(DIRF)가 로우 전압 레벨로 설정되고, 역방향 신호(DIRR)가 하이 전압 레벨로 설정되면, 정방향 트랜지스터(512) 등과 같은 정방향 트랜지스터는 오프 상태로 전환되고, 역방향 트랜지스터(514) 등과 같은 역방향 트랜지스터는 온 상태로 전환된다. 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)는 역방향으로 시프팅한다. 방향 신호(DIRF, DIRR)는 타이밍 신호(BT4, BT5, BT6) 내의 타이밍 펄스 동안에 설정된다.

[0300] 작동 중에, 타이밍 신호 라인(1224)은 제 3 사전-충전 신호(PRE3)로서 타이밍 신호(BT4) 내 타이밍 펄스를 방향 회로(1210)에 제공한다. 제 3 사전-충전 신호(PRE3) 내의 타이밍 펄스 동안에, 정방향 신호 라인(1240a) 및 역방향 신호 라인(1240b)은 하이 전압 레벨로 충전된다. 타이밍 신호(BT5) 내의 타이밍 펄스는 방향 회로(1210)에 제 3 평가 신호(EVAL3)로서 감소된 전압 레벨의 BT5 타이밍 펄스를 제공하는 저항 분할 네트워크(1226)에 제공된다. 제 3 평가 신호(EVAL3) 내의 타이밍 펄스는 평가 트랜지스터(1266)를 온 상태로 전환한다. 제 3 평가 신호(EVAL3) 내의 타이밍 펄스가 평가 트랜지스터(1266)에 제공되는 것과 동시에 제어 신호(CSYNC) 내의 제어 펄스가 제어 트랜지스터(1268)의 게이트에 제공되면, 역방향 신호 라인(1240b)은 로우 전압 레벨로 방전된다. 제 3 평가 신호(EVAL3) 내의 타이밍 펄스가 평가 트랜지스터(1266)에 제공될 때 제어 신호(CSYNC)가 로우 전압 레벨로 유지되면, 역방향 신호 라인(1240b)은 하이 전압 레벨로 충전된 채로 유지된다.

[0301] 타이밍 신호(BT6) 내의 타이밍 펄스는 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 감소된 전압 레벨의 BT6 타이밍 펄스를 제공하는 저항 분할 네트워크(1246)에 제공된다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스는 평가 트랜지스터(1272)를 온 상태로 전환한다. 역방향 신호(DIRR)가 하이 전압 레벨이면, 정방향 신호 라인(1240a)은 로우 전압 레벨로 방전된다. 역방향 신호(DIRR)가 로우 전압 레벨이면, 정방향 신호 라인(1240a)은 하이 전압 레벨로 충전된 채로 유지된다.

[0302] 도 17은 정방향에서의 뱅크 선택 어드레스 생성기(1200)의 동작을 도시하는 타이밍도이다. 타이밍 신호(BT1-BT6)는 반복하는 일련의 6개의 펄스로 반복되는 일련의 6개의 펄스를 제공한다. 각각의 타이밍 신호(BT1-BT6)는 일련의 6개의 펄스 내의 하나의 펄스를 제공한다.

[0303] 하나의 일련의 6개의 펄스에서, 참조 부호(1300)에서의 타이밍 신호(BT1)는 타이밍 펄스(1302)를 포함하고, 참조 부호(1304)에서의 타이밍 신호(BT2)는 타이밍 펄스(1306)를 포함하며, 참조 부호(1308)에서의 타이밍 신호(BT3)는 타이밍 펄스(1310)를 포함하고, 참조 부호(1312)에서의 타이밍 신호(BT4)는 타이밍 펄스(1314)를 포함하고, 참조 부호(1316)에서의 타이밍 신호(BT5)는 타이밍 펄스(1318)를 포함하고, 참조 부호(1320)에서의 타이밍 신호(BT6)는 타이밍 펄스(1322)를 포함한다. 참조 부호(1324)에서의 제어 신호(CSYNC)는 뱅크 선택 어드레스 생성기(1200) 내의 시프팅 방향을 설정하고, 어드레스 1-26을 생성하도록 하위 뱅크 시프트 레지스

터(1202) 및 상위 뱅크 시프트 레지스터(1204)를 개시하는 제어 펄스를 포함한다.

[0304] 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 중 어떤 것도 시프팅되지 않게 하기 위해서, 방향 회로(1210)는 제어 신호(CSYNC) 내의 제어 펄스(1324)에 의해 설정되지 않는다. 참조 부호(1326)에서의 역방향 신호(DIRR)는 하이 전압 레벨로 충전되었고, 이것은 이전에 정방향 신호(DIRF)(1328)를 로우 전압 레벨로 방전했던 제어 트랜지스터(1274)를 온 상태로 전환한다. 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내의 내부 노드 신호(SN)(1330)는 하이 전압 레벨로 충전된 채로 유지되고, 이것은 모든 시프트 레지스터 출력 신호(SO)(1332)를 로우 전압 레벨로 방전한다. 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 신호(LEVAL)(1334)는 타이밍 신호(BT6)(1320) 내의 이전의 펄스로부터 하이 전압 레벨로 충전된 채로 유지된다. 또한, 시프트 레지스터 출력 신호(SO)(1332)가 로우 전압 레벨이면, 로직 회로가 다시 개시되거나 어드레스 라인이 다른 뱅크의 로직 회로에 의해 방전되지 않는 한 어드레스 신호(~A1, ~A2, ... ~A8)(1336)는 하이 전압 레벨로 충전된 채로 유지된다.

[0305] 참조 부호(1300)에서의 타이밍 신호(BT1) 내의 타이밍 펄스(1302)는 제 1 평가 신호(EVAL1)로서 하위 뱅크 시프트 레지스터(1202)에 제공된다. 타이밍 펄스(1302)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1324)는 로우 전압 레벨로 유지되고, 모든 시프트 레지스터 출력 신호(SO)(1332)는 로우 전압 레벨로 유지되는데, 이것은 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 각각의 정방향 입력 트랜지스터 및 각각의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 비도전성의 정방향 및 역방향 입력 트랜지스터는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 내부 노드 신호(SN)(1330)가 로우 전압 레벨로 방전되는 것을 방지한다. 모든 시프트 레지스터 내부 노드 신호(SN)(1330)는 하이 전압 레벨로 유지된다. 참조 부호(1304)에서의 타이밍 신호(BT2) 내의 타이밍 펄스(1306)는 뱅크 선택 어드레스 생성기(1200)에 제공되지 않고, 각각의 신호는 타이밍 펄스(1306) 동안에 변동 없이 유지된다.

[0306] 다음에, 참조 부호(1308)에서의 타이밍 신호(BT3) 내의 타이밍 펄스(1310)는 제 1 평가 신호(EVAL1)로서 상위 뱅크 시프트 레지스터(1204)에 제공되어 상위 뱅크 시프트 레지스터(1204) 내의 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1324)는 로우 전압 레벨로 유지되고, 모든 시프트 레지스터 출력 신호(SO)(1332)는 로우 전압 레벨로 유지되는데, 이것은 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 각각의 정방향 입력 트랜지스터 및 각각의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 비도전성의 정방향 및 역방향 입력 트랜지스터는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 내부 노드 신호(SN)(1330)가 로우 전압 레벨로 방전되는 것을 방지한다. 모든 시프트 레지스터 내부 노드 신호(SN)(1330)는 하이 전압 레벨로 유지된다.

[0307] 참조 부호(1312)에서의 타이밍 신호(BT4) 내의 타이밍 펄스(1314)는 제 2 사전-충전 신호(PRE2)로서 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제공되고, 제 3 사전-충전 신호(PRE3)로서 방향 회로(1210)에 제공되고, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)에 제공된다. 제 2 사전-충전 신호(PRE2) 내의 타이밍 펄스(1314) 동안에, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 출력 신호(SO)(1332)는 참조 부호(1338)에서 하이 전압 레벨로 충전된다. 또한, 제 3 사전-충전 신호(PRE3) 내의 타이밍 펄스(1314) 동안에, 정방향 신호(DIRF)(1328)는 참조 부호(1340)에서 하이 전압 레벨로 충전되고 역방향 신호(DIRR)(1326)를 하이 전압 레벨로 유지한다. 타이밍 펄스(1314)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 각각의 어드레스 라인 사전-충전 트랜지스터 및 평가 방지 트랜지스터에 제공된다. 타이밍 펄스(1314)는 어드레스 신호(~A1, ~A2, ... ~A8)(1336)를 하이 전압 레벨로 유지하고, 평가 방지 트랜지스터를 온 상태로 전환하여 참조 부호(1342)에서 로직 평가 신호(LEVAL)(1334)를 로우 전압 레벨로 유도한다.

[0308] 참조 부호(1316)에서의 타이밍 신호(BT5) 내의 타이밍 펄스(1318)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 2 평가 신호(EVAL2)로서 제공되고, 방향 회로(1210)에 제 3 평가 신호(EVAL3)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)에 제공된다. 제 2 평가 신호(EVAL2) 내의 타이밍 펄스(1318)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 각각의 제 2 평가 트랜지스터를 온 상태로 전환한다. 내부 노드 신호(SN)(1330)가 하이 전압 레벨이 되어 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)

내의 시프트 레지스터 셀 내에서 각각의 내부 노드 트랜지스터를 온 상태로 전환하면, 모든 시프트 레지스터 출력 신호(S0)(1332)는 참조 부호(1344)에서 로우 전압 레벨로 방전된다. 또한, 제 3 평가 신호(EVAL3) 내의 타이밍 펄스(1318)는 평가 트랜지스터(1266)를 온 상태로 전환한다. 제어 신호(CSYNC)(1324) 내의 제어 펄스(1346)는 제어 트랜지스터(1268)를 온 상태로 전환한다. 평가 트랜지스터(1266) 및 제어 트랜지스터(1268)가 온 상태로 전환되면, 방향 신호(DIRR)(1326)는 참조 부호(1348)에서 로우 전압 레벨로 방전된다. 타이밍 펄스(1318)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 각각의 평가 방지 트랜지스터에 제공된다. 타이밍 펄스(1318)는 각각의 평가 방지 트랜지스터를 온 상태로 전환하여 로직 평가 신호(LEVAL)(1334)를 로우 전압 레벨로 유지한다. 로우 전압 레벨로 평가 신호(LEVAL)(1334)는 어드레스 평가 트랜지스터를 오프 상태로 전환한다.

[0309] 참조 부호(1320)에서의 타이밍 신호(BT6) 내의 타이밍 펄스(1322)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 1 사전-충전 신호(PRE1)로서 제공되고, 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 사전-충전 트랜지스터에 제공된다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스(1322)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 모든 내부 노드 신호(SN)(1330)를 하이 전압 레벨로 유지한다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(1322)는 방향 회로(1210) 내의 평가 트랜지스터(1272)를 온 상태로 전환한다. 로우 전압 레벨 역방향 신호(DIRR)(1326)는 제어 트랜지스터(1274)를 오프 상태로 전환한다. 제어 트랜지스터(1274)가 오프 상태이면, 방향 신호(DIRF)(1328)는 하이 전압 레벨로 충전된 채로 유지된다. 타이밍 펄스(1322) 동안에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 각각의 로직 평가 신호(LEVAL)(1334)는 참조 부호(1350)에서 하이 전압 레벨로 충전된다. 모든 시프트 레지스터 출력 신호(S0)(1332)가 로우 전압 레벨이면, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 모든 어드레스 트랜지스터는 오프 상태로 전환되고 및 어드레스 신호(~A1, ~A2, ..., ~A8)는 하이 전압 레벨로 유지된다. 하이 전압 레벨 정방향 신호(DIRF)(1328) 및 로우 전압 레벨 역방향 신호(DIRR)(1326)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)가 정방향으로 시프팅하도록 설정한다.

[0310] 다음의 일련의 6개의 타이밍 펄스에서, 타이밍 신호(BT1)(1300)는 타이밍 펄스(1352)를 포함하고, 타이밍 신호(BT2)(1304)는 타이밍 펄스(1354)를 포함하고, 타이밍 신호(BT3)(1308)는 타이밍 펄스(1356)를 포함하고, 타이밍 신호(BT4)(1312)는 타이밍 펄스(1358)를 포함하고, 타이밍 신호(BT5)(1316)는 타이밍 펄스(1360)를 포함하고, 타이밍 신호(BT6)(1320)는 타이밍 펄스(1362)를 포함한다.

[0311] 타이밍 펄스(1352)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1324) 내의 제어 펄스(1346)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 1 시프트 레지스터 셀 내에서 각각의 정방향 입력 트랜지스터를 온 상태로 전환한다. 또한, 정방향 트랜지스터는 정방향 신호(DIRF)(1328)에 의해 온 상태로 전환된다. 하위 뱅크 시프트 레지스터(1202) 내의 제 1 평가 트랜지스터가 온 상태로 전환되고, 제 1 시프트 레지스터 셀 내의 정방향 입력 트랜지스터가 온 상태로 전환되고, 정방향 트랜지스터가 온 상태로 전환되면, 하위 뱅크 시프트 레지스터(1202) 내의 제 1 시프트 레지스터 셀 내에서 내부 노드 신호(SN1)는 참조 부호(1366)에 표시된 바와 같이 로우 전압 레벨로 방전된다.

[0312] 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 제 1 평가 트랜지스터는 타이밍 펄스(1352)에 의해 온 상태로 전환되지 않고, 모든 내부 노드 신호(SN)(1330)는 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 유지된다. 또한, 시프트 레지스터 출력 신호(S0)(1332)는 로우 전압 레벨이고, 이것은 모든 다른 시프트 레지스터 셀 내의 정방향 입력 트랜지스터를 오프 상태로 전환한다. 정방향 입력 트랜지스터가 오프 상태이면, 하위 뱅크 시프트 레지스터(1202) 내의 각각의 다른 내부 노드 신호(SN2-SN13)는 하이 전압 레벨로 유지된다. 참조 부호(1304)에서 타이밍 신호(BT2) 내의 타이밍 펄스(1354)는 뱅크 선택 어드레스 생성기(1200)에 제공되지 않고, 각각의 신호는 타이밍 펄스(1354) 동안에 변동 없이 유지된다.

[0313] 다음에, 참조 부호(1308)에서 타이밍 신호(BT3) 내의 타이밍 펄스(1356)는 상위 뱅크 시프트 레지스터(1204) 내에 제 1 평가 신호(EVAL1)로서 제공되어 상위 뱅크 시프트 레지스터(1204) 내의 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1324)는 로우 전압 레벨로 유지되고, 시프트 레지스터 출력 신호(S0)(1332)는 상위 뱅크 시프트 레지스터(1204) 내에서 로우 전압 레벨로 유지되는데, 이것은 상위 뱅크 시프트 레지스터(1204) 내의 각각의 정방향 입력 트랜지스터 및 각각의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 비도전성의 정방향 및 역방향 입력 트랜지스터는 상위 뱅크 시프트 레지스터(1204) 내에서 내부 노드 신호(SN)(1330)가 로우 전압 레벨로 방전되는 것을 방지한다. 상위 뱅크 시프트 레지스터(1204) 내의

모든 시프트 레지스터 내부 노드 신호(SN)(1330)는 하이 전압 레벨로 유지된다.

[0314] 참조 부호(1312)에서의 타이밍 신호(BT4) 내의 타이밍 펄스(1358) 동안에, 모든 시프트 레지스터 출력 신호(SO)(1332)는 참조 부호(1368)에서 하이 전압 레벨로 충전된다. 또한, 타이밍 펄스(1358) 동안에, 역방향 신호(DIRR)(1326)는 참조 부호(1370)에서 하이 전압 레벨로 충전되고 정방향 신호(DIRF)(1328)는 하이 전압 레벨로 유지된다. 추가하여, 타이밍 펄스(1358)는 모든 어드레스 신호(~A1, ~A2, ..., ~A8)(1336)를 하이 전압 레벨로 유지하고, 로직 평가 신호(LEVAL)(1334)를 참조 부호(1372)에서 로우 전압 레벨로 유지한다. 로우 전압 레벨로 로직 평가 신호(LEVAL)(1334)는 어드레스 평가 트랜지스터를 오프 상태로 전환하여 어드레스 트랜지스터가 어드레스 신호(~A1, ~A2, ..., ~A8)(1336)를 로우 전압 레벨로 유도하는 것을 방지한다.

[0315] 참조 부호(1316)에서 타이밍 신호(BT5) 내의 타이밍 펄스(1360)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 2 평가 트랜지스터를 온 상태로 전환한다. 내부 노드 신호(SN2-SN13)가 하위 뱅크 시프트 레지스터(1202) 내에서 하이 전압 레벨이면, 타이밍 펄스(1360) 동안에 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(SO2-SO13) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(SO1-SO13)는 참조 부호(1374)에서 로우 전압 레벨로 방전된다. 내부 노드 신호(SN1)가 하위 뱅크 시프트 레지스터(1202)에서 로우 전압 레벨이면, 시프트 레지스터 출력 신호(SO1)는 참조 부호(1376)에 표시된 바와 같이 하위 뱅크 시프트 레지스터(1202) 내에서 하이 전압 레벨로 유지된다.

[0316] 타이밍 펄스(1360)는 또한 평가 트랜지스터(1266)를 온 상태로 전환하고, 제어 신호(CSYNC)(1324) 내의 제어 펄스(1378)는 제어 트랜지스터(1268)를 온 상태로 전환하여 참조 부호(1380)에서 역방향 신호(DIRR)(1326)를 로우 전압 레벨로 방전한다. 추가하여, 타이밍 펄스(1360)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 평가 방지 트랜지스터를 온 상태로 전환하여 로직 평가 신호(LEVAL)(1334)를 로우 전압 레벨로 유지하고, 이것은 평가 트랜지스터를 오프 상태로 전환한다. 시프트 레지스터 출력 신호(SO)(1332)는 타이밍 펄스(1360) 동안 안정되어, 하위 뱅크 시프트 레지스터(1202) 내의 하나의 시프트 레지스터 출력 신호(SO1)는 하이 전압 레벨로 안정되고, 하위 뱅크 시프트 레지스터(1202) 내의 모든 다른 시프트 레지스터 출력 신호(SO2-SO13) 및 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 출력 신호(SO1-SO13)는 로우 전압 레벨로 안정된다.

[0317] 참조 부호(1320)에서 타이밍 신호(BT6) 내의 타이밍 펄스(1362)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 1 사전-충전 신호(PRE1)로서 제공되고, 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 사전-충전 트랜지스터에 제공된다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스(1362) 동안에, 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드 신호(SN1)는 참조 부호(1382)에서 하이 전압 레벨로 충전되고, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 모든 다른 내부 노드 신호(SN)(1330)를 하이 전압 레벨로 유지한다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(1362)는 방향 회로(1210) 내의 평가 트랜지스터(1272)를 온 상태로 전환한다. 로우 전압 레벨 역방향 신호(DIRR)(1326)는 제어 트랜지스터(1274)를 오프 상태로 전환하고, 방향 신호(DIRF)(1328)는 하이 전압 레벨로 충전된 채로 유지된다. 또한, 타이밍 펄스(1362) 동안에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 각각의 로직 평가 신호(LEVAL)(1334)는 참조 부호(1384)에서 하이 전압 레벨로 충전된다. 하위 뱅크 시프트 레지스터(1202) 내의 하이 레벨 시프트 레지스터 출력 신호(SO1)는 하위 뱅크 로직 회로(1206) 내에서 입력 신호(AI1)로서 수신된다. 하이 전압 레벨 입력 신호(AI1)는 하위 뱅크 로직 회로(1206) 내의 어드레스 트랜지스터를 온 상태로 전환하여 어드레스 신호(~A1, ~A2, ..., ~A8) 내의 로우 어드레스 신호를 능동적으로 유도함으로써 참조 부호(1386)에서 하위 뱅크 어드레스 1을 제공한다. 하위 뱅크 시프트 레지스터(1202) 내의 다른 시프트 레지스터 출력 신호(SO2-SO13) 및 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 출력 신호(SO1-SO13)는 로우 전압 레벨이 되어, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 오프 상태로 전환하여 어드레스 신호(~A1, ~A2, ..., ~A8)를 방전하지 않게 한다. 어드레스 신호(~A1, ~A2, ..., ~A8)는 타이밍 펄스(1362) 동안에 유효 값으로 고정된다.

[0318] 다음의 일련의 6개의 타이밍 펄스에서, 타이밍 신호(BT1)(1300)는 타이밍 펄스(1388)를 포함하고, 타이밍 신호(BT2)(1304)는 타이밍 펄스(1390)를 포함하고, 타이밍 신호(BT3)(1308)는 타이밍 펄스(1392)를 포함하고, 타이밍 신호(BT4)(1312)는 타이밍 펄스(1394)를 포함하고, 타이밍 신호(BT5)(1316)는 타이밍 펄스(1396)를 포함하고, 타이밍 신호(BT6)(1320)는 타이밍 펄스(1398)를 포함한다.

[0319] 타이밍 펄스(1388)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 각각의 제 1 평가 트

랜지스터를 온 상태로 전환하여 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀에서 각각의 정방향 입력 신호(SIF)(도 10a에 도시됨)를 평가한다. 제 1 시프트 레지스터 셀의 정방향 입력 신호(SIF)는 제어 신호(CSYNC)(1324)이고, 이것은 로우 전압 레벨이다. 각각의 다른 시프트 레지스터 셀에서의 정방향 입력 신호(SIF)는 실행하는 시프트 레지스터 출력 신호(SO)(1332)이다. 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(SO1)는 하이 전압 레벨이고, 하위 뱅크 시프트 레지스터(1202) 내의 제 2 시프트 레지스터 셀에서의 정방향 입력 신호(SIF)이다.

[0320] 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(SO1)는 하위 뱅크 시프트 레지스터(1202) 내의 제 2 시프트 레지스터 셀에서 정방향 입력 트랜지스터를 온 상태로 전환한다. 또한, 정방향 트랜지스터는 정방향 신호(DIRF)(1328)에 의해 온 상태로 전환된다. 하위 뱅크 시프트 레지스터(1202) 내의 제 1 평가 트랜지스터가 온 상태로 전환되고, 제 2 시프트 레지스터 셀 내의 정방향 입력 트랜지스터가 온 상태로 전환되고, 정방향 트랜지스터가 온 상태로 전환되면, 하위 뱅크 시프트 레지스터(1202) 내의 제 2 시프트 레지스터 셀 내에서 내부 노드 신호(SN2)는 참조 부호(1400)에 표시된 바와 같이 로우 전압 레벨로 방전된다.

[0321] 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 제 1 평가 트랜지스터는 타이밍 펄스(1388)에 의해 온 상태로 전환되지 않고, 모든 내부 노드 신호(SN)(1330)는 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 유지된다. 또한, 하위 뱅크 시프트 레지스터(1202) 내에서 제어 신호(CSYNC)(1324) 및 시프트 레지스터 출력 신호(SO2-SO13)는 로우 전압 레벨이고, 이것은 하위 뱅크 시프트 레지스터(1202) 내에서 다른 시프트 레지스터 셀 내의 정방향 입력 트랜지스터를 오프 상태로 전환한다. 정방향 입력 트랜지스터가 오프 상태이면, 하위 뱅크 시프트 레지스터(1202) 내의 각각의 다른 내부 노드 신호(SN1 및 SN3-SN13)는 하이 전압 레벨로 유지된다. 참조 부호(1304)에서 타이밍 신호(BT2) 내의 타이밍 펄스(1390)는 뱅크 선택 어드레스 생성기(1200)에 제공되지 않고, 각각의 신호는 타이밍 펄스(1390) 동안에 변동 없이 유지된다.

[0322] 다음에, 참조 부호(1308)에서 타이밍 신호(BT3) 내의 타이밍 펄스(1392)는 상위 뱅크 시프트 레지스터(1204) 내에 제 1 평가 신호(EVAL1)로서 제공되어 상위 뱅크 시프트 레지스터(1204) 내의 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1324)는 로우 전압 레벨로 유지되고, 시프트 레지스터 출력 신호(SO)(1332)는 상위 뱅크 시프트 레지스터(1204) 내에서 로우 전압 레벨로 유지되는데, 이것은 상위 뱅크 시프트 레지스터(1204) 내의 각각의 정방향 입력 트랜지스터 및 각각의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 비도전성의 정방향 및 역방향 입력 트랜지스터는 상위 뱅크 시프트 레지스터(1204) 내에서 내부 노드 신호(SN)(1330)가 로우 전압 레벨로 방전되는 것을 방지한다. 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 내부 노드 신호(SN)(1330)는 하이 전압 레벨로 유지된다.

[0323] 참조 부호(1312)에서의 타이밍 신호(BT4) 내의 타이밍 펄스(1394) 동안에, 시프트 레지스터 출력 신호(SO)(1332)는 참조 부호(1402)에서 하이 전압 레벨로 충전 및/또는 유지된다. 또한, 타이밍 펄스(1394) 동안에, 역방향 신호(DIRR)(1326)는 참조 부호(1404)에서 하이 전압 레벨로 충전되고 정방향 신호(DIRF)(1328)는 하이 전압 레벨로 유지된다. 추가하여, 타이밍 펄스(1394)는 어드레스 신호(~A1, ~A2, ... ~A8)(1336)를 참조 부호(1406)에서 하이 전압 레벨로 충전 및/또는 유지하고, 로직 평가 신호(LEVAL)(1334)를 참조 부호(1408)에서 로우 전압 레벨로 유도한다. 로우 전압 레벨로 로직 평가 신호(LEVAL)(1334)는 어드레스 평가 트랜지스터를 오프 상태로 전환하여 어드레스 트랜지스터가 어드레스 신호(~A1, ~A2, ... ~A8)(1336)를 로우 전압 레벨로 유도하는 것을 방지한다. 어드레스 신호(~A1, ~A2, ... ~A8)(1336) 내의 하위 뱅크 어드레스 1 어드레스 신호는 타이밍 펄스(1388, 1390, 1392) 동안에 유효하다.

[0324] 참조 부호(1316)에서 타이밍 신호(BT5) 내의 타이밍 펄스(1396)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 2 평가 트랜지스터를 온 상태로 전환한다. 내부 노드 신호(SN1 및 SN3-SN13)가 하위 뱅크 시프트 레지스터(1202) 내에서 하이 전압 레벨이고, 내부 노드 신호(SN1-SN13)가 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨이면, 타이밍 펄스(1396)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(SO1 및 SO3-SO13) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(SO1-SO13)를 참조 부호(1410)에서 로우 전압 레벨로 방전한다. 내부 노드 신호(SN2)가 하위 뱅크 시프트 레지스터(1202)에서 로우 전압 레벨이면, 시프트 레지스터 출력 신호(SO2)는 참조 부호(1412)에 표시된 바와 같이 하위 뱅크 시프트 레지스터(1202) 내에서 하이 전압 레벨로 유지된다.

[0325] 타이밍 펄스(1396)는 또한 평가 트랜지스터(1266)를 온 상태로 전환하고, 제어 신호(CSYNC)(1324) 내의 제어 펄스(1414)는 제어 트랜지스터(1268)를 온 상태로 전환하여 참조 부호(1416)에서 역방향 신호(DIRR)(1326)를 로우 전압 레벨로 방전한다. 추가하여, 타이밍 펄스(1396)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 평가 방지 트랜지스터를 온 상태로 전환하여 로직 평가 신호(LEVAL)(1334)를 로우 전압 레벨

로 유지하고, 이것은 평가 트랜지스터를 오프 상태로 전환한다. 시프트 레지스터 출력 신호(S0)(1332)는 타이밍 펄스(1396) 동안 안정되어, 하위 뱅크 시프트 레지스터(1202) 내의 하나의 시프트 레지스터 출력 신호(S02)는 하이 전압 레벨로 안정되고, 하위 뱅크 시프트 레지스터(1202) 내의 모든 다른 시프트 레지스터 출력 신호(S01 및 S03-S013) 및 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 안정된다.

[0326] 참조 부호(1320)에서 타이밍 신호(BT6) 내의 타이밍 펄스(1398)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 1 사전-충전 신호(PRE1)로서 제공되고, 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 사전-충전 트랜지스터에 제공된다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스(1398) 동안에, 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드 신호(SN2)는 참조 부호(1418)에서 하이 전압 레벨로 충전되고, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 모든 다른 내부 노드 신호(SN)(1330)는 하이 전압 레벨로 유지된다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(1398)는 방향 회로(1210) 내의 평가 트랜지스터(1272)를 온 상태로 전환한다. 로우 전압 레벨 역방향 신호(DIRR)(1326)는 제어 트랜지스터(1274)를 오프 상태로 전환하고, 방향 신호(DIRF)(1328)는 하이 전압 레벨로 충전된 채로 유지된다. 타이밍 펄스(1398) 동안에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 각각의 로직 평가 신호(LEVAL)(1334)는 참조 부호(1420)에서 하이 전압 레벨로 충전된다. 하위 뱅크 시프트 레지스터(1202) 내의 하이 레벨 시프트 레지스터 출력 신호(S02)는 하위 뱅크 로직 회로(1206) 내에서 입력 신호(AI2)로서 수신된다. 하이 전압 레벨 입력 신호(AI2)는 하위 뱅크 로직 회로(1206) 내의 어드레스 트랜지스터를 온 상태로 전환하여 어드레스 신호(~A1, ~A2, ... ~A8) 내의 로우 어드레스 신호를 능동적으로 유도함으로써 참조 부호(1422)에서 하위 뱅크 어드레스 2를 제공한다. 하위 뱅크 시프트 레지스터(1202) 내의 다른 시프트 레지스터 출력 신호(S01 및 S03-S013) 및 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨이 되어, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 오프 상태로 전환하여 어드레스 신호(~A1, ~A2, ... ~A8)를 방전하지 않게 한다. 어드레스 신호(~A1, ~A2, ... ~A8)는 타이밍 펄스(1398) 동안에 유효 값으로 고정된다.

[0327] 타이밍 신호(BT1-BT6) 내의 다음의 일련의 6개의 타이밍 펄스는 하이 전압 레벨 시프트 레지스터 출력 신호(S02)를 하위 뱅크 시프트 레지스터(1202) 내의 다음의 시프트 레지스터 셀로 시프팅하여 하위 뱅크 시프트 레지스터(1202) 내에 하이 전압 레벨 시프트 레지스터 출력 신호(S03)를 제공하고 어드레스 신호(~A1, ~A2, ... ~A8)(1336) 내에 하위 뱅크 어드레스 3을 제공한다. 시프팅은 하위 뱅크 시프트 레지스터(1202) 내의 각각의 시프트 레지스터 출력 신호(S01-S013)가 하이가 될 때까지 각각의 일련의 6개의 타이밍 펄스에 대해 계속 실행된다. 이 일련의 작업은 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S013)가 하이가 되고, 하위 뱅크 어드레스 13이 어드레스 신호(~A1, ~A2, ... ~A8)(1336)에 제공된 후에 중지된다. 다음의 일련의 펄스를 개시하기 위해서, 하위 뱅크 시프트 레지스터(1202) 또는 상위 뱅크 시프트 레지스터(1204)를 개시하여 각각 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을 정방향 또는 역방향으로 제공할 수 있다. 예시적인 작동에서, 하위 뱅크 어드레스 13이 참조 부호(1424)에서 어드레스 신호(~A1, ~A2, ... ~A8)(1336)에 제공될 때, 상위 뱅크 시프트 레지스터(1204)가 개시되어 상위 뱅크 어드레스 14-26을 정방향으로 제공한다.

[0328] 일련의 6개의 타이밍 펄스에서, 타이밍 신호(BT1)(1300)는 타이밍 펄스(1426)를 포함하고, 타이밍 신호(BT2)(1304)는 타이밍 펄스(1428)를 포함하고, 타이밍 신호(BT3)(1308)는 타이밍 펄스(1430)를 포함하고, 타이밍 신호(BT4)(1312)는 타이밍 펄스(1432)를 포함하고, 타이밍 신호(BT5)(1316)는 타이밍 펄스(1434)를 포함하고, 타이밍 신호(BT6)(1320)는 타이밍 펄스(1436)를 포함한다.

[0329] 타이밍 펄스(1426)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 각각의 제 1 평가 트랜지스터를 온 상태로 전환하고, 정방향 신호(DIRF)(1328)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 각각의 정방향 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1324)는 로우 전압 레벨이 되어 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 1 시프트 레지스터 셀에서 각각의 정방향 입력 트랜지스터를 오프로 전환한다. 또한, 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01-S012)는 로우 전압 레벨이 되어, 하위 뱅크 시프트 레지스터(1202) 내의 모든 다른 시프트 레지스터 셀에서 정방향 입력 트랜지스터를 오프로 전환한다. 정방향 입력 트랜지스터가 오프로 전환되면, 하위 뱅크 시프트 레지스터(1202) 내의 각각의 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 추가하여, 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀에서 제 1 평가 트랜지스터는 타이밍 펄스(1352)에 의해 온 상태로 전환되지 않고, 상위 뱅크 시프트 레지스터(1204) 내

의 모든 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 참조 부호(1304)에서 타이밍 신호(BT2) 내의 타이밍 펄스(1428)는 뱅크 선택 어드레스 생성기(1200)에 제공되지 않고, 각각의 신호는 타이밍 펄스(1428) 동안에 변동 없이 유지된다.

[0330] 다음에, 참조 부호(1308)에서의 타이밍 신호(BT3) 내의 타이밍 펄스(1430)는 제 1 평가 신호(EVAL1)로서 상위 뱅크 시프트 레지스터(1204)에 제공되어 상위 뱅크 시프트 레지스터(1204) 내의 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1324) 내의 제어 펄스(1438)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 1 시프트 레지스터 셀 내에서 각각의 정방향 입력 트랜지스터를 온 상태로 전환한다. 또한, 정방향 트랜지스터는 정방향 신호(DIRF)(1328)에 의해 온 상태로 전환된다. 상위 뱅크 시프트 레지스터(1204) 내의 제 1 평가 트랜지스터가 온 상태로 전환되고, 제 1 시프트 레지스터 셀 내의 정방향 입력 트랜지스터가 온 상태로 전환되고, 정방향 트랜지스터가 온 상태로 전환되면, 상위 뱅크 시프트 레지스터(1204) 내의 제 1 시프트 레지스터 셀 내에서 내부 노드 신호(SN1)는 참조 부호(1440)에 표시된 바와 같이 로우 전압 레벨로 방전된다.

[0331] 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 제 1 평가 트랜지스터는 타이밍 펄스(1430)에 의해 온 상태로 전환되지 않고, 하위 뱅크 시프트 레지스터(1202) 내의 모든 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 또한, 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S012)는 로우 전압 레벨이고, 이것은 모든 다른 시프트 레지스터 셀 내의 정방향 입력 트랜지스터를 오프 상태로 전환한다. 정방향 입력 트랜지스터가 오프 상태가 되면, 상위 뱅크 시프트 레지스터(1204) 내의 각각의 다른 내부 노드 신호(SN2-SN13)는 하이 전압 레벨로 유지된다.

[0332] 타이밍 신호(BT4)(1312) 내의 타이밍 펄스(1432) 동안에, 모든 시프트 레지스터 출력 신호(S0)(1332)는 참조 부호(1442)에서 하이 전압 레벨로 충전된다. 또한, 타이밍 펄스(1432) 동안에, 역방향 신호(DIRR)(1326)는 참조 부호(1444)에서 하이 전압 레벨로 충전되고 정방향 신호(DIRF)(1328)는 하이 전압 레벨로 유지된다. 추가하여, 타이밍 펄스(1432) 동안에 모든 어드레스 신호(~A1, ~A2, ... ~A8)(1336)는 참조 부호(1446)에서 하이 전압 레벨로 충전 및/또는 유지되고, 로직 평가 신호(LEVAL)(1334)는 참조 부호(1448)에서 로우 전압 레벨로 유도된다. 로우 전압 레벨로 유도된 평가 신호(LEVAL)(1334)는 어드레스 평가 트랜지스터를 오프 상태로 전환하여 어드레스 트랜지스터가 어드레스 신호(~A1, ~A2, ... ~A8)(1336)를 로우 전압 레벨로 유도하는 것을 방지한다.

[0333] 타이밍 신호(BT5)(1316) 내의 타이밍 펄스(1434)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 2 평가 트랜지스터를 온 상태로 전환한다. 내부 노드 신호(SN2-SN13)가 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨이고, 내부 노드 신호(SN1-SN13)가 하위 뱅크 시프트 레지스터(1202) 내에서 하이 전압 레벨이면, 타이밍 펄스(1434) 동안에 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S02-S013) 및 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01-S013)는 참조 부호(1450)에서 로우 전압 레벨로 방전된다. 내부 노드 신호(SN1)가 상위 뱅크 시프트 레지스터(1204)에서 로우 전압 레벨이면, 상위 뱅크 시프트 레지스터(1204) 내에서 시프트 레지스터 출력 신호(S01)는 참조 부호(1452)에 표시된 바와 같이 하이 전압 레벨로 유지된다.

[0334] 타이밍 펄스(1434)는 또한 평가 트랜지스터(1266)를 온 상태로 전환하고, 제어 신호(CSYNC)(1324) 내의 제어 펄스(1454)는 제어 트랜지스터(1268)를 온 상태로 전환하여 참조 부호(1456)에서 역방향 신호(DIRR)(1326)를 로우 전압 레벨로 방전한다. 추가하여, 타이밍 펄스(1434)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 평가 방지 트랜지스터를 온 상태로 전환하여 로직 평가 신호(LEVAL)(1334)를 로우 전압 레벨로 유지하고, 이것은 평가 트랜지스터를 오프 상태로 전환한다. 시프트 레지스터 출력 신호(S0)(1332)는 타이밍 펄스(1434) 동안 안정되어, 상위 뱅크 시프트 레지스터(1204) 내의 하나의 시프트 레지스터 출력 신호(S01)는 하이 전압 레벨로 안정되고, 상위 뱅크 시프트 레지스터(1204) 내의 모든 다른 시프트 레지스터 출력 신호(S02-S013) 및 하위 뱅크 시프트 레지스터(1202) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 안정된다.

[0335] 타이밍 신호(BT6)(1320) 내의 타이밍 펄스(1436)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 1 사전-충전 신호(PRE1)로서 제공되고, 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 사전-충전 트랜지스터에 제공된다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스(1436) 동안에, 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드 신호(SN1)는 참조 부호(1458)에서 하이 전압 레벨로 충전되고, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 모든 다른 내부 노드 신호(SN)(1330)를 하이 전압 레벨로

유지한다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(1436)는 방향 회로(1210) 내의 평가 트랜지스터(1272)를 온 상태로 전환한다. 로우 전압 레벨 역방향 신호(DIRR)(1326)는 제어 트랜지스터(1274)를 오프 상태로 전환하고, 방향 신호(DIRF)(1328)는 하이 전압 레벨로 충전된 채로 유지된다. 또한, 타이밍 펄스(1436) 동안에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 각각의 로직 평가 신호(LEVAL)(1334)는 참조 부호(1460)에서 하이 전압 레벨로 충전된다. 상위 뱅크 시프트 레지스터(1204) 내의 하이 레벨 시프트 레지스터 출력 신호(S01)는 상위 뱅크 로직 회로(1208) 내에서 입력 신호(AI14)로서 수신된다. 하이 전압 레벨 입력 신호(AI14)는 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 온 상태로 전환하여 어드레스 신호(~A1, ~A2, ..., ~A8) 내의 로우 어드레스 신호를 능동적으로 유도함으로써 참조 부호(1462)에서 상위 뱅크 어드레스 14를 제공한다. 상위 뱅크 시프트 레지스터(1204) 내의 다른 시프트 레지스터 출력 신호(S02-S013) 및 하위 뱅크 시프트 레지스터(1202) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨이 되어, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 오프 상태로 전환하여 어드레스 신호(~A1, ~A2, ..., ~A8)를 방전하지 않게 한다. 어드레스 신호(~A1, ~A2, ..., ~A8)는 타이밍 펄스(1436) 동안에 유효 값으로 고정된다.

[0336] 타이밍 펄스(1464)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 각각의 제 1 평가 트랜지스터를 온 상태로 전환하여 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀에서 각각의 정방향 입력 신호(SIF)(도 10a에 도시됨)를 평가한다. 제 1 시프트 레지스터 셀의 정방향 입력 신호(SIF)는 제어 신호(CSYNC)(1324)이고, 이것은 로우 전압 레벨이다. 각각의 다른 시프트 레지스터 셀에서의 정방향 입력 신호(SIF)는 선행하는 시프트 레지스터 출력 신호(S01-S012)이고, 이것은 로우 전압 레벨이다. 하위 뱅크 시프트 레지스터(1202) 내의 제어 신호(CSYNC)(1324) 및 시프트 레지스터 출력 신호(S01-S013)가 로우 전압 레벨이면, 하위 뱅크 시프트 레지스터(1202) 내의 정방향 입력 트랜지스터는 오프로 전환되고, 하위 뱅크 시프트 레지스터(1202) 내의 각각의 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀에서 제 1 평가 트랜지스터는 타이밍 펄스(1464)에 의해 온 상태로 전환되지 않고, 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 타이밍 신호(BT2)(1304) 내의 타이밍 펄스(1466)는 뱅크 선택 어드레스 생성기(1200)에 제공되지 않고, 각각의 신호는 타이밍 펄스(1466) 동안에 변동 없이 유지된다.

[0337] 다음에, 타이밍 신호(BT3)(1308) 내의 타이밍 펄스(1468)는 제 1 평가 신호(EVAL1)로서 상위 뱅크 시프트 레지스터(1204)에 제공되어 상위 뱅크 시프트 레지스터(1204) 내의 각각의 제 1 평가 트랜지스터를 온 상태로 전환하여 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀에서 각각의 정방향 입력 신호(SIF)(도 10a에 도시됨)를 평가한다. 제 1 시프트 레지스터 셀의 정방향 입력 신호(SIF)는 제어 신호(CSYNC)(1324)이고, 이것은 로우 전압 레벨이다. 각각의 다른 시프트 레지스터 셀에서의 정방향 입력 신호(SIF)는 선행하는 시프트 레지스터 출력 신호(S01-S012)이다. 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01)는 하이 전압 레벨이고, 상위 뱅크 시프트 레지스터(1204) 내의 제 2 시프트 레지스터 셀에서의 정방향 입력 신호(SIF)이다.

[0338] 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01)는 상위 뱅크 시프트 레지스터(1204) 내의 제 2 시프트 레지스터 셀에서 정방향 입력 트랜지스터를 온 상태로 전환한다. 또한, 정방향 트랜지스터는 정방향 신호(DIRF)(1328)에 의해 온 상태로 전환된다. 상위 뱅크 시프트 레지스터(1204) 내의 제 1 평가 트랜지스터가 온 상태로 전환되고, 제 2 시프트 레지스터 셀 내의 정방향 입력 트랜지스터가 온 상태로 전환되고, 정방향 트랜지스터가 온 상태로 전환되면, 상위 뱅크 시프트 레지스터(1204) 내의 제 2 시프트 레지스터 셀 내에서 내부 노드 신호(SN2)는 참조 부호(1476)에 표시된 바와 같이 로우 전압 레벨로 방전된다.

[0339] 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 제 1 평가 트랜지스터는 타이밍 펄스(1468)에 의해 온 상태로 전환되지 않고, 하위 뱅크 시프트 레지스터(1202) 내의 모든 내부 노드 신호(SN1-SN13)는 참조 부호(1478)에서 하이 전압 레벨로 유지된다. 또한, 상위 뱅크 시프트 레지스터(1204) 내에서 제어 신호(CSYNC)(1324) 및 시프트 레지스터 출력 신호(S02-S013)는 로우 전압 레벨이고, 이것은 상위 뱅크 시프트 레지스터(1204) 내에서 다른 시프트 레지스터 셀 내의 정방향 입력 트랜지스터를 오프 상태로 전환한다. 정방향 입력 트랜지스터가 오프 상태이면, 상위 뱅크 시프트 레지스터(1204) 내의 각각의 다른 내부 노드 신호(SN1 및 SN3-SN13)는 참조 부호(1478)에서 하이 전압 레벨로 유지된다.

[0340] 타이밍 신호(BT4)(1312) 내의 타이밍 펄스(1470) 동안에, 시프트 레지스터 출력 신호(S0)(1332)는 참조 부호(1480)에서 하이 전압 레벨로 충전 및/또는 유지된다. 또한, 타이밍 펄스(1470) 동안에, 역방향 신호(DIRR)(1326)는 참조 부호(1482)에서 하이 전압 레벨로 충전되고 정방향 신호(DIRF)(1328)는 하이 전압 레벨

로 유지된다. 추가하여, 타이밍 펄스(1470) 동안에 어드레스 신호(~A1, ~A2, ... ~A8)(1336)는 참조 부호(1484)에서 하이 전압 레벨로 충전 및/또는 유지되고, 로직 평가 신호(LEVAL)(1334)는 참조 부호(1486)에서 로우 전압 레벨로 유도된다. 로우 전압 레벨로 로직 평가 신호(LEVAL)(1334)는 어드레스 평가 트랜지스터를 오프 상태로 전환하여 어드레스 트랜지스터가 어드레스 신호(~A1, ~A2, ... ~A8)(1336)를 로우 전압 레벨로 유도하는 것을 방지한다. 어드레스 신호(~A1, ~A2, ... ~A8)(1336) 내의 상위 뱅크 어드레스 14 어드레스 신호는 타이밍 펄스(1464, 1466, 1468) 동안에 유효하다.

[0341] 타이밍 신호(BT5)(1316) 내의 타이밍 펄스(1472)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 2 평가 트랜지스터를 온 상태로 전환한다. 내부 노드 신호(SN1 및 SN3-SN13)가 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨이고, 내부 노드 신호(SN1-SN13)가 하위 뱅크 시프트 레지스터(1202) 내에서 하이 전압 레벨이면, 타이밍 펄스(1472) 동안에 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01 및 S03-S013) 및 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01-S013)는 참조 부호(1488)에서 로우 전압 레벨로 방전된다. 내부 노드 신호(SN2)가 상위 뱅크 시프트 레지스터(1204)에서 로우 전압 레벨이면, 시프트 레지스터 출력 신호(S02)는 참조 부호(1490)에 표시된 바와 같이 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 유지된다.

[0342] 타이밍 펄스(1472)는 또한 평가 트랜지스터(1266)를 온 상태로 전환하고, 제어 신호(CSYNC)(1324) 내의 제어 펄스(1492)는 제어 트랜지스터(1268)를 온 상태로 전환하여 참조 부호(1494)에서 역방향 신호(DIRR)(1326)를 로우 전압 레벨로 방전한다. 추가하여, 타이밍 펄스(1472)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 평가 방지 트랜지스터를 온 상태로 전환하여 로직 평가 신호(LEVAL)(1334)를 로우 전압 레벨로 유지하고, 이것은 평가 트랜지스터를 오프 상태로 전환한다. 시프트 레지스터 출력 신호(S0)(1332)는 타이밍 펄스(1472) 동안에, 상위 뱅크 시프트 레지스터(1204) 내의 하나의 시프트 레지스터 출력 신호(S02)가 하이 전압 레벨로 안정되고, 상위 뱅크 시프트 레지스터(1204) 내의 모든 다른 시프트 레지스터 출력 신호(S01 및 S03-S013) 및 하위 뱅크 시프트 레지스터(1202) 내의 모든 시프트 레지스터 출력 신호(S01-S013)가 로우 전압 레벨이 되게 한다.

[0343] 타이밍 신호(BT6)(1320) 내의 타이밍 펄스(1474)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 1 사전-충전 신호(PRE1)로서 제공되고, 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 사전-충전 트랜지스터에 제공된다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스(1474) 동안에, 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드 신호(SN2)는 참조 부호(1496)에서 하이 전압 레벨로 충전되고, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 모든 내부 노드 신호(SN)(1330)는 하이 전압 레벨로 유지된다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(1474)는 방향 회로(1210) 내의 평가 트랜지스터(1272)를 온 상태로 전환한다. 로우 전압 레벨 역방향 신호(DIRR)(1326)는 제어 트랜지스터(1274)를 오프 상태로 전환하고, 방향 신호(DIRF)(1328)는 하이 전압 레벨로 충전된 채로 유지된다. 타이밍 펄스(1474) 동안에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 각각의 로직 평가 신호(LEVAL)(1334)는 참조 부호(1497)에서 하이 전압 레벨로 충전된다. 상위 뱅크 시프트 레지스터(1204) 내의 하이 레벨 시프트 레지스터 출력 신호(S02)는 상위 뱅크 로직 회로(1208) 내에서 입력 신호(AI15)로서 수신된다. 하이 전압 레벨 입력 신호(AI15)는 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 온 상태로 전환하여 어드레스 신호(~A1, ~A2, ... ~A8) 내의 어드레스 신호를 로우 전압 레벨로 능동적으로 유도하고, 참조 부호(1498)에서 상위 뱅크 어드레스 15를 제공한다. 상위 뱅크 시프트 레지스터(1204) 내의 다른 시프트 레지스터 출력 신호(S01 및 S03-S013) 및 하위 뱅크 시프트 레지스터(1202) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨이 되어, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 오프 상태로 전환하여 어드레스 신호(~A1, ~A2, ... ~A8)(1336)가 방전되지 않게 한다. 어드레스 신호(~A1, ~A2, ... ~A8)(1336)는 타이밍 펄스(1474) 동안에 유효 값으로 고정된다.

[0344] 타이밍 신호(BT1-BT6) 내의 다음의 일련의 6개의 타이밍 펄스는 하이 전압 레벨 시프트 레지스터 출력 신호(S02)를 상위 뱅크 시프트 레지스터(1204) 내의 다음의 시프트 레지스터 셀로 시프팅하여 상위 뱅크 시프트 레지스터(1204) 내에 하이 전압 레벨 시프트 레지스터 출력 신호(S03)를 제공하고 어드레스 신호(~A1, ~A2, ... ~A8)(1336) 내에 상위 뱅크 어드레스 16을 제공한다. 시프팅은 상위 뱅크 시프트 레지스터(1204) 내의 각각의 시프트 레지스터 출력 신호(S01-S013)가 하이가 될 때까지 각각의 일련의 6개의 타이밍 펄스에 대해 계속 실행된다. 이 일련의 작업은 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S013)가 하이가 되고, 상위 뱅크 어드레스 26이 어드레스 신호(~A1, ~A2, ... ~A8)(1336)에 제공된 후에 중지된다. 다음의 일련의 펄스를 개시하기 위해서, 하위 뱅크 시프트 레지스터(1202) 또는 상위 뱅크 시프트 레지스터

(1204)를 개시하여 각각 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을 정방향 또는 역방향으로 제공할 수 있다.

[0345] 하위 뱅크 시프트 레지스터(1202)의 정방향 동작 및 하위 뱅크 어드레스 1-13을 제공하는 동작에서, 제어 신호(CSYNC)(1324) 내의 제어 펄스는 타이밍 신호(BT5)(1316) 내의 타이밍 펄스와 실질적으로 부합하도록 제공되어 시프팅 방향을 정방향으로 설정한다. 또한, 제어 신호(CSYNC)(1324) 내의 제어 펄스는 타이밍 신호(BT1)(1300) 내의 타이밍 펄스와 실질적으로 부합하도록 제공되어 시프트 레지스터 출력 신호(S01-S013)를 통해 하이 전압 신호를 시프팅하도록 하위 뱅크 시프트 레지스터(1202)를 시작 또는 개시한다.

[0346] 상위 뱅크 시프트 레지스터(1204)의 정방향 동작 및 상위 뱅크 어드레스 14-26을 제공하는 동작에서, 제어 신호(CSYNC)(1324) 내의 제어 펄스는 타이밍 신호(BT5)(1316) 내의 타이밍 펄스와 실질적으로 부합하도록 제공되어 시프팅 방향을 정방향으로 설정한다. 또한, 제어 신호(CSYNC)(1324) 내의 제어 펄스는 타이밍 신호(BT3)(1308) 내의 타이밍 펄스와 실질적으로 부합하도록 제공되어 시프트 레지스터 출력 신호(S01-S013)를 통해 하이 전압 신호를 시프팅하도록 상위 뱅크 시프트 레지스터(1204)를 시작 또는 개시한다.

[0347] 도 18은 역방향에서의 뱅크 선택 어드레스 생성기(1200)의 동작을 도시하는 타이밍도이다. 타이밍 신호(BT1-BT6)는 반복하는 일련의 6개의 펄스로 반복되는 일련의 6개의 펄스를 제공한다. 각각의 타이밍 신호(BT1-BT6)는 일련의 6개의 펄스 내의 하나의 펄스를 제공한다.

[0348] 하나의 일련의 6개의 펄스에서, 참조 부호(1500)에서의 타이밍 신호(BT1)는 타이밍 펄스(1502)를 포함하고, 참조 부호(1504)에서의 타이밍 신호(BT2)는 타이밍 펄스(1506)를 포함하며, 참조 부호(1508)에서의 타이밍 신호(BT3)는 타이밍 펄스(1510)를 포함하고, 참조 부호(1512)에서의 타이밍 신호(BT4)는 타이밍 펄스(1514)를 포함하고, 참조 부호(1516)에서의 타이밍 신호(BT5)는 타이밍 펄스(1518)를 포함하고, 참조 부호(1520)에서의 타이밍 신호(BT6)는 타이밍 펄스(1522)를 포함한다. 참조 부호(1524)에서의 제어 신호(CSYNC)는 뱅크 선택 어드레스 생성기(1200) 내의 시프팅 방향을 설정하고, 어드레스 1-26을 생성하도록 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)를 개시하는 제어 펄스를 포함한다.

[0349] 먼저, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 중 어떤 것도 시프팅되지 않게 하기 위해서, 방향 회로(1210)는 제어 신호(CSYNC) 내의 제어 펄스(1524)에 의해 설정되지 않는다. 참조 부호(1526)에서의 역방향 신호(DIRR)는 하이 전압 레벨로 충전되었고, 이것은 이전에 정방향 신호(DIRF)(1528)를 로우 전압 레벨로 방전했던 제어 트랜지스터(1274)를 온 상태로 전환한다. 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내의 내부 노드 신호(SN)(1530)는 하이 전압 레벨로 충전된 채로 유지되고, 이것은 모든 시프트 레지스터 출력 신호(SO)(1532)를 로우 전압 레벨로 방전한다. 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 신호(LEVAL)(1534)는 타이밍 신호(BT6)(1520) 내의 이전의 펄스로부터 하이 전압 레벨로 충전된 채로 유지된다. 또한, 시프트 레지스터 출력 신호(SO)(1532)가 로우 전압 레벨이면, 로직 회로가 다시 개시되거나 어드레스 라인이 다른 뱅크의 로직 회로에 의해 방전되지 않는 한 어드레스 신호(~A1, ~A2, ..., ~A8)(1536)는 하이 전압 레벨로 충전된 채로 유지된다.

[0350] 타이밍 신호(BT1)(1500) 내의 타이밍 펄스(1502)는 제 1 평가 신호(EVAL1)로서 하위 뱅크 시프트 레지스터(1202)에 제공된다. 타이밍 펄스(1502)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1524)는 로우 전압 레벨로 유지되고, 모든 시프트 레지스터 출력 신호(SO)(1532)는 로우 전압 레벨로 유지되는데, 이것은 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 각각의 정방향 입력 트랜지스터 및 각각의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 비도전성의 정방향 및 역방향 입력 트랜지스터는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 내부 노드 신호(SN)(1530)가 로우 전압 레벨로 방전되는 것을 방지한다. 모든 시프트 레지스터 내부 노드 신호(SN)(1530)는 하이 전압 레벨로 유지된다. 타이밍 신호(BT2)(1504) 내의 타이밍 펄스(1506)는 뱅크 선택 어드레스 생성기(1200)에 제공되지 않고, 각각의 신호는 타이밍 펄스(1506) 동안에 변동 없이 유지된다.

[0351] 다음에, 타이밍 신호(BT3)(1508) 내의 타이밍 펄스(1510)는 제 1 평가 신호(EVAL1)로서 상위 뱅크 시프트 레지스터(1204)에 제공되어 상위 뱅크 시프트 레지스터(1204) 내의 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1524)는 로우 전압 레벨로 유지되고, 모든 시프트 레지스터 출력 신호(SO)(1532)는 로우 전압 레벨로 유지되는데, 이것은 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 각각의 정방향 입력 트랜지스터 및 각각의 역방향 입력 트랜

지스터를 오프 상태로 전환한다. 비도전성의 정방향 및 역방향 입력 트랜지스터는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 내부 노드 신호(SN)(1530)가 로우 전압 레벨로 방전되는 것을 방지한다. 모든 시프트 레지스터 내부 노드 신호(SN)(1530)는 하이 전압 레벨로 유지된다.

[0352] 타이밍 신호(BT4)(1512) 내의 타이밍 펄스(1514)는 제 2 사전-충전 신호(PRE2)로서 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제공되고, 제 3 사전-충전 신호(PRE3)로서 방향 회로(1210)에 제공되고, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)에 제공된다. 제 2 사전-충전 신호(PRE2) 내의 타이밍 펄스(1514) 동안에, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 출력 신호(SO)(1532)는 참조 부호(1538)에서 하이 전압 레벨로 충전된다. 또한, 제 3 사전-충전 신호(PRE3) 내의 타이밍 펄스(1514) 동안에, 정방향 신호(DIRF)(1528)는 참조 부호(1540)에서 하이 전압 레벨로 충전되고 역방향 신호(DIRR)(1526)는 하이 전압 레벨로 유지된다. 타이밍 펄스(1514)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 각각의 어드레스 라인 사전-충전 트랜지스터 및 평가 방지 트랜지스터에 제공된다. 타이밍 펄스(1514)는 어드레스 신호(~A1, ~A2, ... ~A8)(1536)를 하이 전압 레벨로 유지하고, 평가 방지 트랜지스터를 온 상태로 전환하여 참조 부호(1542)에서 로직 평가 신호(LEVAL)(1534)를 로우 전압 레벨로 유도한다.

[0353] 타이밍 신호(BT5)(1516) 내의 타이밍 펄스(1518)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 2 평가 신호(EVAL2)로서 제공되고, 방향 회로(1210)에 제 3 평가 신호(EVAL3)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208)에 제공된다. 제 2 평가 신호(EVAL2) 내의 타이밍 펄스(1518)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 각각의 제 2 평가 트랜지스터를 온 상태로 전환한다. 내부 노드 신호(SN)(1530)가 하이 전압 레벨이 되어 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 각각의 내부 노드 트랜지스터를 온 상태로 전환하면, 모든 시프트 레지스터 출력 신호(SO)(1532)는 참조 부호(1544)에서 로우 전압 레벨로 방전된다. 또한, 제 3 평가 신호(EVAL3) 내의 타이밍 펄스(1518)는 평가 트랜지스터(1266)를 온 상태로 전환한다. 제어 신호(CSYNC)(1524)는 로우 전압 레벨이 되어 제어 트랜지스터(1268)를 오프 상태로 전환하고, 방향 신호(DIRR)(1526)는 하이 전압 레벨로 충전된 채로 유지된다. 타이밍 펄스(1518)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 각각의 평가 방지 트랜지스터에 제공된다. 타이밍 펄스(1518)는 각각의 평가 방지 트랜지스터를 온 상태로 전환하여 로직 평가 신호(LEVAL)(1534)를 로우 전압 레벨로 유지한다. 로우 전압 레벨로 평가 신호(LEVAL)(1534)는 어드레스 평가 트랜지스터를 오프 상태로 전환한다.

[0354] 타이밍 신호(BT6)(1520) 내의 타이밍 펄스(1522)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 1 사전-충전 신호(PRE1)로서 제공되고, 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 사전-충전 트랜지스터에 제공된다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스(1522)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 모든 내부 노드 신호(SN)(1530)를 하이 전압 레벨로 유지한다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(1522)는 방향 회로(1210) 내의 평가 트랜지스터(1272)를 온 상태로 전환한다. 하이 전압 레벨 역방향 신호(DIRR)(1526)는 제어 트랜지스터(1274)를 온 상태로 전환하여 참조 부호(1548)에서 방향 신호(DIRF)(1528)를 로우 전압 레벨로 방전한다. 타이밍 펄스(1522) 동안에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 각각의 로직 평가 신호(LEVAL)(1534)는 참조 부호(1550)에서 하이 전압 레벨로 충전된다. 모든 시프트 레지스터 출력 신호(SO)(1532)가 로우 전압 레벨이면, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 모든 어드레스 트랜지스터는 오프 상태로 전환되고 및 어드레스 신호(~A1, ~A2, ... ~A8)는 하이 전압 레벨로 유지된다. 로우 전압 레벨 정방향 신호(DIRF)(1528) 및 하이 전압 레벨 역방향 신호(DIRR)(1526)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)가 역방향으로 시프팅하도록 설정한다.

[0355] 다음의 일련의 6개의 타이밍 펄스에서, 타이밍 신호(BT1)(1500)는 타이밍 펄스(1552)를 포함하고, 타이밍 신호(BT2)(1504)는 타이밍 펄스(1554)를 포함하고, 타이밍 신호(BT3)(1508)는 타이밍 펄스(1556)를 포함하고, 타이밍 신호(BT4)(1512)는 타이밍 펄스(1558)를 포함하고, 타이밍 신호(BT5)(1516)는 타이밍 펄스(1560)를 포함하고, 타이밍 신호(BT6)(1520)는 타이밍 펄스(1562)를 포함한다.

[0356] 타이밍 펄스(1552)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1524) 내의 제어 펄스(1564)는 하위 뱅크 시프트 레지스터

터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 최종 또는 제 13 시프트 레지스터 셀 내에서 각각의 정방향 입력 트랜지스터를 온 상태로 전환한다. 또한, 역방향 트랜지스터는 역방향 신호(DIRR)(1526)에 의해 온 상태로 전환된다. 하위 뱅크 시프트 레지스터(1202) 내의 제 1 평가 트랜지스터가 온 상태로 전환되고, 최종 시프트 레지스터 셀 내의 역방향 입력 트랜지스터가 온 상태로 전환되고, 역방향 트랜지스터가 온 상태로 전환되면, 하위 뱅크 시프트 레지스터(1202) 내의 제 13 시프트 레지스터 셀 내에서 내부 노드 신호(SN13)는 참조 부호(1566)에 표시된 바와 같이 로우 전압 레벨로 방전된다.

[0357] 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 제 1 평가 트랜지스터는 타이밍 펄스(1552)에 의해 온 상태로 전환되지 않고, 상위 뱅크 시프트 레지스터(1204) 내의 모든 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 또한, 시프트 레지스터 출력 신호(S0)(1532)는 로우 전압 레벨이고, 이것은 하위 뱅크 시프트 레지스터(1202) 내의 모든 다른 시프트 레지스터 셀, 예를 들면 시프트 레지스터 셀(403a-403I) 내의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 역방향 입력 트랜지스터가 오프 상태이면, 하위 뱅크 시프트 레지스터(1202) 내의 각각의 내부 노드 신호(SN1-SN12)는 하이 전압 레벨로 유지된다. 타이밍 신호(BT2)(1504) 내의 타이밍 펄스(1554)는 뱅크 선택 어드레스 생성기(1200)에 제공되지 않고, 각각의 신호는 타이밍 펄스(1554) 동안에 변동 없이 유지된다.

[0358] 다음에, 타이밍 신호(BT3)(1508) 내의 타이밍 펄스(1556)는 상위 뱅크 시프트 레지스터(1204) 내에 제 1 평가 신호(EVAL1)로서 제공되어 상위 뱅크 시프트 레지스터(1204) 내의 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1524)는 로우 전압 레벨로 유지되고, 시프트 레지스터 출력 신호(S0)(1532)는 상위 뱅크 시프트 레지스터(1204) 내에서 로우 전압 레벨로 유지되는데, 이것은 상위 뱅크 시프트 레지스터(1204) 내의 각각의 정방향 입력 트랜지스터 및 각각의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 비도전성의 정방향 및 역방향 입력 트랜지스터는 상위 뱅크 시프트 레지스터(1204) 내에서 내부 노드 신호(SN1-SN13)가 로우 전압 레벨로 방전되는 것을 방지한다. 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다.

[0359] 타이밍 신호(BT4)(1512) 내의 타이밍 펄스(1558) 동안에, 모든 시프트 레지스터 출력 신호(S0)(1532)는 참조 부호(1568)에서 하이 전압 레벨로 충전된다. 또한, 타이밍 펄스(1558) 동안에, 참조 부호(1570)에서 역방향 신호(DIRR)(1526)는 하이 전압 레벨로 유지되고 정방향 신호(DIRF)(1528)는 하이 전압 레벨로 충전된다. 추가하여, 타이밍 펄스(1558) 동안에 모든 어드레스 신호(~A1, ~A2, ..., ~A8)(1536)는 하이 전압 레벨로 유지되고, 참조 부호(1572)에서 로직 평가 신호(LEVAL)(1534)는 로우 전압 레벨로 유도된다. 로우 전압 레벨로 로직 평가 신호(LEVAL)(1534)는 어드레스 평가 트랜지스터를 오프 상태로 전환하여 어드레스 트랜지스터가 어드레스 신호(~A1, ~A2, ..., ~A8)(1536)를 로우 전압 레벨로 유도하는 것을 방지한다.

[0360] 타이밍 신호(BT5)(1516) 내의 타이밍 펄스(1560)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 2 평가 트랜지스터를 온 상태로 전환한다. 내부 노드 신호(SN1-SN12)가 하위 뱅크 시프트 레지스터(1202) 내에서 하이 전압 레벨이고, 내부 노드 신호(SN1-SN13)가 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨이면, 타이밍 펄스(1560) 동안에 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01-S012) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S013)는 참조 부호(1574)에서 로우 전압 레벨로 방전된다. 내부 노드 신호(SN13)가 하위 뱅크 시프트 레지스터(1202)에서 로우 전압 레벨이면, 시프트 레지스터 출력 신호(S013)는 참조 부호(1576)에 표시된 바와 같이 하위 뱅크 시프트 레지스터(1202) 내에서 하이 전압 레벨로 유지된다.

[0361] 타이밍 펄스(1560)는 또한 방향 회로(1210) 내의 평가 트랜지스터(1266)를 온 상태로 전환한다. 제어 신호(CSYNC)(1524)는 로우 전압 레벨이 되어 제어 트랜지스터(1268)를 오프 상태로 전환하고, 역방향 신호(DIRR)(1526)는 하이 전압 레벨로 충전된 채로 유지된다. 추가하여, 타이밍 펄스(1560)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 평가 방지 트랜지스터를 온 상태로 전환하여 로직 평가 신호(LEVAL)(1534)를 로우 전압 레벨로 유지함으로써, 평가 트랜지스터를 오프 상태로 전환한다. 시프트 레지스터 출력 신호(S0)(1532)는 타이밍 펄스(1560) 동안 안정되어, 하위 뱅크 시프트 레지스터(1202) 내의 하나의 시프트 레지스터 출력 신호(S013)는 하이 전압 레벨로 안정되고, 하위 뱅크 시프트 레지스터(1202) 내의 모든 다른 시프트 레지스터 출력 신호(S01-S012) 및 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 안정된다.

[0362] 타이밍 신호(BT6)(1520) 내의 타이밍 펄스(1562)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 1 사전-충전 신호(PRE1)로서 제공되고, 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 사전-충전 트랜지스터에

제공된다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스(1562) 동안에, 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드 신호(SN13)는 참조 부호(1582)에서 하이 전압 레벨로 충전되고, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 모든 다른 내부 노드 신호(SN)(1530)는 하이 전압 레벨로 유지된다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(1562)는 방향 회로(1210) 내의 평가 트랜지스터(1272)를 온 상태로 전환한다. 하이 전압 레벨 역방향 신호(DIRR)(1526)는 제어 트랜지스터(1274)를 온 상태로 전환하고, 이 때 방향 신호(DIRF)(1528)는 로우 전압 레벨로 방전된다. 또한, 타이밍 펄스(1562) 동안에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 각각의 로직 평가 신호(LEVAL)(1534)는 참조 부호(1584)에서 하이 전압 레벨로 충전된다. 하위 뱅크 시프트 레지스터(1202) 내의 하이 레벨 시프트 레지스터 출력 신호(S013)는 하위 뱅크 로직 회로(1206) 내에서 입력 신호(AI13)로서 수신된다. 하이 전압 레벨 입력 신호(AI13)는 하위 뱅크 로직 회로(1206) 내의 어드레스 트랜지스터를 온 상태로 전환하여 어드레스 신호(~A1, ~A2, ..., ~A8) 내의 로우 어드레스 신호를 능동적으로 유도함으로써 참조 부호(1586)에서 하위 뱅크 어드레스 13을 제공한다. 하위 뱅크 시프트 레지스터(1202) 내의 다른 시프트 레지스터 출력 신호(S01-S012) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨이 되어, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 오프 상태로 전환하여 어드레스 신호(~A1, ~A2, ..., ~A8)(1536)를 방전하지 않게 한다. 어드레스 신호(~A1, ~A2, ..., ~A8)(1536)는 타이밍 펄스(1562) 동안에 유효 값으로 고정된다.

[0363] 다음의 일련의 6개의 타이밍 펄스에서, 타이밍 신호(BT1)(1500)는 타이밍 펄스(1588)를 포함하고, 타이밍 신호(BT2)(1504)는 타이밍 펄스(1590)를 포함하고, 타이밍 신호(BT3)(1508)는 타이밍 펄스(1592)를 포함하고, 타이밍 신호(BT4)(1512)는 타이밍 펄스(1594)를 포함하고, 타이밍 신호(BT5)(1516)는 타이밍 펄스(1596)를 포함하고, 타이밍 신호(BT6)(1520)는 타이밍 펄스(1598)를 포함한다.

[0364] 타이밍 펄스(1588)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 각각의 제 1 평가 트랜지스터를 온 상태로 전환하여 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀에서 각각의 역방향 입력 신호(SIR)(도 10a에 도시됨)를 평가한다. 최종 시프트 레지스터 셀의 역방향 입력 신호(SIR)는 제어 신호(CSYNC)(1524)이고, 이것은 로우 전압 레벨이다. 각각의 다른 시프트 레지스터 셀에서의 역방향 입력 신호(SIR)는 다음 순서의 시프트 레지스터 출력 신호(S02-S013)이다. 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S013)는 하이 전압 레벨이고, 하위 뱅크 시프트 레지스터(1202) 내의 끝에서 두 번째 또는 제 12 시프트 레지스터 셀의 역방향 입력 신호(SIR)이다.

[0365] 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S013)는 하위 뱅크 시프트 레지스터(1202) 내의 제 12 시프트 레지스터 셀에서 역방향 입력 트랜지스터를 온 상태로 전환한다. 또한, 역방향 트랜지스터는 역방향 신호(DIRR)(1526)에 의해 온 상태로 전환된다. 하위 뱅크 시프트 레지스터(1202) 내의 제 1 평가 트랜지스터가 온 상태로 전환되고, 제 12 시프트 레지스터 셀 내의 역방향 입력 트랜지스터가 온 상태로 전환되고, 역방향 트랜지스터가 온 상태로 전환되면, 하위 뱅크 시프트 레지스터(1202) 내의 제 12 시프트 레지스터 셀 내에서 내부 노드 신호(SN12)는 참조 부호(1600)에 표시된 바와 같이 로우 전압 레벨로 방전된다.

[0366] 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀 내에서 제 1 평가 트랜지스터는 타이밍 펄스(1588)에 의해 온 상태로 전환되지 않고, 상위 뱅크 시프트 레지스터(1204) 내의 모든 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 또한, 하위 뱅크 시프트 레지스터(1202) 내에서 제어 신호(CSYNC)(1524) 및 시프트 레지스터 출력 신호(S01-S012)는 로우 전압 레벨이고, 이것은 하위 뱅크 시프트 레지스터(1202) 내에서 다른 시프트 레지스터 셀 내의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 역방향 입력 트랜지스터가 오프 상태이면, 하위 뱅크 시프트 레지스터(1202) 내의 각각의 다른 내부 노드 신호(SN1-SN11 및 SN13)는 하이 전압 레벨로 유지된다. 타이밍 신호(BT2)(1504) 내의 타이밍 펄스(1590)는 뱅크 선택 어드레스 생성기(1200)에 제공되지 않고, 각각의 신호는 타이밍 펄스(1590) 동안에 변동 없이 유지된다.

[0367] 다음에, 타이밍 신호(BT3)(1508) 내의 타이밍 펄스(1592)는 상위 뱅크 시프트 레지스터(1204) 내에 제 1 평가 신호(EVAL1)로서 제공되어 상위 뱅크 시프트 레지스터(1204) 내의 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1524)는 로우 전압 레벨로 유지되고, 상위 뱅크 시프트 레지스터(1204) 내에서 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 유지되는데, 이것은 상위 뱅크 시프트 레지스터(1204) 내의 각각의 정방향 입력 트랜지스터 및 각각의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 비도전성의 정방향 및 역방향 입력 트랜지스터는 상위 뱅크 시프트 레지스터(1204) 내에서 내부 노드 신호(SN1-SN13)가 로우 전압 레벨로 방전되는 것을 방지한다. 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다.

- [0368] 타이밍 신호(BT4)(1512) 내의 타이밍 펄스(1594) 동안에, 시프트 레지스터 출력 신호(S0)(1532)는 참조 부호(1602)에서 하이 전압 레벨로 충전 및/또는 유지된다. 또한, 타이밍 펄스(1594) 동안에, 역방향 신호(DIRR)(1526)는 참조 부호(1604)에서 하이 전압 레벨로 유지되고 정방향 신호(DIRF)(1528)는 하이 전압 레벨로 충전된다. 추가하여, 타이밍 펄스(1594)는 어드레스 신호(~A1, ~A2, ... ~A8)(1536)를 참조 부호(1606)에서 하이 전압 레벨로 충전 및/또는 유지하고, 로직 평가 신호(LEVAL)(1534)를 참조 부호(1608)에서 로우 전압 레벨로 유도한다. 로우 전압 레벨로 로직 평가 신호(LEVAL)(1534)는 어드레스 평가 트랜지스터를 오프 상태로 전환하여 어드레스 트랜지스터가 어드레스 신호(~A1, ~A2, ... ~A8)(1536)를 로우 전압 레벨로 유도하는 것을 방지한다. 어드레스 신호(~A1, ~A2, ... ~A8)(1536) 내의 하위 뱅크 어드레스 13 어드레스 신호는 타이밍 펄스(1588, 1590, 1592) 동안에 유효하다.
- [0369] 타이밍 신호(BT5)(1516) 내의 타이밍 펄스(1596)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 2 평가 트랜지스터를 온 상태로 전환한다. 하위 뱅크 시프트 레지스터(1202) 내에서 내부 노드 신호(SN1-SN11 및 SN13)가 하이 전압 레벨이고, 상위 뱅크 시프트 레지스터(1204) 내에서 내부 노드 신호(SN1-SN13)가 하이 전압 레벨이면, 타이밍 펄스(1596) 동안에 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01-S011 및 S013) 및 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S013)를 참조 부호(14610)에서 로우 전압 레벨로 방전한다. 내부 노드 신호(SN12)가 하위 뱅크 시프트 레지스터(1202)에서 로우 전압 레벨이면, 시프트 레지스터 출력 신호(S012)는 참조 부호(1612)에 표시된 바와 같이 하위 뱅크 시프트 레지스터(1202) 내에서 하이 전압 레벨로 유지된다.
- [0370] 타이밍 펄스(1596)는 또한 방향 회로(1210) 내의 평가 트랜지스터(1266)를 온 상태로 전환한다. 제어 신호(CSYNC)(1524)는 로우 전압 레벨이 되어 제어 트랜지스터(1268)를 오프 상태로 전환하고 역방향 신호(DIRR)(1526)는 하이 전압 레벨로 유지된다. 추가하여, 타이밍 펄스(1596)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 평가 방지 트랜지스터를 온 상태로 전환하여 로직 평가 신호(LEVAL)(1534)를 로우 전압 레벨로 유지하고, 이것은 평가 트랜지스터를 오프 상태로 전환한다. 시프트 레지스터 출력 신호(S0)(1532)는 타이밍 펄스(1596) 동안 안정되어, 하위 뱅크 시프트 레지스터(1202) 내의 하나의 시프트 레지스터 출력 신호(S012)는 하이 전압 레벨로 안정되고, 하위 뱅크 시프트 레지스터(1202) 내의 모든 다른 시프트 레지스터 출력 신호(S01-S011 및 S013) 및 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 안정된다.
- [0371] 타이밍 신호(BT6)(1520) 내의 타이밍 펄스(1598)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 1 사전-충전 신호(PRE1)로서 제공되고, 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 사전-충전 트랜지스터에 제공된다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스(1598) 동안에, 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드 신호(SN12)는 참조 부호(1618)에서 하이 전압 레벨로 충전되고, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 모든 다른 내부 노드 신호(SN)(1530)는 하이 전압 레벨로 유지된다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(1598)는 방향 회로(1210) 내의 평가 트랜지스터(1272)를 온 상태로 전환한다. 참조 부호(1616)에서 하이 전압 레벨 역방향 신호(DIRR)(1526)는 제어 트랜지스터(1274)를 온 상태로 전환하고, 방향 신호(DIRF)(1528)는 로우 전압 레벨로 방전된다. 또한 타이밍 펄스(1598) 동안에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 각각의 로직 평가 신호(LEVAL)(1534)는 참조 부호(1620)에서 하이 전압 레벨로 충전된다. 하위 뱅크 시프트 레지스터(1202) 내의 하이 레벨 시프트 레지스터 출력 신호(S012)는 하위 뱅크 로직 회로(1206) 내에서 입력 신호(AI12)로서 수신된다. 하이 전압 레벨 입력 신호(AI12)는 하위 뱅크 로직 회로(1206) 내의 어드레스 트랜지스터를 온 상태로 전환하여 어드레스 신호(~A1, ~A2, ... ~A8)(1536) 내의 로우 어드레스 신호를 능동적으로 유도함으로써 참조 부호(1622)에서 하위 뱅크 어드레스 12를 제공한다. 하위 뱅크 시프트 레지스터(1202) 내의 다른 시프트 레지스터 출력 신호(S01-S011 및 S013) 및 상위 뱅크 시프트 레지스터(1204) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨이 되어, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 오프 상태로 전환하여 어드레스 신호(~A1, ~A2, ... ~A8)(1536)를 방전하지 않게 한다. 어드레스 신호(~A1, ~A2, ... ~A8)(1536)는 타이밍 펄스(1598) 동안에 유효 값으로 고정된다.
- [0372] 타이밍 신호(BT1-BT6) 내의 다음의 일련의 6개의 타이밍 펄스는 하이 전압 레벨 시프트 레지스터 출력 신호(S012)를 하위 뱅크 시프트 레지스터(1202) 내의 선행하는 시프트 레지스터 셀로 시프팅하여 하위 뱅크 시프트 레지스터(1202) 내에 하이 전압 레벨 시프트 레지스터 출력 신호(S011)를 제공하고 어드레스 신호(~A1, ~A2, ... ~A8)(1536) 내에 하위 뱅크 어드레스 11을 제공한다. 시프팅은 하위 뱅크 시프트 레지스터(1202)

내의 각각의 시프트 레지스터 출력 신호(S01-S013)가 하이가 될 때까지 각각의 일련의 6개의 타이밍 펄스에 대해 계속 실행된다. 이 일련의 작업은 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01)가 하이가 되고, 하위 뱅크 어드레스 1이 어드레스 신호(~A1, ~A2, ... ~A8)(1536)에 제공된 후에 중지된다. 다음의 일련의 펄스를 개시하기 위해서, 하위 뱅크 시프트 레지스터(1202) 또는 상위 뱅크 시프트 레지스터(1204)를 개시하여 각각 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을 정방향 또는 역방향으로 제공할 수 있다. 이러한 예시적인 작동에서, 하위 뱅크 어드레스 1이 참조 부호(1624)에서 어드레스 신호(~A1, ~A2, ... ~A8)(1536)에 제공될 때, 상위 뱅크 시프트 레지스터(1204)가 개시되어 상위 뱅크 어드레스 14-26을 역방향으로 제공한다.

[0373] 일련의 6개의 타이밍 펄스에서, 타이밍 신호(BT1)(1500)는 타이밍 펄스(1626)를 포함하고, 타이밍 신호(BT2)(1504)는 타이밍 펄스(1628)를 포함하고, 타이밍 신호(BT3)(1508)는 타이밍 펄스(1630)를 포함하고, 타이밍 신호(BT4)(1512)는 타이밍 펄스(1632)를 포함하고, 타이밍 신호(BT5)(1516)는 타이밍 펄스(1634)를 포함하고, 타이밍 신호(BT6)(1520)는 타이밍 펄스(1636)를 포함한다.

[0374] 타이밍 펄스(1626)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 각각의 제 1 평가 트랜지스터를 온 상태로 전환하고, 역방향 신호(DIRR)(1526)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 각각의 역방향 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1524)는 로우 전압 레벨이 되어 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 13 시프트 레지스터 셀에서 각각의 역방향 입력 트랜지스터를 오프로 전환한다. 또한, 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S02-S013)는 로우 전압 레벨이 되어, 하위 뱅크 시프트 레지스터(1202) 내의 모든 다른 시프트 레지스터 셀, 예를 들면 시프트 레지스터 셀(403a-403I)에서 역방향 입력 트랜지스터를 오프로 전환한다. 역방향 입력 트랜지스터가 오프로 전환되면, 하위 뱅크 시프트 레지스터(1202) 내의 각각의 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 추가하여, 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀에서 제 1 평가 트랜지스터는 타이밍 펄스(1552)에 의해 온 상태로 전환되지 않고, 상위 뱅크 시프트 레지스터(1204) 내의 모든 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 타이밍 신호(BT2)(1504) 내의 타이밍 펄스(1628)는 뱅크 선택 어드레스 생성기(1200)에 제공되지 않고, 각각의 신호는 타이밍 펄스(1628) 동안에 변동 없이 유지된다.

[0375] 다음에, 타이밍 신호(BT3)(1508) 내의 타이밍 펄스(1630)는 제 1 평가 신호(EVAL1)로서 상위 뱅크 시프트 레지스터(1204)에 제공되어 상위 뱅크 시프트 레지스터(1204) 내의 각각의 제 1 평가 트랜지스터를 온 상태로 전환한다. 제어 신호(CSYNC)(1524) 내의 제어 펄스(1638)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 13 시프트 레지스터 셀 내에서 각각의 역방향 입력 트랜지스터를 온 상태로 전환한다. 또한, 역방향 트랜지스터는 역방향 신호(DIRR)(1526)에 의해 온 상태로 전환된다. 상위 뱅크 시프트 레지스터(1204) 내의 제 1 평가 트랜지스터가 온 상태로 전환되고, 제 13 시프트 레지스터 셀 내의 역방향 입력 트랜지스터가 온 상태로 전환되고, 역방향 트랜지스터가 온 상태로 전환되면, 상위 뱅크 시프트 레지스터(1204) 내의 제 13 시프트 레지스터 셀 내에서 내부 노드 신호(SN13)는 참조 부호(1640)에 표시된 바와 같이 로우 전압 레벨로 방전된다.

[0376] 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 제 1 평가 트랜지스터는 타이밍 펄스(1630)에 의해 온 상태로 전환되지 않고, 하위 뱅크 시프트 레지스터(1202) 내의 모든 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 또한, 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨이고, 이것은 상위 뱅크 시프트 레지스터(1204) 내에서 모든 다른 시프트 레지스터 셀 내의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 역방향 입력 트랜지스터가 오프 상태이면, 상위 뱅크 시프트 레지스터(1204) 내의 각각의 다른 내부 노드 신호(SN1-SN12)는 하이 전압 레벨로 유지된다.

[0377] 타이밍 신호(BT4)(1512) 내의 타이밍 펄스(1632) 동안에, 모든 시프트 레지스터 출력 신호(SO)(1532)는 참조 부호(1642)에서 하이 전압 레벨로 충전된다. 또한, 타이밍 펄스(1632) 동안에, 역방향 신호(DIRR)(1526)는 참조 부호(1644)에서 하이 전압 레벨로 유지되고 정방향 신호(DIRF)(1528)는 하이 전압 레벨로 충전된다. 추가하여, 타이밍 펄스(1632) 동안에 모든 어드레스 신호(~A1, ~A2, ... ~A8)(1536)는 참조 부호(1646)에서 하이 전압 레벨로 충전 및/또는 유지되고, 로직 평가 신호(LEVAL)(1534)는 참조 부호(1648)에서 로우 전압 레벨로 유도된다. 로우 전압 레벨 로직 평가 신호(LEVAL)(1534)는 어드레스 평가 트랜지스터를 오프 상태로 전환하여 어드레스 트랜지스터가 어드레스 신호(~A1, ~A2, ... ~A8)(1536)를 로우 전압 레벨로 유도하는 것을 방지한다.

[0378] 타이밍 신호(BT5)(1516) 내의 타이밍 펄스(1634)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레

지스터(1204) 내의 제 2 평가 트랜지스터를 온 상태로 전환한다. 상위 뱅크 시프트 레지스터(1204) 내에서 내부 노드 신호(SN1-SN12)가 하이 전압 레벨이고, 하위 뱅크 시프트 레지스터(1202) 내에서 내부 노드 신호(SN1-SN13)가 하이 전압 레벨이면, 타이밍 펄스(1634) 동안에 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S012) 및 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01-S013)는 참조 부호(1650)에서 로우 전압 레벨로 방전된다. 내부 노드 신호(SN13)가 상위 뱅크 시프트 레지스터(1204)에서 로우 전압 레벨이면, 상위 뱅크 시프트 레지스터(1204) 내에서 시프트 레지스터 출력 신호(S013)는 참조 부호(1652)에 표시된 바와 같이 하이 전압 레벨로 유지된다.

[0379] 타이밍 펄스(1634)는 또한 방향 회로(1210) 내의 평가 트랜지스터(1266)를 온 상태로 전환한다. 제어 신호(CSYNC)(1524)는 로우 전압 레벨이 되어 제어 트랜지스터(1268)를 오프 상태로 전환하고 역방향 신호(DIRR)(1526)는 하이 전압 레벨로 유지된다. 추가하여, 타이밍 펄스(1634)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 평가 방지 트랜지스터를 온 상태로 전환하여 로직 평가 신호(LEVAL)(1534)를 로우 전압 레벨로 유지하고, 이것은 평가 트랜지스터를 오프 상태로 전환한다. 시프트 레지스터 출력 신호(S0)(1532)는 타이밍 펄스(1634) 동안 안정되어, 상위 뱅크 시프트 레지스터(1204) 내의 하나의 시프트 레지스터 출력 신호(S013)는 하이 전압 레벨로 안정되고, 상위 뱅크 시프트 레지스터(1204) 내의 모든 다른 시프트 레지스터 출력 신호(S01-S012) 및 하위 뱅크 시프트 레지스터(1202) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨로 안정된다.

[0380] 타이밍 신호(BT6)(1520) 내의 타이밍 펄스(1636)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 1 사전-충전 신호(PRE1)로서 제공되고, 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 사전-충전 트랜지스터에 제공된다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스(1636) 동안에, 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드 신호(SN1)는 참조 부호(1658)에서 하이 전압 레벨로 충전되고, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 모든 다른 내부 노드 신호(SN)(1530)를 하이 전압 레벨로 유지한다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(1636)는 방향 회로(1210) 내의 평가 트랜지스터(1272)를 온 상태로 전환한다. 하이 전압 레벨 역방향 신호(DIRR)(1526)는 제어 트랜지스터(1274)를 온 상태로 전환하고, 방향 신호(DIRF)(1528)는 참조 부호(1656)에서 로우 전압 레벨로 방전된다. 또한, 타이밍 펄스(1636) 동안에, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 각각의 로직 평가 신호(LEVAL)(1534)는 참조 부호(1660)에서 하이 전압 레벨로 충전된다. 상위 뱅크 시프트 레지스터(1204) 내의 하이 레벨 시프트 레지스터 출력 신호(S013)는 상위 뱅크 로직 회로(1208) 내에서 입력 신호(AI26)로서 수신된다. 하이 전압 레벨 입력 신호(AI26)는 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 온 상태로 전환하여 어드레스 신호(~A1, ~A2, ..., ~A8)(1536) 내의 로우 어드레스 신호를 능동적으로 유도함으로써 참조 부호(1662)에서 상위 뱅크 어드레스 26을 제공한다. 상위 뱅크 시프트 레지스터(1204) 내의 다른 시프트 레지스터 출력 신호(S01-S012) 및 하위 뱅크 시프트 레지스터(1202) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨이 되어, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 오프 상태로 전환하여 어드레스 신호(~A1, ~A2, ..., ~A8)(1536)를 방전하지 않게 한다. 어드레스 신호(~A1, ~A2, ..., ~A8)(1536)는 타이밍 펄스(1636) 동안에 유효 값으로 고정된다.

[0381] 다음의 일련의 6개의 타이밍 펄스에서, 타이밍 신호(BT1)(1500)는 타이밍 펄스(1664)를 포함하고, 타이밍 신호(BT2)(1504)는 타이밍 펄스(1666)를 포함하고, 타이밍 신호(BT3)(1508)는 타이밍 펄스(1668)를 포함하고, 타이밍 신호(BT4)(1512)는 타이밍 펄스(1670)를 포함하고, 타이밍 신호(BT5)(1516)는 타이밍 펄스(1672)를 포함하고, 타이밍 신호(BT6)(1520)는 타이밍 펄스(1674)를 포함한다.

[0382] 타이밍 펄스(1664)는 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 각각의 제 1 평가 트랜지스터를 온 상태로 전환하여 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀에서 각각의 역방향 입력 신호(SIR)(도 10a에 도시됨)를 평가한다. 최종 시프트 레지스터 셀의 역방향 입력 신호(SIR)는 제어 신호(CSYNC)(1524)이고, 이것은 로우 전압 레벨이다. 각각의 다른 시프트 레지스터 셀에서의 역방향 입력 신호(SIR)는 다음 순서의 시프트 레지스터 출력 신호(S02-S013) 중 하나이고, 이것은 로우 전압 레벨이다. 하위 뱅크 시프트 레지스터(1202) 내의 제어 신호(CSYNC)(1524) 및 시프트 레지스터 출력 신호(S01-S013)가 로우 전압 레벨이면, 하위 뱅크 시프트 레지스터(1202) 내의 역방향 입력 트랜지스터는 오프로 전환되고, 하위 뱅크 시프트 레지스터(1202) 내의 각각의 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀에서 제 1 평가 트랜지스터는 타이밍 펄스(1664)에 의해 온 상태로 전환되지 않고, 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드 신호(SN1-SN13)는 하이 전압 레벨로 유지된다. 타이밍 신호(BT2)(1504) 내의 타이밍 펄스(1666)는 뱅크 선택 어드레스 생성기(1200)에 제공

되지 않고, 각각의 신호는 타이밍 펄스(1666) 동안에 변동 없이 유지된다.

[0383] 다음에, 타이밍 신호(BT3)(1508) 내의 타이밍 펄스(1668)는 제 1 평가 신호(EVAL1)로서 상위 뱅크 시프트 레지스터(1204)에 제공되어 상위 뱅크 시프트 레지스터(1204) 내의 각각의 제 1 평가 트랜지스터를 온 상태로 전환하여 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 셀에서 각각의 역방향 입력 신호(SIR)(도 10a에 도시됨)를 평가한다. 최종 시프트 레지스터 셀의 역방향 입력 신호(SIR)는 제어 신호(CSYNC)(1524)이고, 이것은 로우 전압 레벨이다. 각각의 다른 시프트 레지스터 셀에서의 역방향 입력 신호(SIR)는 다음 순서의 시프트 레지스터 출력 신호(S02-S013)이다. 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S013)는 하이 전압 레벨이고, 상위 뱅크 시프트 레지스터(1204) 내의 끝에서 두 번째 시프트 레지스터 셀의 역방향 입력 신호(SIR)이다.

[0384] 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S013)는 상위 뱅크 시프트 레지스터(1204) 내의 끝에서 두 번째 시프트 레지스터 셀에서 역방향 입력 트랜지스터를 온 상태로 전환한다. 또한, 역방향 트랜지스터는 역방향 신호(DIRR)(1526)에 의해 온 상태로 전환된다. 상위 뱅크 시프트 레지스터(1204) 내의 제 1 평가 트랜지스터가 온 상태로 전환되고, 끝에서 두 번째의 시프트 레지스터 셀 내의 역방향 입력 트랜지스터가 온 상태로 전환되고, 역방향 트랜지스터가 온 상태로 전환되면, 상위 뱅크 시프트 레지스터(1204) 내의 끝에서 두 번째 또는 제 12 시프트 레지스터 셀 내에서 내부 노드 신호(SN12)는 참조 부호(1676)에 표시된 바와 같이 로우 전압 레벨로 방전된다.

[0385] 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 셀 내에서 제 1 평가 트랜지스터는 타이밍 펄스(1668)에 의해 온 상태로 전환되지 않고, 하위 뱅크 시프트 레지스터(1202) 내의 모든 내부 노드 신호(SN1-SN13)는 참조 부호(1678)에서 하이 전압 레벨로 유지된다. 또한, 상위 뱅크 시프트 레지스터(1204) 내에서 제어 신호(CSYNC)(1524) 및 시프트 레지스터 출력 신호(S01-S012)는 로우 전압 레벨이고, 이것은 상위 뱅크 시프트 레지스터(1204) 내에서 다른 시프트 레지스터 셀 내의 역방향 입력 트랜지스터를 오프 상태로 전환한다. 역방향 입력 트랜지스터가 오프 상태이면, 상위 뱅크 시프트 레지스터(1204) 내의 각각의 다른 내부 노드 신호(SN1-SN11 및 SN13)는 참조 부호(1678)에서 하이 전압 레벨로 유지된다.

[0386] 타이밍 신호(BT4)(1512) 내의 타이밍 펄스(1670) 동안에, 시프트 레지스터 출력 신호(S0)(1532)는 참조 부호(1680)에서 하이 전압 레벨로 충전 및/또는 유지된다. 또한, 타이밍 펄스(1670) 동안에, 역방향 신호(DIRR)(1526)는 참조 부호(1682)에서 하이 전압 레벨로 유지되고 정방향 신호(DIRF)(1528)는 하이 전압 레벨로 충전된다. 추가하여, 타이밍 펄스(1670) 동안에 어드레스 신호(~A1, ~A2, ... ~A8)(1536)는 참조 부호(1684)에서 하이 전압 레벨로 충전 및/또는 유지되고, 로직 평가 신호(LEVAL)(1534)는 참조 부호(1686)에서 로우 전압 레벨로 유도된다. 로우 전압 레벨로 로직 평가 신호(LEVAL)(1534)는 어드레스 평가 트랜지스터를 오프 상태로 전환하여 어드레스 트랜지스터가 어드레스 신호(~A1, ~A2, ... ~A8)(1536)를 로우 전압 레벨로 유도하는 것을 방지한다. 어드레스 신호(~A1, ~A2, ... ~A8)(1536) 내의 상위 뱅크 어드레스 26 어드레스 신호는 타이밍 펄스(1664, 1666, 1668) 동안에 유효하다.

[0387] 타이밍 신호(BT5)(1516) 내의 타이밍 펄스(1672)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내의 제 2 평가 트랜지스터를 온 상태로 전환한다. 내부 노드 신호(SN1-SN11 및 SN13)가 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨이고, 내부 노드 신호(SN1-SN13)가 하위 뱅크 시프트 레지스터(1202) 내에서 하이 전압 레벨이면, 타이밍 펄스(1672)는 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01-S011 및 S013) 및 하위 뱅크 시프트 레지스터(1202) 내의 시프트 레지스터 출력 신호(S01-S013)를 참조 부호(1688)에서 로우 전압 레벨로 방전한다. 상위 뱅크 시프트 레지스터(1204)에서 내부 노드 신호(SN12)가 로우 전압 레벨이면, 시프트 레지스터 출력 신호(S012)는 참조 부호(1690)에 표시된 바와 같이 상위 뱅크 시프트 레지스터(1204) 내에서 하이 전압 레벨로 유지된다.

[0388] 타이밍 펄스(1672)는 또한 방향 회로(1210) 내의 평가 트랜지스터(1266)를 온 상태로 전환한다. 제어 신호(CSYNC)(1524)는 로우 전압 레벨이 되어 제어 트랜지스터(1268)를 오프 상태로 전환하고, 역방향 신호(DIRR)(1526)는 하이 전압 레벨로 충전된 채로 유지된다. 추가하여, 타이밍 펄스(1672)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 평가 방지 트랜지스터를 온 상태로 전환하여 로직 평가 신호(LEVAL)(1534)를 로우 전압 레벨로 유지하고, 이것은 평가 트랜지스터를 오프 상태로 전환한다. 시프트 레지스터 출력 신호(S0)(1532)는 타이밍 펄스(1672) 동안에 안정되어, 상위 뱅크 시프트 레지스터(1204) 내의 하나의 시프트 레지스터 출력 신호(S012)가 하이 전압 레벨로 안정되고, 상위 뱅크 시프트 레지스터(1204) 내의 모든 다른 시프트 레지스터 출력 신호(S01-S011 및 S013) 및 하위 뱅크 시프트 레지스터(1202) 내의 모든 시

프트 레지스터 출력 신호(S01-S013)가 로우 전압 레벨로 안정되게 한다.

[0389] 타이밍 신호(BT6)(1520) 내의 타이밍 펄스(1674)는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 제 1 사전-충전 신호(PRE1)로서 제공되고, 방향 회로(1210)에 제 4 평가 신호(EVAL4)로서 제공되며, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 로직 평가 사전-충전 트랜지스터에 제공된다. 제 1 사전-충전 신호(PRE1) 내의 타이밍 펄스(1674)는 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드 신호(SN12)를 참조 부호(1696)에서 하이 전압 레벨로 충전하고, 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204) 내에서 모든 다른 내부 노드 신호(SN)(1530)를 하이 전압 레벨로 유지한다. 제 4 평가 신호(EVAL4) 내의 타이밍 펄스(1674)는 방향 회로(1210) 내의 평가 트랜지스터(1272)를 온 상태로 전환한다. 참조 부호(1694)에서 하이 전압 레벨 역방향 신호(DIRR)(1526)는 제어 트랜지스터(1274)를 온 상태로 전환하고, 방향 신호(DIRF)(1528)는 로우 전압 레벨로 방전된다. 또한 타이밍 펄스(1674)는 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내에서 각각의 로직 평가 신호(LEVAL)(1534)를 참조 부호(1697)에서 하이 전압 레벨로 충전한다. 상위 뱅크 시프트 레지스터(1204) 내의 하이 레벨 시프트 레지스터 출력 신호(S012)는 상위 뱅크 로직 회로(1208) 내에서 입력 신호(AI25)로서 수신된다. 하이 전압 레벨 입력 신호(AI25)는 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 온 상태로 전환하여 어드레스 신호(~A1, ~A2, ... ~A8)(1536) 내의 어드레스 신호를 로우 전압 레벨로 능동적으로 유도하고, 참조 부호(1698)에서 상위 뱅크 어드레스 25를 제공한다. 상위 뱅크 시프트 레지스터(1204) 내의 다른 시프트 레지스터 출력 신호(S01-S011 및 S013) 및 하위 뱅크 시프트 레지스터(1202) 내의 모든 시프트 레지스터 출력 신호(S01-S013)는 로우 전압 레벨이 되어, 하위 뱅크 로직 회로(1206) 및 상위 뱅크 로직 회로(1208) 내의 어드레스 트랜지스터를 오프 상태로 전환하여 어드레스 신호(~A1, ~A2, ... ~A8)(1536)가 방전되지 않게 한다. 어드레스 신호(~A1, ~A2, ... ~A8)(1536)는 타이밍 펄스(1674) 동안에 유효 값으로 고정된다.

[0390] 타이밍 신호(BT1-BT6) 내의 다음의 일련의 6개의 타이밍 펄스는 하이 전압 레벨 시프트 레지스터 출력 신호(S012)를 상위 뱅크 시프트 레지스터(1204) 내의 실행하는 시프트 레지스터 셀로 시프팅하여 상위 뱅크 시프트 레지스터(1204) 내에 하이 전압 레벨 시프트 레지스터 출력 신호(S011)를 제공하고 어드레스 신호(~A1, ~A2, ... ~A8)(1536) 내에 상위 뱅크 어드레스 24를 제공한다. 시프팅은 상위 뱅크 시프트 레지스터(1204) 내의 각각의 시프트 레지스터 출력 신호(S01-S013)가 하이가 될 때까지 각각의 일련의 6개의 타이밍 펄스에 대해 계속 실행된다. 이 일련의 작업은 상위 뱅크 시프트 레지스터(1204) 내의 시프트 레지스터 출력 신호(S01)가 하이가 되고, 상위 뱅크 어드레스 14가 어드레스 신호(~A1, ~A2, ... ~A8)(1536)에 제공된 후에 중지된다. 다음의 일련의 어드레스를 개시하기 위해서, 하위 뱅크 시프트 레지스터(1202) 또는 상위 뱅크 시프트 레지스터(1204)를 개시하여 각각 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을 정방향 또는 역방향으로 제공할 수 있다.

[0391] 하위 뱅크 시프트 레지스터(1202)의 역방향 동작 및 하위 뱅크 어드레스 13-1을 제공하는 동작에서, 로우 전압 레벨 제어 신호(CSYNC)(1524)는 타이밍 신호(BT5)(1516) 내의 타이밍 펄스와 실질적으로 부합하도록 제공되어 시프팅 방향을 역방향으로 설정한다. 또한, 제어 신호(CSYNC)(1524) 내의 제어 펄스는 타이밍 신호(BT1)(1500) 내의 타이밍 펄스와 실질적으로 부합하도록 제공되어 시프트 레지스터 출력 신호(S013-S01)를 통해 하이 전압 신호를 시프팅하도록 하위 뱅크 시프트 레지스터(1202)를 시작 또는 개시한다.

[0392] 상위 뱅크 시프트 레지스터(1204)의 역방향 동작 및 상위 뱅크 어드레스 26-14를 제공하는 동작에서, 로우 전압 레벨 제어 신호(CSYNC)(1524)는 타이밍 신호(BT5)(1516) 내의 타이밍 펄스와 실질적으로 부합하도록 제공되어 시프팅 방향을 역방향으로 설정한다. 또한, 제어 신호(CSYNC)(1524) 내의 제어 펄스는 타이밍 신호(BT3)(1508) 내의 타이밍 펄스와 실질적으로 부합하도록 제공되어 시프트 레지스터 출력 신호(S013-S01)를 통해 하이 전압 신호를 시프팅하도록 상위 뱅크 시프트 레지스터(1204)를 시작 또는 개시한다.

[0393] 제어 신호(CSYNC)는 프린트헤드 다이 내의 하나 이상의 어드레스 생성기의 동작을 제어한다. 각각의 어드레스 생성기는 타이밍 신호 내의 타이밍 펄스와 실질적으로 부합하는 제어 신호(CSYNC) 내의 제어 펄스에 의해 제어되어 작동 방향을 설정하고, 동작을 개시한다. 일실시예에서, 2개의 어드레스 생성기는 6개의 점화 신호에 대응하는 6개의 선택 신호 내의 6개의 타이밍 펄스 동안에 유효 어드레스 신호를 제공한다. 하나의 어드레스 생성기는 6개의 타이밍 펄스 중 3개의 타이밍 펄스 동안에 유효 어드레스 신호를 제공하고, 다른 어드레스 생성기는 6개의 타이밍 펄스 중 다른 3개의 타이밍 펄스 동안에 유효 어드레스 신호를 제공한다. 일실시예에서, 각각의 2개의 어드레스 생성기는 도 9에 도시된 어드레스 생성기(400)와 유사하다. 다른 실시예에서, 각각의 2개의 어드레스 생성기는 도 15의 뱅크 선택 어드레스 생성기(1200)와 유사하다.

[0394] 제어 신호(CSYNC) 내의 제어 펄스가 도 9의 어드레스 생성기(400)를 제어하는 타이밍은 제어 신호(CSYNC) 내

의 제어 펄스가 도 15의 뱅크 선택 어드레스 생성기(1200)를 제어하는 타이밍과는 상이하다. 타이밍 신호(T3)(도 9에 도시됨) 및 타이밍 신호(BT4)(도 15에 도시됨) 내의 타이밍 펄스는 각각 어드레스 생성기(400) 및 뱅크 선택 어드레스 생성기(1200) 내의 시프트 레지스터 셀의 제 2 스테이지를 사전 충전한다. 시프트 레지스터 셀의 제 2 스테이지를 사전 충전하는 것은 시프트 레지스터 출력 신호(SO)를 하이 전압 레벨로 충전하고, 잠재적으로는 유효한 능동적으로 구동된 어드레스 신호를 파괴한다. 다음의 유효 어드레스 신호를 생성하기 위해서, 시프트 레지스터 출력 신호(SO)는 유효 값에 대해 평가되고, 어드레스 신호는 유효 어드레스 신호에 대해 평가된다. 시프트 레지스터 출력 신호(SO)는 어드레스 생성기(400) 내에서 타이밍 신호(T4) 내의 타이밍 펄스 동안, 또한 뱅크 선택 어드레스 생성기(1200) 내에서 타이밍 신호(BT5) 내의 타이밍 펄스 동안에 유효값에 대해 평가된다. 유효 시프트 레지스터 출력 신호(SO)는 로직 회로에 제공되고, 어드레스 신호는 어드레스 생성기(400) 내에서 타이밍 신호(T5) 내의 타이밍 펄스 동안, 또한 뱅크 선택 어드레스 생성기(1200) 내에서 타이밍 신호(BT6) 내의 타이밍 펄스 동안에 유효 값에 대해 평가되어 유효 어드레스 신호를 제공한다. 이것은 다음의 시퀀스를 획득할 수 있게 한다.

T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3	T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3
SO 하이	SO 평가	SO 유효	SO 유효	SO 유효	SO 유효	SO 하이	SO 평가	SO 유효	SO 유효	SO 유효	SO 유효
어드레스 파괴		어드레스 평가	어드레스 유효	어드레스 유효	어드레스 유효	어드레스 파괴		어드레스 평가	어드레스 유효	어드레스 유효	어드레스 유효
[0395]											

[0396] 어드레스 신호는 시프트 레지스터 출력 신호(SO)가 타이밍 신호(T3 또는 BT4) 동안에 사전-충전될 때 사전-충전될 수 있다. 어드레스 신호는 타이밍 신호(T5 또는 BT6) 내의 유효 어드레스 신호에 대해 평가되기 전에 사전-충전된다. 따라서, 어드레스 신호는 어드레스 생성기(400) 내에서 타이밍 신호(T3 또는 T4) 내의 타이밍 펄스 동안, 또한 뱅크 선택 어드레스 생성기(1200) 내에서 타이밍 신호(BT4 또는 BT5) 내의 타이밍 펄스 동안에 사전-충전될 수 있다. 로직 평가 신호(LEVAL)는 어드레스 생성기(400) 및 뱅크 선택 어드레스 생성기(1200) 내의 로직 평가 트랜지스터를 오프로 전환하는 한편, 시프트 레지스터 출력 신호(SO)는 하이 전압 레벨로 충전되고, 어드레스 생성기(400) 내에서 타이밍 신호(T3 및 T4) 내의 타이밍 펄스 동안, 또한 뱅크 선택 어드레스 생성기(1200) 내에서 타이밍 신호(BT4 및 BT5) 내의 타이밍 펄스 동안에 유효 값에 대해 평가된다. 어드레스 신호 사전-충전은 다음의 시퀀스에 추가된다.

T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3	T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3
SO 하이	SO 평가	SO 유효	SO 유효	SO 유효	SO 유효	SO 하이	SO 평가	SO 유효	SO 유효	SO 유효	SO 유효
어드레스 파괴		어드레스 평가	어드레스 유효	어드레스 유효	어드레스 유효	어드레스 파괴		어드레스 평가	어드레스 유효	어드레스 유효	어드레스 유효
어드레스 사전 충전						어드레스 사전 충전					
[0397]											

[0398] 시프트 레지스터 셀 내의 내부 노드 신호(SN)는 시프트 레지스터 출력 신호(SO)가 유효 값에 대해 평가될 때 유효해야 한다. 내부 노드 신호(SN)가 사전-충전될 수 있는 가장 빠른 시간은 시프트 레지스터 출력 신호(SO)가 유효하게 된 이후의 타이밍 신호(T5 또는 BT6) 내의 타이밍 펄스 동안이다. 시프트 레지스터 출력 신호(SO)는 어드레스 생성기(400 및 1200) 내의 선행 또는 다음 순서의 시프트 레지스터 셀에 신호를 입력하는데 이용되기 때문에, 내부 노드 신호(SN)는 시프트 레지스터 출력 신호(SO)가 타이밍 신호(T3 또는 BT4) 내의 타이밍 펄스 동안에 하이 전압 레벨로 사전-충전되기 전에 평가된다. 내부 노드 신호(SN)는 타이밍 신호(T2 또는 BT3) 내의 타이밍 펄스 이전 또는 그 동안에 평가된다. 또한, 내부 노드 신호(SN)는 시프트 레지스터를 개시하기 위해 제어 신호(CSYNC) 내의 제어 펄스와 실질적으로 부합하는지 평가된다. 내부 노드 신호를 사전-충전하고 평가할 가능성은 다음의 시퀀스에 추가된다.

T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3	T3/ BT4	T4/ BT5	T5/ BT6	T6/ BT1	T1/ BT2	T2/ BT3
SO 하이	SO 평가	SO 유효	SO 유효	SO 유효	SO 유효	SO 하이	SO 평가	SO 유효	SO 유효	SO 유효	SO 유효
어드레스 파괴		어드레스 평가	어드레스 유효	어드레스 유효	어드레스 유효	어드레스 파괴		어드레스 평가	어드레스 유효	어드레스 유효	어드레스 유효
어드레스 사전 충전						어드레스 사전 충전					
		SN 사전 충전						SN 사전 충전			
SN 유효	SN 유효		SN 평가		SN 유효	SN 유효		SN 평가		SN 평가	

[0399]

[0400]

내부 노드 신호(SN)는 타이밍 신호(T1) 내의 타이밍 펄스 동안에 사전-충전되고, 어드레스 생성기(400) 내에서 타이밍 신호(T2) 내의 타이밍 펄스 동안에 평가된다. 어드레스 생성기(400)를 개시하기 위해서, 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(T2) 내의 타이밍 펄스 동안에 제공된다.

[0401]

뱅크 선택 어드레스 생성기(1200) 내의 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)에 대한 내부 노드 신호(SN)는 타이밍 신호(BT6) 내의 타이밍 펄스 동안에 사전-충전된다. 하위 뱅크 시프트 레지스터(1202) 내의 내부 노드 신호(SN)는 타이밍 신호(BT1) 내의 타이밍 펄스 동안에 평가되고, 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드 신호는 타이밍 신호(BT3) 내의 타이밍 펄스 동안에 평가된다. 하위 뱅크 시프트 레지스터(1202)를 개시하기 위해서, 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(BT1) 내의 타이밍 펄스 동안에 제공되고, 상위 뱅크 시프트 레지스터(1204)를 개시하기 위해서 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(BT3) 내의 타이밍 펄스 동안에 제공된다.

[0402]

내부 노드 신호(SN)가 평가되는 동안에 방향 신호(DIRR, DIRF)는 유효하다. 어드레스 생성기(400)에서, 역방향 신호(DIRR)는 내부 노드 신호(SN)가 평가된 직후에 타이밍 신호(T3) 내의 타이밍 펄스 동안에 사전-충전된다. 역방향 신호(DIRR)는 타이밍 신호(T4) 내의 타이밍 펄스 동안에 평가된다. 정방향 신호(DIRF)는 타이밍 신호(T5) 내의 타이밍 펄스 동안에 사전-충전되고, 타이밍 신호(T6) 내의 타이밍 펄스 동안에 평가되어 타이밍 신호(T1 및 T2) 내의 타이밍 펄스 동안에 유효 방향 신호(DIRR 및 DIRF)를 제공한다.

[0403]

뱅크 선택 어드레스 생성기(1200)에서, 방향 신호(DIRR, DIRF)는 각각의 일련의 6개의 타이밍 펄스 동안에 제어 신호(CSYNC) 내의 하나의 제어 펄스로 설정된다. 제어 신호(CSYNC) 내의 2개의 다른 제어 펄스는 하위 뱅크 시프트 레지스터(1202) 및 상위 뱅크 시프트 레지스터(1204)를 개시한다. 또한, 내부 노드 신호(SN)는 타이밍 신호(BT1, BT3) 내의 타이밍 펄스 동안에 평가되고, 방향 신호(DIRR, DIRF)는 타이밍 신호(BT1, BT3) 내의 타이밍 펄스 동안에 유효하게 되어야 한다.

[0404]

뱅크 선택 어드레스 생성기(1200) 및 도 16의 방향 회로(1210)에서, 방향 신호(DIRR, DIRF)는 상위 뱅크 시프트 레지스터(1204) 내의 내부 노드 신호(SN)가 평가된 직후에 타이밍 신호(BT4) 내의 타이밍 펄스 동안에 사전-충전된다. 방향 신호(DIRR)는 타이밍 신호(BT5) 내의 타이밍 펄스 동안에 평가되고, 방향 신호(DIRF)는 타이밍 신호(BT5) 내의 타이밍 펄스 동안에 평가된다. 방향 신호(DIRR, DIRF)는 타이밍 신호(BT1, BT2, BT3) 내의 타이밍 펄스 동안에 유효하다. 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(BT5) 내의 타이밍 펄스 동안에 제공되어 시프팅 방향 및 어드레스 신호의 제공 방향을 설정한다.

[0405]

일실시예에서, 선택 신호(SEL1, SEL2, ... SEL6) 내의 6개의 타이밍 펄스는 6개의 점화 그룹에 제공된 6개의 점화 신호에 대응한다. 선택 신호(SEL1, SEL2, ... SEL6) 내의 6개의 타이밍 펄스는 어드레스 생성기(400) 또는 뱅크 선택 어드레스 생성기(1200) 등과 같이 어드레스 생성기를 제어하는 제어 신호(CSYNC) 내의 제어 펄스의 6개의 가능한 위치를 제공한다. 어드레스 생성기(400)에서, 제어 신호(CSYNC) 내의 하나의 제어 펄스를 사용하여 시프트 레지스터(402)를 개시하고, 제어 신호(CSYNC) 내의 2개의 제어 펄스를 이용하여 방향 신호(DIRR, DIRF)를 설정한다. 시프트 레지스터(402)를 개시하기 위한 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(T2) 내의 타이밍 펄스 동안에 제공된다. 방향 신호(DIRR)를 설정하기 위한 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(T4) 내의 타이밍 펄스 동안에 제공되고, 방향 신호(DIRF)를 설정하기 위한 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(T6) 내의 타이밍 펄스 동안에 제공된다.

[0406]

뱅크 선택 어드레스 생성기(1200)에서, 방향 신호(DIRR, DIRF)는 타이밍 신호(BT5) 내의 타이밍 펄스와 실질적으로 부합하는 제어 신호(CSYNC) 내의 하나의 제어 펄스 또는 로우 전압 레벨로 설정된다. 뱅크 선택 어드레스 생성기(1200)는 제어 신호(CSYNC) 내의 2개의 제어 펄스를 이용하여 개시된다. 제어 신호(CSYNC) 내의

하나의 제어 펄스는 하위 뱅크 시프트 레지스터(1202)를 개시하고, 제어 신호(CSYNC) 내의 다른 제어 펄스는 상위 뱅크 시프트 레지스터(1204)를 개시한다. 하위 뱅크 시프트 레지스터(1202)는 타이밍 신호(BT1) 내의 타이밍 펄스와 실질적으로 부합하는 제어 신호(CSYNC) 내의 제어 펄스에 의해 개시되고, 상위 뱅크 시프트 레지스터(1204)는 타이밍 신호(BT3) 내의 타이밍 펄스와 실질적으로 부합하는 제어 신호(CSYNC) 내의 제어 펄스로 개시된다. 타이밍 신호(BT1, BT3, BT5) 내의 타이밍 펄스 동안에 제공되는 제어 신호(CSYNC) 내의 제어 펄스는 뱅크 선택 어드레스 생성기(1200)의 동작을 제어한다.

[0407] 일실시예에서, 2개의 뱅크 선택 어드레스 생성기(1200)가 프린트헤드 다이(40) 내에서 이용된다. 2개의 뱅크 선택 어드레스 생성기(1200) 중의 하나는 점화 그룹 1-3에 어드레스 신호를 제공하고, 다른 뱅크 선택 어드레스 생성기(1200)는 점화 그룹 4-6에 어드레스 신호를 제공한다. 제어 신호(CSYNC) 내의 제어 펄스는 타이밍 신호(BT2, BT4, BT6) 내의 타이밍 펄스와 실질적으로 부합하도록 3개의 타이밍 펄스만큼 시프팅되어 제 2 뱅크 선택 어드레스 생성기(1200)를 제어한다.

[0408] 도 19는 프린트헤드 다이(40) 내의 2개의 뱅크 선택 어드레스 생성기(1700, 1702) 및 6개의 점화 그룹(1704a-1704f)의 일실시예를 도시하는 도면이다. 뱅크 선택 어드레스 생성기(1700, 1702)는 프린트헤드 다이(40) 내의 제어 회로의 일실시예이다. 각각의 뱅크 선택 어드레스 생성기(1700, 1702)는 뱅크 선택 어드레스 생성기(1200)와 유사하고, 점화 그룹(1704a-1704f)은 도 7에 도시된 점화 그룹(202a-202f)과 유사하다.

[0409] 뱅크 선택 어드레스 생성기(1700)는 어드레스 라인(1712)을 통해 점화 그룹(1704a-1704c)에 전기적으로 결합된다. 어드레스 라인(1712)은 뱅크 선택 어드레스 생성기(1700)로부터 점화 그룹(1704a-1704c) 내의 점화 셀(120)로 어드레스 신호(~A1, ~A2, ..., ~A8)를 제공한다. 또한, 뱅크 선택 어드레스 생성기(1700)는 제어 라인(1710)에 전기적으로 결합된다. 제어 라인(1710)은 제어 신호(CSYNC)를 수신하고, 그 제어 신호(CSYNC)를 뱅크 선택 어드레스 생성기(1700)에 제공한다. 추가하여, 뱅크 선택 어드레스 생성기(1700)는 선택 라인(1708a-1708f)에 전기적으로 결합된다. 선택 라인(1708a-1708f)은 선택 신호(SEL1, SEL2, ..., SEL6)를 수신하고, 선택 신호(SEL1, SEL2, ..., SEL6)를 대응하는 점화 그룹(1704a-1704f)뿐만 아니라 뱅크 선택 어드레스 생성기(1700)에 제공한다.

[0410] 선택 라인(1708a)은 선택 신호(SEL1)를 타이밍 신호(BT1)로서 뱅크 선택 어드레스 생성기(1700)에 제공한다. 선택 라인(1708b)은 선택 신호(SEL2)를 타이밍 신호(BT2)로서 뱅크 선택 어드레스 생성기(1700)에 제공한다. 선택 라인(1708c)은 선택 신호(SEL3)를 타이밍 신호(BT3)로서 뱅크 선택 어드레스 생성기(1700)에 제공한다. 선택 라인(1708d)은 선택 신호(SEL4)를 타이밍 신호(BT4)로서 뱅크 선택 어드레스 생성기(1700)에 제공한다. 선택 라인(1708e)은 선택 신호(SEL5)를 타이밍 신호(BT5)로서 뱅크 선택 어드레스 생성기(1700)에 제공하고, 선택 라인(1708f)은 선택 신호(SEL6)를 타이밍 신호(BT6)로서 뱅크 선택 어드레스 생성기(1700)에 제공한다.

[0411] 뱅크 선택 어드레스 생성기(1702)는 어드레스 라인(1716)을 통해 점화 그룹(1704d-1704f)에 전기적으로 결합된다. 어드레스 라인(1716)은 뱅크 선택 어드레스 생성기(1702)로부터 각각의 점화 그룹(1704d-1704f) 내의 점화 셀(120)로 어드레스 신호(~B1, ~B2, ..., ~B7)를 제공한다. 또한, 뱅크 선택 어드레스 생성기(1702)는 제어 신호(CSYNC)를 수신하고, 제어 신호(CSYNC)를 뱅크 선택 어드레스 생성기(1702)로 제공하는 제어 라인(1710)에 전기적으로 결합된다. 추가하여, 뱅크 선택 어드레스 생성기(1702)는 선택 라인(1708a-1708f)에 전기적으로 결합된다. 선택 라인(1708a-1708f)은 대응하는 점화 그룹(1704a-1704f)뿐만 아니라 뱅크 선택 어드레스 생성기(1702)에 선택 신호(SEL1, SEL2, ..., SEL6)를 제공한다.

[0412] 선택 라인(1708a)은 선택 신호(SEL1)를 타이밍 신호(BT4)로서 뱅크 선택 어드레스 생성기(1702)에 제공한다. 선택 라인(1708b)은 선택 신호(SEL2)를 타이밍 신호(BT5)로서 뱅크 선택 어드레스 생성기(1702)에 제공한다. 선택 라인(1708c)은 선택 신호(SEL3)를 타이밍 신호(BT6)로서 뱅크 선택 어드레스 생성기(1702)에 제공한다. 선택 라인(1708d)은 선택 신호(SEL4)를 타이밍 신호(BT1)로서 뱅크 선택 어드레스 생성기(1702)에 제공한다. 선택 라인(1708e)은 선택 신호(SEL5)를 타이밍 신호(BT2)로서 뱅크 선택 어드레스 생성기(1702)에 제공하며, 선택 라인(1708f)은 선택 신호(SEL6)를 타이밍 신호(BT3)로서 뱅크 선택 어드레스 생성기(1702)에 제공한다.

[0413] 작동 중에, 점화 그룹 1(FG1)(1704a)은 어드레스 신호(~A1, ~A2, ..., ~A8)와, 점화 신호(FIRE1)에 의해 점화 셀(120)이 활성화될 수 있게 하는 선택 신호(SEL1) 내의 펄스를 수신한다. 점화 그룹 2(FG2)(1704b)는 어드레스 신호(~A1, ~A2, ..., ~A8)와, 점화 신호(FIRE2)에 의해 점화 셀(120)이 활성화될 수 있게 하는 선택 신호(SEL2) 내의 펄스를 수신한다. 점화 그룹 3(FG3)(1704c)은 어드레스 신호(~A1, ~A2, ..., ~A8)와, 점화 신호(FIRE3)에 의해 점화 셀(120)이 활성화될 수 있게 하는 선택 신호(SEL3) 내의 펄스를 수신한다.

[0414] 점화 그룹 4(FG4)(1704d)는 어드레스 신호(~B1, ~B2, ..., ~B8)와, 점화 신호(FIRE4)에 의해 점화 셀(120)이

활성화될 수 있게 하는 선택 신호(SEL4) 내의 펠스를 수신한다. 점화 그룹 5(FG5)(1704e)는 어드레스 신호(~B1, ~B2, ... ~B8)와, 점화 신호(FIRE5)에 의해 점화 셀(120)이 활성화될 수 있게 하는 선택 신호(SEL5) 내의 펠스를 수신한다. 점화 그룹 6(FG6)(1704f)은 어드레스 신호(~B1, ~B2, ... ~B8)와, 점화 신호(FIRE6)에 의해 점화 셀(120)이 활성화될 수 있게 하는 선택 신호(SEL6) 내의 펠스를 수신한다.

[0415] 각각의 뱅크 선택 어드레스 생성기(1700, 1702)는 독립적으로 개시되어 정방향 또는 역방향으로 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을 제공할 수 있다. 뱅크 선택 어드레스 생성기(1700)는 뱅크 선택 어드레스 생성기(1702)를 개시하지 않으면서 정방향 또는 역방향으로 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을 제공하도록 개시될 수 있고, 및 뱅크 선택 어드레스 생성기(1702)는 뱅크 선택 어드레스 생성기(1700)를 개시하지 않으면서 정방향 또는 역방향으로 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을 제공하도록 개시될 수 있다. 또한, 뱅크 선택 어드레스 생성기(1700)는 정방향 또는 역방향으로 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을 제공하도록 개시될 수 있는 한편, 뱅크 선택 어드레스 생성기(1702)는 정방향 또는 역방향으로 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을 제공하도록 개시될 수 있다.

[0416] 유효 어드레스 신호(~A1, ~A2, ... ~A8)는 점화 그룹(FG1, FG2, FG3)(1704a-1704c) 내의 하위 뱅크 점화 셀(120)이 활성화되도록 인에이블링하는 데 이용된다. 유효 어드레스 신호(~B1, ~B2, ... ~B8)는 점화 그룹(FG4, FG5, FG6)(1704d-1704f) 내의 하위 뱅크 점화 셀(120)이 활성화되도록 인에이블링하는 데 이용된다.

[0417] 일실시예에서, 하위 또는 상위 뱅크 점화 셀은 선택 라인의 동일 서브그룹에 결합되는 점화 셀이다. 다른 실시예에서, 하위 또는 상위 뱅크의 점화 셀은 물리적으로 서로 근접하다. 다른 실시예에서, 뱅크 선택 어드레스 생성기(1700) 내의 하위 뱅크 회로는 된다 뱅크 선택 어드레스 생성기(1700) 내의 상위 뱅크 회로와는 서로 다른 점화 셀에 전기적으로 결합되고, 이러한 배치는 또한 뱅크 선택 어드레스 생성기(1702)와 관련하여 활용될 수 있다.

[0418] 소정의 실시예에서, 뱅크 선택 어드레스 생성기(1700, 1702)는 서로 근접하게 위치되는 하위 뱅크 시프트 레지스터 및 하위 뱅크 로직 회로와, 상위 뱅크 시프트 레지스터 및 상위 뱅크 로직 회로와, 방향 회로를 포함한다. 다른 실시예에서, 뱅크 선택 어드레스 생성기(1700, 1702)는 각각 2개의 부분으로 분할되어 그 제 1 부분은 하위 뱅크 시프트 레지스터, 하위 뱅크 로직 회로 및 방향 회로를 포함하고, 그 제 2 부분은 상위 뱅크 시프트 레지스터, 상위 뱅크 로직 회로 및 방향 회로를 포함하게 하는데, 여기에서 제 1 부분 및 제 2 부분이 반드시 서로 근접하게 위치되어야 하는 것은 아니지만 서로에 대해 전기적으로 결합되어야 한다.

[0419] 도 20은 프린트헤드 다이(40) 내에서 뱅크 선택 어드레스 생성기(1700, 1702)의 정방향 동작 및 역방향 동작을 도시하는 타이밍도이다. 정방향으로 시프팅하기 위한 제어 신호는 CSYNC(FWD)(1824)이고, 역방향으로 시프팅하기 위한 제어 신호는 CSYNC(REV)(1826)이다. 어드레스 신호(~A1~A8)(1828)는 뱅크 선택 어드레스 생성기(1700)에 의해 제공되는 어드레스를 나타내고, 정방향 및 역방향 동작 어드레스 기준을 포함한다. 어드레스 신호(~B1~B8)(1830)는 뱅크 선택 어드레스 생성기(1702)에 의해 제공되고, 정방향 및 역방향 동작 어드레스 기준을 포함한다.

[0420] 선택 신호(SEL1, SEL2, ... SEL6)는 반복되는 일련의 6개의 펠스로 반복하는 일련의 6개의 펠스를 제공한다. 각각의 선택 신호(SEL1, SEL2, ... SEL6)는 일련의 6개의 펠스 내의 하나의 펠스를 포함한다. 하나의 일련의 6개의 펠스에서, 선택 신호(SEL1)(1800)는 타이밍 펠스(1802)를 포함하고, 선택 신호(SEL2)(1804)는 타이밍 펠스(1806)를 포함하고, 선택 신호(SEL3)(1808)는 타이밍 펠스(1810)를 포함하고, 선택 신호(SEL4)(1812)는 타이밍 펠스(1814)를 포함하고, 선택 신호(SEL5)(1816)는 타이밍 펠스(1818)를 포함하고, 선택 신호(SEL6)(1820)는 타이밍 펠스(1822)를 포함한다.

[0421] 정방향 동작에서, 제어 신호(CSYNC(FWD))(1824)는 선택 신호(SEL2)(1804) 내의 타이밍 펠스(1806)와 실질적으로 부합하는 제어 펠스(1832)를 제공한다. 제어 펠스(1832)는 뱅크 선택 어드레스 생성기(1702)가 정방향으로 시프팅하도록 설정한다. 또한, 제어 신호(CSYNC(FWD))(1824)는 선택 신호(SEL5)(1816) 내의 타이밍 펠스(1818)와 실질적으로 부합하는 제어 펠스(1834)를 제공한다. 제어 펠스(1834)는 뱅크 선택 어드레스 생성기(1700)가 정방향으로 시프팅하도록 설정한다.

[0422] 다음의 일련의 6개의 펠스에서, 선택 신호(SEL1)(1800)는 타이밍 펠스(1836)를 포함하고, 선택 신호(SEL2)(1804)는 타이밍 펠스(1838)를 포함하고, 선택 신호(SEL3)(1808)는 타이밍 펠스(1840)를 포함하고, 선택 신호(SEL4)(1812)는 타이밍 펠스(1842)를 포함하고, 선택 신호(SEL5)(1816)는 타이밍 펠스(1844)를 포함하고, 선택 신호(SEL6)(1820)는 타이밍 펠스(1846)를 포함한다.

- [0423] 제어 신호(CSYNC(FWD))(1824)는 뱅크 선택 어드레스 생성기(1702)가 정방향으로 시프팅하도록 계속 설정하는 타이밍 펄스(1838)와 실질적으로 부합하는 제어 펄스(1848)와, 뱅크 선택 어드레스 생성기(1700)가 정방향으로 시프팅하도록 계속 설정하는 타이밍 펄스(1844)와 실질적으로 부합하는 제어 펄스(1850)를 제공한다. 또한, 제어 신호(CSYNC(FWD))(1824)는 선택 신호(SEL1)(1800) 내의 타이밍 펄스(1836)와 실질적으로 부합하는 제어 펄스(1852)를 제공한다. 제어 펄스(1852)는 어드레스 신호(~A1~A8)(1828) 내에 어드레스 1-13을 생성하도록 뱅크 선택 어드레스 생성기(1700) 내의 하위 뱅크 시프트 레지스터를 개시한다. 추가하여, 제어 신호(CSYNC(FWD))(1824)는 선택 신호(SEL4)(1812) 내의 타이밍 펄스(1842)와 실질적으로 부합하는 제어 펄스(1854)를 제공한다. 제어 펄스(1854)는 어드레스 신호(~B1~B8)(1830) 내에 어드레스 1-13을 생성하도록 뱅크 선택 어드레스 생성기(1702) 내의 하위 뱅크 시프트 레지스터를 개시한다.
- [0424] 다음의 또는 제 3의 일련의 6개의 펄스에서, 선택 신호(SEL1)(1800)는 타이밍 펄스(1856)를 포함하고, 선택 신호(SEL2)(1804)는 타이밍 펄스(1858)를 포함하고, 선택 신호(SEL3)(1808)는 타이밍 펄스(1860)를 포함하고, 선택 신호(SEL4)(1812)는 타이밍 펄스(1862)를 포함하고, 선택 신호(SEL5)(1816)는 타이밍 펄스(1864)를 포함하고, 선택 신호(SEL6)(1820)는 타이밍 펄스(1866)를 포함한다.
- [0425] 제어 신호(CSYNC(FWD))(1824)는 뱅크 선택 어드레스 생성기(1702)가 정방향으로 시프팅하도록 계속 설정하는 타이밍 펄스(1858)와 실질적으로 부합하는 제어 펄스(1868)와, 뱅크 선택 어드레스 생성기(1700)가 정방향으로 시프팅하도록 계속 설정하는 타이밍 펄스(1864)와 실질적으로 부합하는 제어 펄스(1870)를 제공한다.
- [0426] 뱅크 선택 어드레스 생성기(1700)는 참조 부호(1872)에서 어드레스 신호(~A1~A8)(1828) 내에 하위 뱅크 어드레스 1을 제공한다. 참조 부호(1872)에서의 하위 뱅크 어드레스 1은 선택 신호(SEL6)(1820) 내의 타이밍 펄스(1846) 동안에 유효하게 되고, 선택 신호(SEL4)(1812) 내의 타이밍 펄스(1862)까지 유효하게 유지된다. 참조 부호(1872)에서의 하위 뱅크 어드레스 1은 선택 신호(SEL1, SEL2, SEL3)(1800, 1804, 1808) 내의 타이밍 펄스(1856, 1858, 1860) 동안에 유효하다.
- [0427] 뱅크 선택 어드레스 생성기(1702)는 참조 부호(1874)에서 어드레스 신호(~B1~B8)(1830) 내에 하위 뱅크 어드레스 1을 제공한다. 참조 부호(1874)에서의 하위 뱅크 어드레스 1은 선택 신호(SEL3)(1808) 내의 타이밍 펄스(1860) 동안에 유효하게 되고, 선택 신호(SEL1)(1800) 내의 타이밍 펄스(1876)까지 유효하게 유지된다. 참조 부호(1874)에서의 하위 뱅크 어드레스 1은 선택 신호(SEL4, SEL5, SEL6)(1812, 1816, 1820) 내의 타이밍 펄스(1862, 1864, 1866) 동안에 유효하다.
- [0428] 어드레스 신호(~A1~A8)(1828) 및 어드레스 신호(~B1~B8)(1830)는 동일한 어드레스, 즉 참조 부호(1872) 및 참조 부호(1874)에서의 하위 뱅크 어드레스 1을 제공한다. 하위 뱅크 어드레스 1은 타이밍 펄스(1856)에서 시작하고 타이밍 펄스(1866)에서 종료되는 일련의 6개의 타이밍 펄스 동안에 제공되고, 이것은 하위 뱅크 어드레스 1에 대한 어드레스 타임 슬롯이 된다. 타이밍 펄스(1876)에서 시작하는 다음의 일련의 6개의 펄스 동안에, 어드레스 신호(~A1~A8)(1828)는 참조 부호(1878)에서 하위 뱅크 어드레스 2를 제공하고, 어드레스 신호(~B1~B8)(1830)는 하위 뱅크 어드레스 2를 제공한다. 뱅크 선택 어드레스 생성기(1700, 1702)는 하위 뱅크 어드레스 1로부터 하위 뱅크 어드레스 13으로, 즉 정방향으로 하위 뱅크 어드레스 1-13을 제공하도록 계속 시프팅한다. 하위 뱅크 어드레스 13이 제공될 때, 뱅크 선택 어드레스 생성기(1700) 및/또는 뱅크 선택 어드레스 생성기(1702)는 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을, 정방향 또는 역방향으로 제공하도록 개시될 수 있다.
- [0429] 이러한 예에서, 참조 부호(1880)에서의 하위 뱅크 어드레스 13은 어드레스 신호(~A1~A8)(1828) 내에 제공되고, 참조 부호(1882)에서의 하위 뱅크 어드레스 13은 어드레스 신호(~B1~B8)(1830) 내에 제공되며, 선택 신호(SEL1)(1800)는 타이밍 펄스(1884)를 포함하고, 선택 신호(SEL2)(1804)는 타이밍 펄스(1886)를 포함하고, 선택 신호(SEL3)(1808)는 타이밍 펄스(1888)를 포함하고, 선택 신호(SEL4)(1812)는 타이밍 펄스(1890)를 포함하고, 선택 신호(SEL5)(1816)는 타이밍 펄스(1892)를 포함하고, 선택 신호(SEL6)(1820)는 타이밍 펄스(1894)를 포함한다.
- [0430] 제어 신호(CSYNC(FWD))(1824)는 뱅크 선택 어드레스 생성기(1702)가 정방향으로 시프팅하도록 계속 설정하는 타이밍 펄스(1886)와 실질적으로 부합하는 제어 펄스(1896)와, 뱅크 선택 어드레스 생성기(1700)가 정방향으로 시프팅하도록 계속 설정하는 타이밍 펄스(1892)와 실질적으로 부합하는 제어 펄스(1897)를 제공한다. 또한, 제어 신호(CSYNC(FWD))(1824)는 선택 신호(SEL3)(1808) 내의 타이밍 펄스(1888)와 실질적으로 부합하는 제어 펄스(1900)를 제공한다. 제어 펄스(1900)는 어드레스 신호(~A1~A8)(1828) 내에 상위 뱅크 어드레스 14-26을 생성하도록 뱅크 선택 어드레스 생성기(1700) 내의 상위 뱅크 시프트 레지스터를 개시한다. 추가하

여, 제어 신호(CSYNC(FWD))(1824)는 선택 신호(SEL6)(1820) 내의 타이밍 펄스(1894)와 실질적으로 부합하는 제어 펄스(1902)를 제공한다. 제어 펄스(1902)는 어드레스 신호(~B1~~B8)(1830) 내에 어드레스 14-26을 생성하도록 뱅크 선택 어드레스 생성기(1702) 내의 상위 뱅크 시프트 레지스터를 개시한다.

[0431] 다음의 일련의 6개의 펄스에서, 선택 신호(SEL1)(1800)는 타이밍 펄스(1904)를 포함하고, 선택 신호(SEL2)(1804)는 타이밍 펄스(1906)를 포함하고, 선택 신호(SEL3)(1808)는 타이밍 펄스(1908)를 포함하고, 선택 신호(SEL4)(1812)는 타이밍 펄스(1910)를 포함하고, 선택 신호(SEL5)(1816)는 타이밍 펄스(1912)를 포함하고, 선택 신호(SEL6)(1820)는 타이밍 펄스(1914)를 포함한다.

[0432] 제어 신호(CSYNC(FWD))(1824)는 뱅크 선택 어드레스 생성기(1702)가 정방향으로 시프팅하도록 계속 설정하는 타이밍 펄스(1906)와 실질적으로 부합하는 제어 펄스(1916)와, 뱅크 선택 어드레스 생성기(1700)가 정방향으로 시프팅하도록 계속 설정하는 타이밍 펄스(1912)와 실질적으로 부합하는 제어 펄스(1918)를 제공한다.

[0433] 뱅크 선택 어드레스 생성기(1700)는 참조 부호(1920)에서 어드레스 신호(~A1~~A8)(1828) 내에 상위 뱅크 어드레스 14를 제공한다. 참조 부호(1920)에서의 상위 뱅크 어드레스 14는 선택 신호(SEL6)(1820) 내의 타이밍 펄스(1894) 동안에 유효하게 되고, 선택 신호(SEL4)(1812) 내의 타이밍 펄스(1910)까지 유효하게 유지된다. 참조 부호(1920)에서의 상위 뱅크 어드레스 14는 선택 신호(SEL1, SEL2, SEL3)(1800, 1804, 1808) 내의 타이밍 펄스(1904, 1906, 1908) 동안에 유효하다.

[0434] 뱅크 선택 어드레스 생성기(1702)는 어드레스 신호(~B1~~B8)(1830) 내에 상위 뱅크 어드레스 14를 제공한다. 참조 부호(1922)에서의 상위 뱅크 어드레스 14는 선택 신호(SEL3)(1808) 내의 타이밍 펄스(1908) 동안에 유효하게 되고, 선택 신호(SEL1)(1800) 내의 타이밍 펄스(1924)까지 유효하게 유지된다. 참조 부호(1922)에서의 상위 뱅크 어드레스 14는 선택 신호(SEL4, SEL5, SEL6)(1812, 1816, 1820) 내의 타이밍 펄스(1910, 1912, 1914) 동안에 유효하다.

[0435] 어드레스 신호(~A1~~A8)(1828) 및 어드레스 신호(~B1~~B8)(1830)는 동일한 어드레스, 즉 참조 부호(1920) 및 참조 부호(1922)에서의 상위 뱅크 어드레스 14를 제공한다. 상위 뱅크 어드레스 14는 타이밍 펄스(1904)에서 시작하고 타이밍 펄스(1914)에서 종료되는 일련의 6개의 타이밍 펄스 동안에 제공되고, 이것은 상위 뱅크 어드레스 14에 대한 어드레스 타임 슬롯이 된다. 타이밍 펄스(1924)에서 시작하는 다음의 일련의 6개의 펄스 동안에, 어드레스 신호(~A1~~A8)(1828)는 참조 부호(1926)에서 상위 뱅크 어드레스 15를 제공하고, 어드레스 신호(~B1~~B8)(1830)는 또한 상위 뱅크 어드레스 15를 제공한다. 뱅크 선택 어드레스 생성기(1700, 1702)는 상위 뱅크 어드레스 14로부터 상위 뱅크 어드레스 26으로, 즉 정방향으로 상위 뱅크 어드레스 14-26을 제공하도록 계속 시프팅한다.

[0436] 역방향 동작에서, 선택 신호(SEL1, SEL2, ... SEL6) 내의 하나의 일련의 6개의 펄스 동안에, 제어 신호(CSYNC(REV))(1826)는 참조 부호(1930)에서 선택 신호(SEL2)(1804) 내의 타이밍 펄스(1806)와 실질적으로 부합하는 로우 전압 레벨을 제공하여, 뱅크 선택 어드레스 생성기(1702)가 역방향으로 시프팅하도록 설정한다. 또한, 제어 신호(CSYNC(REV))(1826)는 참조 부호(1932)에서 선택 신호(SEL5)(1816) 내의 타이밍 펄스(1818)와 실질적으로 부합하는 로우 전압 레벨을 제공하여, 뱅크 선택 어드레스 생성기(1700)가 역방향으로 시프팅하도록 설정한다.

[0437] 다음의 일련의 6개의 펄스 동안에, 제어 신호(CSYNC(REV))(1826)는 참조 부호(1934)에서 타이밍 펄스(1838)와 실질적으로 부합하는 로우 전압 레벨을 제공하여, 뱅크 선택 어드레스 생성기(1702)가 역방향으로 시프팅하도록 계속 설정하고, 참조 부호(1936)에서 타이밍 펄스(1844)와 실질적으로 부합하는 로우 전압 레벨을 제공하여, 뱅크 선택 어드레스 생성기(1700)가 역방향으로 시프팅하도록 계속 설정한다. 또한, 제어 신호(CSYNC(REV))(1826)는 선택 신호(SEL1)(1800) 내의 타이밍 펄스(1836)와 실질적으로 부합하는 제어 펄스(1938)를 제공한다. 제어 펄스(1938)는 어드레스 신호(~A1~~A8)(1828) 내에 하위 뱅크 어드레스 13-1을 생성하도록 뱅크 선택 어드레스 생성기(1700) 내의 하위 뱅크 시프트 레지스터를 개시한다. 추가하여, 제어 신호(CSYNC(REV))(1826)는 선택 신호(SEL4)(1812) 내의 타이밍 펄스(1842)와 실질적으로 부합하는 제어 펄스(1940)를 제공한다. 제어 펄스(1940)는 어드레스 신호(~B1~~B8)(1830) 내의 하위 뱅크 어드레스 13-1을 생성하도록 뱅크 선택 어드레스 생성기(1702) 내의 하위 뱅크 시프트 레지스터를 개시한다.

[0438] 다음의 또는 제 3의 일련의 6개의 펄스에서, 제어 신호(CSYNC(REV))(1826)는 참조 부호(1942)에서 타이밍 펄스(1858)와 실질적으로 부합하는 로우 전압 레벨을 제공하여, 뱅크 선택 어드레스 생성기(1702)가 역방향으로 시프팅하도록 계속 설정하고, 타이밍 펄스(1864)와 실질적으로 부합하는 제어 펄스(1944)를 제공하여, 뱅크 선택 어드레스 생성기(1700)가 역방향으로 시프팅하도록 계속 설정한다.

- [0439] 뱅크 선택 어드레스 생성기(1700)는 참조 부호(1872)에서 어드레스 신호(~A1~A8)(1828) 내에 하위 뱅크 어드레스 13을 제공한다. 참조 부호(1872)에서의 하위 뱅크 어드레스 13은 선택 신호(SEL6)(1820) 내의 타이밍 펄스(1846) 동안에 유효하게 되고, 선택 신호(SEL4)(1812) 내의 타이밍 펄스(1862)까지 유효하게 유지된다. 참조 부호(1872)에서의 하위 뱅크 어드레스 13은 선택 신호(SEL1, SEL2, SEL3)(1800, 1804, 1808) 내의 타이밍 펄스(1856, 1858, 1860) 동안에 유효하다.
- [0440] 뱅크 선택 어드레스 생성기(1702)는 참조 부호(1874)에서 어드레스 신호(~B1~B8)(1830) 내에 하위 뱅크 어드레스 13을 제공한다. 참조 부호(1874)에서의 하위 뱅크 어드레스 13은 선택 신호(SEL3)(1808) 내의 타이밍 펄스(1860) 동안에 유효하게 되고, 선택 신호(SEL1)(1800) 내의 타이밍 펄스(1876)까지 유효하게 유지된다. 참조 부호(1874)에서의 하위 뱅크 어드레스 13은 선택 신호(SEL4, SEL5, SEL6)(1812, 1816, 1820) 내의 타이밍 펄스(1862, 1864, 1866) 동안에 유효하다.
- [0441] 어드레스 신호(~A1~A8)(1828) 및 어드레스 신호(~B1~B8)(1830)는 동일한 어드레스, 즉 참조 부호(1872) 및 참조 부호(1874)에서의 하위 뱅크 어드레스 13을 제공한다. 하위 뱅크 어드레스 13은 타이밍 펄스(1856)에서 시작하고 타이밍 펄스(1866)에서 종료되는 일련의 6개의 타이밍 펄스 동안에 제공되고, 이것은 하위 뱅크 어드레스 13에 대한 어드레스 타임 슬롯이 된다. 타이밍 펄스(1876)에서 시작하는 다음의 일련의 6개의 펄스 동안에, 어드레스 신호(~A1~A8)(1828)는 참조 부호(1878)에서 하위 뱅크 어드레스 12를 제공하고, 어드레스 신호(~B1~B8)(1830)는 또한 하위 뱅크 어드레스 12를 제공한다. 뱅크 선택 어드레스 생성기(1700, 1702)는 하위 뱅크 어드레스 13으로부터 하위 뱅크 어드레스 1로 하위 뱅크 어드레스 1-13을 제공하도록 계속 시프팅 한다. 하위 뱅크 어드레스 1이 제공될 때, 뱅크 선택 어드레스 생성기(1700) 및/또는 뱅크 선택 어드레스 생성기(1702)는 하위 뱅크 어드레스 1-13 또는 상위 뱅크 어드레스 14-26을 정방향 또는 역방향으로 제공하도록 개시될 수 있다.
- [0442] 이 예에서, 하위 뱅크 어드레스 1이 어드레스 신호(~A1~A8)(1828) 및 어드레스 신호(~B1~B8)(1830)에 제공될 때, 제어 신호(CSYNC(REV))(1826)는 참조 부호(1946)에서 타이밍 펄스(1886)와 실질적으로 부합하는 로우 전압 레벨을 제공하여, 뱅크 선택 어드레스 생성기(1702)가 역방향으로 시프팅하도록 계속 설정하고, 참조 부호(1948)에서 타이밍 펄스(1892)와 실질적으로 부합하는 로우 전압 레벨을 제공하여, 뱅크 선택 어드레스 생성기(1700)가 역방향으로 시프팅하도록 계속 설정한다. 또한, 제어 신호(CSYNC(REV))(1826)는 선택 신호(SEL3)(1808) 내의 타이밍 펄스(1888)와 실질적으로 부합하는 제어 펄스(1950)를 제공한다. 제어 펄스(1950)는 어드레스 신호(~A1~A8)(1828) 내에 어드레스 26-14를 생성하도록 뱅크 선택 어드레스 생성기(1700) 내의 상위 뱅크 시프트 레지스터를 개시한다. 추가하여, 제어 신호(CSYNC(REV))(1826)는 선택 신호(SEL6)(1820) 내의 타이밍 펄스(1894)와 실질적으로 부합하는 제어 펄스(1952)를 제공한다. 제어 펄스(1952)는 어드레스 신호(~B1~B8)(1830) 내에 어드레스 26-14를 생성하도록 뱅크 선택 어드레스 생성기(1702) 내의 상위 뱅크 시프트 레지스터를 개시한다.
- [0443] 다음의 일련의 6개의 펄스에서, 제어 신호(CSYNC(REV))(1826)는 참조 부호(1954)에서 타이밍 펄스(1906)와 실질적으로 부합하는 로우 전압 레벨을 제공하여, 뱅크 선택 어드레스 생성기(1702)가 역방향으로 시프팅하도록 계속 설정하고, 타이밍 펄스(1912)와 실질적으로 부합하고 로우 레벨인 제어 펄스(1956)를 제공하여 뱅크 선택 어드레스 생성기(1700)가 역방향으로 시프팅하도록 계속 설정한다.
- [0444] 뱅크 선택 어드레스 생성기(1700)는 참조 부호(1902)에서 어드레스 신호(~A1~A8)(1828) 내에 상위 뱅크 어드레스 26을 제공한다. 참조 부호(1920)에서의 상위 뱅크 어드레스 26은 선택 신호(SEL6)(1820) 내의 타이밍 펄스(1894) 동안에 유효하게 되고, 선택 신호(SEL4)(1812) 내의 타이밍 펄스(1910)까지 유효하게 유지된다. 참조 부호(1920)에서의 상위 뱅크 어드레스 26은 선택 신호(SEL1, SEL2, SEL3)(1800, 1804, 1808) 내의 타이밍 펄스(1904, 1906, 1908) 동안에 유효하다.
- [0445] 뱅크 선택 어드레스 생성기(1702)는 참조 부호(1922)에서 어드레스 신호(~B1~B8)(1830) 내에 상위 뱅크 어드레스 26을 제공한다. 참조 부호(1922)에서의 상위 뱅크 어드레스 26은 선택 신호(SEL3)(1808) 내의 타이밍 펄스(1908) 동안에 유효하게 되고, 선택 신호(SEL1)(1800) 내의 타이밍 펄스(1924)까지 유효하게 유지된다. 참조 부호(1922)에서의 상위 뱅크 어드레스 26은 선택 신호(SEL4, SEL5, SEL6)(1812, 1816, 1820) 내의 타이밍 펄스(1910, 1912, 1914) 동안에 유효하다.
- [0446] 어드레스 신호(~A1~A8)(1828) 및 어드레스 신호(~B1~B8)(1830)는 동일한 어드레스, 즉 참조 부호(1920) 및 참조 부호(1922)에서의 상위 뱅크 어드레스 26을 제공한다. 상위 뱅크 어드레스 26은 타이밍 펄스(1904)에서 시작하고 타이밍 펄스(1914)에서 종료되는 일련의 6개의 타이밍 펄스 동안에 제공되고, 이것은 상위 뱅크 어

ドレス 26에 대한 어드레스 타임 슬롯이 된다. 타이밍 펠스(1924)에서 시작하는 다음의 일련의 6개의 펠스 동안에, 어드레스 신호(~A1~A8)(1828)는 참조 부호(1926)에서 상위 뱅크 어드레스 25를 제공하고, 어드레스 신호(~B1~B8)(1830)는 또한 상위 뱅크 어드레스 25를 제공한다. 뱅크 선택 어드레스 생성기(1700, 1702)는 상위 뱅크 어드레스 26으로부터 상위 뱅크 어드레스 14까지 상위 뱅크 어드레스 14-26을 제공하도록 계속 시프팅한다.

[0447] 본 명세서에서는 특정한 실시예에 관해 도시하고 설명하였으나, 당업자라면 본 발명의 범주를 벗어나지 않으면서 도시 및 설명된 특정한 실시예를 다양한 교체물 및/또는 등가물로 대체할 수 있다는 것을 이해할 것이다. 본 특허 출원은 본 명세서에 설명된 특정한 실시예의 모든 변형 또는 변경을 포함하도록 의도되었다. 그러므로, 본 발명은 이하의 청구항 및 그 등가물에 의해서만 한정되도록 의도되었다.

### 도면의 간단한 설명

[0010] 도 1은 잉크젯 인쇄 시스템의 일실시예를 도시하는 도면.

[0011] 도 2는 프린트헤드 다이의 일실시예의 일부분을 도시하는 도면.

[0012] 도 3은 프린트헤드 다이의 일실시예에서 잉크 공급 슬롯을 따라 배치된 액적 생성기의 배치를 도시하는 도면.

[0013] 도 4는 프린트헤드 다이의 일실시예에서 이용된 점화 셀의 일실시예를 도시하는 도면.

[0014] 도 5는 잉크젯 프린트헤드 점화 셀 어레이의 일실시예를 도시하는 개략도.

[0015] 도 6은 사전-충전된 점화 셀의 일실시예를 도시하는 개략도.

[0016] 도 7은 잉크젯 프린트헤드 점화 셀 어레이의 일실시예를 도시하는 개략도.

[0017] 도 8은 점화 셀 어레이의 일실시예의 동작을 도시하는 타이밍도.

[0018] 도 9는 프린트헤드 다이 내의 어드레스 생성기에 대한 일실시예를 도시하는 도면.

[0019] 도 10a는 시프트 레지스터 내의 하나의 시프트 레지스터 셀을 도시하는 도면.

[0020] 도 10b는 방향 회로를 도시하는 도면.

[0021] 도 11은 어드레스 생성기의 작동을 정방향으로 도시하는 타이밍도.

[0022] 도 12는 어드레스 생성기의 작동을 역방향으로 도시하는 타이밍도.

[0023] 도 13은 프린트헤드 다이 내의 2개의 어드레스 생성기 및 6개의 점화 그룹의 일실시예를 도시하는 블록도.

[0024] 도 14는 프린트헤드 다이 내의 어드레스 생성기의 정방향 및 역방향 동작을 도시하는 타이밍도.

[0025] 도 15는 프린트헤드 다이 내의 뱅크 선택 어드레스 생성기에 대한 일실시예를 도시하는 도면.

[0026] 도 16은 방향 회로의 일실시예를 도시하는 도면.

[0027] 도 17은 뱅크 선택 어드레스 생성기의 일실시예에서 정방향으로의 작동을 도시하는 타이밍도.

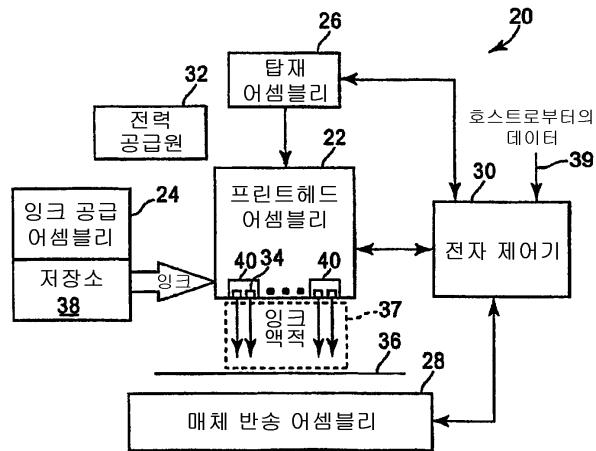
[0028] 도 18은 뱅크 선택 어드레스 생성기의 일실시예에서 역방향으로의 작동을 도시하는 타이밍도.

[0029] 도 19는 프린트헤드 다이 내의 2개의 뱅크 선택 어드레스 생성기 및 6개의 점화 그룹에 대한 일실시예를 도시하는 도면.

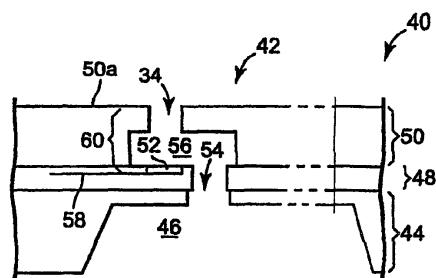
[0030] 도 20은 프린트헤드 다이 내의 2개의 뱅크 선택 어드레스 생성기에 대한 일실시예에서 정방향 동작 및 역방향 동작을 도시하는 타이밍도.

## 도면

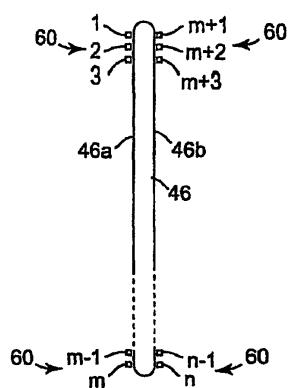
## 도면1



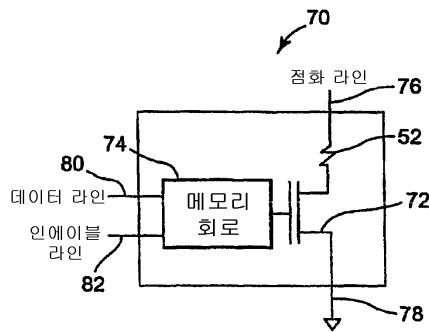
## 도면2



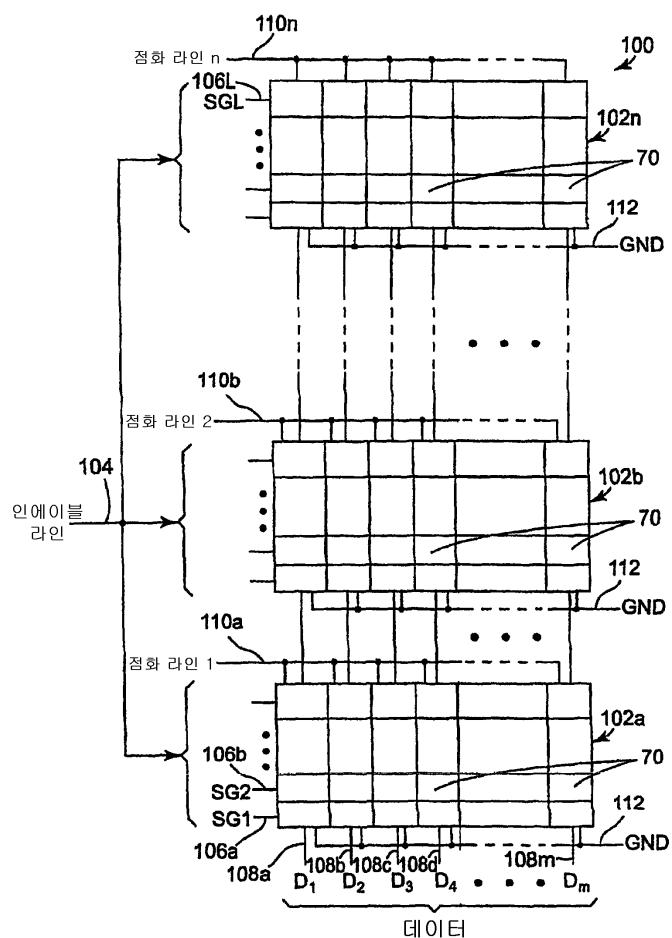
## 도면3



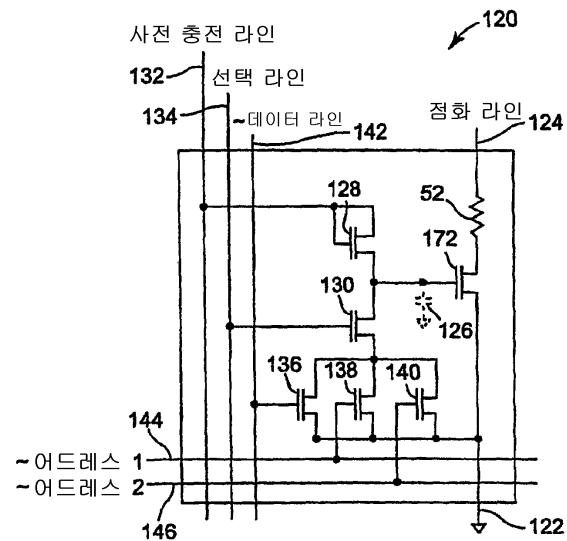
## 도면4



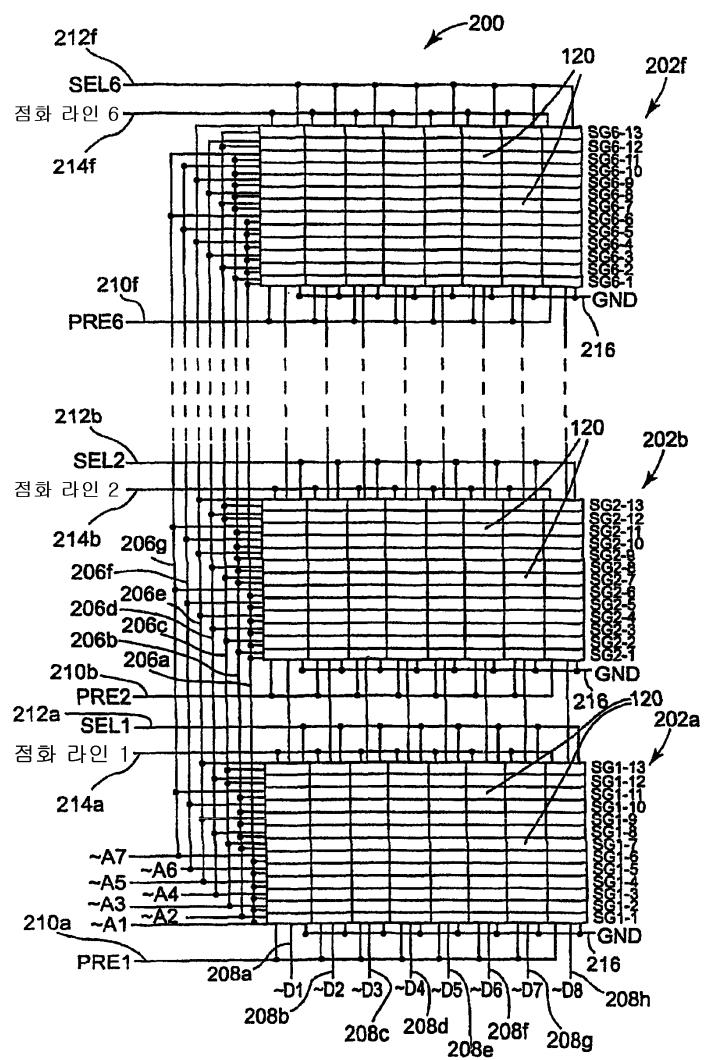
## 도면5



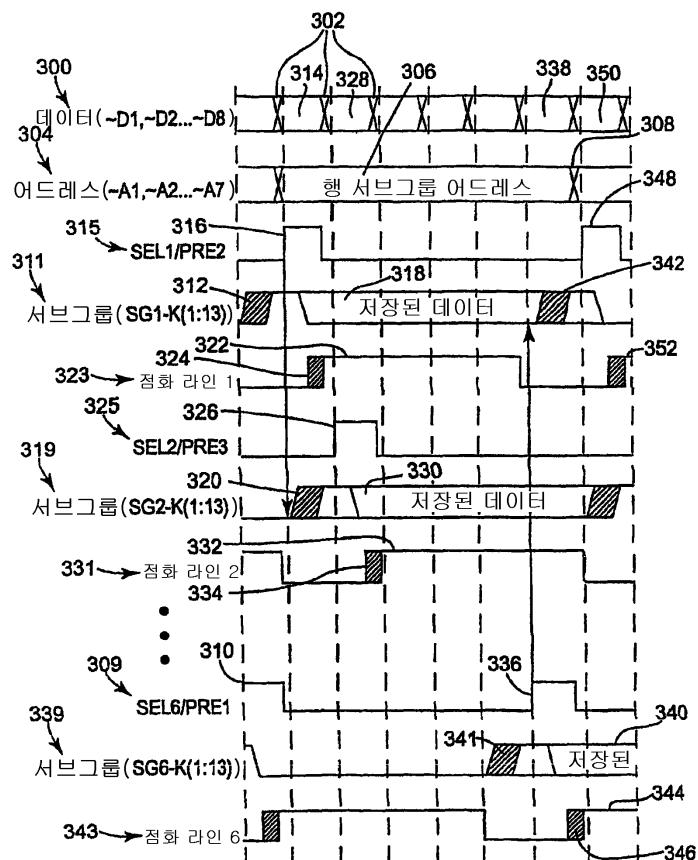
## 도면6



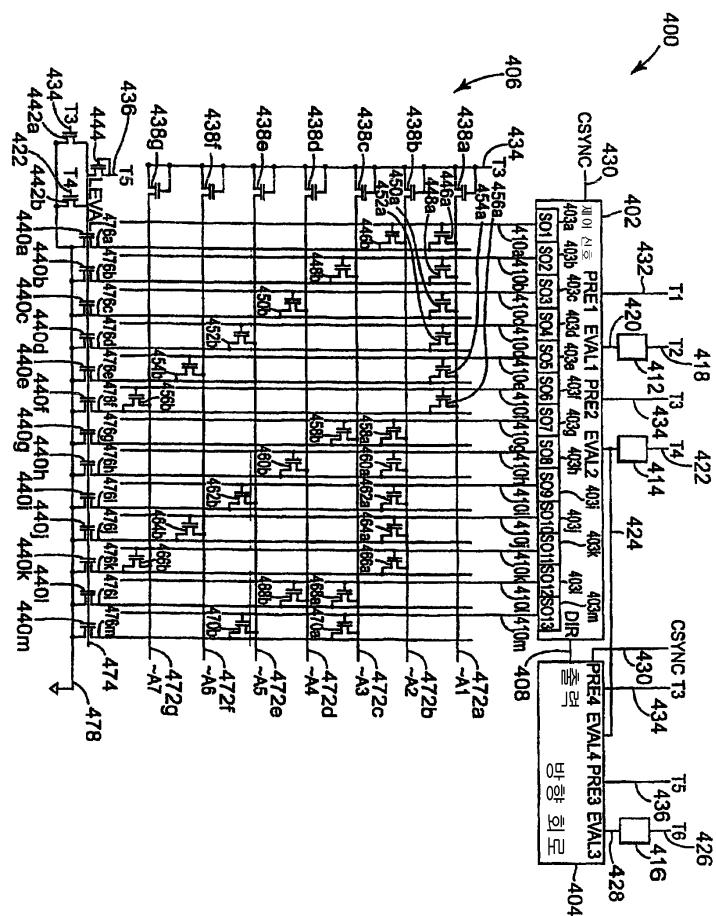
## 도면7



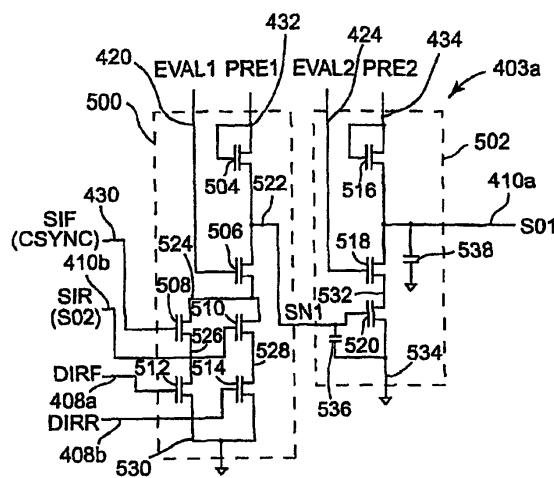
## 도면8



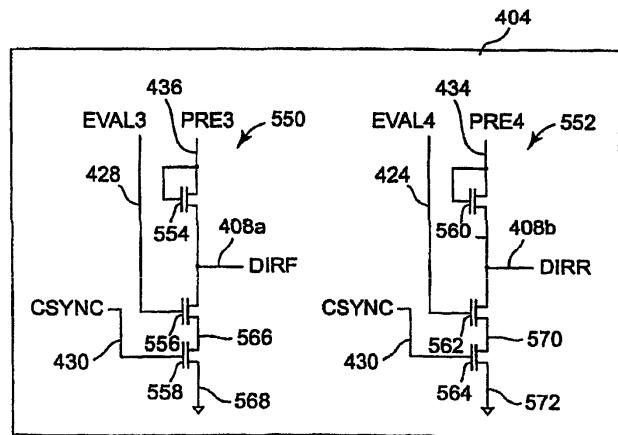
### 도면9



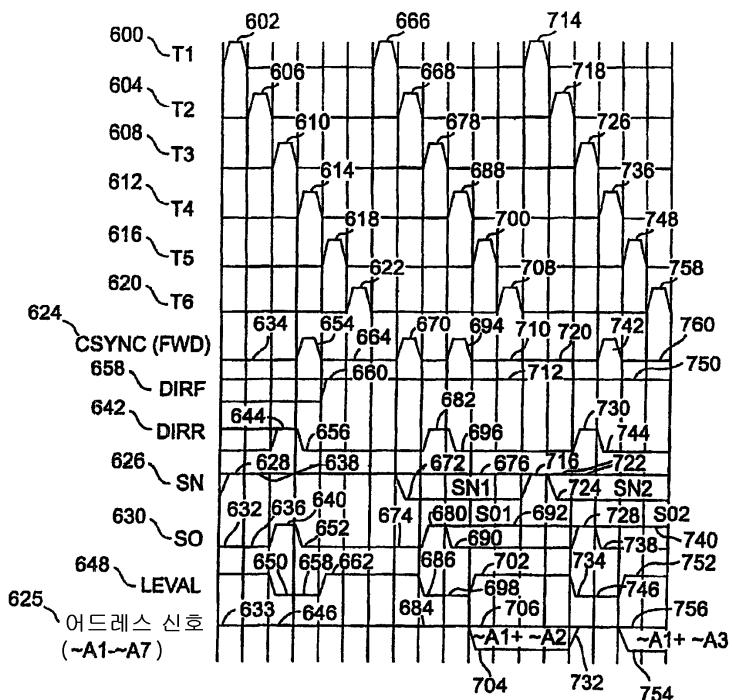
### 도면10a



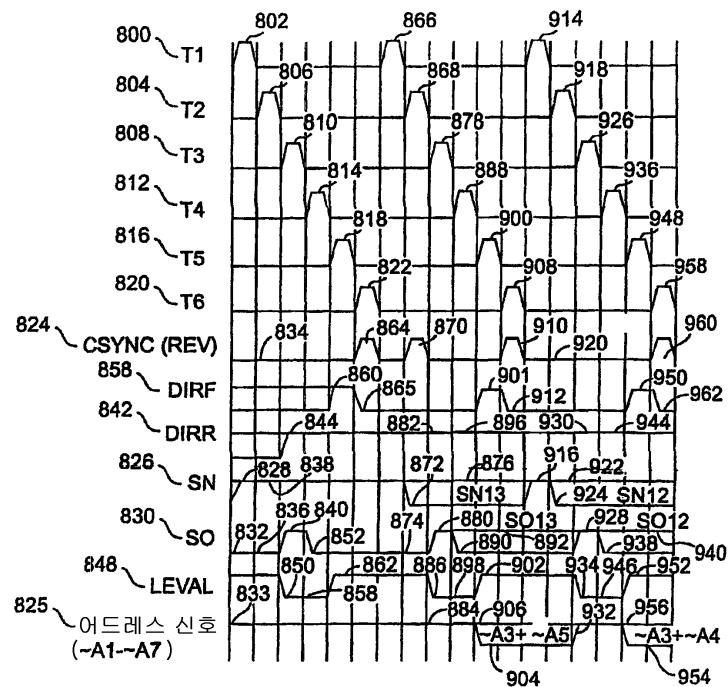
도면10b



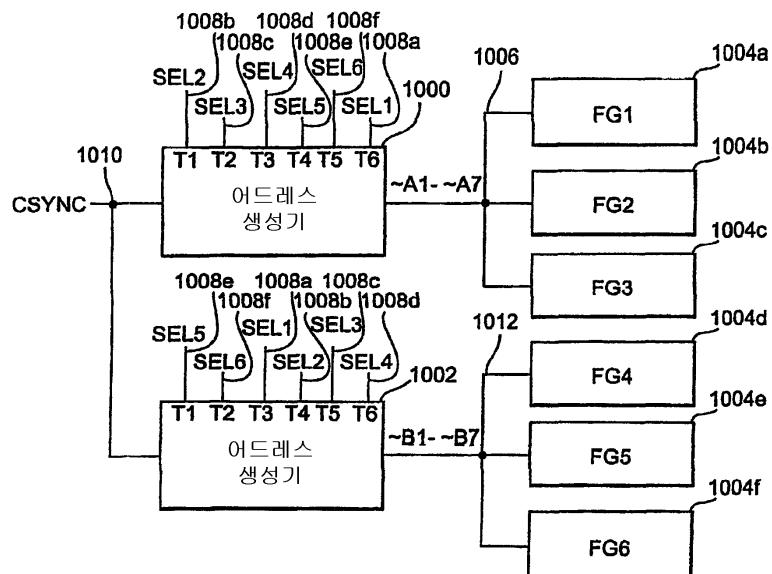
도면11



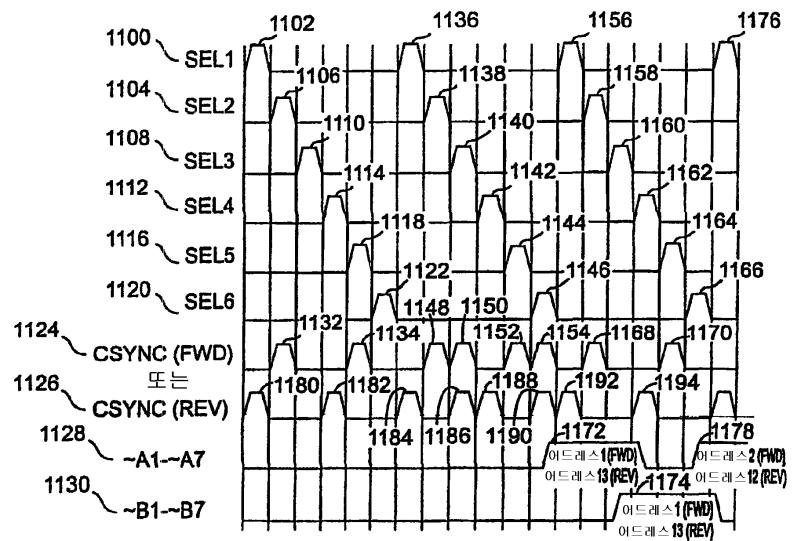
도면12



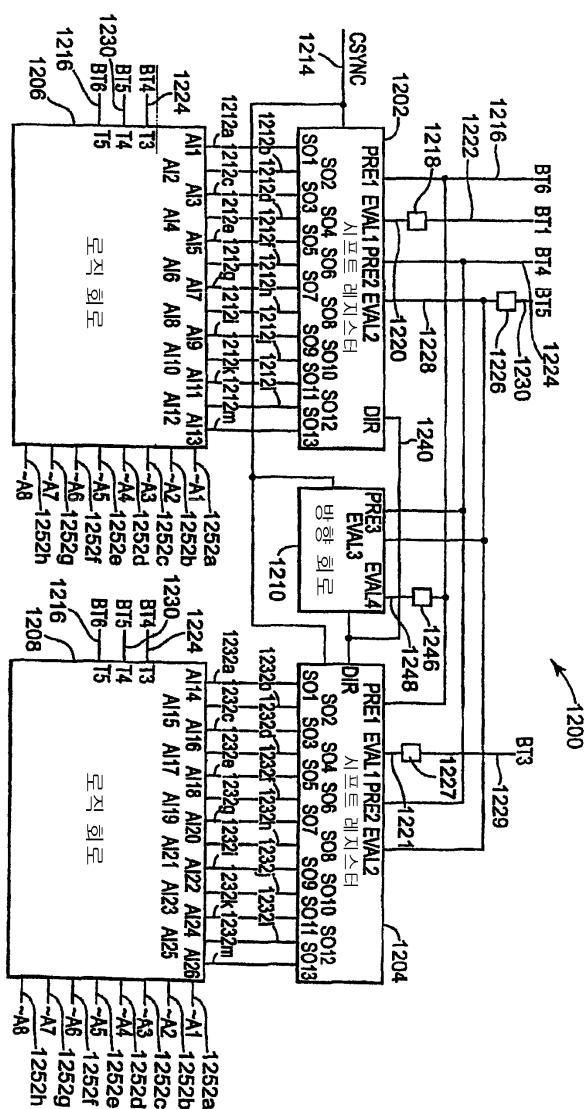
도면13



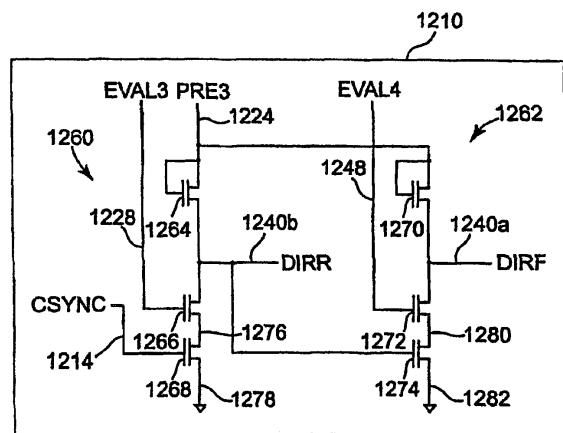
### 도면14



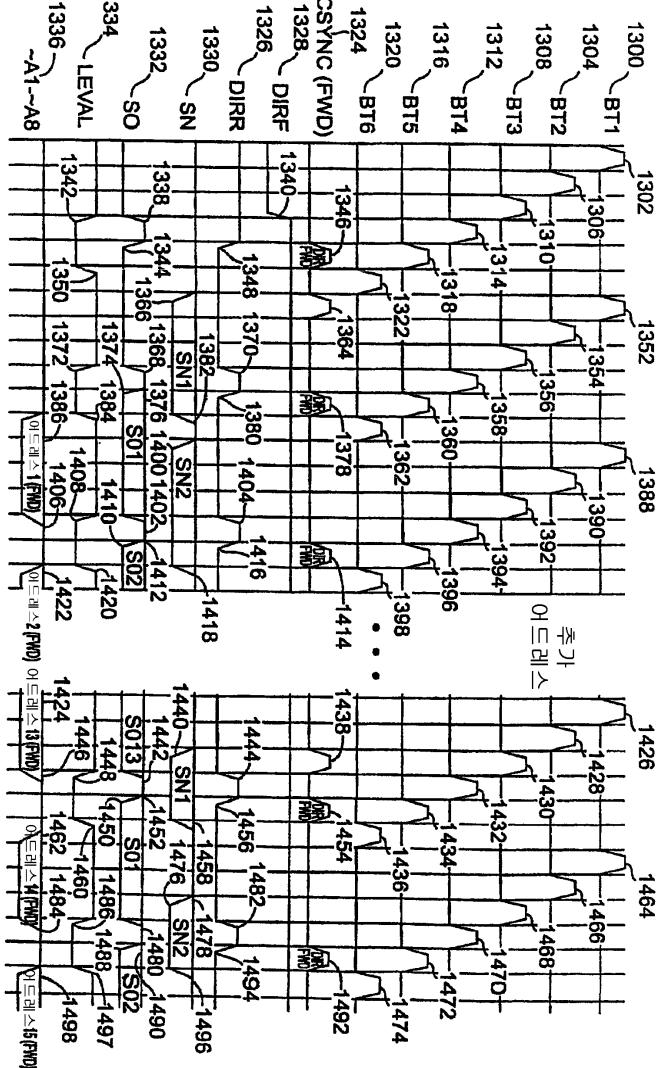
### 도면15



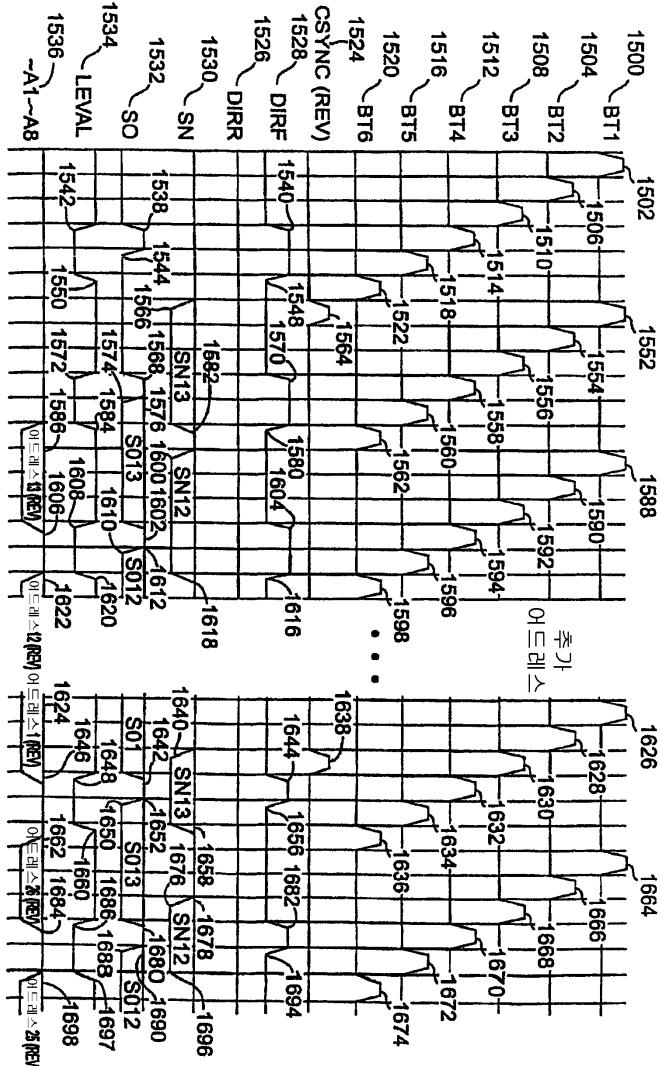
도면16



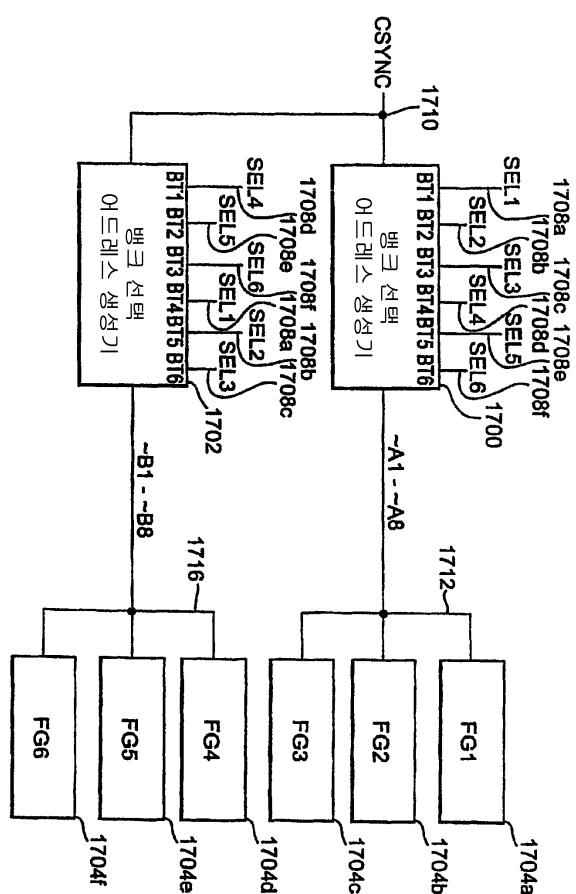
도면17



도면18



## 도면19



## 도면20

