

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5313779号  
(P5313779)

(45) 発行日 平成25年10月9日(2013.10.9)

(24) 登録日 平成25年7月12日(2013.7.12)

(51) Int.Cl.

F I

H03K 19/0185 (2006.01)

H03K 19/00 I O I D

請求項の数 7 (全 19 頁)

<p>(21) 出願番号 特願2009-148047 (P2009-148047)                  (22) 出願日 平成21年6月22日 (2009.6.22)                  (65) 公開番号 特開2011-4367 (P2011-4367A)                  (43) 公開日 平成23年1月6日 (2011.1.6)                  審査請求日 平成24年2月24日 (2012.2.24)</p>	<p>(73) 特許権者 302062931                  ルネサスエレクトロニクス株式会社                  神奈川県川崎市中原区下沼部1753番地                  (74) 代理人 100080816                  弁理士 加藤 朝道                  (72) 発明者 内野 達也                  神奈川県横浜市神奈川区金港町3番地1                  NECマイクロシステム株式会社内                  (72) 発明者 齋藤 広己                  神奈川県横浜市神奈川区金港町3番地1                  NECマイクロシステム株式会社内                  審査官 官島 郁美</p>
--	---

最終頁に続く

(54) 【発明の名称】 レベルシフト回路

(57) 【特許請求の範囲】

【請求項1】

低電圧系電源電圧と接地電位を振幅とする入力信号を受け、高電圧系電源電圧と接地電位との電圧振幅に変換した出力信号を出力するレベルシフト電圧生成回路と、

前記レベルシフト電圧生成回路の素子と同一の素子構成を有し、低電圧系の閾値電圧と高電圧系の閾値電圧を監視し、入力電圧を低電圧系の論理閾値とし、出力電圧を高電圧系の論理閾値として、入力電圧が低電圧系の論理閾値を横切るとき、出力電圧が高電圧系の論理閾値を横切るように、同期した出力電圧を生成させるレプリカ回路と、

前記レベルシフト電圧生成回路と前記レプリカ回路に供給する**バイアスを生成するバイアス生成回路**と、

を備え、

前記レベルシフト電圧生成回路は、

前記低電圧系電源と前記接地電位間に接続され、前記入力信号を入力する第1の論理回路と、

前記高電圧系電源と前記接地電位間に直列に接続され、制御端子がそれぞれ、前記バイアス生成回路の出力と、前記第1の論理回路の出力に接続された第1及び第2導電型の第1及び第2のトランジスタと、

前記高電圧系電源と前記接地電位間に接続され、前記第1及び第2のトランジスタの接続ノードに入力が接続され、前記高電圧系電源と前記接地電位間の振幅の出力信号を出力する第2の論理回路と、

を備え、  
前記レプリカ回路は、  
前記低電圧系電源電圧と接地電位で振幅する全帰還接続された第3の論理回路と、  
前記高電圧系電源と前記接地電位間に直列に接続され、制御端子がそれぞれ、前記バイ  
アス生成回路の出力と、前記第3の論理回路の出力に接続された第1及び第2導電型の第  
3及び第4のトランジスタと、  
前記高電圧系電源と接地電位で振幅する全帰還接続された第4の論理回路と、  
を備えている、ことを特徴とするレベルシフト回路。

【請求項2】

前記バイアス生成回路は、  
前記レプリカ回路の前記第4の論理回路の出力電圧と、前記第3及び第4のトランジ  
スタの接続ノードの電圧を比較する比較回路と、  
前記高電圧系電源と前記接地電位間に直列に接続され、制御端子がそれぞれ、前記バイ  
アス生成回路の出力と、前記比較回路の出力に接続された第1及び第2導電型の第5及び  
第6のトランジスタと、  
を含み、  
前記第1、第3、第5のトランジスタがカレントミラーを構成する、ことを特徴とする  
請求項1記載のレベルシフト回路。

10

【請求項3】

前記レベルシフト電圧生成回路は、前記バイアス生成回路の出力と前記第1の論理回路  
の出力の間に直列に接続されている第1の抵抗素子と容量素子を備え、  
前記第1のトランジスタの制御端子は、前記第1の抵抗素子と前記容量素子の接続ノ  
ードに接続されている、ことを特徴とする請求項1又は2記載のレベルシフト回路。

20

【請求項4】

前記レプリカ回路は、  
前記バイアス生成回路の出力と前記第3のトランジスタの制御端子の間に接続された第  
2の抵抗素子を備え、前記第2の抵抗素子は前記第1の抵抗素子と同一の抵抗値とされて  
いる、ことを特徴とする請求項3記載のレベルシフト回路。

【請求項5】

レベルシフト電圧生成回路と、レプリカ回路と、バイアス生成回路と、を備え、  
前記レベルシフト電圧生成回路は、  
第1の電圧系電源と接地電位間に接続され入力信号を入力する第1の論理回路と、  
前記バイアス生成回路の出力と前記第1の論理回路の出力の間に直列に接続されている  
第1の抵抗素子と容量素子と、  
第2の電圧系電源と接地電位間に接続され、制御端子がそれぞれ、前記第1の抵抗素子  
と前記容量素子の接続ノードと、前記第1の論理回路の出力に接続された第1及び第2導  
電型の第1及び第2のトランジスタと、  
前記第2の電圧系電源と前記接地電位間に接続され、前記第1及び第2のトランジスタ  
の接続ノードに入力が接続され、前記第2の電圧系電源と前記接地電位間の振幅の出力信  
号を出力する第2の論理回路と、  
を備え、  
前記レプリカ回路は、  
前記第1の電圧系電源と前記接地電位間に接続され、出力が入力に全帰還され、出力が  
論理閾値電圧を与える第3の論理回路と、  
前記第2の電圧系電源と前記接地電位間に直列に接続され、制御端子がそれぞれ、第2  
の抵抗素子を介して前記バイアス生成回路の出力と、前記第3の論理回路の出力に接続さ  
れた第1及び第2導電型の第3及び第4のトランジスタと、  
前記第2の電圧系電源と前記接地電位間に接続され、出力が入力に全帰還され、出力が  
論理閾値電圧を与える第4の論理回路と、  
を備え、

30

40

50

前記第3の論理回路は前記第1の論理回路と同一構成とされ、前記第4の論理回路は前記第2の論理回路と同一構成とされ、前記第3のトランジスタは前記第1のトランジスタと同一構成とされ、前記第4のトランジスタは前記第2のトランジスタと同一構成とされ、前記第2の抵抗素子は前記第1の抵抗素子と同一の抵抗値とされ、

前記バイアス生成回路は、

前記レプリカ回路の前記第4の論理回路の出力電圧と、前記第3及び第4のトランジスタの接続ノードの電圧を比較する比較回路と、

前記第2の電圧系電源と前記バイアス回路の出力の間に接続され、ダイオード接続された第1導電型の第5のトランジスタと、

前記バイアス回路の出力と前記接地電位の間に接続され、前記比較回路の出力を制御端子に入力する第2導電型の第6のトランジスタと、

を備え、

前記第1、第3、第5のトランジスタがカレントミラーを構成する、ことを特徴とするレベルシフト回路。

【請求項6】

前記第1、第3の論理回路が同一構成とされ、

前記第2、第4の論理回路が同一構成とされ、

前記第1、第3、第5のトランジスタのサイズが同一とされ、

前記第2、第4、第6のトランジスタのサイズが同一とされる、ことを特徴とする請求項2又は5記載のレベルシフト回路。

【請求項7】

前記第1、第2、第3、第4の論理回路がインバータ回路である請求項6記載のレベルシフト回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はレベルシフト回路に関し、特に高周波入力のレベルシフトに好適な回路構成に関する。

【背景技術】

【0002】

半導体集積回路分野において、製造プロセスの微細化が進み動作電圧の低電圧化が進んでいる。しかし低電圧動作が不可能な回路を動作させるために複数の電源電圧を内蔵することで動作させるLSIの増加と、ワイヤレス高速通信を行うために回路動作の高周波化(例えば500MHz以上)が進んでいる。

【0003】

半導体集積回路のレベルシフト回路は、入力信号のデューティ比を維持しながら低電圧電源から高電圧電源への高周波信号の受け渡しをする必要性がある。一般的に、レベルシフト回路の入力信号に対する出力信号のデューティ比の変動は、入力信号と出力信号における信号の立ち上がり/立ち下りの傾きに差が生じることに起因している。高周波(500MHz以上)になると、信号の僅かな立ち上がり/立ち下りの傾きの変化でも、デューティ比に対して顕著に影響を与える。したがって、高周波(500MHz以上)におけるデューティ比を維持したレベルシフト回路の開発が望まれている。

【0004】

図5は、特許文献1のレベルシフト回路の構成を示す図(特許文献1の図1)である。図5に示すように、レベルシフト回路100は、第1の電源電圧V<sub>dd1</sub>と接地電圧GNDとの間の電圧振幅に相当するインバータNOT1の出力を入力部IPに受け、第2の電源電圧V<sub>dd2</sub>と接地電圧GNDとの間の電圧振幅に変換するように構成されている。第2の電源端子T2と出力部OUTとの間にプルアップ用の抵抗素子R1が接続され、出力部OUTと接地端子TGとの間にNチャネルMOSトランジスタQ1が接続されている。第2の電源端子T2と出力部OUTとの間には、抵抗素子R1に並列にPチャネルMOS

10

20

30

40

50

トランジスタQ2が接続され、NチャネルMOSトランジスタQ1のゲート電極は入力部IPに接続されている。また、第2の電源端子T2と入力部IPとの間には、第2の電源端子T2側から抵抗素子R2およびキャパシタC1が順に直列に接続されており、抵抗素子R2とキャパシタC1との接続ノードにPチャネルMOSトランジスタQ2のゲート電極が接続されている。なお、インバータNOT1の入力部は入力端子INに接続され、入力端子INから与えられる入力信号（第1の電源電圧Vdd1と接地電圧GNDとの間の電圧振幅に相当する信号）を反転させて出力する。

#### 【0005】

図6(a)～図6(f)は、図5の回路動作を示すタイミングチャートである（特許文献1の図2に基づく）。図5、図6を参照して、レベルシフト回路100の動作について説明する。なお、

図6(a)は図5のインバータNOT1の入力信号INのタイミングチャート、

図6(b)は図5のインバータNOT1の出力信号のタイミングチャート、

図6(c)は図5のNチャネルMOSトランジスタQ1のオン(ON)、オフ(OFF)のタイミングチャート、

図6(d)は図5のPチャネルMOSトランジスタQ2のゲート電極の電圧(C1の端子電圧)のタイミングチャート、

図6(e)は図5のPチャネルMOSトランジスタQ2のオン(ON)、オフ(OFF)のタイミングチャート、

図6(f)は図5のレベルシフト回路100の出力信号のタイミングチャート、

をそれぞれ示している。なお、図6(d)には、PチャネルMOSトランジスタQ2のしきい値電圧Vthについても併せて示している。

#### 【0006】

<出力信号の立ち上がり動作>

まず、レベルシフト回路100の出力信号の立ち上がり動作について説明する。インバータNOT1の入力信号がLowからHigh（接地電圧GNDから第1の電源電圧Vdd1）に変化して（図6(a））、インバータNOT1の出力信号がHighからLow（第1の電源電圧Vdd1から接地電圧GND）に変化すると（図6(b））、そのタイミングで、NチャネルMOSトランジスタQ1がオンからオフに変化する（図6(c））。このとき、キャパシタC1には電荷が充電されており、キャパシタC1の2つの電極間には、 $(V_{dd2} - V_{dd1})$ の電位差が生じている。このため、キャパシタC1の低電位側電極（インバータNOT1の出力に接続される側の電極）の電圧が、第1の電源電圧Vdd1から接地電圧GNDに変化すると、その瞬間に、PチャネルMOSトランジスタQ2のゲート電圧、すなわち、キャパシタC1の高電位側電極（抵抗素子R2に接続する側の電極）の電圧は、第2の電源電圧Vdd2から $(V_{dd2} - V_{dd1})$ に変化する（図6(d））。これにより、キャパシタC1の高電位側電極（抵抗素子R2に接続する側の電極）の電圧がしきい値電圧Vthに達すると（下回ると）、PチャネルMOSトランジスタQ2はオフからオンに変化する（図6(e））。レベルシフト回路100の出力部OUTの電圧はLowからHigh（接地電圧GNDから第2の電源電圧Vdd2）に瞬間的に変化する。

#### 【0007】

その後、抵抗素子R2の抵抗値と、キャパシタC1の容量とで規定される時定数に従って、時間の経過とともに、第2の電源端子T2から抵抗素子R2を介してキャパシタC1に電荷が充電され、キャパシタC1の高電位側電極（抵抗素子R2に接続する側の電極）の電圧が、しきい値電圧Vthよりも高くなると（図6(d））、PチャネルMOSトランジスタQ2がオフする（図6(e））。なお、PチャネルMOSトランジスタQ2がオンすると、図6(d)に示すように、PチャネルMOSトランジスタQ2のゲート電圧、すなわちキャパシタC1の高電位側電極の電圧は瞬間的に $(V_{dd2} - V_{dd1})$ まで低下するが、これは、インバータNOT1の出力インピーダンスが抵抗素子R1に比べて無視できるほど小さくなるようにインバータNOT1が構成されているためである。キャパ

シタC1の放電時定数は無視できるほど小さくなり、キャパシタC1は瞬間的に放電する。

【0008】

<出力信号の立ち下がり動作>

次に、レベルシフト回路100の出力信号の立ち下がり動作について説明する。インバータNOT1の入力信号がHighからLow(第1の電源電圧Vdd1から接地電圧GND)に変化し(図6(a))、インバータNOT1の出力信号がLowからHigh(接地電圧GNDから第1の電源電圧Vdd1)に変化すると(図6(b))、そのタイミングでNチャンネルMOSトランジスタQ1はオフからオンに変化する(図6(c))。このとき、キャパシタC1には電荷が充電されており、キャパシタC1の2つの電極間には(Vdd2 - GND)の電位差が生じている。キャパシタC1の低電位側電極(インバータNOT1の出力に接続する側の電極)の電圧が、接地電圧GNDから第1の電源電圧Vdd1に変化すると、その瞬間に、PチャンネルMOSトランジスタQ2のゲート電圧、すなわちキャパシタC1の高電位側電極(抵抗素子R2に接続する側の電極)の電圧は、第2の電源電圧Vdd2から(Vdd2 + Vdd1)まで瞬間的に増加する(図6(d))。

10

【0009】

なお、PチャンネルMOSトランジスタQ2のゲート電圧が増加しても、PチャンネルMOSトランジスタQ2はオンせず(図6(e))、キャパシタC1の高電位側電極の電圧は、抵抗素子R2の抵抗値と、キャパシタC1の容量とで規定される時定数に従って、時間の経過とともに低下し、第2の電源電圧Vdd2で安定する。また、NチャンネルMOSトランジスタQ1がオンすることで、出力部OUTの電圧はHighからLow(第2の電源電圧Vdd2から接地電圧GND)に変化する。

20

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2006-352502号公報(図1、図2)

【発明の概要】

【発明が解決しようとする課題】

【0011】

以下に本発明による関連技術の分析を与える。

30

【0012】

図5、図6を参照して説明したレベルシフト回路は、高周波動作において、製造バラツキによるトランジスタ特性、例えばトランジスタの閾値Vthの変動により、入出力信号のデューティ比に変動が起きるといった問題がある。

【0013】

以下に、図7に示した入出力特性を用いて説明する。なお、図7は、上記問題点を説明するために、本発明者が作成したものである。

【0014】

図7(A)は、入力信号INの立ち上がりに対する出力OUTの特性図であり、図7(B)は、入力信号INの立ち下がりに対する出力OUTの特性図である。

40

【0015】

入力信号のデューティ比を維持したレベルシフト動作をするためには、図7(A)の時間t1において、立ち上がり入力信号INが低電圧系論理閾値である入力電圧Vr2を横切る交点Jのときに、出力信号OUTが高電圧系論理閾値の出力電圧Vr3aを交点Mが横切る関係が成り立つ。

【0016】

また、図7(B)の時間t2において、立ち下がり入力信号INが低電圧系論理閾値である入力電圧Vr2を横切る交点Lのときに、出力信号OUTが高電圧系論理閾値の出力電圧Vr3aを交点Kが横切る関係が成り立つ。

50

## 【0017】

しかしながら、製造バラツキ（トランジスタの閾値 $V_{th}$ 変動）により、例えば高電圧系の論理閾値 $V_{r3a}$ が高電圧系の論理閾値 $V_{r3c}$ に変動した場合、入出力信号と論理閾値の交点の関係は、出力側のみ変化して、立ち上がり入力信号 $I_N$ に対する出力 $O_{UT}$ が論理閾値 $V_{r3c}$ を横切る関係は、時間 $t_1$ の交点 $M$ から時間 $t_3$ の交点 $I$ に変化し、立ち下がり入力信号 $I_N$ に対する出力 $O_{UT}$ が論理閾値 $V_{r3c}$ を横切る関係は、時間 $t_2$ の交点 $K$ から時間 $t_4$ における交点 $N$ に変化する。

## 【0018】

つまり、低電圧系の論理閾値出力と高電圧系の論理閾値を入出力信号が横切る関係が一致しないので、出力信号 $O_{UT}$ のデューティ比を保てなくなる。

10

## 【0019】

また、図5のレベルシフト回路100においては、出力信号 $O_{UT}$ の立ち上がり/立ち下がりの動作を行う回路が異なっていることから、傾きを一致させることは困難である。

## 【0020】

仮に図7(A)と図7(B)に示す入出力特性より、出力信号 $O_{UT}$ の立ち上がり/立ち下がりの傾きを一致させるように、図5のNチャンネルMOSトランジスタ $Q_1$ とPチャンネルMOSトランジスタ $Q_2$ の調整を行い、図7(A)の入出力信号と入出力論理閾値の交点 $I$ を交点 $M$ にして時間 $t_1$ に、図7(B)の入出力信号と入出力論理閾値の交点 $N$ を交点 $K$ にして時間 $t_2$ にそれぞれ調整したとする。

## 【0021】

20

しかしながら、このようにしても、出力信号 $O_{UT}$ の立ち上がりの傾きは、PチャンネルMOSトランジスタ $Q_2$ の製造バラツキ（トランジスタの閾値 $V_{th}$ 変動）による影響を受け、出力信号 $O_{UT}$ の立ち下がりの傾きには、NチャンネルMOSトランジスタ $Q_1$ の製造バラツキ（トランジスタの閾値 $V_{th}$ の変動）による影響を受ける。すなわち、出力信号 $O_{UT}$ の立ち上がりと立ち下がりが別の回路構成になっていることから、出力信号 $O_{UT}$ の立ち上がり/立ち下がりの傾きを決定しているNチャンネルMOSトランジスタ $Q_1$ とPチャンネルMOSトランジスタ $Q_2$ の特性値にプラスされる製造バラツキ（トランジスタの閾値 $V_{th}$ 変動）による変化量を一致させることは、現実的には不可能である。すなわち、製造バラツキ（トランジスタの閾値 $V_{th}$ の変動）により、出力信号 $O_{UT}$ のデューティ比を保つことができなくなる。このため、入力信号のデューティ比を維持したレベルシフト動作ができない。

30

## 【課題を解決するための手段】

## 【0022】

本発明は、上記した問題の1つ又は複数を解決するものであり、概略以下の構成とされる。

## 【0023】

本発明によれば、低電圧系電源電圧と接地電位を振幅とする入力信号を受け、高電圧系電源電圧と接地電位との間の振幅に変換した出力信号電圧を出力するレベルシフト電圧生成回路と、前記レベルシフト電圧生成回路のレプリカ構成とされ、低電圧系の閾値電圧と高電圧系の閾値電圧を監視し、入力電圧を低電圧系の論理閾値に、出力電圧を高電圧系の論理閾値として、入力電圧が低電圧系の論理閾値を横切るとき、出力電圧が高電圧系の論理閾値を横切るように同期した出力電圧を生成させるレプリカ回路と、前記レベルシフト電圧生成回路の出力電圧と前記レプリカ回路の出力電圧の変動を調整するためのバイアスを生成し、前記レベルシフト電圧生成回路と前記レプリカ回路に供給するバイアス生成回路と、を有するレベルシフト回路が提供される。

40

## 【0024】

本発明において、前記レプリカ回路が、前記低電圧系電源電圧と接地電位で振幅する全帰還接続された低電圧論理回路と、前記高電圧系電源と接地電位で振幅する全帰還接続され高電圧論理回路と、を備え、前記低電圧論理回路の低電圧系閾値電圧と前記高電圧論理回路の高電圧系閾値電圧が監視される。

50

## 【 0 0 2 5 】

本発明においては、前記バイアス生成回路は、前記レプリカ回路の高電圧系の出力と、前記高電圧系閾値電圧を入力する比較回路を備え、前記比較回路の出力に基づき、前記レベルシフト電圧生成回路と、前記レプリカ回路を調整する電圧を生成する。

## 【 発明の効果 】

## 【 0 0 2 6 】

本発明によれば、入力信号のデューティ比を維持したレベルシフト動作を行うことができる。

## 【 図面の簡単な説明 】

## 【 0 0 2 7 】

【 図 1 】 本発明の一実施形態のレベルシフト回路の構成を示す図である。

【 図 2 】 本発明の一実施形態のレベルシフト回路のタイミングチャートである。

【 図 3 】 本発明の一実施形態のレベルシフト回路の DC 動作を説明する図である。

【 図 4 】 本発明の一実施形態のレベルシフト回路の入出力特性を示す図である。

【 図 5 】 特許文献 1 のレベルシフトの回路構成を示す図である。

【 図 6 】 図 5 のレベルシフトの動作を説明するためのタイミングチャートである。

【 図 7 】 図 5 のレベルシフトの入出力特性を説明する図である。

## 【 発明を実施するための形態 】

## 【 0 0 2 8 】

本発明の態様について以下に説明する。本発明のレベルシフト回路は、入力された信号を高電圧にレベルシフトする構成において、低電圧系電源電圧と接地電位で生成された入力信号を受けて、低電圧系電源電圧より、高電圧系電源電圧と接地電位との電圧振幅に変換し電圧を出力するレベルシフト電圧生成回路 ( 2 0 1 ) と、前記レベルシフト電圧生成回路 ( 2 0 1 ) と同じ素子構成を持ち、入力信号電圧の閾値電圧を監視し、高電圧系電源の論理閾値に追従させる出力電圧を生成するレプリカ回路 ( 2 0 2 ) と、レベルシフト電圧生成回路 ( 2 0 1 ) およびレプリカ回路 ( 2 0 2 ) の出力電圧の変動を調整するためのバイアス生成回路 ( 2 0 3 ) と、を有し、入力信号の立ち上がり / 立ち下がり / 傾きに関わりなく、入力信号電圧  $V_{in}$  がレベルシフト電圧生成回路 ( 2 0 1 ) の低電圧系インバータ (  $INV1$  ) の論理閾値電圧を横切る時に同期して、レベルシフト電圧生成回路 ( 2 0 1 ) のプッシュプル回路 (  $MP1$ 、 $MN2$  ) の出力 (  $LSout$  ) が、出力インバータ (  $INV3$  ) の論理閾値を横切るように動作することにより、レベルシフト電圧生成回路 ( 2 0 1 ) のプッシュプル回路 (  $MP1$ 、 $MN2$  ) の出力 (  $LSout$  ) の、高電圧系インバータ (  $INV3$  ) の論理閾値電圧におけるデューティ比は、入力信号電圧 (  $V_{in}$  ) の低電圧系インバータ (  $INV1$  ) の論理閾値電圧におけるデューティ比から変動せずに、等しくなる。以下、実施例に即して説明する。

## 【 実施例 】

## 【 0 0 2 9 】

図 1 は、本発明の一実施例の回路構成を示す図である。図 1 に示すレベルシフト回路 2 0 0 は、レベルシフト電圧生成回路 2 0 1 と、DC バイアスレプリカ回路 2 0 2 と、バイアス生成回路 2 0 3 とを備えている。

## 【 0 0 3 0 】

レベルシフト電圧生成回路 2 0 1 は、

低電圧系電源  $V_{dd1}$  と GND 間に接続され入力信号  $V_{in}$  を入力するインバータ ( 低電圧系インバータ )  $INV1$  と、

バイアス生成回路 2 0 3 の出力  $V_{r5}$  と低電圧系インバータ  $INV1$  の出力  $LS_{in}$  間に直列に接続されている抵抗素子  $R1$  と容量素子  $C1$  と、

ソースが高電圧系電源  $V_{dd2}$  に接続され、ゲートが抵抗素子  $R1$  と容量素子  $C1$  の接続ノードに接続された P チャネル MOS トランジスタ  $MP1$  と、

ドレインが P チャネル MOS トランジスタ  $MP1$  のドレインに接続され、ゲートがインバータ  $INV1$  の出力  $LS_{in}$  に接続され、ソースが GND に接続された N チャネル MO

10

20

30

40

50

SトランジスタMN2と、

高電圧系電源Vdd2とGND間に接続され、PチャンネルMOSトランジスタMP1のドレインとNチャンネルMOSトランジスタMN2のドレインの接続ノードLSoutに入力が接続されたインバータ（高電圧系インバータ）INV3と、

を備え、高電圧系インバータINV3の出力Voutがレベルシフト回路200の出力とされる。PチャンネルMOSトランジスタMP1とNチャンネルMOSトランジスタMN2はプッシュプル回路を構成する。

【0031】

DCバイアスレプリカ回路202は、

低電圧系電源Vdd1とGND間に接続され、出力が入力に帰還接続されたインバータ（低電圧系インバータ）INV2と、

ソースが高電圧系電源Vdd2に接続され、ゲートがバイアス生成回路203の出力Vr5に抵抗素子R2を介して接続されたPチャンネルMOSトランジスタMP3と、

ドレインがPチャンネルMOSトランジスタMP3のドレインに接続され、ゲートが低電圧系インバータINV2の出力Vr2に接続され、ソースがGNDに接続されたNチャンネルMOSトランジスタMN4と、

高電圧系電源Vdd2とGND間に接続され、出力が入力に帰還接続されたインバータ（高電圧系インバータ）INV4と、

を備えている。PチャンネルMOSトランジスタMP3とNチャンネルMOSトランジスタMN4はプッシュプル回路を構成する。

【0032】

バイアス生成回路203は、

高電圧系インバータINV4の出力Vr4に非反転入力端子(+)が接続され、PチャンネルMOSトランジスタMP3とNチャンネルMOSトランジスタMN4のドレインの接続ノードに反転入力端子(-)が接続され電圧比較回路として機能する差動増幅回路（比較回路）204と、

ソースが高電圧系電源Vdd2に接続され、ゲートとドレインが接続されたPチャンネルMOSトランジスタMP5と、

ドレインがPチャンネルMOSトランジスタMP3のドレインに接続され、ゲートが比較回路204の出力に接続され、ソースがGNDに接続されたNチャンネルMOSトランジスタMN6と、

を備え、PチャンネルMOSトランジスタMP5のドレインとNチャンネルMOSトランジスタMN6のドレインの接続ノードがバイアス生成回路203の出力Vr5とされる。

【0033】

本実施例において、DCバイアスレプリカ回路202は、レベルシフト電圧生成回路201のレプリカであり、低電圧系インバータINV2は、レベルシフト電圧生成回路201の低電圧系インバータINV1と同じ構成とする。また、DCバイアスレプリカ回路202のPチャンネルMOSトランジスタMP3とレベルシフト電圧生成回路201のPチャンネルMOSトランジスタMP1は同じ構造とし、DCバイアスレプリカ回路202のNチャンネルMOSトランジスタMN4と、レベルシフト電圧生成回路201のNチャンネルMOSトランジスタMN2は同じ構成とする。DCバイアスレプリカ回路202の抵抗素子R2はレベルシフト電圧生成回路201の抵抗素子R1と同じ抵抗値とする。

【0034】

DCバイアスレプリカ回路202において、NチャンネルMOSトランジスタMN4のゲートには、低電圧系インバータINV2を全帰還（帰還率100%）で接続する。PチャンネルMOSトランジスタMP3とNチャンネルMOSトランジスタMN4のプッシュプル回路の出力電圧（PチャンネルMOSトランジスタMP3とNチャンネルMOSトランジスタMN4の共通接続されたドレイン）は、DCバイアスレプリカ回路202の出力電圧Vr3とされる。

【0035】

10

20

30

40

50



DCバイアスレプリカ回路202において、高電圧系電源V<sub>dd2</sub>で駆動する高電圧系インバータINV4は、レベルシフト電圧生成回路201のインバータ高電圧系INV3と同じ構成であり、全帰還接続し、その出力をDCバイアスレプリカ回路202の出力電圧V<sub>r4</sub>とする。バイアス生成回路203の出力V<sub>r5</sub>は、抵抗素子R2を介してプッシュプル回路内のPチャンネルMOSトランジスタMP3のゲートに接続する。

【0036】

バイアス生成回路203において、PチャンネルMOSトランジスタMP5とNチャンネルMOSトランジスタMN6は、それぞれ、レベルシフト電圧生成回路201のPチャンネルMOSトランジスタMP1とNチャンネルMOSトランジスタMN2と同様の構成とする。

【0037】

バイアス生成回路203の出力電圧V<sub>r5</sub>は、レベルシフト電圧生成回路201の抵抗素子R1とDCバイアスレプリカ回路202の抵抗素子R2に接続されており、レベルシフト電圧生成回路201のPチャンネルMOSトランジスタMP1と、DCバイアスレプリカ回路202のPチャンネルMOSトランジスタMP3と、バイアス生成回路203のPチャンネルMOSトランジスタMP5はカレントミラーを構成している（PチャンネルMOSトランジスタMP5はカレントミラーの入力側トランジスタ、PチャンネルMOSトランジスタMP1、MP3はカレントミラーの出力側トランジスタを構成する）。バイアス生成回路203のNチャンネルMOSトランジスタMN6は差動増幅回路（比較回路）204の差動増幅出力（比較結果）をゲートに受け、ゲート電圧に応じてドレイン電流（drain-to-source current）を変化させ、PチャンネルMOSトランジスタMP5のゲートとドレインの接続点電圧（出力電圧V<sub>r5</sub>）を可変させる。バイアス生成回路203の出力電圧V<sub>r5</sub>は、抵抗素子R1、R2を介してPチャンネルMOSトランジスタMP1、MP3のゲートのバイアス電圧として供給される。

【0038】

レベルシフト電圧生成回路201において、容量C1は、入力信号周波数に対して十分に低いインピーダンスになる値とし、抵抗素子R1は、容量C1の入力信号周波数に対して十分高いインピーダンスになる値とする。

【0039】

DCバイアスレプリカ回路202の抵抗素子R2は、レベルシフト電圧生成回路201の抵抗素子R1のレプリカとするために、その抵抗値は抵抗素子R1の抵抗値と等しくする。

【0040】

図2は、図1に示した本実施例のレベルシフト回路の動作を示すタイミングチャートである。図1及び図2を参照して、本実施例のレベルシフト回路の説明をする。

【0041】

DCバイアスレプリカ回路202は、低電圧系インバータINV2と高電圧系インバータINV4が全帰還接続であるため、入力電圧V<sub>r2</sub>と出力電圧V<sub>r4</sub>はそれぞれのインバータINV2、INV4の論理閾値電圧となる。

【0042】

また、DCバイアスレプリカ回路202において、レベルシフト電圧生成回路201のプッシュプル回路（MP1、MN2）のレプリカであるPチャンネルMOSトランジスタMP3とNチャンネルMOSトランジスタMN4の出力電圧V<sub>r3</sub>と、バイアス生成回路203により出力電圧V<sub>r4</sub>は差動増幅回路204におけるバーチャルショート（仮想接地、「イマジナリショート」ともいう）の条件から、互いに等しくなる。

【0043】

レベルシフト電圧生成回路201と、DCバイアスレプリカ回路202とを同じ素子で構成することで、レベルシフト電圧生成回路201における低電圧系インバータINV1と高電圧系インバータINV3の論理閾値は、それぞれ、DCバイアスレプリカ回路202の低電圧系インバータINV2と高電圧系インバータINV4の入力電圧V<sub>r2</sub>と出力電圧V<sub>r4</sub>にそれぞれ等しくなる。

10

20

30

40

50

## 【 0 0 4 4 】

また、レベルシフト電圧生成回路 2 0 1 のプッシュプル回路の P M O S トランジスタ M P 1 の D C バイアス電圧を、バイアス生成回路 2 0 3 から供給し、容量 C 1 を入力信号周波数に対して十分に低いインピーダンスの定数とすることにより、時間 t 1 において、入力信号電圧 V i n が低電圧系インバータ I N V 1 の論理閾値である入力電圧 V r 2 を横切り ( 図 2 ( a ) )、それと同期して、レベルシフト電圧生成回路 2 0 1 の電圧は、全て D C バイアスレプリカ回路 2 0 2 と同値となり、レベルシフト電圧生成回路 2 0 1 のプッシュプル回路の出力 L S o u t は、出力電圧 V r 3、つまり出力電圧 V r 4 と等しくなる ( 図 2 ( b ) )。この動作は、時間 t 2 において、入力信号電圧 V i n が低電圧系インバータ I N V 1 の論理閾値である入力電圧 V r 2 を横切ると同様の動作になる。

10

## 【 0 0 4 5 】

すなわちレベルシフト電圧生成回路 2 0 1 において、入力信号電圧 V i n に対するプッシュプル回路 ( M P 1、M N 2 ) の出力 L S o u t は、入力信号電圧 V i n の立ち上がり / 立ち下がりとも同様となる。また、上記説明のとおり、プッシュプル回路 ( M P 1、M N 2 ) の出力 L S o u t は、入力信号電圧 V i n の立ち上がり / 立ち下がりの傾きに依存せず、立ち上がりと、立ち下がりの動作を行う回路が異なっても、同様の動作になる。

## 【 0 0 4 6 】

よって、レベルシフト電圧生成回路 2 0 1 において、プッシュプル回路の出力 L S o u t の、高電圧系インバータ I N V 3 の論理閾値電圧におけるデューティ比が、入力信号電圧 V i n の低電圧系インバータ I N V 1 の論理閾値電圧におけるデューティ比と等しくなり、高電圧系インバータ I N V 3 が、低電圧系インバータ I N V 1 の論理閾値を出力電圧 V r 3、つまり出力電圧 V r 4 として、出力 L S o u t を反転して出力するため、入力信号電圧 V i n のデューティ比が出力信号 V o u t にて維持されたレベルシフト動作となる ( 図 2 ( c ) )。

20

## 【 0 0 4 7 】

また、レベルシフト回路の動作時、温度・電源電圧等の変動により、立ち上がり / 立ち下がりの傾きと、論理閾値は変動するが、入力信号電圧 V i n がレベルシフト電圧生成回路 2 0 1 の低電圧系インバータ I N V 1 の論理閾値電圧である入力電圧 V r 2 を横切るときに、レベルシフト電圧生成回路 2 0 1 のプッシュプル回路の出力 L S o u t が、高電圧系インバータ I N V 3 の論理閾値である出力電圧 V r 4 を横切るという関係は変わらないため、入力信号電圧 V i n のデューティ比が、出力 V o u t にて維持されたレベルシフト動作となる。

30

## 【 0 0 4 8 】

本実施例によれば、入力信号の立ち上がり / 立ち下がりの傾きに関わりなく、入力信号電圧 V i n が、低電圧系インバータ I N V 1 の論理閾値電圧を横切る時に同期して、レベルシフト電圧生成回路 2 0 1 のプッシュプル回路の出力 L S o u t が、出力インバータ I N V 3 の論理閾値を横切るように動作することにより、プッシュプル回路の出力 L S o u t の、高電圧系インバータ I N V 3 の論理閾値電圧におけるデューティ比が、入力信号電圧 V i n の低電圧系インバータ I N V 1 の論理閾値電圧におけるデューティ比が変動せずに等しくなるという効果が得られる。

40

## 【 0 0 4 9 】

図 3 は、図 1 の回路を、D C 信号に基づき説明するための図である。すなわち、図 3 のレベルシフト D C 回路 3 0 0 は、入出力を、D C 信号に置き換え、簡潔に、動作説明を行うためのものである。レベルシフト D C 回路 3 0 0 は、図 1 に示すレベルシフト回路 2 0 0 と同様に、レベルシフト D C 電圧生成回路 3 0 1 と D C バイアスレプリカ D C 回路 3 0 2 とバイアス生成 D C 回路 3 0 3 とを備えている。

## 【 0 0 5 0 】

レベルシフト D C 電圧生成回路 3 0 1 は、ソースが高電圧系電源 V d d 2 に接続され、ゲートがバイアス生成回路 3 0 3 の出力に接続された P チャネル M O S トランジスタ M P

50

1と、ドレインがPチャンネルMOSトランジスタMP1のドレインに接続され、ゲートがLSin(DC入力)に接続され、ソースがGNDに接続されたNチャンネルMOSトランジスタMN2を備えている。

【0051】

DCバイアスレプリカ回路302は、ソースが電源Vdd2に接続され、ゲートがバイアス生成回路303の出力に接続されたPチャンネルMOSトランジスタMP3と、ドレインがPチャンネルMOSトランジスタMP3のドレインに接続され、ゲートがVr2に接続され、ソースがGNDに接続されたNチャンネルMOSトランジスタMN4を備えている。

【0052】

バイアス生成回路203は、Vr4(DC入力)に非反転入力端子(+)が接続され、DCバイアスレプリカ回路302のPチャンネルMOSトランジスタMP3とNチャンネルMOSトランジスタMN4のドレインの接続ノードに反転入力端子(-)が接続された差動増幅回路(比較回路)304と、ソースが電源Vdd2に接続され、ゲートとドレインが接続されたPチャンネルMOSトランジスタMP5と、ドレインがPチャンネルMOSトランジスタMP3のドレインに接続され、ゲートが差動増幅回路304の出力に接続され、ソースがGNDに接続されたNチャンネルMOSトランジスタMN6を備えている。

【0053】

図3において、PチャンネルMOSトランジスタMP1とPチャンネルMOSトランジスタMP3とPチャンネルMOSトランジスタMP5は同一素子とし、NチャンネルMOSトランジスタMN2とNチャンネルMOSトランジスタMN4とNチャンネルMOSトランジスタMN6は同一素子とする。

【0054】

出力LSoutは、レベルシフトDC電圧生成回路301において、NチャンネルMOSトランジスタMN2に低電圧系インバータINV1の出力LSinという電圧を入力した時の出力電圧とする。

【0055】

出力電圧Vr3は、DCバイアスレプリカDC回路302のNチャンネルMOSトランジスタMN4に入力電圧Vr2という電圧を入力した時の出力電圧とする。DCバイアスレプリカDC回路302は、レベルシフトDC電圧生成回路301のレプリカ回路であるため、出力LSinと入力電圧Vr2が等しい場合は、必ず出力LSoutは出力電圧Vr3と等しくなる関係になる。

【0056】

バイアス生成DC回路303は、DCバイアスレプリカDC回路302の出力電圧Vr3を電圧Vr4に一致させる帰還回路である。PチャンネルMOSトランジスタMP5に流れる電流i3とPチャンネルMOSトランジスタMP1に流れる電流i1とPチャンネルMOSトランジスタMP3に流れる電流i2とは、カレントミラーの関係となるので、次式(1)の関係式が成り立つ。

【0057】

$$i_1 = i_2 = i_3 \quad \dots \dots (1)$$

【0058】

入出力電圧の関係は、カレントミラーの関係が成り立ち、DCバイアスレプリカDC回路302は、レベルシフトDC電圧生成回路301のレプリカ回路で出力LSoutと出力電圧Vr3は等しい関係になるので、出力LSinが入力電圧Vr2と等しい場合、次式(2)の関係が成り立つ。

【0059】

$$LSout = Vr4 \quad \dots \dots (2)$$

【0060】

本実施例では、入力電圧Vr2を低電圧系論理閾値に、出力電圧Vr4を高電圧系論理閾値に置き換えている。

【0061】

10

20

30

40

50

低電圧系論理閾値は、レベルシフト回路200において、レベルシフト電圧生成回路201の低電圧系電源V<sub>dd1</sub>の低電圧系論理閾値を、低電圧系インバータINV2により入力電圧V<sub>r2</sub>として検出している。DCバイアスレプリカ回路202の低電圧系インバータINV2と、レベルシフト電圧生成回路201の低電圧系インバータINV1が同じ素子構成となることで、製造バラツキによるトランジスタの特性変動(閾値V<sub>th</sub>変動)が発生しても、必ず、レベルシフト電圧生成回路201の低電圧系インバータINV1の低電圧系論理閾値と、レプリカ回路の低電圧系インバータINV2の低電圧系論理閾値が一致するので、同期する。

【0062】

また本発明のレベルシフト回路200において、高電圧系論理閾値は、レベルシフト電圧生成回路201の高電圧系電源V<sub>dd2</sub>の高電圧系論理閾値を、DCバイアスレプリカ回路202の高電圧系インバータINV4により出力電圧V<sub>r4</sub>を検出している。

【0063】

次に、製造バラツキにより、レベルシフト電圧生成回路201の高電圧系インバータINV3と、DCバイアスレプリカ回路202高電圧系インバータINV4を構成しているNチャンネルMOSトランジスタの閾値V<sub>th</sub>値が低くなり、かつ、PチャンネルMOSトランジスタの閾値V<sub>th</sub>が高い状態が発生した場合について、図4(A)の入出力特性(入力信号電圧V<sub>in</sub>の立ち上がり)と、図4(B)の入出力特性(入力信号電圧V<sub>in</sub>の立ち下がり)を用いて説明する。

【0064】

図4において、縦軸は入出力電圧、横軸は時間である。図4(A)と図4(B)は、製造バラツキ(トランジスタの閾値V<sub>th</sub>変動)が無い場合の高電圧系論理閾値である出力電圧V<sub>r3b</sub>と、出力電圧V<sub>r4b</sub>が、製造バラツキ(トランジスタの閾値V<sub>th</sub>変動)によりNチャンネルMOSトランジスタの閾値V<sub>th</sub>が通常時よりも低くなり、PチャンネルMOSトランジスタの閾値V<sub>th</sub>が通常時よりも高くなった場合において、出力電圧V<sub>r3a</sub>と、出力電圧V<sub>r4a</sub>に変化した状態である。

【0065】

比較例では、入力信号電圧V<sub>in</sub>の立ち上がりにおいて、図4(A)に示すように、出力V<sub>out</sub>は、交点Aから交点Eに変動する(図4(A)の「比較例」のV<sub>out</sub>参照)。また、比較例では、入力信号電圧V<sub>in</sub>の立ち下がりにおいて、出力V<sub>out</sub>は、図4(B)に示すように、交点Hから交点Gに変動する(図4(B)の「比較例」のV<sub>out</sub>参照)。このため、入出力信号のデューティ比が崩れて、入力信号のデューティ比を維持したままレベルシフト動作を行うことはできない。

【0066】

本実施例では、高電圧系論理閾値がV<sub>r3b</sub>、V<sub>r4b</sub>からV<sub>r3a</sub>、V<sub>r4a</sub>となった状態でも、時間t<sub>1</sub>において、入力信号電圧V<sub>in</sub>が低電圧系論理閾値である入力電圧V<sub>r2</sub>を横切る交点Bのとき、出力L<sub>Sout</sub>は、高電圧系論理閾値である出力電圧V<sub>r4a</sub>を交点Fで横切る(図4(A)の「本発明」のV<sub>out</sub>参照)。

【0067】

また、時間t<sub>2</sub>において、入力信号電圧V<sub>in</sub>が低電圧系論理閾値である入力電圧V<sub>r2</sub>を横切る交点Dのとき、出力L<sub>Sout</sub>は高電圧系論理閾値である出力電圧V<sub>r4a</sub>を交点Hで横切る(図4(B)の「本発明」のV<sub>out</sub>の参照)。

【0068】

すなわち、入力信号電圧V<sub>in</sub>の立ち上がりにおいて、出力V<sub>out</sub>は交点Aから交点Fへ変動し、入力信号電圧V<sub>in</sub>の立ち下がりにおいて、出力V<sub>out</sub>は交点Cから交点Hに変動した状態であるような入出力関係が、製造バラツキが発生した場合の交点Fと交点Bが時間t<sub>1</sub>上に、交点Hと交点Dが時間t<sub>2</sub>上に同期するように常に保っている。

【0069】

本実施例において、入力信号電圧V<sub>in</sub>に対して出力V<sub>out</sub>が常に同期するように保つことが出来るのは、DCバイアスレプリカ回路202の高電圧系インバータINV4と

10

20

30

40

50

、レベルシフト電圧生成回路201の信号出力の高電圧系インバータINV3を同じ素子で構成とすることで、製造バラツキ（トランジスタの閾値 $V_{th}$ 変動）が発生しても、必ず、レベルシフト電圧生成回路201の高電圧系インバータINV3の高電圧系論理閾値と、DCバイアスレプリカ回路202の高電圧系インバータINV4の低電圧系論理閾値が一致するように、DCバイアスレプリカ回路202と、バイアス生成回路203により、

入力信号 $V_{in}$ の立ち上がりでは、 $L_{out}$ と $V_{out}$ の交点Aが交点Eになるはずのものを、交点F（図4（A）の「本発明」の $V_{out}$ ）とし、

入力信号 $V_{in}$ の立ち下がりでは、 $L_{out}$ と $V_{out}$ の交点Cが交点Gになるはずのものを、交点H（図4（B）の「本発明」の $V_{out}$ ）

となるように、レベルシフト電圧生成回路201を調整しているためである。

#### 【0070】

本実施例においては、温度変動と高電圧系電源変動が発生して信号の立ち上がり/立ち下がりの傾きと、論理閾値が変動する場合でも、上記と同様な回路動作を行うことで、入力信号電圧 $V_{in}$ が低電圧系論理閾値である入力電圧 $V_{r2}$ を横切るとき、出力 $L_{out}$ が高電圧系論理閾値である出力電圧 $V_{r4}$ を横切る入出力関係が常に成り立つ。

#### 【0071】

以上により、本実施例のレベルシフト回路200は、製造バラツキによるトランジスタ特性（トランジスタの閾値 $V_{th}$ 変動）の変動や、電源変動や、温度変動が発生したとしてもレベルシフト回路内の信号の立ち上がり/立ち下がりの傾きに関わりなく、入力信号電圧 $V_{in}$ が、低電圧系インバータINV1の論理閾値電圧を横切る時に同期して、レベルシフト電圧生成回路201のプッシュプル回路の出力 $L_{out}$ が、出力インバータINV3の論理閾値を横切るように動作し、レベルシフト電圧生成回路201の入力信号電圧 $V_{in}$ に対する出力OUTにおけるデューティ比が、入力信号電圧 $V_{in}$ の低電圧系インバータINV1の論理閾値電圧におけるデューティ比と等しくなる。

#### 【0072】

上記した実施例の作用効果について以下にまとめる。

#### 【0073】

（A）高周波信号入力時に製造バラツキによるトランジスタ特性（トランジスタの閾値 $V_{th}$ 変動）の変動が発生しても、入力信号のデューティ比を維持したまま、レベルシフト動作出来る。

#### 【0074】

その理由は、レベルシフト回路200に低電圧系電源の低電圧系論理閾値と、高電圧系電源の高電圧系論理閾値を検出し、レベルシフト電圧生成回路201のPチャンネルMOSトランジスタゲート電圧のバイアス電圧をコントロールすることで、出力の電圧レベルを、高電圧系電源の高電圧系論理閾値に追従させ出力する構成としたためである。レベルシフト電圧生成回路201の基本構成を、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタのプッシュプル回路に変更し、プッシュプル回路に変更したPチャンネルMOSトランジスタを外部からバイアス電圧を供給するように変更し、レベルシフト電圧生成回路201と同じ入力インバータとプッシュプル回路と出力インバータから成るDCバイアスレプリカ回路202、及び、DCバイアスレプリカ回路202の出力電圧の差動増幅回路（比較回路）204と、レベルシフト電圧生成回路201と同じ、プッシュプル回路より成り、レベルシフト電圧生成回路のPチャンネルMOSトランジスタのDCバイアスを供給するバイアス生成回路203を構成したことで、製造バラツキによるトランジスタ特性（トランジスタの閾値 $V_{th}$ 変動）の変動が発生しても、入力信号のデューティ比を維持したまま、レベルシフト動作出来る。

#### 【0075】

（B）高周波信号入力時に電源変動が発生しても、入力信号のデューティ比を維持したまま、レベルシフト動作出来る。その理由は（A）の理由と同様である。

#### 【0076】

10

20

30

40

50

(C) 高周波信号入力時に温度変動が発生しても、入力信号のデューティ比を維持したまま、レベルシフト動作出来る。

上記した実施形態は以下のように付記される(ただし、以下に限定されない)。

(形態1)

低電圧系電源電圧と接地電位を振幅とする入力信号を受け、高電圧系電源電圧と接地電位との電圧振幅に変換した出力信号電圧を出力するレベルシフト電圧生成回路と、

前記レベルシフト電圧生成回路の素子と同一の素子構成を有し、低電圧系の閾値電圧と高電圧系の閾値電圧を監視し、入力電圧を低電圧系の論理閾値とし、出力電圧を高電圧系の論理閾値として、入力電圧が低電圧系の論理閾値を横切るとき、出力電圧が高電圧系の論理閾値を横切るように、同期した出力電圧を生成させるレプリカ回路と、

前記レベルシフト電圧生成回路の出力電圧と前記レプリカ回路の出力電圧の変動を調整するためのバイアスを生成し、前記レベルシフト電圧生成回路と前記レプリカ回路に供給するバイアス生成回路と、

を備えたことを特徴とするレベルシフト回路。

(形態2)

前記レプリカ回路が、前記低電圧系電源電圧と接地電位で振幅する全帰還接続された低電圧論理回路と、

前記高電圧系電源と接地電位で振幅する全帰還接続され高電圧論理回路と、

を備え、前記低電圧論理回路の低電圧系閾値電圧と前記高電圧論理回路の高電圧系閾値電圧が監視される、ことを特徴とする形態1記載のレベルシフト回路。

(形態3)

前記バイアス生成回路は、前記レプリカ回路の高電圧系の出力と、前記高電圧系閾値電圧を比較する比較回路を備え、

前記比較結果に基づき、前記レベルシフト電圧生成回路と、前記レプリカ回路を調整する電圧を生成する、ことを特徴とする形態1又は2記載のレベルシフト回路。

(形態4)

前記レプリカ回路が高電圧系電源電圧と接地電位に接続されたプッシュプル回路を備え、

前記高電圧系電源と前記バイアス生成回路の出力間に接続されたトランジスタと、前記レプリカ回路のプッシュプル回路の高電圧系電源側のトランジスタがカレントミラーを構成する、ことを特徴とする形態1記載のレベルシフト回路。

(形態5)

前記レベルシフト電圧生成回路は、

前記低電圧系電源と前記接地電位間に接続され入力信号を入力する第1の論理回路と、前記バイアス生成回路の出力と前記第1の論理回路の出力の間に直列に接続されている第1の抵抗素子と容量素子と、

前記高電圧系電源と前記接地電位間に接続された第1、第2のトランジスタを含む第1のプッシュプル回路であって、前記第1のトランジスタの制御端子は、前記第1の抵抗素子と前記容量素子の接続ノードに接続され、前記第2のトランジスタの制御端子は、前記第1の論理回路の出力に接続された第1のプッシュプル回路と、

前記高電圧系電源と前記接地電位間に接続され、前記第1のプッシュプル回路の出力を入力し、前記高電圧系電源と前記接地電位間の振幅の出力信号を出力する第2の論理回路と、

を備えている、ことを特徴とする形態1記載のレベルシフト回路。

(形態6)

前記レプリカ回路は、

前記低電圧系電源と前記接地電位間に接続され、出力が入力に全帰還され、出力が論理閾値電圧を与える第3の論理回路と、

前記高電圧系電源と前記接地電位間に接続された第3、第4のトランジスタを含む第2のプッシュプル回路であって、前記第3のトランジスタの制御端子は、第2の抵抗素子を

10

20

30

40

50

介して前記バイアス生成回路の出力に接続され、前記第2のトランジスタの制御端子は、  
前記第3の論理回路の出力に接続された第2のプッシュプル回路と、

前記高電圧系電源と前記接地電位間に接続され、出力が入力に全帰還され、出力が論理  
閾値電圧を与える第4の論理回路と、

を備え、

前記第3の論理回路は前記第1の論理回路と同一構成とされ、前記第4の論理回路は前  
記第2の論理回路と同一構成とされ、前記第3のトランジスタは前記第1のトランジスタ  
と同一構成とされ、前記第4のトランジスタは前記第2のトランジスタと同一構成とされ  
、前記第2の抵抗素子は前記第1の抵抗素子と同一の抵抗値とされている、ことを特徴と  
する形態5記載のレベルシフト回路。

(形態7)

前記バイアス生成回路は、

前記レプリカ回路の前記第4の論理回路の出力電圧と前記第2のプッシュプル回路の出  
力電圧を電圧比較する比較回路と、

前記高電圧系電源と前記バイアス回路の出力の間に接続され、ダイオード接続された第  
5のトランジスタと、前記バイアス回路の出力と前記接地電位の間に接続され、前記比較  
回路の出力電圧を制御端子に入力する第6のトランジスタと、

を備え、前記第1のトランジスタと前記第5のトランジスタは同一構成とされ、前記第  
2のトランジスタと前記第6のトランジスタは同一構成とされる、形態5又は6記載のレ  
ベルシフト回路。

(形態8)

前記第1、第3、第5のトランジスタはカレントミラーを構成する、形態7記載のレベ  
ルシフト回路。

(形態9)

レベルシフト電圧生成回路と、レプリカ回路と、バイアス生成回路と、を備え、

前記レベルシフト電圧生成回路は、

低電圧系電源と接地電位間に接続され入力信号を入力する第1の論理回路と、

バイアス生成回路の出力と前記第1の論理回路の出力の間に直列に接続されている第1  
の抵抗素子と容量素子と、

高電圧系電源と接地電位間に接続された第1、第2のトランジスタを含む第1のプッシ  
ュプル回路であって、前記第1のトランジスタの制御端子は、前記第1の抵抗素子と前記  
容量素子の接続ノードに接続され、前記第2のトランジスタの制御端子は、前記第1の論  
理回路の出力に接続された第1のプッシュプル回路と、

前記高電圧系電源と前記接地電位間に接続され、前記第1のプッシュプル回路の出力を  
入力し、前記高電圧系電源と前記接地電位間の振幅の出力信号を出力する第2の論理回路  
と、

を備え、

前記レプリカ回路は、

前記低電圧系電源と前記接地電位間に接続され、出力が入力に全帰還され、出力が論理  
閾値電圧を与える第3の論理回路と、

前記高電圧系電源と前記接地電位間に接続された第3、第4のトランジスタを含む第2  
のプッシュプル回路であって、前記第3のトランジスタの制御端子は、第2の抵抗素子を  
介して前記バイアス生成回路の出力に接続され、前記第2のトランジスタの制御端子は、  
前記第3の論理回路の出力に接続された第2のプッシュプル回路と、

前記高電圧系電源と前記接地電位間に接続され、出力が入力に全帰還され、出力が論理  
閾値電圧を与える第4の論理回路と、

を備え、

前記第3の論理回路は前記第1の論理回路と同一構成とされ、前記第4の論理回路は前  
記第2の論理回路と同一構成とされ、前記第3のトランジスタは前記第1のトランジスタ  
と同一構成とされ、前記第4のトランジスタは前記第2のトランジスタと同一構成とされ

10

20

30

40

50

、前記第2の抵抗素子は前記第1の抵抗素子と同一の抵抗値とされ、  
前記バイアス生成回路は、  
前記レプリカ回路の前記第4の論理回路の出力電圧と前記第2のプッシュプル回路の出力電圧を電圧比較する比較回路と、  
前記高電圧系電源と前記バイアス回路の出力の間に接続され、ダイオード接続された第5のトランジスタと、前記バイアス回路の出力と前記接地電位の間に接続され、前記比較回路の出力電圧を制御端子に入力する第6のトランジスタと  
を備えたレベルシフト回路。

(形態10)

前記第1、第2、第3、第4の論理回路がインバータ回路を含む形態9記載のレベルシフト回路。

10

【0077】

なお、上記の特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【符号の説明】

【0078】

20

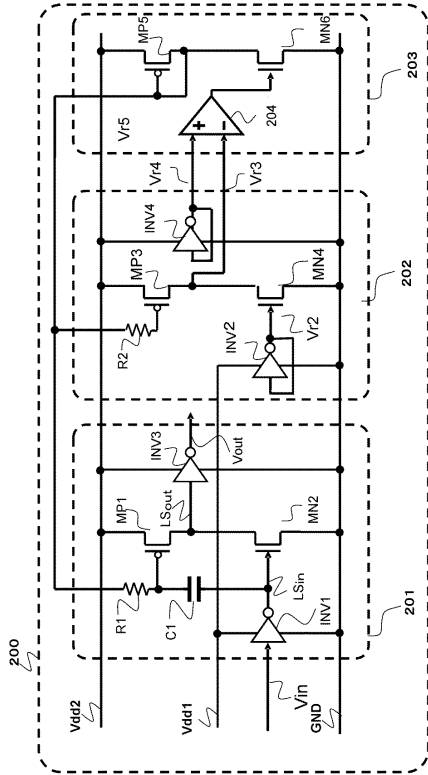
100 レベルシフト回路  
 200 レベルシフト回路  
 201 レベルシフト電圧生成回路  
 202 DCバイアスレプリカ回路  
 203 バイアス生成回路  
 204、304 差動増幅回路（比較回路）  
 300 レベルシフトDC回路  
 301 レベルシフトDC電圧生成回路  
 302 DCバイアスレプリカDC回路  
 303 バイアス生成DC回路  
 Vin 入力信号電圧  
 Lsin 出力  
 Lsout 出力  
 Vout 出力  
 Vr2 入力電圧  
 Vr3、Vr4、Vr5 出力電圧  
 Vdd1 低電圧系電源  
 Vdd2 高電圧系電源  
 INV1 低電圧系インバータ  
 INV2 低電圧系インバータ  
 INV3 出力インバータ  
 INV4 高電圧系インバータ  
 R1、R2 抵抗素子  
 C1 容量（キャパシタ）  
 MP1、MP3、MP5 PチャンネルMOSトランジスタ  
 MN2、MN4、MN6 NチャンネルMOSトランジスタ

30

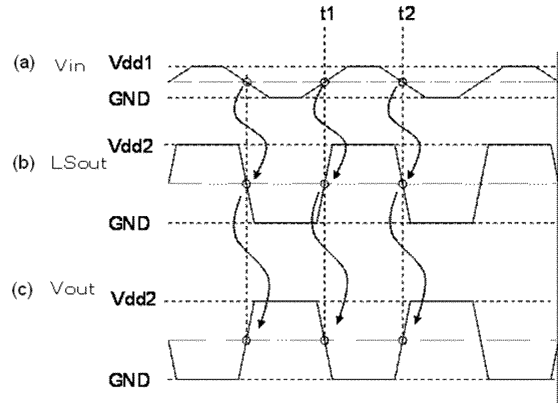
40



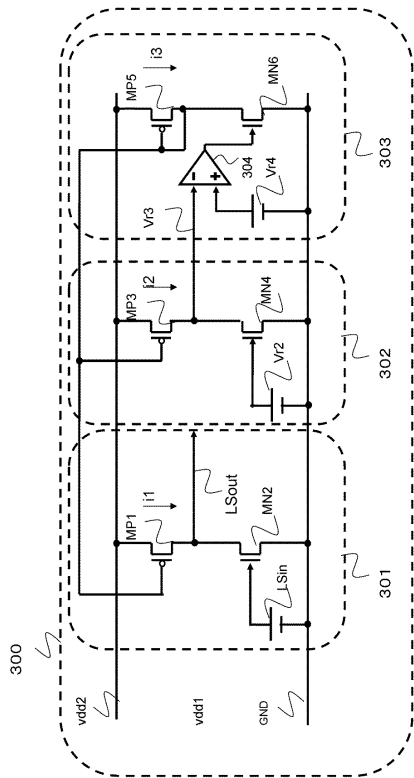
【図 1】



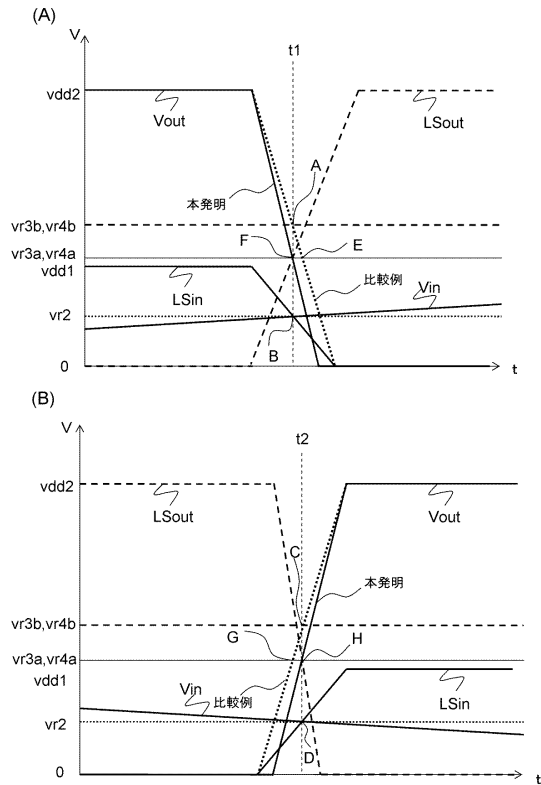
【図 2】



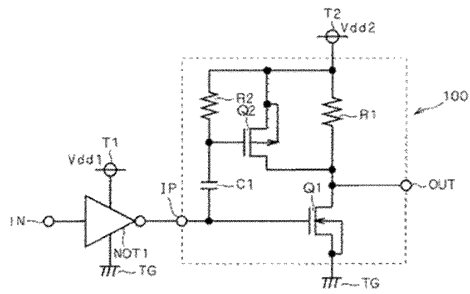
【図 3】



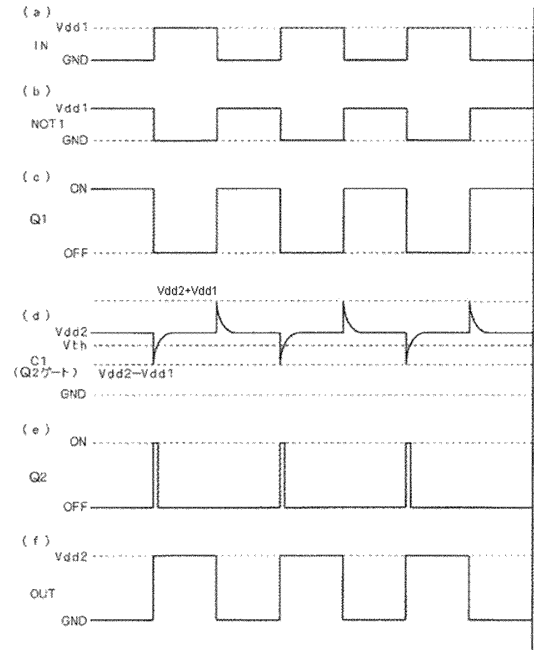
【図 4】



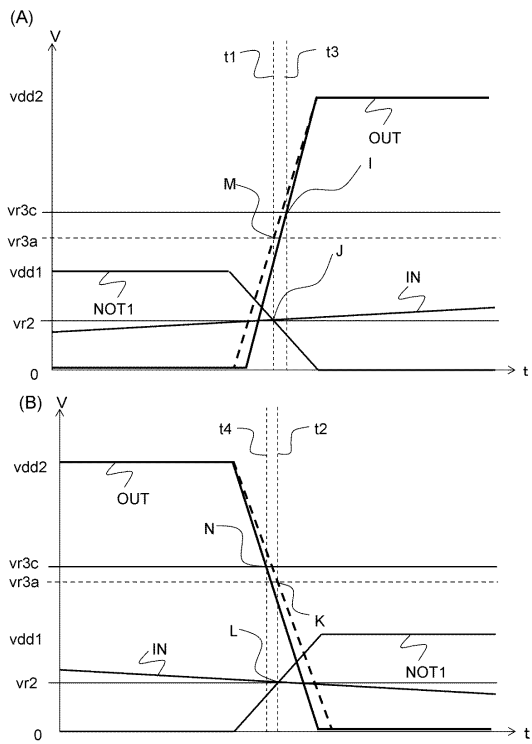
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

(56)参考文献 特開2008-167094(JP,A)  
特開2006-352502(JP,A)  
特開平06-013878(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096