



(12)发明专利申请

(10)申请公布号 CN 110061144 A

(43)申请公布日 2019.07.26

(21)申请号 201811233695.2

H01L 29/786(2006.01)

(22)申请日 2010.09.24

H01L 23/544(2006.01)

(30)优先权数据

H01L 27/02(2006.01)

2009-238914 2009.10.16 JP

H01L 27/12(2006.01)

H01L 29/06(2006.01)

(62)分案原申请数据

201080047701.0 2010.09.24

(71)申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72)发明人 山崎舜平 小山润 津吹将志

野田耕生

(74)专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 何欣亭 杨美灵

(51)Int.Cl.

H01L 51/52(2006.01)

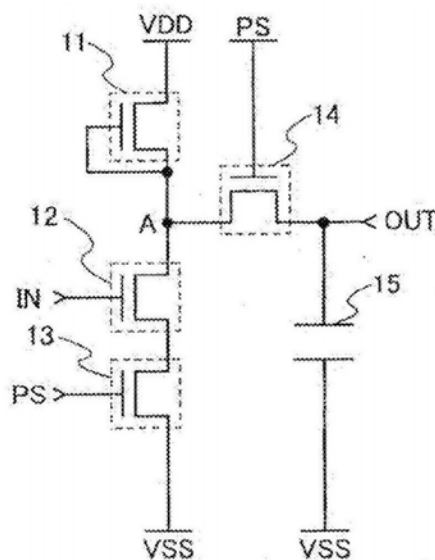
权利要求书2页 说明书59页 附图31页

(54)发明名称

逻辑电路和半导体器件

(57)摘要

逻辑电路包括：薄膜晶体管，具有使用氧化物半导体所形成的沟道形成区；以及具有端子的电容器，通过使薄膜晶体管截止来使端子之一进入浮动状态。氧化物半导体具有 5×10^{19} (原子/ cm^3)或更小的氢浓度，并且因此在没有生成电场的状态中实质上用作绝缘体。因此，薄膜晶体管的截止状态电流能够降低，从而引起抑制通过薄膜晶体管的电容器中存储的电荷的泄漏。相应地，能够防止逻辑电路的故障。此外，能够通过薄膜晶体管的截止状态电流的降低，来降低逻辑电路中流动的过量电流，从而导致逻辑电路的低功率消耗。



1. 一种发光元件, 包括:

滤色器层;

所述滤色器层上的绝缘层;

所述绝缘层上的导电层;

所述导电层上的第一电极; 以及

所述导电层上的隔壁,

其中, 所述隔壁使用光敏树脂材料来形成, 以便在所述第一电极之上具有开口, 使得所述开口的侧壁形成成为具有带连续曲率的斜面。

2. 一种半导体器件, 包括:

晶体管, 包括第一端子和第二端子; 以及

逻辑电路, 包括输出端子, 所述输出端子电连接到所述晶体管的所述第一端子和所述第二端子中的一个,

其中, 所述第一端子和所述第二端子中的另一个电连接到电容器的一个端子,

其中, 所述晶体管的沟道形成区包括氧化物半导体, 以及

其中, 80% 或以上的所述氧化物半导体被晶化。

3. 一种半导体器件, 包括:

晶体管, 包括第一端子和第二端子; 以及

寄存器, 包括输出端子, 所述输出端子电连接到所述晶体管的所述第一端子和所述第二端子中的一个,

其中, 所述第一端子和所述第二端子中的另一个电连接到电容器的一个端子,

其中, 所述晶体管的沟道形成区包括氧化物半导体, 以及

其中, 80% 或以上的所述氧化物半导体被晶化。

4. 一种半导体器件, 包括:

晶体管, 包括第一端子、第二端子及栅极端子;

逻辑电路, 包括第一输出端子, 所述第一输出端子电连接到所述第一端子; 以及电容器,

其中, 所述栅极端子电连接到线,

其中, 所述第二端子电连接到所述电容器的一个端子和第二输出端子,

其中, 所述晶体管的沟道形成区包括氧化物半导体,

其中, 所述氧化物半导体具有多个晶体。

5. 一种半导体器件, 包括:

晶体管, 包括第一端子、第二端子及栅极端子;

寄存器, 包括第一输出端子, 所述第一输出端子电连接到所述第一端子; 以及电容器,

其中, 所述栅极端子电连接到线,

其中, 所述第二端子电连接到所述电容器的一个端子和第二输出端子,

其中, 所述晶体管的沟道形成区包括氧化物半导体,

其中, 所述氧化物半导体具有多个晶体。

6. 如权利要求2或4所述的半导体器件, 其中, 所述逻辑电路包括第二晶体管, 所述第二

晶体管的沟道形成区包括氧化物半导体。

7. 如权利要求6所述的半导体器件, 其中, 所述第二晶体管是增强型晶体管。

8. 如权利要求3或5所述的半导体器件, 其中, 所述寄存器包括第二晶体管, 所述第二晶体管的沟道形成区包括氧化物半导体。

9. 如权利要求8所述的半导体器件, 其中, 所述第二晶体管是增强型晶体管。

10. 如权利要求2到5的任一项所述的半导体器件, 其中, 所述氧化物半导体包括In-Ga-Zn-O基的氧化物半导体。

11. 如权利要求2到5的任一项所述的半导体器件, 其中, 当所述晶体管的源极和漏极之间的电压是10V时所述晶体管的截止状态电流是 1×10^{-13} A或更小。

12. 如权利要求2到5的任一项所述的半导体器件, 其中, 所述电容器的另一个端子电连接到低电源电位线。

13. 如权利要求2到5的任一项所述的半导体器件, 其中, 所述氧化物半导体包括铟和镓中的至少一种。

14. 如权利要求2到5的任一项所述的半导体器件, 其中, 在所述晶体管中所述氧化物半导体的至少一部分处于氧过剩状态。

15. 一种电子设备, 包括权利要求2到5的任一项所述的半导体器件。

逻辑电路和半导体器件

[0001] 本申请是申请号为201510217808.X、申请日为2010年9月24日、发明名称为“逻辑电路和半导体器件”的专利申请的分案申请。

技术领域

[0002] 本发明的一个方面涉及一种包括使用氧化物半导体所形成的场效应晶体管的逻辑电路。此外,本发明的一个方面涉及一种包括逻辑电路的半导体器件。

[0003] 注意,在本说明书中,半导体器件表示能够通过使用半导体特性进行操作的所有装置,并且电光装置、半导体电路和电子设备全部包含在半导体器件的范畴中。

背景技术

[0004] 通过使用在具有绝缘表面的衬底之上形成的薄半导体膜来形成薄膜晶体管(TFT)的技术受到更多重视。薄膜晶体管用于以液晶电视为代表的显示装置。硅基半导体材料被认为是可适用于薄膜晶体管的薄半导体膜的材料。除了硅基半导体材料之外,氧化物半导体受到重视。

[0005] 作为氧化物半导体的材料,氧化锌以及包含氧化锌作为其成分的材料是已知的。此外,公开有使用电子载流子密度小于 $10^{18}/\text{cm}^3$ 的非晶氧化物(氧化物半导体)所形成的薄膜晶体管(专利文献1至3)。

[0006] [参考文献]

[0007] [专利文献]

[0008] [专利文献1]日本专利申请公开No.2006-165527

[0009] [专利文献2]日本专利申请公开No.2006-165528

[0010] [专利文献3]日本专利申请公开No.2006-165529

发明内容

[0011] 但是,与氧化物半导体中的化学计量组成的差异在薄膜形成过程中发生。例如,氧化物半导体的电导率因氧过剩或氧缺陷而发生变化。此外,在薄膜的形成期间进入氧化物半导体薄膜的氢形成氧(O)-氢(H)结合,并且用作作为变化电导率的因子的电子施主。此外,由于O-H结合是极性分子,所以它用作诸如使用氧化物半导体所制造的薄膜晶体管之类的有源装置的变化特性的因子。

[0012] 甚至当具有小于 $10^{18}/\text{cm}^3$ 的电子载流子密度时,氧化物半导体也实质上是n型氧化物半导体。因此,得到专利文献中公开的薄膜晶体管的大约 10^3 的导通-截止比。薄膜晶体管的这种低导通-截止比归因于大截止状态电流(off-state current)。

[0013] 导通-截止比是开关的特性的量度。包括具有低导通-截止比的薄膜晶体管的电路的操作变得不稳定。此外,电流因大截止状态电流而过度流动;因此增加功率消耗。

[0014] 鉴于上述问题,本发明的一个实施例的一个目的是抑制包括使用氧化物半导体所形成的薄膜晶体管的逻辑电路的故障。

[0015] 此外,本发明的一个实施例的一个目的是降低包括使用氧化物半导体所形成的薄膜晶体管的逻辑电路的功率消耗。

[0016] 按照本发明的一个实施例,逻辑电路包括具有使用氧化物半导体所形成的沟道形成区的薄膜晶体管,其中通过去除具有作为电子施主(或施主)的可能性的杂质(例如氢和水)来使氧化物半导体成为本征或者实质上本征,并且氧化物半导体具有比硅半导体要大的能隙。

[0017] 具体来说,逻辑电路包括具有使用氧化物半导体所形成的沟道形成区的薄膜晶体管,其中氢浓度设置为 $5 \times 10^{19}/\text{cm}^3$ 或更小、优选地为 $5 \times 10^{18}/\text{cm}^3$ 或更小、更优选地为 $5 \times 10^{17}/\text{cm}^3$ 或更小以去除氧化物半导体中包含的氢或O-H结合,并且载流子密度设置为 $5 \times 10^{14}/\text{cm}^3$ 或更小、优选地为 $5 \times 10^{12}/\text{cm}^3$ 或更小。

[0018] 氧化物半导体的能隙设置为2eV或更大、优选地为2.5eV或更大、更优选地为3eV或更大,以便尽可能多地减少形成施主的杂质(例如氢)。此外,氧化物半导体的载流子密度设置为 $1 \times 10^{14}/\text{cm}^3$ 或更小、优选地为 $1 \times 10^{12}/\text{cm}^3$ 或更小。

[0019] 这样纯化的氧化物半导体用于薄膜晶体管的沟道形成区。相应地,甚至在沟道宽度为10nm的情况下,在1V和10V的漏极电压以及-5V至-20V的范围中的栅极电压也得到 $1 \times 10^{-13}[\text{A}]$ 或更小的漏极电流。

[0020] 也就是说,本发明的一个实施例是一种逻辑电路,包括:薄膜晶体管;以及具有端子的电容器,端子之一电连接到通过使薄膜晶体管截止而进入浮动状态(floating state)的节点。薄膜晶体管的沟道形成区使用氢浓度为 5×10^{19} (原子/ cm^3)的氧化物半导体来形成。

[0021] 注意,在本说明书中,浓度通过二次离子质谱(以下称作SIMS)来测量。但是,在进行对其它测量方法的描述时没有具体限制。

[0022] 此外,包括逻辑电路的半导体器件也是本发明的一个实施例。

[0023] 按照本发明的一个实施例,逻辑电路包括:薄膜晶体管,具有使用氧化物半导体所形成的沟道形成区;以及具有端子的电容器,通过使薄膜晶体管截止来使端子之一进入浮动状态。氧化物半导体是具有降低的氢浓度的氧化物半导体。具体来说,氧化物半导体的氢浓度为 5×10^{19} (原子/ cm^3)或更小,并且当不存在电场时,氧化物半导体用作绝缘体或者接近绝缘体的半导体(接近绝缘体的半导体实质上是绝缘体)。因此,薄膜晶体管的截止状态电流能够降低。因此,能够抑制电容器中存储的电荷通过薄膜晶体管泄漏。因此,能够防止逻辑电路的故障。此外,能够使其中电容器的一个端子处于浮动状态的期间较长。换言之,数据重写到电容器(又称作刷新)的次数能够减小。

[0024] 此外,能够通过薄膜晶体管的截止状态电流的降低,来降低逻辑电路中流动的过量电流。因此,逻辑电路的功率消耗能够降低。

附图说明

[0025] 图1A和图1C是示出倒相器的示例的电路图,以及图1B和图1D是示出倒相器的示例的时序图。

[0026] 图2A至图2D是示出倒相器的示例的电路图。

[0027] 图3A是示出移位寄存器的示例的电路图,以及图3B是示出移位寄存器的示例的时

序图。

[0028] 图4A是示出移位寄存器的示例的电路图,以及图4B是示出移位寄存器的示例的时序图。

[0029] 图5A是示出薄膜晶体管的示例的平面图,以及图5B是示出薄膜晶体管的示例的截面图。

[0030] 图6A至图6E是示出用于制造薄膜晶体管的方法的示例的截面图。

[0031] 图7A是示出薄膜晶体管的示例的平面图,以及图7B是示出薄膜晶体管的示例的截面图。

[0032] 图8A至图8E是示出用于制造薄膜晶体管的方法的示例的截面图。

[0033] 图9A和图9B是示出薄膜晶体管的示例的截面图。

[0034] 图10A至图10E是示出用于制造薄膜晶体管的方法的示例的截面图。

[0035] 图11A至图11E是示出用于制造薄膜晶体管的方法的示例的截面图。

[0036] 图12A至图12D是示出用于制造薄膜晶体管的方法的示例的截面图。

[0037] 图13A至图13D是示出用于制造薄膜晶体管的方法的示例的截面图。

[0038] 图14是示出薄膜晶体管的示例的截面图。

[0039] 图15A和图15C是示出半导体器件的示例的平面图,以及图15B 是示出半导体器件的示例的任一个的截面图。

[0040] 图16是示出半导体器件的像素等效电路的示例的简图。

[0041] 图17A至图17C是示出半导体器件的示例的截面图。

[0042] 图18A是示出半导体器件的示例的平面图,以及图18B是示出半导体器件的示例的截面图。

[0043] 图19是示出半导体器件的示例的截面图。

[0044] 图20A和图20B示出半导体器件的示例。

[0045] 图21A和图21B示出半导体器件的示例。

[0046] 图22示出半导体器件的一个示例。

[0047] 图23示出半导体器件的一个示例。

[0048] 图24示出使用氧化物半导体所形成的MOS晶体管的源极与漏极之间的一部分的能带结构。

[0049] 图25示出其中将正电压施加到图24的漏极侧的状态。

[0050] 图26A和图26B是使用氧化物半导体所形成的MOS晶体管的 MOS结构的能带图,其中施加正栅极电压(图26A) 或者施加负栅极电压(图26B)。

[0051] 图27示出硅MOS晶体管的源极与漏极之间的一部分的能带结构。

[0052] 图28是示出薄膜晶体管的示例的初始特性的图表。

[0053] 图29A和图29B是作为薄膜晶体管的一个示例的、用于评估的元件的顶视图。

[0054] 图30A和图30B是示出作为薄膜晶体管的一个示例的、用于评估的元件的 V_g - I_d 特性的图表。

具体实施方式

[0055] 下面将参照附图详细描述本发明的实施例。注意,本发明并不局限于以下描述,并

且本领域的技术人员易于理解,能够进行各种变化和修改,而没有背离本发明的精神和范围。因此,本发明不应当局限于以下实施例的描述。

[0056] 注意,由于晶体管的源极端子和漏极端子根据晶体管的结构、操作条件等等而变化,所以难以定义哪一个是源极端子或者漏极端子。因此,在本说明书中,下面为了进行区分,源极端子和漏极端子中的一个称作第一端子,而其中的另一个称作第二端子。

[0057] 注意,为了简洁起见,在一些情况下,实施例中的附图等等所示的各结构的层或区域的大小、厚度经过放大。因此,本发明的实施例不局限于这类比例。此外,在本说明书中,使用诸如“第一”、“第二”和“第三”之类的序数以便避免组件之间的混淆,这些术语而不是在数字上限制组件。

[0058] (实施例1)

[0059] 在本实施例中,描述逻辑电路的示例。具体来说,参照图1A至图1D以及图2A至图2D来描述各包括具有使用氧化物半导体所形成的沟道形成区的薄膜晶体管的倒相器(inverter)的示例。

[0060] 图1A是示出本实施例的倒相器的一个示例的电路图。图1A所示的倒相器包括薄膜晶体管11至14和电容器15。在这里,薄膜晶体管11是耗尽型晶体管,而薄膜晶体管12至14是增强型晶体管。注意,在本说明书中,阈值电压为正值的n沟道晶体管称作增强型晶体管,而阈值电压为负值的n沟道晶体管称作耗尽型晶体管。

[0061] 薄膜晶体管11的第一端子电连接到用于提供高电源电位(V_{DD})的布线(下文中,这种布线又称作高电源电位线)。

[0062] 薄膜晶体管12的栅极端子电连接到用于提供输入信号(IN)的布线(下文中,这种布线又称作输入信号线),以及薄膜晶体管12的第一端子电连接到薄膜晶体管11的栅极端子和第二端子。

[0063] 薄膜晶体管13的栅极端子电连接到用于提供脉冲信号(PS)的布线(下文中,这种布线又称作脉冲信号线),薄膜晶体管13的第一端子电连接到薄膜晶体管12的第二端子,以及薄膜晶体管13的第二端子电连接到用于提供低电源电位(V_{SS})的布线(下文中,这种布线又称作低电源电位线)。

[0064] 薄膜晶体管14的栅极端子电连接到脉冲信号线,薄膜晶体管14的第一端子电连接到薄膜晶体管11的栅极端子和第二端子以及薄膜晶体管12的第一端子,并且薄膜晶体管14的第二端子电连接到用于输出输出信号的布线(下文中,这种布线又称作输出信号线)。

[0065] 电容器15的一个端子电连接到薄膜晶体管14的第二端子和输出信号线,以及电容器15的另一个端子电连接到低电源电位线。

[0066] 注意,薄膜晶体管11是耗尽型晶体管,其中第一端子电连接到高电源电位线,并且栅极端子电连接到第二端子。也就是说,薄膜晶体管11在任何期间中保持在导通状态。换言之,薄膜晶体管11用作电阻器。

[0067] 此外,在本说明书中,高电源电位(V_{DD})和低电源电位(V_{SS})可以是任何电位,只要高电源电位(V_{DD})高于低电源电位(V_{SS})。例如,地电位、0V等能够用作低电源电位(V_{SS}),而给定正电位等能够用作高电源电位(V_{DD})。

[0068] 接下来参照图1B的时序图来描述图1A所示的电路的操作。注意,示出图1B,而其中薄膜晶体管11的栅极端子和第二端子、薄膜晶体管12的第一端子和薄膜晶体管14的第一端

子相互电连接的结点称作结点A。

[0069] 在期间T1,输入信号(IN)和脉冲信号(PS)的电位增加到高电平。因此,薄膜晶体管12至14导通。因此,结点A和电容器的一个端子电连接到低电源电位线;即,结点A的电位和倒相器的输出信号(OUT)降低到低电平。电荷没有存储在电容器15中。

[0070] 在期间T2,脉冲信号(PS)的电位降低到低电平。因此,薄膜晶体管13和14截止。当薄膜晶体管13截止时,结点A的电位增加到高电平。当薄膜晶体管14截止时,使电容器15的一个端子进入浮动状态。因此,倒相器的输出信号(OUT)保持在低电平。

[0071] 在期间T3,输入信号(IN)的电位降低到低电平,而脉冲信号(PS)的电位增加到高电平。因此,薄膜晶体管12截止,而薄膜晶体管13和14导通。因此,结点A和电容器15的一个端子通过薄膜晶体管11电连接到高电源电位线;即,结点A的电位和倒相器的输出信号(OUT)增加到高电平。正电荷存储在电容器15的一个端子中。

[0072] 在本实施例的倒相器所包含的多个薄膜晶体管的每个中,沟道形成区使用氧化物半导体来形成。氧化物半导体是具有降低的氢浓度的氧化物半导体。具体来说,氧化物半导体的氢浓度为 5×10^{19} (原子/cm³)或更小,并且当不存在电场时,氧化物半导体用作绝缘体或者接近绝缘体的半导体(接近绝缘体的半导体实质上是绝缘体)。因此,具有使用氧化物半导体所形成的沟道形成区的薄膜晶体管的截止状态电流能够降低。因此,能够抑制通过薄膜晶体管的电荷的泄漏。

[0073] 例如,通过薄膜晶体管14的使用氧化物半导体所形成的沟道形成区,能够抑制在电容器15的一个端子处于浮动状态的期间(即,期间T2)中的电位的变化的电平、例如期间T2中的电位的增加。因此,能够防止倒相器的故障。此外,能够使其中电容器15的一个端子处于浮动状态的期间较长。换言之,数据重写到电容器15(又称作刷新)的次数能够减小。

[0074] 此外,薄膜晶体管13的使用氧化物半导体所形成的沟道形成区能够降低在输入信号(IN)的电位处于高电平而脉冲信号(PS)的电位处于低电平的期间(即,期间T2)中从高电源电位线流动到低电源电位线的直通电流。因此,倒相器的功率消耗能够降低。

[0075] 注意,本实施例的倒相器并不局限于图1A所示的倒相器。下面参照图1C来描述与图1A所示的倒相器不同的倒相器的示例。

[0076] 图1C所示的倒相器包括薄膜晶体管21至24和电容器25。在这里,薄膜晶体管21是耗尽型晶体管,而薄膜晶体管22至24是增强型晶体管。

[0077] 薄膜晶体管21的第一端子电连接到高电源电位线。

[0078] 薄膜晶体管22的栅极端子电连接到脉冲信号线,并且薄膜晶体管22的第一端子电连接到薄膜晶体管21的栅极端子和第二端子。

[0079] 薄膜晶体管23的栅极端子电连接到输入信号线,薄膜晶体管23的第一端子电连接到薄膜晶体管22的第二端子,并且薄膜晶体管23的第二端子电连接到低电源电位线。

[0080] 薄膜晶体管24的栅极端子电连接到脉冲信号线,薄膜晶体管24的第一端子电连接到薄膜晶体管22的第二端子和薄膜晶体管23的第一端子,并且薄膜晶体管24的第二端子电连接到输出信号线。

[0081] 电容器25的一个端子电连接到薄膜晶体管24的第二端子和输出信号线,以及电容器25的另一个端子电连接到低电源电位线。

[0082] 简言之,图1C所示的倒相器是其中采用薄膜晶体管22来替代图1A中的薄膜晶体

管13的电路。

[0083] 接下来参照图1D的时序图来描述图1C所示的电路的操作。注意,示出图1B,同时其中薄膜晶体管22的第二端子、薄膜晶体管23的第一端子和薄膜晶体管24的第一端子相互电连接的结点被认作结点 B。

[0084] 在期间T4,输入信号 (IN) 和脉冲信号 (PS) 的电位增加到高电平。因此,薄膜晶体管22至24导通。因此,结点B和电容器25 的一个端子电连接到低电源电位线;即,结点B的电位和倒相器的输出信号 (OUT) 降低到低电平。电荷没有存储在电容器25中。

[0085] 在期间T5,脉冲信号 (PS) 的电位降低到低电平。因此,薄膜晶体管22和24截止。当薄膜晶体管24截止时,使电容器25的一个端子进入浮动状态。因此,倒相器的输出信号 (OUT) 保持在低电平。注意,结点B的电位处于低电平。

[0086] 在期间T6,输入信号 (IN) 的电位降低到低电平,而脉冲信号 (PS) 的电位增加到高电平。因此,薄膜晶体管23截止,而薄膜晶体管22和24导通。因此,结点B和电容器25的一个端子通过薄膜晶体管21电连接到高电源电位线;即,结点B的电位和倒相器的输出信号 (OUT) 增加到高电平。正电荷积聚在电容器25的一个端子中。

[0087] 在图1C所示的倒相器所包含的多个薄膜晶体管的每个中,沟道形成区使用氧化物半导体来形成。氧化物半导体是具有降低的氢浓度的氧化物半导体。具体来说,氧化物半导体的氢浓度为 5×10^{19} (原子/ cm^3) 或更小,并且当不存在电场时,氧化物半导体用作绝缘体或者接近绝缘体的半导体(接近绝缘体的半导体实质上是绝缘体)。因此,具有使用氧化物半导体所形成的沟道形成区的薄膜晶体管的截止状态电流能够降低。因此,能够抑制通过薄膜晶体管的电荷的泄漏。

[0088] 例如,通过薄膜晶体管24的使用氧化物半导体所形成的沟道形成区,能够抑制在电容器25的一个端子处于浮动状态的期间中的电位的变化的电平。因此,能够防止倒相器的故障。此外,能够使结点 B处于浮动状态的期间较长。换言之,数据重写到电容器25 (又称作刷新) 的次数能够减小。

[0089] 此外,薄膜晶体管22的使用氧化物半导体所形成的沟道形成区能够降低在输入信号 (IN) 的电位处于高电平而脉冲信号 (PS) 的电位处于低电平的期间(即,期间T5) 中从高电源电位线流动到低电源电位线的直通电流。因此,倒相器的功率消耗能够降低。

[0090] 虽然耗尽型晶体管用于电连接到倒相器中的高电源电位线的薄膜晶体管,但是增强型晶体管能够用于薄膜晶体管。图2A是采用作为增强型晶体管的薄膜晶体管31来替代图1A所示的倒相器中包含的薄膜晶体管11的电路图。类似地,图2B是采用作为增强型晶体管的薄膜晶体管41来替代图1C所示的倒相器中包含的薄膜晶体管21的电路图。注意,薄膜晶体管31和41的每个的栅极端子和第一端子电连接到高电源电位线。

[0091] 虽然电容器包含在倒相器的每个中,但是能够在没有电容器的情况下操作每个倒相器。图2C示出从图2A所示的倒相器中去除电容器 15的电路图。类似地,图2D示出从图2B所示的倒相器中去除电容器25的电路图。

[0092] 本实施例能够适当地结合任意其它实施例的来实现。

[0093] (实施例2)

[0094] 在本实施例中,描述逻辑电路的示例。具体来说,参照图3A和图3B以及图4A和图4B来描述各包括实施例1中的倒相器的移位寄存器的示例。

[0095] 本实施例的移位寄存器包括：多个脉冲输出电路；用于提供第一时钟信号 (CK1) 的布线，电连接到多个脉冲输出电路的奇数脉冲输出电路 (下文中，这种布线又称作第一时钟信号线)；以及用于提供第二时钟信号 (CK2) 的布线，电连接到多个脉冲输出电路的偶数脉冲输出电路 (下文中，这种布线又称作第二时钟信号线)。此外，各脉冲输出电路的输入端子电连接到用于提供启动脉冲信号 (SP) 的布线 (下文中，这种布线又称作启动脉冲线) 或者前级的脉冲输出电路的输出端子。

[0096] 参照图3A来描述脉冲输出电路的电路配置的一个具体示例。注意，脉冲输出电路110、120和130如图3A所示。

[0097] 脉冲输出电路110包括薄膜晶体管101至104和电容器105。在这里，薄膜晶体管101是耗尽型晶体管，而薄膜晶体管102至104是增强型晶体管。

[0098] 薄膜晶体管101的第一端子电连接到高电源电位线。

[0099] 薄膜晶体管102的栅极端子电连接到启动脉冲线，并且薄膜晶体管102的第一端子电连接到薄膜晶体管101的栅极端子和第二端子。

[0100] 薄膜晶体管103的栅极端子电连接到时钟信号线，薄膜晶体管103 的第一端子电连接到薄膜晶体管102的第二端子，并且薄膜晶体管103 的第二端子电连接到低电源电位线。

[0101] 薄膜晶体管104的栅极端子电连接到第一时钟信号线，并且薄膜晶体管104的第一端子电连接到薄膜晶体管101的栅极端子和第二端子以及薄膜晶体管102的第一端子。

[0102] 电容器105的一个端子电连接到薄膜晶体管104的第二端子，并且电容器105的另一个端子电连接到低电源电位线。

[0103] 也就是说，图3A所示的脉冲输出电路110使用图1A所示的倒相器来形成。

[0104] 注意，“脉冲输出电路110的输入端子”指的是对其输入启动脉冲信号 (SP) 或者前级的脉冲输出电路的输出信号的端子，而“脉冲输出电路110的输出端子”指的是从其中向后级的脉冲输入端子输出信号的端子。也就是说，在这里，薄膜晶体管102的栅极端子电连接到脉冲输出电路的输入端子，并且薄膜晶体管104的第二端子以及电容器105的一个端子电连接到输出端子。在没有给出与输出端子和输入端子对应的组件的情况下，薄膜晶体管102的栅极端子能够称作脉冲输出电路的输入端子，并且薄膜晶体管104的第二端子以及电容器105 的一个端子能够称作脉冲输出电路的输出端子。

[0105] 脉冲输出电路120的具体电路配置与脉冲输出电路110相似；因此在这里参照该描述。注意，脉冲输出电路120与脉冲输出电路110 的不同之处在于，脉冲输出电路120的输入端子电连接到脉冲输出电路110的输出端子，并且将第二时钟信号 (CK2) 输入到与脉冲输出电路110中对其输入第一时钟信号 (CK1) 的端子对应的端子。

[0106] 脉冲输出电路120之后的脉冲输出电路的电路配置与脉冲输出电路110和120相似。因此，在这里参照该描述。此外，如上所述，奇数脉冲输出电路电连接到第一时钟信号线，而偶数脉冲输出电路电连接到第二时钟信号线。

[0107] 接下来参照图3B的时序图来描述图3A所示的电路的操作。注意，为了方便起见，图3A中的电路的特定结点由C至G来表示，并且参照各结点的电位的变化，以便描述图3B的时序图。

[0108] 在期间 t_1 ，启动脉冲信号 (SP) 的电位增加到高电平。因此，薄膜晶体管102导通。薄

膜晶体管101是其中栅极端子电连接到第二端子的耗尽型晶体管。也就是说,薄膜晶体管101在任何期间中保持在导通状态。换言之,薄膜晶体管101用作电阻器。

[0109] 在期间t2,启动脉冲信号(SP)的电位保持在高电平。因此,薄膜晶体管102保持在导通状态。

[0110] 在期间t3,第一时钟信号(CK1)的电位增加到高电平。因此,薄膜晶体管103和104导通。此外,启动脉冲信号(SP)的电位保持在高电平。因此,薄膜晶体管102保持在导通状态。因此,结点C和D电连接到低电源电位线;即,结点C和D的电位降低到低电平。

[0111] 在期间t4,第一时钟信号(CK1)的电位降低到低电平。因此,薄膜晶体管103和104截止。因此,结点C通过薄膜晶体管101电连接到高电源电位线,并且使结点D进入浮动状态。也就是说,结点C的电位增加到高电平,并且结点D的电位保持在低电平。

[0112] 在期间t5,启动脉冲信号(SP)的电位降低到低电平。因此,薄膜晶体管102截止。此外,第二时钟信号(CK2)的电位增加到高电平。因此,薄膜晶体管113和114导通。因此,结点F通过薄膜晶体管111电连接到高电源电位线;即,结点F的电位增加到高电平。因此,薄膜晶体管122导通。

[0113] 在期间t6,第二时钟信号(CK2)的电位降低到低电平。因此,薄膜晶体管113和114截止。因此,使结点F进入浮动状态;即,结点E和F的电位保持在高电平。

[0114] 在期间t7,第一时钟信号(CK1)的电位增加到高电平。因此,薄膜晶体管103、104、123和124导通。当薄膜晶体管104导通时,结点D通过薄膜晶体管101电连接到高电源电位线;即,结点D的电位增加到高电平。因此,薄膜晶体管112导通。结点F的电位保持在高电平;因此,薄膜晶体管122保持在导通状态。因此,结点G电连接到低电源电位线;即,结点G的电位降低到低电平。

[0115] 在期间t8,第一时钟信号(CK1)的电位降低到低电平。因此,薄膜晶体管103、104、123和124截止。当薄膜晶体管104截止时,结点C通过薄膜晶体管101电连接到高电源电位线,并且使结点D进入浮动状态。因此,结点C和D保持在高电平。当薄膜晶体管123截止时,结点G通过薄膜晶体管121电连接到高电源电位线;即,结点G的电位增加到高电平。

[0116] 在期间t9,第二时钟信号(CK2)的电位增加到高电平。因此,薄膜晶体管113和114导通。结点D的电位保持在高电平,使得薄膜晶体管112保持在导通状态。因此,结点E和F电连接到低电源电位线;即,结点E和F的电位降低到低电平。因此,薄膜晶体管122截止。此外,启动脉冲(SP)的电位再次增加到高电平。注意,在该期间之后的期间中伴随启动脉冲(SP)的电位的增加的操作与期间t1之后的期间中的操作是相同的。因此,在这里参照该描述。

[0117] 在期间t10,第二时钟信号(CK2)的电位降低到低电平。因此,薄膜晶体管113和114截止。因此,使结点F进入浮动状态;即,结点F的电位保持在低电平。此外,结点E通过薄膜晶体管111电连接到高电源电位线;即,结点E的电位增加到高电平。

[0118] 关于期间t10之后的期间中的操作,重复进行上述操作。因此,在这里参照该描述。

[0119] 注意,设置脉冲输出电路中包含的电容器(例如电容器105、115和125),以便保持各脉冲输出电路的输出信号。

[0120] 在本实施例的移位寄存器所包含的多个薄膜晶体管的每个中,沟道形成区使用氧化物半导体来形成。氧化物半导体是具有降低的氢浓度的氧化物半导体。具体来说,氧化物半导体的氢浓度为 5×10^{19} (原子/cm³)或更小,并且当不存在电场时,氧化物半导体用作绝

缘体或者接近绝缘体的半导体(接近绝缘体的半导体实质上是绝缘体)。因此,具有使用氧化物半导体所形成的沟道形成区的薄膜晶体管的截止状态电流能够降低。因此,能够抑制通过薄膜晶体管的电荷的泄漏。

[0121] 例如,通过薄膜晶体管104的使用氧化物半导体所形成的沟道形成区,能够抑制在结点D处于浮动状态的期间(例如期间 t_4 至 t_6)中的结点D的电位的变化的电平、例如期间 t_4 至 t_6 中的电位的增加。因此,能够防止移位寄存器的故障。此外,能够使结点D处于浮动状态的期间较长。换言之,数据重写到电容器105(又称作刷新)的次数能够减小。

[0122] 此外,薄膜晶体管103的使用氧化物半导体所形成的沟道形成区能够降低在启动脉冲(SP)的电位处于高电平而第一时钟信号(CK1)的电位处于低电平的期间(例如期间 t_1 、 t_2 和 t_4)中从高电源电位线流动到低电源电位线的直通电流。因此,移位寄存器的功率消耗能够降低。

[0123] 注意,本实施例的移位寄存器并不局限于图3A所示的移位寄存器。参照图4A和图4B来描述与图3A和图3B所示的移位寄存器不同的移位寄存器的示例。

[0124] 图4A所示的移位寄存器包括脉冲输出电路210、220和230。脉冲输出电路210包括薄膜晶体管201至204和电容器205。在这里,薄膜晶体管201是耗尽型晶体管,而薄膜晶体管202至204是增强型晶体管。

[0125] 薄膜晶体管201的第一端子电连接到高电源电位线。

[0126] 薄膜晶体管202的栅极端子电连接到第一时钟信号线,并且薄膜晶体管202的第一端子电连接到薄膜晶体管201的栅极端子和第二端子。

[0127] 薄膜晶体管203的栅极端子电连接到启动脉冲线,薄膜晶体管203的第一端子电连接到薄膜晶体管202的第二端子,并且薄膜晶体管203的第二端子电连接到低电源电位线。

[0128] 薄膜晶体管204的栅极端子电连接到第一时钟信号线,并且薄膜晶体管204的第一端子电连接到薄膜晶体管202的第二端子以及薄膜晶体管203的第一端子。

[0129] 电容器205的一个端子电连接到薄膜晶体管204的第二端子,并且电容器205的另一个端子电连接到低电源电位线。

[0130] 简言之,图4A所示的脉冲输出电路210是其中采用薄膜晶体管202来替代图3A所示的脉冲输出电路110所包含的薄膜晶体管103的电路。

[0131] 图4B是示出图4A中的电路的操作的时序图。注意,为了方便起见,图4A中的电路的特定结点由H至L来表示,并且参照各结点的电位的变化,以便描述参照图4B的时序图。

[0132] 在期间 t_{11} ,启动脉冲信号(SP)的电位增加到高电平。因此,薄膜晶体管203导通。因此,结点H电连接到低电源电位线;即,结点H的电位降低到低电平。

[0133] 在期间 t_{12} ,启动脉冲信号(SP)的电位保持在高电平。也就是说,结点H的电位保持在低电平。

[0134] 在期间 t_{13} ,第一时钟信号(CK1)的电位增加到高电平。因此,薄膜晶体管202和204导通。此外,启动脉冲信号(SP)的电位保持在高电平,使得薄膜晶体管203保持在导通状态。因此,结点I电连接到低电源电位线;即,结点I的电位降低到低电平。

[0135] 在期间 t_{14} ,第一时钟信号(CK1)的电位降低到低电平。因此,薄膜晶体管202和204截止。因此,使结点I进入浮动状态,使得结点I的电位保持在低电平。

[0136] 在期间t15,启动脉冲信号(SP)的电位降低到低电平。因此,薄膜晶体管203截止。因此,使结点H进入浮动状态,使得结点H的电位保持在低电平。此外,第二时钟信号(CK2)的电位增加到高电平。因此,薄膜晶体管212和214导通。因此,结点J和K通过薄膜晶体管211电连接到高电源电位线;即,结点J和K的电位增加到高电平。因此,薄膜晶体管223导通。因此,结点L电连接到低电源电位线;即,结点L的电位降低到低电平。

[0137] 在期间t16,第二时钟信号(CK2)的电位降低到低电平。因此,薄膜晶体管212和214截止,使得使结点J和K进入浮动状态。因此,结点J和K的电位保持在高电平,而结点L的电位保持在低电平。

[0138] 在期间t17,第一时钟信号(CK1)的电位增加到高电平。因此,薄膜晶体管202、204、222和224导通。当薄膜晶体管202和204导通时,结点H和I通过薄膜晶体管201电连接到高电源电位线;即,结点H和I的电位增加到高电平。因此,薄膜晶体管213导通。因此,结点J电连接到低电源电位线;即,结点J的电位降低到低电平。

[0139] 在期间t18,第一时钟信号(CK1)的电位降低到低电平。因此,薄膜晶体管202、204、222和224截止。当薄膜晶体管202和204截止时,使结点H和I进入浮动状态。因此,结点H和I的电位保持在高电平。

[0140] 在期间t19,第二时钟信号(CK2)的电位增加到高电平。因此,薄膜晶体管212和214导通。此外,结点I的电位保持在高电平,使得薄膜晶体管213保持在导通状态。因此,结点J和K电连接到低电源电位线;即,结点J的电位保持在低电平,并且结点K的电位降低到低电平。因此,薄膜晶体管223截止。因此,结点L电连接到低电源电位线;即,结点L的电位保持在低电平。此外,启动脉冲(SP)的电位再次增加到高电平。注意,在该期间之后的期间中伴随启动脉冲(SP)的电位的增加的操作与期间t11之后的期间中的操作是相同的。因此,在这里参照该描述。

[0141] 在期间t20,第二时钟信号(CK2)的电位降低到低电平。因此,薄膜晶体管212和214截止。因此,使结点J和K进入浮动状态。因此,结点J和K的电位保持在低电平。

[0142] 关于期间t20之后的期间中的操作,重复进行上述操作。因此,在这里参照该描述。

[0143] 注意,设置脉冲输出电路中包含的电容器(例如电容器205、215 和225),以便保持各脉冲输出电路的输出信号。

[0144] 在图4A所示的移位寄存器所包含的多个薄膜晶体管的每个中,沟道形成区使用氧化物半导体来形成。氧化物半导体是具有降低的氢浓度的氧化物半导体。具体来说,氧化物半导体的氢浓度为 5×10^{19} (原子/cm³) 或更小,并且当不存在电场时,氧化物半导体用作绝缘体或者接近绝缘体的半导体(接近绝缘体的半导体实质上是绝缘体)。因此,具有使用氧化物半导体所形成的沟道形成区的薄膜晶体管的截止状态电流能够降低。因此,能够抑制通过薄膜晶体管的电荷的泄漏。

[0145] 例如,通过薄膜晶体管204的使用氧化物半导体所形成的沟道形成区,能够抑制在结点I处于浮动状态的期间(例如期间t11、t12、t14至t16和t18至t20)中的电位的变化的电平、例如期间t11、t12、t19、t20等等中的电位的降低。因此,能够防止移位寄存器的故障。此外,能够使结点I处于浮动状态的期间较长。换言之,数据重写到电容器205(又称作刷新)的次数能够减小。

[0146] 此外,薄膜晶体管202的使用氧化物半导体所形成的沟道形成区能够降低在启动

脉冲(SP)的电位处于高电平而第一时钟信号(CK1)的电位处于低电平的期间(例如期间t11、t12、t14至t16和t18至t20)中从高电源电位线流动到低电源电位线的直通电流。因此,移位寄存器的功率消耗能够降低。

[0147] 虽然耗尽型晶体管用于电连接到上述移位寄存器中的高电源电位线的薄膜晶体管,但是增强型晶体管备选地能够用于薄膜晶体管。也就是说,图2A和图2B所示的倒相器能够用于本实施例的脉冲输出电路。

[0148] 虽然电容器包含在移位寄存器的脉冲输出电路的每个中,但是能够在没有电容器的情况下操作每个移位寄存器。也就是说,图2C和图2D所示的倒相器能够用于本实施例的脉冲输出电路。

[0149] 本实施例能够适当地结合任意其它实施例来实现。

[0150] (实施例3)

[0151] 在本实施例中,描述实施例1或实施例2的逻辑电路中包含的薄膜晶体管的示例。

[0152] 参照图5A和图5B以及图6A至图6E来描述薄膜晶体管的一个实施例以及本实施例的薄膜晶体管的制造方法。

[0153] 图5A和图5B示出薄膜晶体管的平面结构和截面结构的示例。图5A和图5B所示的薄膜晶体管410是顶栅薄膜晶体管之一。

[0154] 图5A是具有顶栅结构的薄膜晶体管410的平面图,以及图5B是沿图5A中的线C1-C2所截取的截面图。

[0155] 薄膜晶体管410在具有绝缘表面的衬底400之上包括绝缘层407、氧化物半导体层412、源或漏电极层415a、源或漏电极层415b、栅极绝缘层402和栅电极层411。布线层414a和布线层414b设置成使得分别接触并且电连接到源或漏电极层415a和源或漏电极层415b。

[0156] 虽然使用作为薄膜晶体管410的单栅薄膜晶体管来给出描述,但是可根据需要形成包括多个沟道形成区的多栅薄膜晶体管。

[0157] 下面参照图6A至图6E来描述在衬底400之上制造薄膜晶体管410的过程。

[0158] 对于能够用作具有绝缘表面的衬底400的衬底没有具体限制,只要它至少具有耐受以后执行的热处理的耐热性。可使用采用钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等等所形成的玻璃衬底。

[0159] 当以后执行的热处理的温度较高时,应变点为730℃或更高的衬底优选地用作玻璃衬底。作为玻璃衬底的材料,例如使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃之类的玻璃材料。注意,通过包含氧化钡(BaO)和氧化硼(B₂O₃)以使得BaO的量比B₂O₃要大,玻璃衬底是耐热的并且具有更大实际用途。因此,优选地使用包含使得BaO的量比B₂O₃要大的BaO和B₂O₃的玻璃衬底。

[0160] 注意,代替上述玻璃衬底,使用诸如陶瓷衬底、石英衬底或蓝宝石衬底之类的绝缘体所形成的衬底可用作衬底。备选地,可使用晶化玻璃等。又备选地,可适当地使用塑料衬底等。

[0161] 首先,用作基底膜的绝缘层407在具有绝缘表面的衬底400之上形成。作为与氧化物半导体层相接触的绝缘层407,优选地使用诸如氧化硅层、氧氮化硅层、氧化铝层或者氧氮化铝层之类的氧化物绝缘层。虽然等离子体方法、溅射方法等能够用作用于形成绝缘层407的方法,但是优选地采用溅射方法来形成绝缘层407,使得氢尽可能少地包含在绝缘层

407中。

[0162] 在本实施例中,采用溅射方法来形成作为绝缘层407的氧化硅层。将衬底400传递到处理室,以及引入从其中去除氢和水分并且包含高纯度氧的溅射气体,由此借助于硅半导体靶在衬底400之上形成作为绝缘层407的氧化硅层。衬底400可处于室温或者可被加热。

[0163] 例如,在下列条件下采用RF溅射方法来形成氧化硅层:石英(优选地为合成石英)用作靶;衬底温度为108℃;衬底与靶之间的距离(T-S距离)为60mm;压力为0.4Pa;高频电源的电力为1.5kW;以及气氛为包含氧和氩的气氛(氧与氩的流量比(flow ratio)为1:1(各流率(flow rate)为25sccm))。氧化硅层的厚度为100nm。注意,代替石英(优选地为合成石英),硅靶能够用作在形成氧化硅层时使用的靶。作为溅射气体,使用氧或者氧和氩的混合气体。

[0164] 在这种情况下,优选地在去除处理室中剩余的水分的同时来形成绝缘层407。这用于防止氢、羟基和水分包含在绝缘层407中。

[0165] 为了去除处理室中剩余的水分,优选地使用气体截留式真空泵(entrapment vacuum pump)。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元(evacuation unit)可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、包含氢原子的化合物、如水(H₂O)等,由此能够降低沉积室中形成的绝缘层407的杂质浓度。

[0166] 优选的是使用从其中将诸如氢、水、羟基或氢化物之类的杂质去除到通过ppm或ppb等级所表示的浓度的高纯度气体,作为在形成绝缘层407时使用的溅射气体。

[0167] 溅射方法的示例包括:RF溅射方法,其中高频电源用作溅射电源;DC溅射方法,其中使用DC电源;以及脉冲DC溅射方法,其中以脉冲方式来施加偏压。RF溅射方法主要用于形成绝缘膜的情况,而DC溅射方法主要用于形成金属膜的情况。

[0168] 另外,还存在多源溅射设备,其中能够设置不同材料的多个靶。通过多源溅射设备,不同材料的膜可在同一个室中形成为层叠的,或者多种材料可在同一个室中同时排放供膜形成。

[0169] 另外,存在一种配备有室内部的磁体系统的溅射设备,磁体系统用于磁控管溅射方法,并且存在一种用于ECR溅射方法的溅射设备,其中使用通过采用微波所产生的等离子体,而无需使用辉光放电。

[0170] 此外,作为使用溅射方法的沉积方法,还存在反应溅射方法,其中靶物质和溅射气体成分在沉积期间相互起化学反应,以便形成其化合物薄膜,并且存在偏压溅射方法,其中电压在沉积期间还施加到衬底。

[0171] 此外,绝缘层407可具有分层结构,其中,例如,诸如氮化硅层、氮氧化硅层、氮化铝层或者氮氧化铝层之类的氮化物绝缘层和氧化物绝缘层按照这个顺序从衬底400侧来层叠。

[0172] 例如,引入从其中去除氢和水分并且其包含高纯度氮的溅射气体以及使用硅靶,由此在氧化硅层与衬底之间形成氮化硅层。在这种情况下,优选地形成氮化硅层,同时去除处理室中剩余的水分,与氧化硅层相似。

[0173] 在形成氮化硅层的情况下,可在膜形成中加热衬底。

[0174] 在氮化硅层和氧化硅层的叠层设置为绝缘层407的情况下,能够借助于公共硅靶在相同处理室中形成氮化硅层和氧化硅层。在首先引入包含氮的溅射气体之后,使用在处

理室中安装的硅靶来形成氮化硅层,然后将溅射气体切换到包含氧的溅射气体,并且使用相同的硅靶来形成氧化硅层。由于氮化硅层和氧化硅层能够相继形成而无需暴露于空气,所以能够防止诸如氢和水分之类的杂质吸附到氮化硅层的表面。

[0175] 然后,氧化物半导体膜在栅极绝缘层407之上形成为2nm至200 nm(包括两端)的厚度。

[0176] 此外,为了在氧化物半导体层中尽可能少地包含氢、羟基和水分,优选的是,在溅射设备的预热室中预热其上形成绝缘层407的衬底400 作为膜形成的预处理,使得消除和排出吸附到衬底400的诸如氢和水分之类的杂质。注意,低温泵作为设置在预热室中的排气单元是优选的。注意,可省略这种预热处理。此外,可类似地对于其上尚未形成栅极绝缘层402的衬底400以及其上形成了直到源或漏电极层415a 和源或漏电极层415b的层的衬底400来执行这种预热。

[0177] 注意,在采用溅射方法来形成氧化物半导体层之前,附于绝缘层 407的表面的灰尘优选地采用其中引入氩气体并且生成等离子体的逆溅射(reverse sputtering)去除。逆溅射指的是一种方法,其中,在没有将电压施加到靶侧的情况下,高频电源用于在氩气氛中将电压施加到衬底侧,使得生成等离子体,以便使衬底的表面改性。注意,代替氩气氛,可使用氮气氛、氦气氛、氧气氛等。

[0178] 氧化物半导体层采用溅射方法来形成。使用In-Ga-Zn-O基氧化物半导体层、In-Sn-Zn-O基氧化物半导体层、In-Al-Zn-O基氧化物半导体层、Sn-Ga-Zn-O基氧化物半导体层、Al-Ga-Zn-O基氧化物半导体层、Sn-Al-Zn-O基氧化物半导体层、In-Zn-O基氧化物半导体层、Sn-Zn-O基氧化物半导体层、Al-Zn-O基氧化物半导体层、In-O基氧化物半导体层、Sn-O基氧化物半导体层或者Zn-O基氧化物半导体层来形成氧化物半导体层。在本实施例中,采用溅射方法、借助于 In-Ga-Zn-O基金属氧化物靶来形成氧化物半导体层。此外,能够采用溅射方法在稀有气体(通常为氩)气氛、氧气氛或者包含稀有气体(通常为氩)和氧的混合气氛中形成氧化物半导体层。在采用溅射方法的情况下,包含2wt%至10wt%(包括两端)的SiO₂的靶可用于膜形成。

[0179] 优选的是使用从其中将诸如氢、水、羟基或氢化物之类的杂质去除到通过ppm或ppb等级所表示的浓度的高纯度气体,作为在形成氧化物半导体层时使用的溅射气体。

[0180] 作为用于采用溅射方法来形成氧化物半导体层的靶,能够使用包含氧化锌作为其主要成分的金属氧化物靶。作为金属氧化物靶的另一个示例,能够使用包含In、Ga和Zn的金属氧化物靶(按照组成比In₂O₃:Ga₂O₃:ZnO=1:1:1[mol]、In:Ga:Zn=1:1:0.5[原子])。备选地,可使用包含In、Ga和Zn的金属氧化物靶(组成比为In:Ga:Zn=1:1:1或 1:1:2[原子])。除了间隔(space)等等所占用的面积之外的一部分的体积相对于所形成的金属氧化物靶的总体积的比例(又称作金属氧化物靶的填充率)为90%至100%(包括两端)、优选地为95%至99.9%(包括两端)。借助于具有高填充率的金属氧化物靶,形成密集氧化物半导体层。

[0181] 将衬底保持在控制为降低的压力的处理室中,将从其中去除了氢和水分的溅射气体引入从其中去除了剩余水分的处理室中,并且借助于作为靶的金属氧化物在衬底400之上形成氧化物半导体层。为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、诸如水(H₂O)之类的包含氢原子的化合物(更优

选地,还有包含碳原子的化合物)等等,由此能够降低沉积室中形成的氧化物半导体层的杂质浓度。当形成氧化物半导体层时,可对衬底加热。

[0182] 沉积条件的一个示例如下所述:衬底温度为室温,衬底与靶之间的距离为60mm,压力为0.4Pa,DC电源的电力为0.5kW,以及气氛为包含氧和氩的气氛(氧与氩的流量比为15sccm:30sccm)。优选的是使用脉冲DC电源,因为能够降低膜形成中生成的粉状物质(又称作颗粒或灰尘),并且膜厚度能够是均匀的。氧化物半导体层的厚度优选地为5nm至30nm(包括两端)。注意,适当的厚度取决于所使用的氧化物半导体材料,并且厚度可按照材料来选择。

[0183] 然后,在第一光刻过程中,将氧化物半导体层处理成岛状氧化物半导体层412(参见图6A)。用于形成岛状氧化物半导体层412的抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0184] 注意,氧化物半导体层的蚀刻可以是干式蚀刻、湿式蚀刻或者干式蚀刻和湿式蚀刻两者。

[0185] 作为用于干式蚀刻的蚀刻气体,优选地使用包含氯的气体(氯基气体,例如氯(Cl_2)、氯化硼(BCl_3)、氯化硅(SiCl_4)或四氯化碳(CCl_4))。

[0186] 备选地,能够使用包含氟的气体(氟基气体,例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)或者三氟甲烷(CHF_3));溴化氢(HBr);氧(O_2);对其添加了诸如氦(He)或氩(Ar)之类的稀有气体的任意这些气体;等等。

[0187] 作为干式蚀刻方法,能够使用平行板RIE(反应离子蚀刻)方法或ICP(电感耦合等离子体)蚀刻方法。为了将膜蚀刻成预期形状,蚀刻条件(施加到线图形状电极的电量、施加到衬底侧的电极的电量和衬底侧的电极的温度等)经过适当调整。

[0188] 作为用于湿式蚀刻的蚀刻剂,能够使用磷酸、醋酸和硝酸等的混合溶液。备选地,可使用ITO07N(由KANTO CHEMICAL CO.,INC. 生产)。

[0189] 湿式蚀刻中使用的蚀刻剂通过清洗连同蚀刻掉的材料一起去除。包含蚀刻剂和蚀刻掉的材料废液的废液可经过净化,并且材料可再使用。当例如氧化物半导体层中包含的铜等材料在蚀刻之后从废液中收集并且再使用时,可有效地使用资源,并且可降低成本。

[0190] 蚀刻条件(例如蚀刻剂、蚀刻时间和温度)根据材料来适当调整,使得氧化物半导体层能够蚀刻成具有预期形状。

[0191] 在本实施例中,采用湿式蚀刻方法、以磷酸、醋酸和硝酸的混合溶液作为蚀刻剂来将氧化物半导体层处理成岛状氧化物半导体层 412。

[0192] 在本实施例中,氧化物半导体层412经过第一热处理。第一热处理的温度高于或等于400℃且低于或等于750℃,优选地高于或等于 400℃且低于衬底的应变点。在这里,将衬底引入作为热处理设备之一的电炉中,在氮气氛中以450℃对氧化物半导体层执行热处理1小时,氧化物半导体层则没有暴露于空气,使得防止水和氢进入氧化物半导体层;从而得到氧化物半导体层。通过第一热处理,能够进行氧化物半导体层412的脱水或脱氢。

[0193] 用于热处理的设备并不局限于电炉,而可以是配备有用于使用来自诸如电阻加热元件之类的加热元件的热传导或热辐射来加热待处理的对象的设备。例如,能够使用诸如GRTA(气体快速热退火)设备或LRTA(灯快速热退火)设备之类的RTA(快速热退火)设备。LRTA设备是用于通过从诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压水银

灯之类的灯泡所发射的光(电磁波)的辐射来加热待处理对象的设备。GRTA设备是用于使用高温气体的热处理的设备。作为气体,使用几乎不会因热处理而与待处理对象发生反应的诸如氮之类的惰性气体或者诸如氩之类的稀有气体。

[0194] 例如,作为第一热处理,GRTA可按照如下所述来执行。将衬底传递并放入已经加热到650℃至700℃的高温的惰性气体中,加热数分钟,从已经加热到高温的惰性气体中传递和取出。GRTA实现在短时间的高温热处理。

[0195] 注意,在第一热处理中,优选的是,水、氢等没有包含在氮或者诸如氮、氖或氩之类的稀有气体中。备选地,优选的是,引入用于热处理的设备中的氮或者诸如氮、氖或氩之类的稀有气体具有6N (99.9999%)或更高、或者更优选地为7N (99.99999%)或更高的纯度(也就是说,杂质浓度设置为1ppm或更低,优选地为0.1ppm或更低)。

[0196] 此外,氧化物半导体层可根据第一热处理的条件或者氧化物半导体层412的材料来晶化为微晶膜或多晶膜。例如,氧化物半导体层可晶化以成为具有90%或以上或者80%或以上的晶化度的微晶氧化物半导体层。此外,取决于第一热处理的条件以及氧化物半导体层412的材料,氧化物半导体层可成为没有包含结晶成分的非晶氧化物半导体层。氧化物半导体层可成为其中微晶部分(粒径大于或等于1 μm 且小于或等于20nm,通常大于或等于2nm且小于或等于4nm)混合到非晶氧化物半导体层中的氧化物半导体层。

[0197] 备选地,可对尚未被处理成岛状氧化物半导体层412的氧化物半导体层来执行第一热处理。在这种情况下,在第一热处理之后,从加热设备中取出衬底,并且执行光刻过程。

[0198] 对氧化物半导体层具有脱水或脱氢的作用的热处理可在下列时机的任一个执行:在形成氧化物半导体层之后;在氧化物半导体层412之上形成源电极层和漏电极层之后;以及在源电极层和漏电极层之上形成栅极绝缘层之后。

[0199] 随后,在绝缘层407和氧化物半导体层412之上形成导电层。导电层可采用例如溅射方法或真空蒸镀方法来形成。作为导电层的材料,存在从Al、Cr、Cu、Ta、Ti、Mo或W中选取的元素,包含任意上述元素的合金,等等。此外,可使用从锰、镁、锆、铍和钽中选取的一种或多种材料。导电层可具有单层结构或者两层或更多层的分层结构。例如,能够给出包含硅的铝层的单层结构、其中钛层层叠在铝层之上的二层结构、其中Ti层、铝层和Ti层按照所示顺序来层叠的三层结构等等。备选地,可使用从下列元素中选取的一种或多种元素的组合的层、合金层或者氮化物层:钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)。

[0200] 执行第二光刻过程。抗蚀剂掩模在导电膜之上形成,并且执行选择性蚀刻,使得形成源或漏电极层415a和源或漏电极层415b。然后,去除抗蚀剂掩模(参见图6B)。注意,源电极层和漏电极层优选地具有渐窄的形状(tapered shape),因为能够改进其上层叠的栅极绝缘层的覆盖率。

[0201] 在本实施例中,钛层采用溅射方法形成成为150nm的厚度,用于源或漏电极层415a和源或漏电极层415b。

[0202] 注意,材料和蚀刻条件适当地调整成使得在蚀刻导电层时,没有去除氧化物半导体层412并且没有暴露氧化物半导体层412下面的绝缘层407。

[0203] 在本实施例中,Ti层用作导电膜,In-Ga-Zn-O基氧化物半导体用作氧化物半导体层412,以及氨过氧化氢溶液(氨、水和过氧化氢溶液的混合物)用作蚀刻剂。

[0204] 注意,在第二光刻过程中,仅蚀刻氧化物半导体层412的一部分,由此可形成具有

凹槽(凹陷部分)的氧化物半导体层。用于形成源或漏电极层415a和源或漏电极层415b的抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0205] 紫外线、KrF激光束或者ArF激光束用于在第二光刻过程中形成抗蚀剂掩模的曝光。以后将要形成的薄膜晶体管的沟道长度L取决于氧化物半导体层412之上彼此相邻的源电极层的底部与漏电极层的底部之间的间隔宽度。注意,在沟道长度L小于25nm的情况下执行曝光时,具有数纳米至数十纳米的极短波长的远紫外线用于在第二光刻过程中形成抗蚀剂掩模的曝光。采用远紫外线的曝光产生高分辨率和大焦点深度(focal depth)。相应地,以后将要形成的薄膜晶体管的沟道长度L能够设置为10nm至1000nm(包括两端)。因此,电路的操作速度能够增加,并且此外截止状态电流能够明显较小,使得能够实现低功率消耗。

[0206] 随后,栅极绝缘层402在绝缘层407、氧化物半导体层412、源或漏电极层415a和源或漏电极层415b之上形成(参见图6C)。

[0207] 能够采用等离子体CVD方法、溅射方法等,能够形成具有使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层和氧化铝层的单层结构或分层结构的栅极绝缘层402。注意,栅极绝缘层402优选地采用溅射方法来形成,使得栅极绝缘层402包含尽可能少的氢。在氧化硅层采用溅射方法来形成的情况下,硅靶或石英靶用作靶,并且氧或者氧和氩的混合气体用作溅射气体。

[0208] 栅极绝缘层402可具有一种结构,其中从源或漏电极层415a和源或漏电极层415b侧层叠氧化硅层和氮化硅层。例如,形成作为第一栅极绝缘层的厚度为5nm至300nm(包括两端)的氧化硅层(SiO_x ($x>0$)),并且在第一栅极绝缘层之上层叠作为第二栅极绝缘层的厚度为50nm至200nm(包括两端)的氮化硅层(SiN_y ($y>0$));因此,可形成厚度为100nm的栅极绝缘层。在本实施例中,氧化硅层采用RF溅射方法在如下条件下形成为100nm的厚度:压力为0.4 Pa;高频电源的电力为1.5kW;以及气氛为包含氧和氩的气氛(氧与氩的流量比为1:1(各流率为25sccm))。

[0209] 然后,执行第三光刻过程。形成抗蚀剂掩模,并且执行选择性蚀刻以去除栅极绝缘层402的部分,使得形成分别到达源或漏电极层415a和源或漏电极层415b的开口421a和421b(参见图6D)。

[0210] 然后,在栅极绝缘层402之上并且在开口421a和421b之上形成导电层之后,在第四光刻过程中形成栅电极层411以及布线层414a和414b。注意,抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0211] 此外,能够形成具有使用诸如钼、钛、铬、钽、钨、铝、铜、钕和钐之类的金属材料的任一种以及包含任意这些材料作为主要成分的合金材料的单层结构或分层结构的栅电极层411以及布线层414a和414b。

[0212] 作为栅电极层411以及布线层414a和414b的每个的二层结构,例如,钼层层叠在铝层之上的二层结构、钼层层叠在铜层之上的二层结构、氮化钛层或氮化钽层层叠在铜层之上的二层结构或者层叠氮化钛层和钼层的二层结构是优选的。作为三层结构,钨层或氮化钨层、铝和硅的合金或者铝和钛的合金层以及氮化钛层或钛层的叠层是优选的。注意,栅电极层可使用透光导电层来形成。透光导电氧化物能够作为透光导电层的一个示例给出。

[0213] 在本实施例中,钛层采用溅射方法形成为150nm的厚度,用于栅电极层411以及布

线层414a和414b。

[0214] 随后,在惰性气体气氛或者氧气体气氛中执行第二热处理(优选地以200℃至400℃(包括两端)、例如从250℃至350℃(包括两端))。在本实施例中,第二热处理在氮气气氛中以250℃执行1小时。可在薄膜晶体管410之上形成保护层或者平面化绝缘层之后执行第二热处理。

[0215] 此外,可在空气中以100℃至200℃(包括两端)执行热处理1小时至30小时(包括两端)。这个热处理可在固定加热温度下执行。备选地,加热温度的下述变化可重复进行多次:加热温度从室温增加到100℃至200℃(包括两端)的温度,并且然后降低到室温。此外,这个热处理可在降低的压力下执行。在降低的压力下,加热时间能够缩短。

[0216] 通过上述步骤,能够形成包括其中降低氢、水分、羟基或氢化物的浓度的氧化物半导体层412的薄膜晶体管410(参见图6E)。薄膜晶体管410能够用作实施例1或实施例2中的逻辑电路所包含的薄膜晶体管。

[0217] 保护绝缘层或者用于平面化的平面化绝缘层可设置在薄膜晶体管410之上。例如,可形成具有使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层和氧化铝层的任意的单层或分层结构的保护绝缘层。

[0218] 虽然未示出,但是能够使用诸如聚酰亚胺、丙烯酸树脂、苯并环丁烯树脂、聚酰胺或者环氧树脂之类的耐热有机材料来形成平面化绝缘层。除了这类有机材料,还有可能使用低介电常数材料(低k材料)、硅氧烷基树脂、PSG(磷硅酸玻璃)、BPSG(硼磷硅玻璃)等。注意,可通过层叠使用任意这些材料所形成的多个绝缘层,来形成平面化绝缘层。

[0219] 注意,硅氧烷基树脂对应于包括使用硅氧烷基材料作为起始材料所形成的Si-O-Si结合的树脂。硅氧烷基树脂可包括有机基团(例如烷基或芳基)或者氟基团作为取代基。此外,有机基团可包括氟基团。

[0220] 对于形成平面化绝缘层的方法没有具体限制,并且取决于材料,能够采用下列方法或方式:诸如溅射方法、SOG方法、旋涂方法、浸涂方法、喷涂方法或微滴排放方法(例如喷墨方法、丝网印刷或胶印)之类的方法或者诸如刮刀、辊涂机、幕涂机或刮刀式涂布机之类的工具。

[0221] 在形成氧化物半导体层时如上所述去除反应气氛中剩余的水分,由此能够降低氧化物半导体层中的氢和氢化物的浓度。相应地,氧化物半导体层能够是稳定的。

[0222] 包括上述薄膜晶体管的实施例1和2中的逻辑电路能够具有稳定电特性和高可靠性。

[0223] 本实施例能够适当地结合其它实施例来实现。

[0224] (实施例4)

[0225] 在本实施例中,描述实施例1或实施例2的逻辑电路所包含的薄膜晶体管的另一个示例。可如同实施例3中那样来处理与实施例3中相同的部分、具有与实施例3中的部分相似的功能的部分以及与实施例3中相似的步骤,并且省略重复描述。另外,还省略相同部分的详细描述。

[0226] 参照图7A和图7B以及图8A至图8E来描述薄膜晶体管的一个实施例以及本实施例的薄膜晶体管的制造方法。

[0227] 图7A和图7B示出薄膜晶体管的平面结构和截面结构的示例。图7A和图7B所示的

薄膜晶体管460是顶栅薄膜晶体管之一。

[0228] 图7A是具有顶栅结构的薄膜晶体管460的平面图,以及图7B 是沿图7A中的线D1-D2所截取的截面图。

[0229] 薄膜晶体管460在具有绝缘表面的衬底450之上包括绝缘层457、源或漏电极层465a (465a1和465a2)、氧化物半导体层462、源或漏电极层465b、布线层468、栅极绝缘层452和栅电极层461 (461a和 461b)。源或漏电极层465a (465a1和465a2) 通过布线层468电连接到布线层464。虽然未示出,但是源或漏电极层465b通过栅极绝缘层452中形成的开口电连接到布线层。

[0230] 下面参照图8A至图8E来描述在衬底450之上制造薄膜晶体管 460的过程。

[0231] 首先,用作基底膜的绝缘层457在具有绝缘表面的衬底450之上形成。

[0232] 在本实施例中,采用溅射方法来形成作为绝缘层457的氧化硅层。将衬底450传递到处理室,以及引入从其中去除氢和水分并且其包含高纯度氧的溅射气体,由此借助于硅靶或石英(优选地为合成石英) 在衬底450之上形成作为绝缘层457的氧化硅层。作为溅射气体,使用氧或者氧和氩的混合气体。

[0233] 例如,在下列条件下采用RF溅射方法来形成氧化硅层:溅射气体的纯度为6N;使用石英(优选地为合成石英);衬底温度为108℃;衬底与靶之间的距离(T-S距离)为60mm;压力为0.4Pa;高频电源的电力为1.5kW;以及气氛为包含氧和氩的气氛(氧与氩的流量比为1:1(各流率为25sccm))。氧化硅层的厚度为100nm。注意,代替石英(优选地为合成石英),硅靶能够用作在形成氧化硅层时使用的靶。

[0234] 在这种情况下,优选地在去除处理室中剩余的水分的同时来形成绝缘层457。这用于防止氢、羟基和水分包含在绝缘层457中。在采用低温泵排气的沉积室中,排出氢原子、包含氢原子的化合物、如水(H₂O)等,由此能够降低沉积室中形成的绝缘层457的杂质浓度。

[0235] 优选的是使用从其中将诸如氢、水、羟基或氢化物之类的杂质去除到通过ppm或ppb等级所表示的浓度的高纯度气体,作为在形成绝缘层457时使用的溅射气体。

[0236] 此外,绝缘层457可具有分层结构,其中,例如,诸如氮化硅层、氮氧化硅层、氮化铝层或者氮氧化铝层之类的氮化物绝缘层和氧化物绝缘层按照这个顺序从衬底450侧来层叠。

[0237] 例如,引入从其中去除氢和水分并且其包含高纯度氮的溅射气体以及使用硅靶,由此在氧化硅层与衬底之间形成氮化硅层。在这种情况下,优选地形成氮化硅层,同时去除处理室中的剩余水分,与氧化硅层相似。

[0238] 随后,导电层在绝缘层457之上形成,并且执行第一光刻过程。抗蚀剂掩模在导电层之上形成,并且执行选择性蚀刻,使得形成源或漏电极层465a1和465a2。然后,去除抗蚀剂掩模(参见图8A)。在截面中看起来源或漏电极层465a1和465a2被分隔;但是,源或漏电极层465a1和465a2是连续的层。注意,源电极层和漏电极层优选地具有渐窄的形状,因为能够改进其上层叠的栅极绝缘层的覆盖率。

[0239] 作为源或漏电极层465a1和465a2的材料,存在从Al、Cr、Cu、Ta、Ti、Mo或W中选取的元素,包含任意上述元素的合金,等等。此外,可使用从锰、镁、锆、铍和钽中选取的一种或多种材料。导电层可具有单层结构或者两层或更多层的分层结构。例如,能够给出包含硅的铝层的单层结构、其中钛层层叠在铝层之上的二层结构、其中 Ti层、铝层和Ti层按照所示

顺序来层叠的三层结构等等。备选地,可使用从下列元素中选取的一种或多种元素的组合的层、合金层或者氮化物层:钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)。

[0240] 在本实施例中,钛层采用溅射方法形成成为150nm的厚度,用于源或漏电极层465a1和465a2。

[0241] 然后,氧化物半导体层在栅极绝缘层457以及源或漏电极层465a1 和465a2之上形成成为2nm至200nm(包括两端)的厚度。

[0242] 然后,形成氧化物半导体层,并且在第二光刻过程中,将氧化物半导体层处理成岛状氧化物半导体层462(参见图8B)。在本实施例中,采用溅射方法、借助于In-Ga-Zn-O基金属氧化物靶来形成氧化物半导体层。

[0243] 将衬底保持在控制为降低的压力的处理室中,将从其中去除了氢和水分的溅射气体引入从其中去除了剩余水分的处理室中,并且借助于作为靶的金属氧化物在衬底450之上沉积氧化物半导体层。为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、诸如水(H₂O)之类的包含氢原子的化合物(更优选地,还有包含碳原子的化合物)等等,由此能够降低沉积室中形成的氧化物半导体层的杂质浓度。当形成氧化物半导体层时,可对衬底加热。

[0244] 优选的是使用从其中将诸如氢、水、羟基或氢化物之类的杂质去除到通过ppm或ppb等级所表示的浓度的高纯度气体,作为在形成氧化物半导体层时使用的溅射气体。

[0245] 沉积条件的一个示例如下所述:衬底温度为室温,衬底与靶之间的距离为60mm,压力为0.4Pa,DC电源的电力为0.5kW,以及气氛为包含氧和氩的气氛(氧与氩的流量比为15sccm:30sccm)。优选的是使用脉冲DC电源,因为能够降低膜形成中生成的粉状物质(又称作颗粒或灰尘),并且膜厚度能够是均匀的。氧化物半导体层的厚度优选地为5nm至30nm(包括两端)。注意,适当的厚度取决于所使用的氧化物半导体材料,并且厚度可按照材料来选择。

[0246] 在本实施例中,采用湿式蚀刻方法、以磷酸、醋酸和硝酸的混合溶液作为蚀刻剂来将氧化物半导体层处理成岛状氧化物半导体层 462。

[0247] 随后,氧化物半导体层462经过第一热处理。用于热处理的第一热处理的温度高于或等于400℃且低于或等于750℃,优选地高于或等于400℃且低于衬底的应变点。在这里,将衬底引入作为热处理设备之一的电炉中,在氮气氛中以450℃对氧化物半导体层执行热处理 1小时,氧化物半导体层则没有暴露于空气,使得防止水和氢进入氧化物半导体层;从而得到氧化物半导体层。通过第一热处理,能够进行氧化物半导体层462的脱水或脱氢。

[0248] 用于热处理的设备并不局限于电炉,而可以是配备有用于使用来自诸如电阻加热元件之类的加热元件的热传导或热辐射来加热待处理的对象的设备。例如,能够使用诸如GRTA(气体快速热退火)设备或LRTA(灯快速热退火)设备之类的RTA(快速热退火)设备。例如,作为第一热处理,GRTA可按照如下所述来执行。将衬底传递并放入已经加热到650℃至700℃的高温的惰性气体中,加热数分钟,从已经加热到高温的惰性气体中传递和取出。GRTA实现在短时间的高温热处理。

[0249] 注意,在第一热处理中,优选的是,水、氢等没有包含在氮或者诸如氩、氦或氙之类的稀有气体中。备选地,优选的是,引入用于热处理的设备中的氮或者诸如氩、氦或氙之类

的稀有气体具有6N (99.9999%)或更高、或者更优选地为7N (99.99999%)或更高的纯度(也就是说,杂质浓度设置为1ppm或更低,优选地为0.1ppm或更低)。

[0250] 此外,氧化物半导体层可根据第一热处理的条件或者氧化物半导体层的材料来晶化为微晶层或多晶层。

[0251] 备选地,氧化物半导体层的第一热处理可对尚未被处理成岛状氧化物半导体层的氧化物半导体层来执行。在这种情况下,在第一热处理之后,从加热设备中取出衬底,并且执行光刻过程。

[0252] 对氧化物半导体层具有脱水或脱氢的作用的热处理可在下列时机的任一个执行:在形成氧化物半导体层之后;在氧化物半导体层之上形成源电极层和漏电极层之后;以及在源电极层和漏电极层之上形成栅极绝缘层之后。

[0253] 随后,在绝缘层457和氧化物半导体层462之上形成导电层,并且执行第三光刻过程。抗蚀剂掩模在导电层之上形成,并且执行选择性蚀刻,使得形成源或漏电极层465b和布线层468。然后,去除抗蚀剂掩模(参见图8C)。源或漏电极层465b和布线层468可使用与源或漏电极层465a1和465a2相似的材料和步骤来形成。

[0254] 在本实施例中,钛层采用溅射方法形成为150nm的厚度,用于源或漏电极层465b和布线层468。在本实施例中,相同的钛层用于源或漏电极层465a1和465a2以及源或漏电极层465b,使得源或漏电极层465a1和465a2的蚀刻选择性与源或漏电极层465b相同或基本上相同。因此,布线层468设置在没有覆盖有氧化物半导体层462的源或漏电极层465a2的一部分之上,以便防止源或漏电极层465a1和465a2在蚀刻源或漏电极层465b时被蚀刻。在蚀刻步骤中使用提供源或漏电极层465b与源或漏电极层465a1和465a2的高选择性比率的不同材料的情况下,不一定设置在蚀刻中保护源或漏电极层465a2的布线层468。

[0255] 注意,材料和蚀刻条件经过适当调整,使得氧化物半导体层462在蚀刻导电层时没有被去除。

[0256] 在本实施例中,Ti层用作导电膜,In-Ga-Zn-O基氧化物半导体用作氧化物半导体层462,以及氨过氧化氢溶液(氨、水和过氧化氢溶液的混合物)用作蚀刻剂。

[0257] 注意,在第三光刻过程中,蚀刻氧化物半导体层462的一部分,由此可形成具有凹槽(凹陷部分)的氧化物半导体层。用于形成源或漏电极层465b和布线层468的抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0258] 随后,栅极绝缘层452在绝缘层457、氧化物半导体层462、源或漏电极层465a1和465a2、源或漏电极层465b以及布线层468之上形成。

[0259] 能够采用等离子体CVD方法、溅射方法等,能够形成具有使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层和氧化铝层的单层结构或分层结构的栅极绝缘层452。注意,栅极绝缘层452优选地采用溅射方法来形成,使得栅极绝缘层452包含尽可能少的氢。在氧化硅膜采用溅射方法来形成的情况下,硅靶或石英靶用作靶,并且氧和氩的混合气体用作溅射靶。

[0260] 栅极绝缘层452可具有一种结构,其中从源或漏电极层465a1和465a2以及源或漏电极层465b侧层叠氧化硅层和氮化硅层。在本实施例中,氧化硅层采用RF溅射方法在如下条件下形成为100nm的厚度:压力为0.4Pa;高频电源的电力为1.5kW;以及气氛为包含氧和

氩的气氛(氧与氩的流量比为1:1(各流率为25sccm))。

[0261] 随后,执行第四光刻过程。形成抗蚀剂掩模,并且执行选择性蚀刻以去除栅极绝缘层452的一部分,使得形成到达布线层468的开口 423(参见图8D)。虽然未示出,但是在形成开口423时,可形成到达源或漏电极层465b的开口。在本实施例中,在进一步层叠层间层绝缘层之后形成到达源或漏电极层465b的开口,并且在开口中形成用于电连接的布线层。

[0262] 然后,在栅极绝缘层452之上并且在开口423中形成导电层之后,在第五光刻过程中形成栅电极层461(461a和461b)以及布线层464。注意,抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0263] 此外,能够形成具有使用诸如钼、钛、铬、钽、钨、铝、铜、钹和铪之类的金属材料的任一种以及包含任意这些材料作为主要成分的合金材料的单层结构或分层结构的栅电极层461(461a和461b)以及布线层464。

[0264] 在本实施例中,钛层采用溅射方法形成成为150nm的厚度,用于栅电极层461(461a和461b)以及布线层464。

[0265] 随后,在惰性气体气氛或者氧气体气氛中执行第二热处理(优选地以200℃至400℃(包括两端)、例如从250℃至350℃(包括两端))。在本实施例中,第二热处理在氮气氛中以250℃执行1小时。可在薄膜晶体管460之上形成保护层或者平面化绝缘层之后执行第二热处理。

[0266] 此外,可在空气中以100℃至200℃(包括两端)执行热处理1 小时至30小时(包括两端)。这个热处理可在固定加热温度下执行。备选地,加热温度的下述变化可重复进行多次:加热温度从室温增加到100℃至200℃(包括两端)的温度,并且然后降低到室温。此外,这个热处理可在降低的压力下执行。在降低的压力下,加热时间能够缩短。

[0267] 通过上述步骤,能够形成包括其中降低氢、水分、羟基或氢化物的浓度的氧化物半导体层462的薄膜晶体管460(参见图8E)。

[0268] 保护绝缘层或者用于平面化的平面化绝缘层可设置在薄膜晶体管460之上。虽然未示出,但是可形成到达源或漏电极层465b的开口。在本实施例中,在栅极绝缘层452、保护绝缘层和平面化层中形成到达源或漏电极层465b的开口,并且在开口中形成用于到源或漏电极层465b的电连接的布线层。

[0269] 在形成氧化物半导体膜时如上所述去除反应气氛中剩余的水分,由此能够降低氧化物半导体膜中的氢和氢化物的浓度。相应地,氧化物半导体膜能够是稳定的。

[0270] 包括上述薄膜晶体管的实施例1和2中的逻辑电路能够具有稳定电特性和高可靠性。

[0271] 本实施例能够适当地结合其它实施例来实现。

[0272] (实施例5)

[0273] 在本实施例中,描述实施例1或实施例2的逻辑电路所包含的薄膜晶体管的另一个示例。可如同实施例3或实施例4中那样来处理与实施例3或实施例4中相同的部分、具有与实施例3或实施例4中的部分相似的功能的部分以及与实施例3或实施例4中相似的步骤,并且省略重复描述。另外,还省略相同部分的详细描述。

[0274] 参照图9A和图9B来描述本实施例的薄膜晶体管。

[0275] 图9A和图9B示出薄膜晶体管的截面结构的示例。图9A和图9B 中的薄膜晶体管425

和426各为其中氧化物半导体层夹在导电层与栅电极层之间的薄膜晶体管之一。

[0276] 另外,在图9A和图9B中,硅衬底用作衬底,并且在硅衬底420 之上形成的绝缘层422之上设置薄膜晶体管425和426。

[0277] 图9A中,导电层427在硅衬底420之上在绝缘层422与绝缘层 407之间形成,以使得至少与整个氧化物半导体层412重叠。

[0278] 注意,图9B示出一个示例,其中绝缘层422与绝缘层407之间的导电层如导电层424一样通过蚀刻来处理,并且与至少包括沟道形成区的氧化物半导体层412的一部分重叠。

[0279] 导电层427和424各可使用能够耐受将要在后一步骤中执行的热处理的温度的金属材料来形成:从钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)中选取的元素,包含任意这些元素的组合的合金膜,包含任意上述元素作为其成分的氮化物,等等。此外,导电层427和424各可具有单层结构或分层结构,并且例如能够使用钨层的单层或者氮化钨层和钨层的叠层。

[0280] 导电层427和424的电位可与薄膜晶体管425和426的栅电极层 411的电位相同或不同。导电层427和424分别还能够用作第二栅电极层。导电层427和424的电位可以是固定电位、如GND或0V。

[0281] 薄膜晶体管425和426的电特性能够由导电层427和424来控制。

[0282] 本实施例能够适当地结合其它实施例来实现。

[0283] (实施例6)

[0284] 在本实施例中,描述实施例1或实施例2的逻辑电路中包含的薄膜晶体管的示例。

[0285] 参照图10A至图10E来描述薄膜晶体管的一个实施例以及本实施例的薄膜晶体管的制造方法。

[0286] 图10E示出薄膜晶体管的截面结构的一个示例。图10E所示的薄膜晶体管390是底栅薄膜晶体管之一,并且又称作反交错(inverted staggered)薄膜晶体管。

[0287] 虽然使用作为薄膜晶体管390的单栅薄膜晶体管来给出描述,但是可根据需要形成包括多个沟道形成区的多栅薄膜晶体管。

[0288] 下面参照图10A至图10E来描述在衬底394之上制造薄膜晶体管 390的过程。

[0289] 首先,在具有绝缘表面的衬底394之上形成导电层之后,在第一光刻过程中形成栅电极层391。栅电极层优选地具有渐窄的形状,因为其上层叠的栅极绝缘层的覆盖率能够得到改进。注意,抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0290] 对于能够用作具有绝缘表面的衬底394的衬底没有具体限制,只要它至少具有耐受以后执行的热处理的耐热性。能够使用采用钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等等所形成的玻璃衬底。

[0291] 当以后执行的热处理的温度较高时,应变点为730℃或更高的衬底优选地用作玻璃衬底。作为玻璃衬底的材料,例如使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃之类的玻璃材料。注意,一般来说,通过包含比氧化硼(B_2O_3)更多数量的氧化钡(BaO),玻璃衬底是耐热的,并且具有更大实际用途。因此,优选地使用包括比 B_2O_3 更多数量的 BaO 的玻璃衬底。

[0292] 注意,代替上述玻璃衬底,使用诸如陶瓷衬底、石英衬底或蓝宝石衬底之类的绝缘

体所形成的衬底可用作衬底394。备选地,可使用晶化玻璃衬底等。又备选地,能够适当地使用塑料衬底等。

[0293] 用作基底层的绝缘层可设置在衬底394与栅电极层391之间。基底层具有防止杂质元素从衬底394扩散的功能,并且能够形成为具有使用氮化硅层、氧化硅层、氮氧化硅层和氧氮化硅层中的任意的单层结构或分层结构。

[0294] 此外,能够形成具有使用诸如钼、钛、铬、钽、钨、铝、铜、钕和钐之类的金属材料的任一种以及包含任意这些材料作为主要成分的合金材料的单层结构或分层结构的栅电极层391。

[0295] 作为栅电极层391的二层结构,例如,其中钼层层叠在铝层之上的二层结构、其中钼层层叠在铜层之上的二层结构、其中氮化钛层或氮化钽层层叠在铜层之上的二层结构、其中层叠氮化钛层和钼层的二层结构或者其中层叠氮化钨层和钨层的二层结构是优选的。作为三层结构,钨层或氮化钨层、铝和硅的合金层或者铝和钛的合金层以及氮化钛层或钛层的叠层是优选的。注意,栅电极层可使用透光导电层来形成。透光导电氧化物能够作为透光导电层的一个示例给出。

[0296] 然后,栅极绝缘层397在栅电极层391之上形成。

[0297] 能够采用等离子体CVD方法、溅射方法等,能够形成具有使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层和氧化铝层的单层结构或分层结构的栅极绝缘层397。注意,栅极绝缘层397优选地采用溅射方法来形成,使得栅极绝缘层397包含尽可能少的氢。在氧化硅层采用溅射方法来形成的情况下,硅靶或石英靶用作靶,并且氧或者氧和氩的混合气体用作溅射气体。

[0298] 栅极绝缘层397可具有一种结构,其中从栅电极层391侧来层叠氮化硅层和氧化硅层。例如,采用溅射方法来形成作为第一栅极绝缘层的厚度为50nm至200nm(包括两端)的氮化硅层(SiN_y ($y>0$)),并且在第一栅极绝缘层之上层叠作为第二栅极绝缘层的厚度为5nm至300nm(包括两端)的氧化硅层(SiO_x ($x>0$));因此,可形成厚度为100nm的栅极绝缘层。

[0299] 此外,为了可能在以后将要形成的栅极绝缘层397和氧化物半导体层393中尽可能少地包含氢、羟基和水分,优选的是,其上形成栅电极层391的衬底394或者其上形成直到栅极绝缘层397的层的衬底394在溅射设备的预热室中经过预热作为膜形成的预处理,使得消除和排出吸附于衬底394的诸如氢和水分之类的杂质。用于预热的温度为100℃至400℃(包括两端),优选地为150℃至300℃(包括两端)。注意,低温泵作为设置在预热室中的排气单元是优选的。注意,可省略这种预热处理。此外,可类似地对于其上尚未形成氧化物绝缘层396的衬底394以及其上形成了直到源电极层395a和漏电极层395b的层的衬底394来执行这种预热。

[0300] 然后,氧化物半导体层393在栅极绝缘层397之上形成成为2nm至200nm(包括两端)的厚度(参见图10A)。

[0301] 注意,在氧化物半导体层393采用溅射方法来形成之前,附于栅极绝缘层397的表面的灰尘优选地采用其中引入氩气体并且生成等离子体的逆溅射去除。逆溅射指的是一种方法,其中没有将电压施加到靶侧,而是使用RF电源在氩气氛中将电压施加到衬底侧,以便使表面改性。注意,代替氩气氛,可使用氮气、氦气、氧气等。

[0302] 氧化物半导体层393采用溅射方法来形成。使用In-Ga-Zn-O基氧化物半导体层、

In-Sn-Zn-O基氧化物半导体层、In-Al-Zn-O基氧化物半导体层、Sn-Ga-Zn-O基氧化物半导体层、Al-Ga-Zn-O基氧化物半导体层、Sn-Al-Zn-O基氧化物半导体层、In-Zn-O基氧化物半导体层、Sn-Zn-O基氧化物半导体层、Al-Zn-O基氧化物半导体层、In-O基氧化物半导体层、Sn-O基氧化物半导体层或者Zn-O基氧化物半导体层来形成氧化物半导体层393。在本实施例中,采用溅射方法、借助于 In-Ga-Zn-O基金属氧化物靶来形成氧化物半导体层393。此外,能够采用溅射方法在稀有气体(通常为氩)气氛、氧气氛或者包含稀有气体(通常为氩)和氧的混合气氛中形成氧化物半导体层393。在采用溅射方法的情况下,包含2wt%至10wt%(包括两端)的SiO₂的靶可用于膜形成。

[0303] 作为用于采用溅射方法来形成氧化物半导体层393的靶,能够使用包含氧化锌作为其主要成分的金属氧化物靶。作为金属氧化物靶的另一个示例,能够使用包含In、Ga和Zn的氧化物膜形成靶(按照组成比In₂O₃:Ga₂O₃:ZnO=1:1:1[mol]、In:Ga:Zn=1:1:0.5[原子])。备选地,可使用包含In、Ga和Zn的金属氧化物靶(组成比为In:Ga:Zn=1:1:1 或1:1:2[原子])。金属氧化物靶的填充率为90%至100%(包括两端),优选地为95%至99.9%(包括两端)。借助于具有高填充率的金属氧化物靶,形成密集氧化物半导体层。

[0304] 将衬底保持在控制为降低的压力的处理室中,并且将衬底加热到室温或者低于400℃的温度。然后,将去除了氢和水分的溅射气体引入其中去除了剩余水分的治疗室,并且氧化物半导体膜393借助于作为靶的金属氧化物在衬底394之上形成。为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、诸如水(H₂O)之类的包含氢原子的化合物(更优选地,还有包含碳原子的化合物)等等,由此能够降低沉积室中形成的氧化物半导体膜的杂质浓度。通过在使用低温泵去除处理室中剩余的水分的同时经由溅射来执行沉积,当形成氧化物半导体层393时的衬底温度能够高于或等于室温且低于400℃。

[0305] 沉积条件的一个示例如下所述:衬底与靶之间的距离为100mm,压力为0.6Pa,DC电源的电力为0.5kW,以及气氛为氧气氛(氧的流率为100%)。优选的是,使用脉冲DC电源,因为能够降低膜形成中生成的粉状物质,并且膜厚度能够是均匀的。氧化物半导体层的厚度优选地为5nm至30nm(包括两端)。注意,适当的厚度取决于所使用的氧化物半导体材料,并且厚度可按照材料来选择。

[0306] 溅射方法的示例包括:RF溅射方法,其中高频电源用作溅射电源;DC溅射方法,其中使用DC电源;以及脉冲DC溅射方法,其中以脉冲方式来施加偏压。RF溅射方法主要用于形成绝缘膜的情况,而DC溅射方法主要用于形成金属膜的情况。

[0307] 另外,还存在多源溅射设备,其中能够设置不同材料的多个靶。通过多源溅射设备,不同材料的膜能够在同一个室中形成为层叠的,或者多种材料能够在同一个室中同时排放供膜形成。

[0308] 另外,存在一种配备有室内部的磁体系统的溅射设备,磁体系统用于磁控管溅射方法,并且存在一种用于ECR溅射方法的溅射设备,其中使用通过采用微波所产生的等离子体,而无需使用辉光放电。

[0309] 此外,作为使用溅射方法的沉积方法,还存在反应溅射方法,其中靶物质和溅射气体成分在沉积期间相互发生化学反应,以便形成其化合物薄膜,并且存在偏压溅射方法,其

中电压在沉积期间还施加到衬底。

[0310] 然后,在第二光刻过程中,将氧化物半导体层393处理成岛状氧化物半导体层399(参见图10B)。用于形成岛状氧化物半导体层399的抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0311] 在栅极绝缘层397中形成接触孔的情况下,可在形成氧化物半导体层399时执行该步骤。

[0312] 注意,氧化物半导体层393的蚀刻可以是干式蚀刻、湿式蚀刻或者干式蚀刻和湿式蚀刻两者。

[0313] 作为用于干式蚀刻的蚀刻气体,优选地使用包含氯的气体(氯基气体,例如氯(Cl_2)、氯化硼(BCl_3)、氯化硅(SiCl_4)或四氯化碳(CCl_4))。

[0314] 备选地,能够使用包含氟的气体(氟基气体,例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)或者三氟甲烷(CHF_3));溴化氢(HBr);氧(O_2);对其添加了诸如氦(He)或氩(Ar)之类的稀有气体的任意这些气体;等等。

[0315] 作为干式蚀刻方法,能够使用平行板RIE(反应离子蚀刻)方法或ICP(电感耦合等离子体)蚀刻方法。为了将层蚀刻成预期形状,蚀刻条件(施加到线圈形状电极的电量、施加到衬底侧的电极的电量 and 衬底侧的电极的温度等)经过适当调整。

[0316] 作为用于湿式蚀刻的蚀刻剂,能够使用磷酸、醋酸和硝酸等的混合溶液。备选地,可使用ITO07N(由KANTO CHEMICAL CO., INC. 生产)。

[0317] 湿式蚀刻中使用的蚀刻剂通过清洗连同蚀刻掉的材料一起去除。包含蚀刻剂和蚀刻掉的材料废液的净化,并且材料可再使用。当氧化物半导体层中包含的诸如铟之类的材料在蚀刻之后从废液中被收集并且再使用时,能够有效地使用资源,并且能够降低成本。

[0318] 蚀刻条件(例如蚀刻剂、蚀刻时间和温度)根据材料来适当调整,使得氧化物半导体层能够蚀刻成具有预期形状。

[0319] 注意,优选的是在下一个步骤中形成导电层之前执行逆溅射,使得能够去除附于氧化物半导体层399和栅极绝缘层397的表面的抗蚀剂残余等。

[0320] 随后,在栅极绝缘层397和氧化物半导体层399之上形成导电层。导电层可采用溅射方法或真空蒸镀方法来形成。作为导电层的材料,存在从Al、Cr、Cu、Ta、Ti、Mo或W中选取的元素,包含任意这些元素的组合的合金层,等等。此外,可使用从锰、镁、锆、铍和钽中选取的一种或多种材料。金属导电层可具有单层结构或者两层或更多层的分层结构。例如,能够给出包含硅的铝膜的单层结构、其中钛层层叠在铝层之上的二层结构、其中Ti层、铝层和Ti层按照所示顺序来层叠的三层结构等等。备选地,可使用从下列元素中选取的一种或多种元素的组合的层、合金层或者氮化物层:钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)。

[0321] 执行第三光刻过程。抗蚀剂掩模在导电层之上形成,并且执行选择性蚀刻,使得形成源电极层395a和漏电极层395b。然后,去除抗蚀剂掩模(参见图10C)。

[0322] 紫外线、KrF激光束或者ArF激光束用于在第三光刻过程中形成抗蚀剂掩模的曝光。以后将要形成的薄膜晶体管的沟道长度L取决于氧化物半导体层399之上彼此相邻的源电极层的底部与漏电极层的底部之间的间隔宽度。注意,在沟道长度L小于25nm的情况下执

行曝光时,具有数纳米至数十纳米的极短波长远紫外线用于在第三光刻过程中形成抗蚀剂掩模的曝光。采用远紫外线的曝光产生高分辨率和大焦点深度。相应地,以后将要形成的薄膜晶体管的沟道长度L能够设置为10nm至1000nm(包括两端)。因此,电路的操作速度能够增加,并且截止状态电流也明显较小,使得能够实现低功率消耗。

[0323] 注意,材料和蚀刻条件经过适当调整,使得氧化物半导体层399 在蚀刻导电层时没有被去除。

[0324] 在本实施例中,Ti层用作金属导电膜,In-Ga-Zn-O基氧化物半导体用作氧化物半导体层399,以及氨过氧化氢溶液(氨、水和过氧化氢溶液的混合物)用作蚀刻剂。

[0325] 注意,在第三光刻过程中,仅蚀刻氧化物半导体层399的一部分,由此可形成具有凹槽(凹陷部分)的氧化物半导体层。用于形成源电极层395a和漏电极层395b的抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0326] 为了减少光刻步骤中的光掩模和步骤的数量,可借助于使用作为光透过其中的曝光掩模的多色调(multi-tone)掩模所形成的抗蚀剂掩模来执行蚀刻步骤,以使得具有多种强度。由于使用多色调掩模所形成的抗蚀剂掩模具有多个厚度并且能够通过执行蚀刻进一步改变形状,所以抗蚀剂掩模能够在多个蚀刻步骤中用于设置不同的图案。因此,与至少两种不同图案对应的抗蚀剂掩模能够通过使用一个多色调掩模来形成。相应地,曝光掩模的数量能够减少,并且对应光刻步骤的数量也能够减少,由此能够实现过程的简化。

[0327] 通过采用诸如N₂O、N₂或Ar之类的气体的等离子体处理,可去除吸附于氧化物半导体层的外露部分的表面的水。备选地,等离子体处理可使用氧和氩的混合气体来执行。

[0328] 在执行等离子体处理的情况下,在没有暴露于空气的情况下形成氧化物绝缘层396作为用作保护绝缘膜并且与氧化物半导体层399的一部分相接触的氧化物绝缘层(参见图10D)。在本实施例中,在氧化物半导体层399没有与源电极层395a和漏电极层395b重叠的区域中形成与氧化物半导体层399相接触的氧化物绝缘层396。

[0329] 在本实施例中,将其上形成了直到岛状氧化物半导体层399、源电极层395a和漏电极层395b的层的衬底394加热到室温或者低于 100℃的温度,引入去除了氢和水分并且包含高纯度氢的溅射气体,并且使用硅靶,由此形成作为氧化物绝缘层396的具有缺陷的氧化硅层。

[0330] 例如,氧化硅层采用脉冲DC溅射方法来形成,其中溅射气体的纯度为6N,使用硼掺杂硅靶(电阻率为0.01 Ω · cm),衬底与靶之间的距离(T-S)为89mm,压力为0.4Pa,DC电源的电力为6kW,并且气氛为氧气氛(氧流率为100%)。氧化硅层的厚度为300nm。注意,代替硅靶,石英(优选地为合成石英)可用作在形成氧化硅层时使用的靶。作为溅射气体,使用氧或者氧和氩的混合气体。

[0331] 在这种情况下,优选地在去除处理室中剩余的水分的同时来形成氧化物绝缘层396。这用于防止氢、羟基和水分包含在氧化物半导体层399和氧化物绝缘层396中。

[0332] 为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、包含氢原子的化合物、如水(H₂O)等,由此能够降低沉积室中形成的氧化物绝缘层396的杂质浓度。

[0333] 注意,作为氧化物绝缘层396,氮化硅层、氧化铝层、氮化铝层等等可用于代替氧化硅层。

[0334] 此外,热处理可在100℃至400℃下执行,同时氧化物绝缘层396 和氧化物半导体层399相互接触。由于本实施例中的氧化物绝缘层396 具有多个缺陷,通过这种热处理,氧化物半导体层399中包含的诸如氢、水分、羟基或氢化物之类的杂质能够扩散到氧化物绝缘层396,使得氧化物半导体层399中的杂质可进一步降低。

[0335] 通过上述步骤,能够形成包括其中降低氢、水分、羟基或氢化物的浓度的氧化物半导体层392的薄膜晶体管390(参见图10E)。

[0336] 在形成氧化物半导体层时如上所述去除反应气氛中剩余的水分,由此能够降低氧化物半导体层中的氢和氢化物的浓度。相应地,氧化物半导体层能够是稳定的。

[0337] 保护绝缘层可设置在氧化物绝缘层之上。在本实施例中,保护绝缘层398在氧化物绝缘层396之上形成。作为保护绝缘层398,使用氮化硅层、氮氧化硅层、氮化铝层、氮氧化铝层等。

[0338] 将其上形成了直到氧化物绝缘层396的层的衬底394加热到 100℃至400℃的温度,引入去除了氢和水分并且包含高纯度氮的溅射气体,并且使用硅半导体靶,由此形成作为保护绝缘层398的氮化硅层。在这种情况下,优选地形成保护绝缘层398,同时去除处理室中剩余的水分,与氧化物绝缘层396相似。

[0339] 在形成保护绝缘层398的情况下,在形成保护绝缘层398时将衬底394加热到100℃至400℃,由此氧化物半导体层中包含的氢或水分能够扩散到氧化物绝缘层。在这种情况下,在形成氧化物绝缘层396 之后不一定执行热处理。

[0340] 在形成作为氧化物绝缘层396的氧化硅层并且氮化硅层作为保护绝缘层398层叠在其上的情况下,氧化硅层和氮化硅层能够借助于共同的硅靶在同一处理室中形成。在首先引入包含氧的溅射气体之后,使用处理室中安装的硅靶来形成氧化硅层,然后将溅射气体切换到包含氮的溅射气体,并且使用相同的硅靶来形成氮化硅层。由于氧化硅层和氮化硅层能够相继形成而无需暴露于空气,所以能够防止诸如氢和水分之类的杂质吸附到氧化硅层的表面上。在这种情况下,在形成作为氧化物绝缘层396的氧化硅层并且氮化硅层作为保护绝缘层398 层叠在其上之后,优选地执行用于使氧化物半导体层中包含的氢或水分扩散到氧化物绝缘层的热处理(在100℃至400℃的温度下)。

[0341] 在形成保护绝缘层之后,还可在空气中以100℃至200℃(包括两端)来执行热处理1小时至30小时(包括两端)。这个热处理可在固定加热温度下执行。备选地,加热温度的下述变化可重复进行多次:加热温度从室温增加到100℃至200℃(包括两端)的温度,并且然后降低到室温。此外,这种热处理可在形成氧化物绝缘层之前以降低的压力来执行。在降低的压力下,加热时间能够缩短。通过这种热处理,薄膜晶体管常截止。因此,薄膜晶体管的可靠性能够提高。

[0342] 在形成包括栅极绝缘层之上的沟道形成区的氧化物半导体层时去除反应气氛中剩余的水分,由此能够降低氧化物半导体层中的氢和氢化物的浓度。

[0343] 上述步骤能够用于制造液晶显示面板、电致发光显示面板、使用电子墨水的显示装置等的底板(其上形成晶体管的衬底)。由于上述步骤能够在400℃或更低的温度下执行,所以它们还能够应用于其中使用厚度为1mm或更小并且边大于1m的玻璃衬底的制造步骤。

另外,由于上述步骤全部能够在400℃或更低的处理温度下执行,所以能够制造显示面板,而无需消耗许多能量。

[0344] 包括上述薄膜晶体管的实施例1和2中的逻辑电路能够具有稳定电特性和高可靠性。

[0345] 本实施例能够适当地结合其它实施例来实现。

[0346] (实施例7)

[0347] 在本实施例中,描述实施例1或实施例2的逻辑电路中包含的薄膜晶体管的示例。

[0348] 参照图11A至图11E来描述薄膜晶体管的一个实施例以及本实施例的薄膜晶体管的制造方法。

[0349] 图11A至图11E示出薄膜晶体管的截面结构的一个示例。图11D 所示的薄膜晶体管310是底栅薄膜晶体管之一,并且又称作反交错薄膜晶体管。

[0350] 虽然使用作为薄膜晶体管310的单栅薄膜晶体管来给出描述,但是可根据需要形成包括多个沟道形成区的多栅薄膜晶体管。

[0351] 下面参照图11A至图11E来描述在衬底300之上制造薄膜晶体管 310的过程。

[0352] 首先,在具有绝缘表面的衬底300之上形成导电层之后,在第一光刻过程中形成栅电极层311。注意,抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0353] 对于能够用作具有绝缘表面的衬底300的衬底没有具体限制,只要它至少具有足以耐受以后执行的热处理的耐热性。能够使用采用钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等等所形成的玻璃衬底。

[0354] 当以后执行的热处理的温度较高时,应变点为730℃或更高的衬底优选地用作玻璃衬底。作为玻璃衬底的材料,例如使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃之类的玻璃材料。注意,通过包含比氧化硼(B_2O_3)更多数量的氧化钡(BaO),玻璃衬底是耐热的,并且具有更大实际用途。因此,优选地使用包括比 B_2O_3 更多数量的 BaO 的玻璃衬底。

[0355] 注意,代替上述玻璃衬底,使用诸如陶瓷衬底、石英衬底或蓝宝石衬底之类的绝缘体所形成的衬底可用作衬底。备选地,可使用晶化玻璃衬底等。

[0356] 用作基底层的绝缘层可设置在衬底300与栅电极层311之间。基底层具有防止杂质元素从衬底300扩散的功能,并且能够形成为具有使用氮化硅层、氧化硅层、氮氧化硅层和氧氮化硅层中的任意的单层结构或分层结构。

[0357] 此外,能够形成具有使用诸如钼、钛、铬、钽、钨、铝、铜、钕和铪之类的金属材料的任一种以及包含任意这些材料作为主要成分的合金材料的单层结构或分层结构的栅电极层311。

[0358] 作为栅电极层311的二层结构,例如,其中钼层层叠在铝层之上的二层结构、其中钼层层叠在铜层之上的二层结构、其中氮化钛层或氮化钽层层叠在铜层之上的二层结构、其中层叠氮化钛层和钼层的二层结构或者其中层叠氮化钨层和钨层的二层结构是优选的。作为三层结构,钨层或氮化钨层、铝和硅的合金层或者铝和钛的合金层以及氮化钛层或钛层的叠层是优选的。

[0359] 然后,栅极绝缘层302在栅电极层311之上形成。

[0360] 能够采用等离子体CVD方法、溅射方法等,能够形成具有使用氧化硅层、氮化硅层、

氧氮化硅层、氮氧化硅层和氧化铝层的单层结构或分层结构的栅极绝缘层302。例如,可采用等离子体CVD方法,以用于沉积气体的 SiH_4 、氧和氮来形成氧氮化硅层。例如,栅极绝缘层302的厚度为100nm至500nm(包括两端),并且在栅极绝缘层302具有分层结构的情况下,例如厚度为5nm至300nm(包括两端)的第二栅极绝缘层层叠在厚度为50nm至200nm(包括两端)的第一栅极绝缘层之上。

[0361] 在本实施例中,厚度小于或等于100nm的氧氮化硅层采用等离子体CVD方法作为栅极绝缘层302来形成。

[0362] 然后,氧化物半导体层330在栅极绝缘层302之上形成成为2nm至200nm(包括两端)的厚度。

[0363] 注意,在氧化物半导体层330采用溅射方法来形成之前,附于栅极绝缘层302的表面的灰尘优选地采用其中引入氩气体并且生成等离子体的逆溅射去除。注意,代替氩气氛,可使用氮气氛、氦气氛、氧气氛等。

[0364] 使用In-Ga-Zn-O基氧化物半导体层、In-Sn-Zn-O基氧化物半导体层、In-Al-Zn-O基氧化物半导体层、Sn-Ga-Zn-O基氧化物半导体层、Al-Ga-Zn-O基氧化物半导体层、Sn-Al-Zn-O基氧化物半导体层、In-Zn-O基氧化物半导体层、Sn-Zn-O基氧化物半导体层、Al-Zn-O基氧化物半导体层、In-O基氧化物半导体层、Sn-O基氧化物半导体层或者Zn-O基氧化物半导体层来形成氧化物半导体层330。在本实施例中,采用溅射方法、借助于In-Ga-Zn-O基氧化物半导体靶来形成氧化物半导体层330。图11A对应于这个阶段的截面图。此外,能够采用溅射方法在稀有气体(通常为氩)气氛、氧气氛或者包含稀有气体(通常为氩)和氧的混合气氛中形成氧化物半导体层330。在采用溅射方法的情况下,包含2wt%至10wt%(包括两端)的 SiO_2 的靶可用于膜形成。

[0365] 作为用于采用溅射方法来形成氧化物半导体层330的靶,能够使用包含氧化锌作为其主要成分的金属氧化物靶。作为金属氧化物靶的另一个示例,能够使用包含In、Ga和Zn的金属氧化物靶(按照组成比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol]、 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [原子])。备选地,可使用包含In、Ga和Zn的金属氧化物靶(组成比为 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 或 $1:1:2$ [原子])。金属氧化物靶的填充率为90%至100%(包括两端),优选地为95%至99.9%(包括两端)。借助于具有高填充率的金属氧化物靶,形成密集氧化物半导体层。

[0366] 优选的是使用从其中将诸如氢、水、羟基或氢化物之类的杂质去除到通过ppm或ppb等级所表示的浓度的高纯度气体,作为在形成氧化物半导体层330时使用的溅射气体。

[0367] 衬底保持在控制为降低的压力的处理室中,并且衬底温度设置为 100°C 至 600°C 、优选地为 200°C 至 400°C 。膜形成在加热衬底的同时执行,由此所形成的氧化物半导体层中包含的杂质的浓度能够降低。此外,因溅射引起的损坏能够降低。然后,将去除了氢和水分的溅射气体引入其中去除了剩余水分的处理室,并且氧化物半导体膜330借助于作为靶的金属氧化物在衬底300之上形成。为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、诸如水(H_2O)之类的包含氢原子的化合物(更优选地,还有包含碳原子的化合物)等等,由此能够降低沉积室中形成的氧化物半导体层的杂质浓度。

[0368] 沉积条件的一个示例如下所述:衬底与靶之间的距离为100mm,压力为0.6Pa,DC电

源的电力为0.5kW,以及气氛为氧气氛(氧的流率为100%)。优选的是,使用脉冲DC电源,因为能够降低膜形成中生成的粉状物质,并且膜厚度能够是均匀的。氧化物半导体层的厚度优选地为5nm至30nm(包括两端)。注意,适当的厚度取决于所使用的氧化物半导体材料,并且厚度可按照材料来选择。

[0369] 然后,在第二光刻过程中,将氧化物半导体层330处理成岛状氧化物半导体层。用于形成岛状氧化物半导体层的抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0370] 随后,氧化物半导体层经过第一热处理。通过第一热处理,能够进行氧化物半导体层的脱水或脱氢。第一热处理的温度高于或等于 400℃且低于或等于750℃,优选地高于或等于400℃且低于衬底的应变点。在这里,将衬底引入作为热处理设备之一的电炉中,在氮气氛中以450℃对氧化物半导体层执行热处理1小时,氧化物半导体层则没有暴露于空气,使得防止水和氢进入氧化物半导体层;因此获得氧化物半导体层331(参见图11B)。

[0371] 用于热处理的设备并不局限于电炉,而可以是配备有用于使用来自诸如电阻加热元件之类的加热元件的热传导或热辐射来加热待处理的对象的设备。例如,能够使用诸如GRTA(气体快速热退火)设备或LRTA(灯快速热退火)设备之类的RTA(快速热退火)设备。LRTA设备是用于通过从诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压水银灯之类的灯泡所发射的光(电磁波)的辐射来加热待处理对象的设备。GRTA设备是用于使用高温气体的热处理的设备。作为气体,使用不会与待处理对象发生反应的诸如氮之类的惰性气体或者诸如氩之类的稀有气体。

[0372] 例如,作为第一热处理,GRTA可按照如下所述来执行。将衬底传递并放入已经加热到650℃至700℃的高温的惰性气体中,加热数分钟,从已经加热到高温的惰性气体中传递和取出。GRTA实现在短时间的高温热处理。

[0373] 注意,在第一热处理中,优选的是,水、氢等没有包含在氮或者诸如氦、氖或氩之类的稀有气体中。备选地,优选的是,引入用于热处理的设备中的氮或者诸如氦、氖或氩之类的稀有气体具有6N(99.9999%)或更高、或者更优选地为7N(99.99999%)或更高的纯度(也就是说,杂质浓度设置为1ppm或更低,优选地为0.1ppm或更低)。

[0374] 此外,氧化物半导体层可根据第一热处理的条件或者氧化物半导体层的材料来晶化为微晶层或多晶层。例如,氧化物半导体层可晶化以成为具有90%或以上或者80%或以上的晶化度的微晶氧化物半导体层。此外,取决于第一热处理的条件以及氧化物半导体层的材料,氧化物半导体层可成为没有包含结晶成分的非晶氧化物半导体层。氧化物半导体层可成为其中微晶部分(粒径大于或等于1μm且小于或等于20nm,通常大于或等于2nm且小于或等于4nm)混合到非晶氧化物半导体层中的氧化物半导体层。

[0375] 备选地,氧化物半导体层的第一热处理可对尚未被处理成岛状氧化物半导体层的氧化物半导体层330来执行。在这种情况下,在第一热处理之后,从加热设备中取出衬底,并且执行光刻过程。

[0376] 对氧化物半导体层具有脱水或脱氢的作用的热处理可在下列时机的任一个执行:在形成氧化物半导体层之后;在氧化物半导体层之上形成源电极层和漏电极层之后;以及在源电极层和漏电极层之上形成保护绝缘层之后。

[0377] 在栅极绝缘层302中形成接触孔的情况下,可在氧化物半导体层的脱水或脱氢之

前或之后执行该步骤。

[0378] 注意,氧化物半导体膜的蚀刻并不局限于湿式蚀刻,而可以是干式蚀刻。

[0379] 蚀刻条件(例如蚀刻剂、蚀刻时间和温度)根据材料来适当地调整,使得材料能够蚀刻成预期形状。

[0380] 随后,在栅极绝缘层302和氧化物半导体层331之上形成导电层。导电层可采用溅射方法或真空蒸镀方法来形成。作为导电层的材料,存在从Al、Cr、Cu、Ta、Ti、Mo或W中选取的元素,包含任意这些元素的组合的合金层,等等。此外,可使用从锰、镁、铅、铍和钽中选取的一种或多种材料。导电膜可具有单层结构或者两层或更多层的分层结构。例如,能够给出包含硅的铝层的单层结构、其中钛层层叠在铝层之上的二层结构、其中Ti层、铝层和Ti层按照所示顺序来层叠的三层结构等等。备选地,可使用从下列元素中选取的一种或多种元素的组合的层、合金层或者氮化物层:钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)。

[0381] 如果热处理在形成导电层之后执行,则优选的是,导电层具有足以耐受热处理的耐热性。

[0382] 执行第三光刻过程。抗蚀剂掩模在导电层之上形成,并且执行选择性蚀刻,使得形成源电极层315a和漏电极层315b。然后,去除抗蚀剂掩模(参见图11C)。

[0383] 紫外线、KrF激光束或者ArF激光束用于在第三光刻过程中形成抗蚀剂掩模的曝光。以后将要形成的薄膜晶体管的沟道长度L取决于氧化物半导体层331之上彼此相邻的源电极层的底部与漏电极层的底部之间的间隔宽度。注意,在沟道长度L小于25nm的情况下执行曝光时,具有数纳米至数十纳米的极短波长远紫外线用于在第三光刻过程中形成抗蚀剂掩模的曝光。采用远紫外线的曝光产生高分辨率和大焦点深度。相应地,以后将要形成的薄膜晶体管的沟道长度L能够设置为10nm至1000nm(包括两端)。因此,电路的操作速度能够增加,并且截止状态电流也明显较小,使得能够实现低功率消耗。

[0384] 注意,材料和蚀刻条件经过适当调整,使得氧化物半导体层331在蚀刻导电层时没有被去除。

[0385] 在本实施例中,Ti层用作导电层,In-Ga-Zn-O基氧化物半导体用作氧化物半导体层331,以及氨过氧化氢溶液(氨、水和过氧化氢溶液的混合物)用作蚀刻剂。

[0386] 注意,在第三光刻过程中,仅蚀刻氧化物半导体层331的一部分,由此可形成具有凹槽(凹陷部分)的氧化物半导体层。用于形成源电极层315a和漏电极层315b的抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0387] 此外,氧化物导电层可在氧化物半导体层与源和漏电极层之间形成。用于形成源和漏电极层的氧化物导电层和金属层能够相继形成。氧化物导电层能够用作源区和漏区。

[0388] 当氧化物导电层作为源区和漏区设置在氧化物半导体层与源和漏电极层之间时,源区和漏区能够具有较低电阻,并且晶体管能够高速工作。

[0389] 为了减少光刻步骤中的光掩模和步骤的数量,可借助于使用作为光透过其中的曝光掩模的多色调掩模所形成的抗蚀剂掩模来执行蚀刻步骤,以使得具有多种强度。由于使用多色调掩模所形成的抗蚀剂掩模具有多个厚度并且能够通过执行蚀刻进一步改变形状,所以抗蚀剂掩模能够在多个蚀刻步骤中用于设置不同的图案。因此,与至少两种不同图案

对应的抗蚀剂掩模能够通过使用单个多色调掩模来形成。相应地,曝光掩模的数量能够减少,并且对应光刻步骤的数量也能够减少,由此能够实现过程的简化。

[0390] 随后,执行采用诸如 N_2O 、 N_2 或Ar之类的气体的等离子体处理。通过这种等离子体处理,去除吸附到氧化物半导体层的外露部分的表面的水。备选地,等离子体处理可使用氧和氩的混合气体来执行。

[0391] 在执行等离子体处理之后,在没有暴露于空气的情况下形成用作保护绝缘层并且与氧化物半导体层的一部分相接触的氧化物绝缘层 316。

[0392] 氧化物绝缘层316能够适当地采用溅射方法等形成成为大于或等于 1nm的厚度,溅射方法是用以使诸如水或氢之类的杂质不会进入氧化物绝缘层316的方法。当氢包含于氧化物绝缘层316时,发生氢进入氧化物半导体层或者通过氢抽取氧化物半导体层中的氧,由此氧化物半导体层的背沟道成为n型(具有较低电阻),并且因此可形成寄生沟道。因此,重要的是,采用其中没有使用氢的形成方法,使得形成包含尽可能少的氢的氧化物绝缘层 316。

[0393] 在本实施例中,氧化硅层采用溅射方法作为氧化物绝缘层316形成成为200nm的厚度。膜形成中的衬底温度可高于或等于室温且低于或等于300℃,并且在本实施例中为100℃。能够采用溅射方法在稀有气体(通常为氩)气氛、氧气氛或者稀有气体(通常为氩)和氧的混合气氛中形成氧化硅层。此外,氧化硅靶或硅靶能够用作靶。例如,能够采用溅射方法在包含氧和氮的气氛中使用硅靶来形成氧化硅层。使用没有包含诸如水分、氢离子和 OH^- 之类的杂质并且阻止这类杂质从外部进入的无机绝缘层、通常为氧化硅层、氧氮化硅层、氧化铝层或者氧氮化铝层来形成在处于氧缺陷状态并且因而是n型、即具有较低电阻的区域中形成成为与氧化物半导体层相接触的氧化物绝缘层 316。

[0394] 在这种情况下,优选地在去除处理室中剩余的水分的同时来形成氧化物绝缘层 316。这用于防止氢、羟基和水分包含在氧化物半导体层331和氧化物绝缘层316中。

[0395] 为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、包含氢原子的化合物、如水(H_2O)等,由此能够降低沉积室中形成的氧化物绝缘层316的杂质浓度。

[0396] 优选的是使用将例如氢、水、羟基或氢化物等杂质去除到的通过 ppm或ppb等级所表示的浓度的高纯度气体,作为形成氧化物绝缘层 316时使用的溅射气体。

[0397] 随后,在惰性气体气氛或者氧气体气氛中执行第二热处理(优选地以200℃至400℃(包括两端)、例如从250℃至350℃(包括两端))。例如,第二热处理在氮气氛中以250℃执行1小时。通过第二热处理,在氧化物半导体层(沟道形成区)的一部分与氧化物绝缘层316相接触的同时施加热量。

[0398] 通过上述步骤,在对所形成的氧化物半导体层执行用于脱水或脱氢的热处理时,氧化物半导体层具有较低电阻,即,成为n型。然后,氧化物绝缘层形成成为与氧化物半导体层相接触。相应地,氧化物半导体层的一部分有选择地处于氧过剩状态。因此,与栅电极层311重叠的沟道形成区313成为i型。这时,按照自对齐方式来形成具有至少比沟道形成区313要高的载流子浓度并且与源电极层315a重叠的高电阻源区314a以及具有至少比沟道形成区313要高的载流子浓度并且与漏电极层315b重叠的高电阻漏区314b。通过上述步骤,形成薄

膜晶体管310(参见图11D)。

[0399] 此外,可在空气中以100℃至200℃(包括两端)执行热处理1小时至30小时(包括两端)。在本实施例中,以150℃执行热处理10小时。这个热处理可在固定加热温度下执行。备选地,加热温度的下述变化可重复进行多次:加热温度从室温增加到100℃至200℃(包括两端)的温度,并且然后降低到室温。此外,这种热处理可在形成氧化物绝缘层之前以降低的压力来执行。在降低的压力下,加热时间能够缩短。通过这种热处理,氢从氧化物半导体层引入到氧化物绝缘层;因此,薄膜晶体管能够常截止。因此,薄膜晶体管的可靠性能提高。当具有多个缺陷的氧化硅层用作氧化物绝缘层时,通过这种热处理,氧化物半导体层中包含的诸如氢、水分、羟基或氢化物之类的杂质能够扩散到氧化物绝缘层,使得氧化物半导体层中的杂质能够进一步降低。

[0400] 注意,通过在与漏电极层315b(和源电极层315a)重叠的氧化物半导体层中形成高电阻漏区314b(和高电阻源区314a),薄膜晶体管的可靠性能提高。具体来说,通过形成高电阻漏区314b,能够得到其中漏电极层315b、高电阻漏区314b和沟道形成区313的导电率逐渐地改变的结构。因此,在薄膜晶体管与连接到用于提供高电源电位 V_{DD} 的布线的漏电极层315b配合操作的情况下,高电阻漏区用作缓冲器,并且即使高电压施加在栅电极层311与漏电极层315b之间,也没有局部施加高电场;因此,薄膜晶体管的耐受电压能够增加。

[0401] 此外,在氧化物半导体层的厚度为15nm或更小的情况下,氧化物半导体层中的高电阻源区或高电阻漏区沿整个厚度方向形成。在氧化物半导体层的厚度为30nm或更大以及50nm或更小的情况下,在氧化物半导体层的一部分中,即,在氧化物半导体层与源电极层或漏电极层相接触以及在其附近的区域中,电阻被降低,并且形成高电阻源区或高电阻漏区,同时能够使氧化物半导体层中接近栅极绝缘膜的区域为i型。

[0402] 保护绝缘层还可在氧化物绝缘层316之上形成。例如,氮化硅层采用RF溅射方法来形成。RF溅射方法作为保护绝缘层的形成方法因高产率而是优选的。使用没有包含诸如水分、氢离子和 OH^- 之类的杂质并且阻止其从外部进入的无机绝缘层来形成保护绝缘层:例如,使用氮化硅层、氮化铝层、氮氧化硅层、氮氧化铝层等。在本实施例中,作为保护绝缘层,保护绝缘层303使用氮化硅层来形成(参见图11E)。

[0403] 在本实施例中,将其上形成了直到氧化物绝缘层316的层的衬底300加热到100℃至400℃的温度,引入去除了氢和水分并且包含高纯度氮的溅射气体,并且使用硅靶,由此形成作为保护绝缘层303的氮化硅层。在这种情况下,优选地形成保护绝缘层303,同时去除处理室中剩余的水分,与氧化物绝缘层316相似。

[0404] 虽然未示出,用于平面化的平面化绝缘层可设置在保护绝缘层303之上。

[0405] 包括上述薄膜晶体管的实施例1和2中的逻辑电路能够具有稳定电特性和高可靠性。

[0406] 本实施例能够适当地结合其它实施例来实现。

[0407] (实施例8)

[0408] 在本实施例中,描述实施例1或实施例2的逻辑电路中包含的薄膜晶体管的示例。

[0409] 参照图12A至图12D来描述薄膜晶体管的一个实施例以及本实施例的薄膜晶体管的制造方法。

[0410] 图12D示出薄膜晶体管的截面结构的一个示例。图12D所示的薄膜晶体管360是底

栅薄膜晶体管之一,它称作沟道保护薄膜晶体管(又称作沟道阻止薄膜晶体管),并且又称作反交错薄膜晶体管。

[0411] 虽然使用作为薄膜晶体管360的单栅薄膜晶体管来给出描述,但是可根据需要形成包括多个沟道形成区的多栅薄膜晶体管。

[0412] 下面参照图12A至图12D来描述在衬底320之上制造薄膜晶体管360的过程。

[0413] 首先,在具有绝缘表面的衬底320之上形成导电层之后,在第一光刻过程中形成栅电极层361。注意,抗蚀剂掩模可采用喷墨方法来形成。当抗蚀剂掩模采用喷墨方法来形成时,没有使用光掩模;因此制造成本能够降低。

[0414] 此外,能够形成具有使用诸如钼、钛、铬、钽、钨、铝、铜、钕和铪之类的金属材料的任一种以及包含任意这些材料作为主要成分的合金材料的单层结构或分层结构的栅电极层361。

[0415] 然后,栅极绝缘层322在栅电极层361之上形成。

[0416] 在本实施例中,厚度小于或等于100nm的氧氮化硅层采用等离子体CVD方法作为栅极绝缘层322来形成。

[0417] 然后,氧化物半导体层在栅极绝缘层322之上形成成为2nm至200 nm(包括两端),并且在第二光刻过程中处理成岛状氧化物半导体层。在本实施例中,采用溅射方法、借助于In-Ga-Zn-O基金属氧化物靶来形成氧化物半导体层。

[0418] 在这种情况下,优选地在去除处理室中剩余的水分的同时来形成氧化物半导体层。这用于防止氢、羟基和水分包含在氧化物半导体层中。

[0419] 为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、包含氢原子的化合物、如水(H₂O)等,由此能够降低沉积室中形成的氧化物半导体层的杂质浓度。

[0420] 优选的是使用从其中将诸如氢、水、羟基或氢化物之类的杂质去除到通过ppm或ppb等级所表示的浓度的高纯度气体,作为在形成氧化物半导体层时使用的溅射气体。

[0421] 随后,氧化物半导体层经过脱水或脱氢。用于脱水或脱氢的第一热处理的温度高于或等于400℃且低于或等于750℃,优选地高于或等于400℃且低于衬底的应变点。在这里,将衬底引入作为热处理设备之一的电炉中,在氮气氛中以450℃对氧化物半导体层执行热处理 1小时,氧化物半导体层则没有暴露于空气,使得防止水和氢进入氧化物半导体层;因此获得氧化物半导体层332(参见图12A)。

[0422] 随后,执行采用诸如N₂O、N₂或Ar之类的气体的等离子体处理。通过这种等离子体处理,去除吸附到氧化物半导体层的外露部分的表面的水。备选地,等离子体处理可使用氧和氩的混合气体来执行。

[0423] 随后,在栅极绝缘层322和氧化物半导体层332之上形成氧化物绝缘层之后,在第三光刻过程中形成抗蚀剂掩模。执行选择性蚀刻,使得形成氧化物绝缘层366。然后,去除抗蚀剂掩模。

[0424] 在本实施例中,氧化硅层采用溅射方法作为氧化物绝缘层366形成成为200nm的厚度。膜形成中的衬底温度可高于或等于室温且低于或等于300℃,并且在本实施例中为100℃。能够采用溅射方法在稀有气体(通常为氩)气氛、氧气氛或者稀有气体(通常为氩)和氧

的混合气氛中形成氧化硅层。此外,氧化硅靶或硅靶能够用作靶。例如,能够采用溅射方法在包含氧和氮的气氛中使用硅靶来形成氧化硅层。

[0425] 在这种情况下,优选地在去除处理室中剩余的水分的同时来形成氧化物绝缘层366。这用于防止氢、羟基和水分包含在氧化物半导体层332和氧化物绝缘层366中。

[0426] 为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、包含氢原子的化合物、如水(H₂O)等,由此能够降低沉积室中形成的氧化物绝缘层366的杂质浓度。

[0427] 优选的是使用将例如氢、水、羟基或氢化物等杂质去除到的通过ppm或ppb等级所表示的浓度的高纯度气体,作为形成氧化物绝缘层366时使用的溅射气体。

[0428] 随后,可在惰性气体气氛或者氧气体气氛中执行第二热处理(优选地以200℃至400℃(包括两端)、例如从250℃至350℃(包括两端))。例如,第二热处理在氮气氛中以250℃执行1小时。通过第二热处理,在氧化物半导体层(沟道形成区)的一部分与氧化物绝缘层366相接触的同时施加热量。

[0429] 在本实施例中,还在氮气氛、惰性气体气氛中或者在降低的压力下对于其上设置了氧化物绝缘层366并且因此暴露氧化物半导体层332的一部分的氧化物半导体层332执行热处理。通过在氮气氛、惰性气体气氛中或者在降低的压力下执行热处理,没有覆盖有氧化物绝缘层366并且因而被暴露的氧化物半导体层332的区域的电阻能够增加。例如,在氮气氛中以250℃执行热处理1小时。

[0430] 通过在氮气氛中对设置有氧化物绝缘层366的氧化物半导体层332的热处理,氧化物半导体层332的外露区域的电阻降低。因此,形成包括具有不同电阻的区域(在图12B中表示为加阴影区域和白色区域)的氧化物半导体层362。

[0431] 随后,在栅极绝缘层322、氧化物半导体层362和氧化物绝缘层366之上形成导电层之后,在第四光刻过程中形成抗蚀剂掩模。执行选择性蚀刻,使得形成源电极层365a和漏电极层365b。然后,去除抗蚀剂掩模(参见图12C)。

[0432] 作为源电极层365a和漏电极层365b的材料,存在从Al、Cr、Cu、Ta、Ti、Mo或W中选取的元素,包含任意这些元素的组合的合金层,等等。金属导电层可具有单层结构或者两层或更多层的分层结构。

[0433] 通过上述步骤,氧化物半导体层成为处于氧缺陷状态,相应地,在对所形成的氧化物半导体层执行用于脱水或脱氢的热处理时,其电阻被降低,即,成为n型。然后,氧化物绝缘层形成为与氧化物半导体层相接触。相应地,氧化物半导体层的一部分有选择地处于氧过剩状态。因此,与栅电极层361重叠的沟道形成区363成为i型。这时,按照自调整方式来形成具有至少比沟道形成区363要高的载流子浓度并且与源电极层365a重叠的高电阻源区364a以及具有至少比沟道形成区363要高的载流子浓度并且与漏电极层365b重叠的高电阻漏区364b。通过上述步骤,形成薄膜晶体管360。

[0434] 此外,可在空气中以100℃至200℃(包括两端)执行热处理1小时至30小时(包括两端)。在本实施例中,以150℃执行热处理10小时。这个热处理可在固定加热温度下执行。备选地,加热温度的下述变化可重复进行多次:加热温度从室温增加到100℃至200℃(包括两端)的温度,并且然后降低到室温。此外,这种热处理可在形成氧化物绝缘层之前以降低

的压力来执行。在降低的压力下,加热时间能够缩短。通过这种热处理,氢从氧化物半导体层引入到氧化物绝缘层;因此,薄膜晶体管能够常截止。因此,薄膜晶体管的可靠性能提高。

[0435] 注意,通过在与漏电极层365b(和源电极层365a)重叠的氧化物半导体层中形成高电阻漏区364b(和高电阻源区364a),薄膜晶体管的可靠性能提高。具体来说,通过形成高电阻漏区364b,能够得到其中漏电极层365b、高电阻漏区364b和沟道形成区363的导电率逐渐地改变的结构。因此,在薄膜晶体管与连接到用于提供高电源电位 V_{DD} 的布线的漏电极层365b配合操作的情况下,高电阻漏区用作缓冲器,并且即使高电压施加在栅电极层361与漏电极层365b之间,也没有局部施加高电场;因此,薄膜晶体管的耐受电压能够增加。

[0436] 在源电极层365a、漏电极层365b和氧化物绝缘层366之上形成保护绝缘层323。在本实施例中,保护绝缘层323使用氮化硅层来形成(参见图12D)。

[0437] 注意,氧化物绝缘层还可在源电极层365a、漏电极层365b和氧化物绝缘层366之上形成,并且保护绝缘层323可层叠在氧化物绝缘层之上。

[0438] 包括上述薄膜晶体管的实施例1和2中的逻辑电路能够具有稳定电特性和高可靠性。

[0439] 本实施例能够适当地结合其它实施例来实现。

[0440] (实施例9)

[0441] 在本实施例中,描述实施例1或实施例2的逻辑电路中包含的薄膜晶体管的示例。

[0442] 参照图13A至图13D来描述薄膜晶体管的一个实施例以及本实施例的薄膜晶体管的制造方法。

[0443] 虽然使用作为图13D的薄膜晶体管350的单栅薄膜晶体管来给出描述,但是可根据需要形成包括多个沟道形成区的多栅薄膜晶体管。

[0444] 下面参照图13A至图13D来描述在衬底340之上制造薄膜晶体管350的过程。

[0445] 首先,在具有绝缘表面的衬底340之上形成导电层之后,在第一光刻过程中形成栅电极层351。在本实施例中,钨层作为栅电极层351形成为150nm的厚度。

[0446] 然后,栅极绝缘层342在栅电极层351之上形成。在本实施例中,采用等离子体CVD方法将氧氮化硅层作为栅极绝缘层342形成为小于或等于100nm的厚度。

[0447] 随后,在栅极绝缘层342之上形成导电层之后,在第二光刻过程中形成抗蚀剂掩模。执行选择性蚀刻,使得形成源电极层355a和漏电极层355b。然后,去除抗蚀剂掩模(参见图13A)。

[0448] 然后,形成氧化物半导体层345(参见图13B)。在本实施例中,采用溅射方法、借助于In-Ga-Zn-O基金属氧化物靶来形成氧化物半导体层345。在第三光刻过程中将氧化物半导体层345处理成岛状氧化物半导体层。

[0449] 在这种情况下,优选地在去除处理室中剩余的水分的同时来形成氧化物半导体层345。这用于防止氢、羟基和水分包含在氧化物半导体层345中。

[0450] 为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、包含氢原子的化合物、如水(H_2O)等,由此能够降低沉积室中形成的氧化物半导体层345的杂质浓度。

[0451] 优选的是使用从其中将诸如氢、水、羟基或氢化物之类的杂质去除到通过ppm或ppb等级所表示的浓度的高纯度气体,作为在形成氧化物半导体层345时使用的溅射气体。

[0452] 随后,氧化物半导体层经过脱水或脱氢。用于脱水或脱氢的第一热处理的温度高于或等于400℃且低于或等于750℃,优选地高于或等于400℃且低于衬底的应变点。在这里,将衬底引入作为热处理设备之一的电炉中,在氮气氛中以450℃对氧化物半导体层执行热处理 1小时,氧化物半导体层则没有暴露于空气,使得防止水和氢进入氧化物半导体层;从而获得氧化物半导体层346(参见图13C)。

[0453] 作为第一热处理,GRTA可按照如下所述来执行。将衬底传递并放入已经加热到650℃至700℃的高温的惰性气体中,加热数分钟,从已经加热到高温的惰性气体中传递和取出。GRTA实现在短时间的高温热处理。

[0454] 形成用作保护绝缘层并且与氧化物半导体层346相接触的氧化物绝缘层356。

[0455] 氧化物绝缘层356能够适当地采用溅射方法等形成成为大于或等于 1nm的厚度,溅射方法是用以使诸如水或氢之类的杂质不会进入氧化物绝缘层356的方法。当氢包含于氧化物绝缘层356时,发生氢进入氧化物半导体层或者通过氢抽取氧化物半导体层中的氧,由此氧化物半导体层的背沟道成为具有较低电阻(成为n型),并且因此可形成寄生沟道。因此,重要的是,采用其中没有使用氢的形成方法,使得形成包含尽可能少的氢的氧化物绝缘层356。

[0456] 在本实施例中,氧化硅层采用溅射方法作为氧化物绝缘层356形成成为200nm的厚度。膜形成中的衬底温度可高于或等于室温且低于或等于300℃,并且在本实施例中为100℃。能够采用溅射方法在稀有气体(通常为氩)气氛、氧气氛或者稀有气体(通常为氩)和氧的混合气氛中形成氧化硅层。此外,氧化硅靶或硅靶能够用作靶。例如,能够采用溅射方法在包含氧和氮的气氛中使用硅靶来形成氧化硅层。使用没有包含诸如水分、氢离子和OH⁻之类的杂质并且阻止这类杂质从外部进入的无机绝缘层、通常为氧化硅层、氧氮化硅层、氧化铝层或者氧氮化铝层来形成在处于氧缺陷状态并且因而具有较低电阻的区域中形成成为与氧化物半导体层相接触的氧化物绝缘层356。

[0457] 在这种情况下,优选地在去除处理室中剩余的水分的同时来形成氧化物绝缘层356。这用于防止氢、羟基和水分包含在氧化物半导体层346和氧化物绝缘层356中。

[0458] 为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、包含氢原子的化合物、如水(H₂O)等,由此能够降低沉积室中形成的氧化物绝缘层356的杂质浓度。

[0459] 优选的是使用将例如氢、水、羟基或氢化物等杂质去除到的通过 ppm或ppb等级所表示的浓度的高纯度气体,作为形成氧化物绝缘层 356时使用的溅射气体。

[0460] 随后,在惰性气体气氛或者氧气体气氛中执行第二热处理(优选地以200℃至400℃(包括两端)、例如从250℃至350℃(包括两端))。例如,第二热处理在氮气氛中以250℃执行1小时。通过第二热处理,在氧化物半导体层(沟道形成区)的一部分与氧化物绝缘层356相接触的同时施加热量。

[0461] 通过上述步骤,通过脱水或脱氢使处于氧缺陷状态并且因而具有较低电阻的氧化物半导体层进入氧过剩状态。因此,形成具有高电阻的i型氧化物半导体层352。通过上述步

骤,形成薄膜晶体管350。

[0462] 此外,可在空气中以100℃至200℃(包括两端)执行热处理1 小时至30小时(包括两端)。在本实施例中,以150℃执行热处理 10小时。这个热处理可在固定加热温度下执行。备选地,加热温度的下述变化可重复进行多次:加热温度从室温增加到100℃至200℃(包括两端)的温度,并且然后降低到室温。此外,这个热处理可在降低的压力下执行。在降低的压力下,加热时间能够缩短。通过这种热处理,氢从氧化物半导体层引入到氧化物绝缘层;因此,薄膜晶体管能够常截止。因此,半导体器件的可靠性能够提高。

[0463] 保护绝缘层343还可在氧化物绝缘层356之上形成。例如,氮化硅层采用RF溅射方法来形成。在本实施例中,作为保护绝缘层,保护绝缘层343使用氮化硅层来形成(参见图13D)。

[0464] 注意,用于平面化的平面化绝缘层可设置在保护绝缘层343之上。

[0465] 包括上述薄膜晶体管的实施例1和2中的逻辑电路能够具有稳定电特性和高可靠性。

[0466] 本实施例能够适当地结合其它实施例来实现。

[0467] (实施例10)

[0468] 在本实施例中,描述实施例1或实施例2的逻辑电路中包含的薄膜晶体管的示例。

[0469] 在本实施例中,将参照图14来描述在薄膜晶体管的制造过程中与实施例7部分不同的一个示例。由于图14除了部分步骤之外与图11A至图11E相同,所以共同的参考标号用于相同部分,并且省略相同部分的详细描述。

[0470] 首先,栅电极层381在衬底370之上形成,并且第一栅极绝缘层 372a和第二栅极绝缘层372b按照实施例7层叠在其上。在本实施例中,栅极绝缘层具有二层结构,其中氮化物绝缘层和氧化物绝缘层分别用作第一栅极绝缘层372a和第二栅极绝缘层372b。

[0471] 作为氧化物绝缘层,可使用氧化硅层、氧氮化硅层、氧化铝层、氧氮化铝层等。作为氮化物绝缘层,可使用氮化硅层、氮氧化硅层、氮化铝层、氮氧化铝层等。

[0472] 在本实施例中,栅极绝缘层可具有一种结构,其中从栅电极层381 侧来层叠氮化硅层和氧化硅层。采用溅射方法来形成作为第一栅极绝缘层372a的厚度为50nm至200nm(包括两端)(在本实施例中为 50nm)的氮化硅层(SiN_y ($y>0$)),并且在第一栅极绝缘层372a之上层叠作为第二栅极绝缘层372b的厚度为5nm至300nm(包括两端)(在本实施例中为100nm)的氧化硅层(SiO_x ($x>0$));因此形成栅极绝缘层。

[0473] 随后,在光刻过程中,氧化物半导体层被形成,并且然后处理成岛状氧化物半导体层。在本实施例中,采用溅射方法、借助于 In-Ga-Zn-O基金属氧化物靶来形成氧化物半导体层。

[0474] 在这种情况下,优选地在去除处理室中剩余的水分的同时来形成氧化物半导体层。这用于防止氢、羟基和水分包含在氧化物半导体层中。

[0475] 为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、包含氢原子的化合物、如水(H_2O)等,由此能够降低沉积室中形成的氧化物半导体层的杂质浓度。

[0476] 优选的是使用从其中将诸如氢、水、羟基或氢化物之类的杂质去除到通过ppm或

ppb等级所表示的浓度的高纯度气体,作为在形成氧化物半导体层时使用的溅射气体。

[0477] 随后,氧化物半导体层经过脱水或脱氢。脱水或脱氢的第一热处理的温度高于或等于400℃且低于或等于750℃,优选地为高于或等于425℃。注意,在温度为425℃或更高的情况下,热处理时间可以为1小时或更少,而在温度低于425℃的情况下,热处理时间大于1小时。在这里,将衬底引入作为热处理设备之一的电炉中,在氮气氛中对氧化物半导体层执行热处理,氧化物半导体层则没有暴露于空气,使得防止水和氢进入氧化物半导体层。这样,得到氧化物半导体层。此后,将高纯度氧气体、高纯度N₂O气体或者超干空气(露点为-40℃或更低,优选地为-60℃或更低)引入同一电炉中,并且执行冷却。优选的是,水、氢等等没有包含在氧气体或N₂O气体中。备选地,引入热处理设备中的氧气或N₂O气体的纯度优选地为6N(99.9999%)或更高,更优选地为7N(99.99999%)或更高(即,氧气体或N₂O气体的杂质浓度优选地为1ppm或更低,更优选地为0.1ppm或更低)。

[0478] 注意,热处理设备并不局限于电炉,而例如可以是诸如GRTA(气体快速热退火)设备或LRTA(灯快速热退火)设备之类的RTA(快速热退火)设备。LRTA设备是用于通过从诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压水银灯之类的灯泡所发射的光(电磁波)的辐射来加热待处理对象的设备。LRTA设备可以不仅配备有灯泡,而且还配备有用于通过来自诸如电阻加热器之类的加热器的热传导或热辐射来加热待处理对象的装置。GRTA是一种用于使用高温气体来执行热处理的方法。作为气体,使用不会通过热处理来与待处理对象发生反应的诸如氮之类的惰性气体或者诸如氩之类的稀有气体。备选地,热处理可通过RTA方法在600℃至750℃执行数分钟。

[0479] 此外,在用于脱水或脱氢的第一热处理之后,可在氧气体气氛或者N₂O气体气氛中在从200℃至400℃(包括两端)、优选地从200℃至300℃(包括两端)下执行热处理。

[0480] 氧化物半导体层的第一热处理可在将氧化物半导体层处理成岛状氧化物半导体层之前执行。在这种情况下,在第一热处理之后,从加热设备中取出衬底,并且执行光刻步骤。

[0481] 通过上述过程,使氧化物半导体层的整个区域处于氧过剩状态;因此,氧化物半导体层具有较高电阻,即,氧化物半导体层成为i型。相应地,得到其整个区域为i型的氧化物半导体层382。

[0482] 随后,导电层在氧化物半导体层382之上形成。抗蚀剂掩模在光刻过程中形成。有选择地执行蚀刻,由此形成源电极层385a和漏电极层385b。然后,氧化物绝缘层386采用溅射方法来形成。

[0483] 在这种情况下,优选地在去除处理室中剩余的水分的同时来形成氧化物绝缘层386。这用于防止氢、羟基和水分包含在氧化物半导体层382和氧化物绝缘层386中。

[0484] 为了去除处理室中剩余的水分,优选地使用气体截留式真空泵。例如,优选地使用低温泵、离子泵或钛升华泵。此外,排气单元可以是提供有冷阱的涡轮泵。在采用低温泵排气的沉积室中,排出氢原子、包含氢原子的化合物、如水(H₂O)等,由此能够降低沉积室中形成的氧化物绝缘层386的杂质浓度。

[0485] 优选的是使用将例如氢、水、羟基或氢化物等杂质去除到的通过ppm或ppb等级所表示的浓度的高纯度气体,作为形成氧化物绝缘层386时使用的溅射气体。

[0486] 通过上述步骤,能够形成薄膜晶体管380。

[0487] 随后,为了降低薄膜晶体管的电特性的变化,热处理(优选地在 150℃或更高且低于350℃)可在惰性气体气氛或者氮气体气氛中执行。例如,在氮气氛中以250℃执行热处理1小时。

[0488] 此外,可在空气中以100℃至200℃(包括两端)执行热处理1 小时至30小时(包括两端)。在本实施例中,以150℃执行热处理 10小时。这个热处理可在固定加热温度下执行。备选地,加热温度的下述变化可重复进行多次:加热温度从室温增加到100℃至200℃(包括两端)的温度,并且然后降低到室温。在降低的压力下,加热时间能够缩短。通过这种热处理,氢从氧化物半导体层引入到氧化物绝缘层;因此,薄膜晶体管能够常截止。因此,薄膜晶体管的可靠性能够提高。

[0489] 保护绝缘层373可在氧化物绝缘层386之上形成。在本实施例中,保护绝缘层373采用溅射方法借助于氮化硅层来形成成为100nm的厚度。

[0490] 各使用氮化物绝缘层所形成的保护绝缘层373和第一栅极绝缘层372a没有包含诸如水分、氢、氢化物和氢氧化物之类的杂质,并且具有阻止其从外部进入的效果。

[0491] 因此,在形成保护绝缘层373之后的制造过程中,能够防止诸如水分之类的杂质从外部进入。此外,甚至在作为诸如液晶显示装置之类的半导体器件的装置完成之后,也能够长期防止诸如水分之类的杂质从外部进入;因此,能够实现装置的长期可靠性。

[0492] 此外,可去除使用氮化物绝缘层所形成的保护绝缘层373与第一栅极绝缘层372a之间的绝缘层的部分,使得保护绝缘层373和第一栅极绝缘层372a相互接触。

[0493] 相应地,尽可能多地减少氧化物半导体层中的诸如水分、氢、氢化物和氢氧化物之类的杂质并且防止这类杂质进入,使得氧化物半导体层中的杂质的浓度能够保持为较低。

[0494] 虽然未示出,用于平面化的平面化绝缘层可设置在保护绝缘层 373之上。

[0495] 包括上述薄膜晶体管的实施例1和2中的逻辑电路能够具有稳定电特性和高可靠性。

[0496] 本实施例能够适当地结合其它实施例来实现。

[0497] (实施例11)

[0498] 在本实施例中,描述各包括实施例1或实施例2中的逻辑电路的半导体器件的示例。具体来说,参照图15A至图15C来描述液晶显示面板的外观和截面,在各液晶显示面板中,驱动器电路包括实施例1 或实施例2中的逻辑电路。图15A和图15C是面板的平面图,在各面板中,薄膜晶体管4010和4011以及液晶元件4013在第一衬底4001 与第二衬底4006之间采用密封剂4005来密封。图15B是沿图15A或 15C的截线M-N所截取的截面图。

[0499] 密封剂4005设置成使得包围设置在第一衬底4001之上的像素部分4002和扫描线驱动器电路4004。第二衬底4006设置在像素部分4002和扫描线驱动器电路4004之上。因此,像素部分4002和扫描线驱动器电路4004连同液晶层4008一起由第一衬底4001、密封剂4005和第二衬底4006来密封。使用单独制备的衬底之上的单晶半导体膜或多晶半导体膜来形成的信号线驱动器电路4003安装在与第一衬底 4001之上的密封剂4005所包围的区域不同的区域中。

[0500] 注意,对于单独形成的驱动器电路的连接方法没有具体限制,并且能够使用COG方法、引线接合方法、TAB方法等等。图15A示出其中信号线驱动器电路4003通过COG方法来安装的一个示例。图15C 示出其中信号线驱动器电路4003通过TAB方法来安装的一个示例。

[0501] 设置在第一衬底4001之上的像素部分4002和扫描线驱动器电路 4004包括多个薄膜晶体管。作为一个示例,图15B示出像素部分4002 中包含的薄膜晶体管4010和扫描线驱动器电路4004中包含的薄膜晶体管4011。绝缘层4041、4042和4021设置在薄膜晶体管4010和4011 之上。

[0502] 实施例3至10的薄膜晶体管的任一个能够适当地用作薄膜晶体管4010和4011,并且它们能够使用与实施例3至10的薄膜晶体管相似的步骤和材料来形成。在薄膜晶体管4010和4011的氧化物半导体层中降低氢或水。因此,薄膜晶体管4010和4011是极可靠的薄膜晶体管。在本实施例中,薄膜晶体管4010和4011是n沟道薄膜晶体管。

[0503] 导电层4040设置在与薄膜晶体管4011中的氧化物半导体层的沟道形成区重叠的绝缘层4021的一部分之上。导电层4040设置在与氧化物半导体层的沟道形成区重叠的位置中,由此能够降低在BT测试之前和之后的薄膜晶体管4011的阈值电压的变化量。导电层4040的电位可与薄膜晶体管4011的栅电极层的电位相同或不同。导电层4040 还能够用作第二栅电极层。此外,导电层4040的电位可以是GND、0V,或者导电层4040可处于浮动状态。注意,不一定设置导电层4040。

[0504] 液晶元件4013中包含的像素电极层4030电连接到薄膜晶体管 4010的源或漏电极层。液晶元件4013的对电极层(counter electrode layer) 4031在第二衬底4006上形成。其中像素电极层4030、对电极层4031和液晶层4008相互重叠的一部分对应于液晶元件4013。注意,像素电极层4030和对电极层4031分别设置有用取向膜的绝缘层 4032和绝缘层4033,并且液晶层4008隔着绝缘层4032和4033夹在电极层之间。

[0505] 注意,透光衬底能够用作第一衬底4001和第二衬底4006;能够使用玻璃、陶瓷或塑料。塑料可以是玻璃纤维增强塑料(FRP)板、聚氟乙烯(PVF)膜、聚酯膜或丙烯酸树脂膜。

[0506] 参考标号4035表示通过有选择地蚀刻绝缘膜所得到的柱状隔离件,并且设置柱状隔离件以便控制像素电极层4030与对电极层4031 之间的距离(单元间隙(cell gap))。备选地,球形隔离件可用作隔离件4035。对电极层4031电连接到在其中形成了薄膜晶体管4010的衬底之上所形成的公共电位线。对电极层4031和公共电位线能够使用公共连接部分通过设置在一对衬底之间的导电粒子相互电连接。注意,导电粒子包含在密封剂4005中。

[0507] 备选地,可使用对其不需要取向膜的呈现蓝相的液晶。蓝相是就在胆甾型相在胆甾型液晶的温度增加的同时变成各向同性相之前生成的液晶相位之一。由于蓝相仅在窄温度范围中生成,所以包含5wt%或以上的手性试剂的液晶组合物用于液晶层4008,以便改进温度范围。包括呈现蓝相的液晶和手性试剂的液晶成分具有1微秒或更小的短响应时间,并且在光学上是各向同性的;因此,取向处理不是必要的,并且视角相关性小。另外,由于无需设置取向膜并且不需要摩擦处理,所以能够防止摩擦处理所引起的静电击穿,并且能够在制造过程中降低液晶显示装置的缺陷和损坏。因此,液晶显示装置的产率能够提高。具体来说,使用氧化物半导体层所形成的薄膜晶体管具有如下可能性:晶体管的电特性可通过静电的影响而明显波动,并且偏离设计范围。因此,更有效的是将蓝相液晶材料用于包括使用氧化物半导体层所形成的薄膜晶体管的液晶显示装置。

[0508] 注意,除了透射液晶显示装置之外,本实施例还能够应用于透反射液晶显示装置。

[0509] 虽然在液晶显示装置的示例中,起偏振片设置在衬底的外表面(观看者侧)上,并且用于显示元件的着色层和电极层依次设置在衬底的内表面上,但是起偏振片可设置在衬

底的内表面上。起偏振片和着色层的层叠结构并不局限于本实施例中的结构,而是可根据起偏振片和着色层的材料以及制造过程的条件来适当地设置。此外,用作黑色矩阵的遮光膜可设置在除了显示部分之外的部分中。

[0510] 在薄膜晶体管4011和4010之上,绝缘层4041形成为与氧化物半导体层相接触。绝缘层4041能够使用与实施例的任一个中所述的氧化物绝缘层相似的材料和方法来形成。在这里,作为绝缘层4041,氧化硅层通过溅射方法来形成。此外,保护绝缘层4042在绝缘层4041上形成并且与其接触。例如,保护绝缘层4042能够使用氮化硅层来形成。为了降低薄膜晶体管所引起的表面粗糙度,形成用作平面化绝缘层的绝缘层4021。

[0511] 形成作为平面化绝缘层的绝缘层4021。作为绝缘层4021,能够使用诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺或环氧树脂之类的具有耐热性的有机材料。除了这类有机材料,有可能使用低介电常数材料(低k材料)、硅氧烷基树脂、PSG(磷硅酸玻璃)、BPSG(硼磷硅玻璃)等。注意,可通过层叠由这些材料所形成的多个绝缘层,来形成绝缘层4021。

[0512] 对用于形成绝缘层4021的方法没有具体限制。能够取决于材料,通过诸如溅射方法、SOG方法、旋涂方法、浸涂方法、喷涂方法或微滴排放方法(例如喷墨方法、丝网印刷或胶印)之类的方法或者诸如刮刀、辊涂机、幕涂机或刮刀式涂布机之类的工具(设备),来形成绝缘层4021。绝缘层4021的烘焙步骤还充当半导体层的退火,由此能够有效地制造半导体器件。

[0513] 像素电极层4030和对电极层4031能够使用透光导电材料来形成,例如氧化铟锡(ITO)、在氧化铟中混合氧化锌的氧化铟锌(IZO)、在氧化铟中混合氧化硅的导电材料(SiO_2)、有机铟、有机锡、包含氧化钨的氧化铟、包含氧化钛的氧化铟等。此外,在不需要透光性质或者在反射液晶显示装置中需要反射性质的情况下,像素电极层4030和对电极层4031能够使用从诸如钨(W)、钼(Mo)、锆、铪(Hf)、钒(V)、铌(Nb)、钽(Ta)、铬(Cr)、钴(Co)、镍(Ni)、钛(Ti)、铂(Pt)、铝(Al)、铜(Cu)和银(Ag)之类金属中选取的一种或多种材料、这些金属的合金和这些金属的氮化物来形成。

[0514] 包含导电高分子(又称作导电聚合物)的导电成分能够用于像素电极层4030和对电极层4031。使用导电成分所形成的像素电极优选地在波长550nm具有小于或等于10000欧姆每平方(ohms per square)的表面电阻以及大于或等于70%的透射率。此外,导电组合物中包含的导电高分子的电阻率优选地为小于或等于 $0.1 \Omega \cdot \text{cm}$ 。

[0515] 作为导电高分子,能够使用所谓的 π 电子共轭导电聚合物。例如,能够给出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、它们的两种或更多种的共聚物等等。

[0516] 此外,各种信号和电位从FPC 4018提供给单独形成的信号线驱动器电路4003、扫描线驱动器电路4004或像素部分4002。

[0517] 端子电极4015使用与液晶元件4013中包含的像素电极层4030相同的导电膜来形成,并且端子电极4016使用与薄膜晶体管4010和4011的源和漏电极层相同的导电膜来形成。

[0518] 连接端子电极4015通过各向异性导电膜4019电连接到FPC 4018中包含的端子。

[0519] 注意,图15A至图15C示出一些示例,在每个示例中,信号线驱动器电路4003单独形成并且安装在第一衬底4001上;但是,本发明并不局限于这种结构。扫描线驱动器电路可单独形成并且然后再安装,或者只有信号线驱动器电路的部分或者扫描线驱动器电路的部分

可单独形成并且然后再安装。

[0520] 适当地设置黑色矩阵(遮光层)、诸如起偏振构件之类的光学构件(光学衬底)、延迟构件或者抗反射构件等。例如,可通过使用起偏振衬底和延迟衬底来采用圆偏振。另外,背光源、侧光源等可用作光源。

[0521] 在有源矩阵液晶显示装置中,通过驱动以矩阵设置的像素电极,在屏幕上形成显示图案。具体来说,电压施加在所选像素电极与对应于像素电极的对电极之间,并且因此在光学上调制设置在像素电极与对电极之间的液晶层。这种光学调制由观察者识别为显示图案。

[0522] 液晶显示装置的问题在于,当显示运动图像时,图像暂留(image sticking)发生或者使运动图像模糊,因为液晶分子本身的响应速度较低。作为用于改进液晶显示装置的运动图像特性的技术,存在以每隔一个帧显示完整黑色图像的所谓插黑的驱动技术。

[0523] 备选地,可采用称作双帧速率驱动的驱动方法,其中垂直同步频率高达正常垂直同步频率的1.5倍或以上、优选地为2倍或以上,由此改进响应速度。

[0524] 此外,作为用于改进液晶显示装置的运动图像特征的技术,存在另一种驱动技术,其中,作为背光源,使用包括多个LED(发光二极管)光源或者多个EL光源的表面光源,并且单独驱动表面光源中包含的各光源,以使得在一个帧期间中执行间断照明。作为表面光源,可使用三种或更多种LED,或者可使用白色发光LED。由于能够单独控制多个LED,LED发射光的定时能够与切换液晶层的光学调制的定时同步。在这种驱动技术中,LED的部分能够截止。因此,尤其是在显示其中一个屏幕中的黑色区域的比例较高的图像的情况下,能够以低功率消耗来驱动液晶显示装置。

[0525] 在与任意这些驱动技术相结合时,液晶显示装置能够具有比常规液晶显示装置更好的显示特性、如运动图像特性。

[0526] 由于薄膜晶体管因静电等而易于损坏,所以保护电路优选地设置在与像素部分和驱动电路部分相同的衬底之上。保护电路优选地使用包括氧化物半导体层的非线性元件来形成。例如,保护电路设置在像素部分与扫描线输入端子和信号线输入端子之间。在本实施例中,设置多个保护电路,使得像素晶体管等在因静电等而引起的浪涌电压施加到扫描线、信号线和电容器总线线路时没有损坏。相应地,保护电路具有一种用于当浪涌电压施加到保护电路时向公共布线释放电荷的结构。保护电路包括设置成与扫描线并联设置的非线性元件。非线性元件的每个包括诸如二极管之类的二端元件或者诸如晶体管之类的三端元件。例如,非线性元件能够通过与其像素部分的薄膜晶体管相同的步骤来形成。例如,与二极管相似的特性能够通过将栅极端子连接到漏极端子来实现。

[0527] 此外,对于液晶显示模块,能够使用扭转向列(TN)模式、共面转换(IPS)模式、边缘场转换(FFS)模式、轴向对称取向微单元(ASM)模式、光学补偿双折射(OCB)模式、铁电液晶(FLC)模式、反铁电液晶(AFLC)模式等。

[0528] 在本说明书所公开的半导体器件中没有具体限制,并且包括TN液晶、OCB液晶、STN液晶、VA液晶、ECB液晶、GH液晶、聚合物扩散液晶、盘状液晶等的液晶显示装置。具体来说,利用垂直取向(VA)模式的诸如透射液晶显示装置之类的通常的黑色液晶面板是优选的。给出作为垂直取向模式的一些示例。例如,能够采用MVA(多畴垂直取向)模式、PVA(图案垂直取向)模式、ASV模式等。

[0529] 此外,本实施例还能够应用于VA液晶显示装置。VA液晶显示装置具有一种形式,其中控制液晶显示面板中的液晶分子的取向。在VA液晶显示装置中,液晶分子在没有施加电压时相对于面板表面沿垂直方向取向。此外,能够使用用以将像素分为某些区域(子像素)并且将液晶分子在其相应区域中沿不同方向取向的称作多畴或多畴设计的方法。

[0530] 本实施例能够适当地结合任意其它实施例来实现。

[0531] (实施例12)

[0532] 在本实施例中,描述各包括实施例1或实施例2中的逻辑电路的半导体器件的示例。具体来说,描述制造有源矩阵发光显示装置的示例,在每个显示装置中,驱动器电路包括实施例1或实施例2中的逻辑电路。注意,在本实施例中,将描述包括利用电致发光的发光元件的发光显示装置的示例。

[0533] 利用电致发光的发光元件按照发光材料是有机化合物还是无机化合物来分类。一般来说,前一种称作有机EL元件,而后一种称作无机EL元件。

[0534] 在有机EL元件中,通过向发光元件施加电压,电子和空穴从一对电极分别注入包含发光有机化合物的层,并且电流流动。然后,载流子(电子和空穴)复合,由此发射光。由于这种机制,这个发光元件称作电流激发发光元件。

[0535] 无机EL元件按照其元件结构分为分散型无机EL元件和薄膜无机EL元件。分散类型无机EL元件具有发光层,其中发光材料的颗粒在粘合剂中分散,并且其发光机制是利用施主能级和受主能级的施主-受主复合类型光发射。薄膜无机EL元件具有一种结构,其中发光层夹在介电层之间,并且其光发射机制是利用金属离子的内壳电子跃迁的局部类型光发射,其中介电层又夹在电极之间。注意,在这里描述作为发光元件的有机EL元件的示例。

[0536] 图16作为半导体器件的一个示例来示出数字时间灰度驱动(digital time grayscale driving)能够适用的像素结构的一个示例。

[0537] 描述数字时间灰度驱动能够适用的像素的结构和操作。在这里,一个像素包括两个n沟道晶体管,其中的每个包括氧化物半导体层作为沟道形成区。

[0538] 像素6400包括开关晶体管6401、驱动晶体管6402、发光元件6404 和电容器6403。开关晶体管6401的栅极连接到扫描线6406,开关晶体管6401的第一电极(源电极和漏电极中的一个)连接到信号线6405,并且开关晶体管6401的第二电极(源电极和漏电极中的另一个)连接到驱动晶体管6402的栅极。驱动晶体管6402的栅极通过电容器 6403连接到电源线6407,驱动晶体管6402的第一电极连接到电源线 6407,并且驱动晶体管6402的第二电极连接到发光元件6404的第一电极(像素电极)。发光元件6404的第二电极对应于公共电极。公共电极电连接到设置在与公共电极相同的衬底之上的公共电位线 6408。

[0539] 发光元件6404的第二电极(公共电极)设置成低电源电位。注意,低电源电位是参考设置到电源线6407的高电源电位满足低电源电位<高电源电位的电位。作为低电源电位,例如可采用GND、0V 等。高电源电势与低电源电势之间的电位差施加到发光元件6404,并且将电流提供给发光元件6404,使得发光元件6404发光。在这里,为了使发光元件6404发光,各电位设置成使得高电源电位与低电源电位之间的电位差高于发光元件6404的正向电压降。

[0540] 当驱动晶体管6402的栅电容用作电容器6403的替代时,能够省略电容器6403。驱动晶体管6402的栅电容可在沟道形成区与栅电极之间形成。

[0541] 在这里,在使用电压输入电压驱动(voltage-input voltage driving)方法的情况下,使驱动晶体管6402能够完全导通或截止的视频信号输入到驱动晶体管6402的栅极。也就是说,驱动晶体管6402工作在线性区域。由于驱动晶体管6402工作在线性区域,所以比电源线6407 的电压更高的电压施加到驱动晶体管6402的栅极。注意,大于或等于(电源线电压+驱动晶体管6402的 V_{th})的电压施加到信号线6405。

[0542] 此外,在使用模拟灰度驱动来代替数字时间比灰度驱动的情况下,能够通过以不同方式输入信号来使用与图16相同的像素结构。

[0543] 在使用模拟灰度方法的情况下,大于或等于发光元件6404的正向电压+驱动晶体管6402的 V_{th} 的电压施加到驱动晶体管6402的栅极。发光元件6404的正向电压表示以其得到预期亮度的电压。通过输入视频信号以使驱动晶体管6402能够工作在饱和区域,能够将电流提供给发光元件6404。为了驱动晶体管6402能够工作在饱和区域,使电源线6407的电位高于驱动晶体管6402的栅极电位。当使用模拟视频信号时,有可能按照视频信号将电流馈送到发光元件6404,并且执行模拟灰度驱动。

[0544] 注意,图16所示的像素结构并不局限于此。例如,开关、电阻器、电容器、晶体管、逻辑电路等可添加到图16所示的像素。

[0545] 接下来将参照图17A至图17C来描述发光元件的结构。在这里,将以n沟道驱动TFT为例来描述像素的截面结构。作为示例,用于图 17A、图17B和图17C所示的半导体器件的驱动TFT 7011、7021和 7001能够按照与实施例的任一个中所述的薄膜晶体管相似的方式来制造,并且是各包括氧化物半导体层的薄膜晶体管。

[0546] 为了抽取来自发光元件的光发射,要求阳极和阴极中的至少一个是透明的。薄膜晶体管和发光元件在衬底之上形成。发光元件能够具有:顶部发光结构,其中光发射通过与衬底相对的表面来抽取;底部发光结构,其中光发射通过衬底侧上的表面来抽取;或者双重发光结构,其中光发射通过与衬底相对的表面和衬底侧上的表面来抽取。像素结构能够适用于具有这些发光结构的任一种的发光元件。

[0547] 接下来参照图17A来描述具有底部发光结构的发光元件。

[0548] 图17A是在驱动TFT属于n型并且光从发光元件7012发射到第一电极7013侧的情况下的像素的截面图。图17A中,发光元件7012 的第一电极层7013在电连接到驱动TFT 7011的漏电极层的透光导电层7017之上形成,并且EL层7014和第二电极层7015按照所示顺序层叠在第一电极层7013之上。

[0549] 作为透光导电层7017,能够使用包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡、氧化铟锌、添加了氧化硅的氧化铟锡等的透光导电层。

[0550] 各种材料能够用于发光元件的第一电极7013。例如,在第一电极 7013用作阴极的情况下,例如优选地使用诸如Li或Cs之类的碱金属、诸如Mg、Ca或Sr之类的碱土金属、包含任意这些金属的合金(例如 MG:Ag、Al:Li)或者诸如Yb或Er之类的稀土金属等的具有低功函数的材料来形成第一电极7013。图17A中,第一电极7013近似地形成使得透射光的厚度(优选地为大约5nm至30nm)。例如,厚度为20nm的铝层用于第一电极7013。

[0551] 注意,可通过层叠透光导电层和铝层并且然后执行选择性蚀刻,来形成透光导电层7017和第一电极7013。在这种情况下,蚀刻能够使用相同掩模来执行,这是优选的。

[0552] 此外,第一电极7013的周边覆盖有隔壁7019。使用聚酰亚胺、丙烯酸、聚酰胺、环氧树脂等的有机树脂膜、无机绝缘膜或者有机聚硅氧烷来形成隔壁7019。特别优选的是,隔壁7019使用光敏树脂材料来形成,以便在第一电极7013之上具有开口,使得开口的侧壁形成具有带连续曲率的斜面。在光敏树脂材料用于隔壁7019的情况下,能够省略形成抗蚀剂掩模的步骤。

[0553] 作为在第一电极7013和隔壁7019之上形成的EL层7014,至少包括发光层的EL层是可接受的。此外,EL层7014可形成为具有单层结构或叠层结构。当EL层7014使用多层来形成时,电子注入层、电子传输层、发光层、空穴传输层和空穴注入层按照所示顺序层叠在用作阴极的第一电极7013之上。注意,并非需要设置所有这些层,除了发光层之外。

[0554] 层叠顺序并不局限于上述顺序。第一电极7013可用作阳极,并且空穴注入层、空穴传输层、发光层、电子传输层和电子注入层可按照所示顺序层叠在第一电极层7013之上。但是,考虑功率消耗,优选的是,第一电极7013用作阴极,并且电子注入层、电子传输层、发光层、空穴传输层和空穴注入层按照所示顺序层叠在第一电极7013之上,因为与使用第一电极7013作为阳极的情况相比,能够更有效地防止驱动器电路部分的电压的增加并且能够降低功率消耗。

[0555] 此外,各种材料的任一种能够用于在EL层7014之上形成的第二电极7015。例如,在第二电极7015用作阳极的情况下,例如ZrN、Ti、W、Ni、Pt、Cr等的具有高功函数的材料或者诸如ITO、IZO或ZnO之类的透明导电材料是优选的。此外,屏蔽膜7016、例如遮挡光的金属、反射光的金属等设置在第二电极7015之上。在本实施例中,ITO膜用作第二电极7015,并且Ti层用作屏蔽膜7016。

[0556] 发光元件7012对应于其中包括发光层的EL层7014夹在第一电极7013与第二电极7015之间的区域。在图17A所示的元件结构的情况下,从发光元件7012所发射的光射出到第一电极7013侧,如箭头所示。

[0557] 注意,在图17A所示的示例中,透光导电层用作栅电极层,并且发光薄膜用作源和漏电极层。从发光元件7012所发射的光经过滤色器层7033,并且能够通过衬底射出。

[0558] 滤色器层7033通过诸如喷墨方法或印刷方法的微滴排放方法、借助于光刻技术的蚀刻方法等来形成。

[0559] 滤色器层7033覆盖有覆盖层7034,并且还覆盖有保护绝缘层7035。注意,虽然具有小厚度的覆盖层7034如图17A所示,但是覆盖层7034具有平面化因滤色器层7033而引起的粗糙度的功能。

[0560] 在平面化绝缘层7036、绝缘层7032和绝缘层7031中形成并且到达漏电极层的接触孔设置在与隔壁7019重叠的部分中。

[0561] 参照图17B来描述具有双重发光结构的发光元件。

[0562] 图17B中,发光元件7022的第一电极层7023在电连接到驱动TFT 7021的漏电极层的发光导电层7027之上形成,并且EL层7024和第二电极7025按照所示顺序层叠在第一电极7023之上。

[0563] 作为透光导电层7027,能够使用包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡、氧化铟锌、添加了氧化硅的氧化铟锡等的透光导电层。

[0564] 各种材料能够用于第一电极7023。例如,在第一电极7023用作阴极的情况下,例如优选地使用诸如Li或Cs之类的碱金属、诸如Mg、Ca或Sr之类的碱土金属、包含任意这些金属的合金(例如MG:Ag、Al:Li)或者诸如Yb或Er之类的稀土金属等的具有低功函数的材料来形成第一电极7023。在本实施例中,第一电极7023用作阴极,并且第一电极7023近似地形成使得透射光的厚度(优选地大约为5nm至30nm)。例如,厚度为20nm的铝膜用作阴极。

[0565] 注意,可通过层叠透光导电层和铝层并且然后执行选择性蚀刻,来形成透光导电层7027和第一电极7023。在这种情况下,蚀刻能够使用相同掩模来执行,这是优选的。

[0566] 此外,第一电极7023的周边覆盖有隔壁7029。使用聚酰亚胺、丙烯酸、聚酰胺、环氧树脂等的有机树脂膜、无机绝缘膜或者有机聚硅氧烷来形成隔壁7029。特别优选的是,隔壁7029使用光敏树脂材料来形成,以便在第一电极7023之上具有开口,使得开口的侧壁成为具有带连续曲率的斜面。在光敏树脂材料用于隔壁7029的情况下,能够省略形成抗蚀剂掩模的步骤。

[0567] 作为在第一电极7023和隔壁7029之上形成的EL层7024,包括发光层的EL层是可接受的。此外,EL层7024可形成为具有单层结构或叠层结构。当EL层7024使用多层来形成时,电子注入层、电子传输层、发光层、空穴传输层和空穴注入层按照所示顺序层叠在用作阴极的第一电极7023之上。注意,并非需要设置所有这些层,除了发光层之外。

[0568] 层叠顺序并不局限于上述顺序。第一电极7023可用作阳极,并且空穴注入层、空穴传输层、发光层、电子传输层和电子注入层可按照所示顺序层叠在第一电极层7023之上。但是,考虑功率消耗,优选的是,第一电极7023用作阴极,并且电子注入层、电子传输层、发光层、空穴传输层和空穴注入层按照所示顺序层叠在阴极之上,因为与使用第一电极7023作为阳极的情况相比,能够更有效地降低功率消耗。

[0569] 此外,各种材料能够用于在EL层7024之上形成的第二电极7025。例如,在第二电极层7025用作阳极的情况下,具有高功函数的材料、例如诸如ITO、IZO或ZnO之类的透明导电材料是优选的。在本实施例中,第二电极7025使用包括氧化硅的ITO层来形成,并且用作阳极。

[0570] 发光元件7022对应于其中包括发光层的EL层7024夹在第一电极7023与第二电极7025之间的区域。在图17B所示的元件结构的情况下,从发光元件7022所发射的光射出到第二电极7025侧和第一电极7023侧,如箭头所示。

[0571] 注意,在图17B所示的示例中,透光导电层用作栅电极层,并且发光薄膜用作源和漏电极层。从发光元件7022发射到第一电极7023侧的光经过滤色器层7043,并且能够通过衬底射出。

[0572] 滤色器层7043通过诸如喷墨方法或印刷方法的微滴排放方法、借助于光刻技术的蚀刻方法等来形成。

[0573] 滤色器层7043覆盖有覆盖层7044,并且还覆盖有保护绝缘层7045。

[0574] 在平面化绝缘层7046、绝缘层7042和绝缘层7041中形成并且到达漏电极层的接触孔设置在与隔壁7029重叠的部分中。

[0575] 注意,在两个显示表面上通过使用具有双重发光结构的发光元件来实现全色显示的情况下,从第二电极7025侧所发射的光没有经过滤色器层7043;因此,优选的是具有滤色器层的密封衬底还可设置在第二电极7025之上。

[0576] 接下来参照图17C来描述具有顶部发光结构的发光元件。

[0577] 图17C是在驱动TFT 7001属于n型并且从发光元件7002所发射的光经过第二电极7005的情况下的像素的截面图。图17C中,驱动 TFT 7001的漏电极层和第一电极7003相互接触,并且驱动TFT 7001 和发光元件7002的第一电极7003相互电连接。EL层7004和第二电极7005按照所示顺序层叠在第一电极7003之上。

[0578] 此外,各种材料能够用于第一电极7003。例如,在第一电极7003 用作阴极的情况下,优选地使用诸如Li或Cs之类的碱金属、诸如 Mg、Ca或Sr之类的碱土金属、包含任意这些金属的合金(例如 MG:Ag、Al:Li)或者诸如Yb或Er之类的稀土金属等的具有低功函数的材料来形成第一电极7003。

[0579] 此外,第一电极7003的周边覆盖有隔壁7009。使用聚酰亚胺、丙烯酸、聚酰胺、环氧树脂等的有机树脂膜、无机绝缘膜或者有机聚硅氧烷来形成隔壁7009。特别优选的是,隔壁7009使用光敏树脂材料来形成,以便在第一电极7003之上具有开口,使得开口的侧壁形成成为具有带连续曲率的斜面。在光敏树脂材料用于隔壁7009的情况下,能够省略形成抗蚀剂掩模的步骤。

[0580] 作为在第一电极7003和隔壁7009之上形成的EL层7004,至少包括发光层的EL层是可接受的。此外,EL层7004可形成为具有单层结构或叠层结构。当EL层7004使用多层来形成时,电子注入层、电子传输层、发光层、空穴传输层和空穴注入层按照所示顺序层叠在用作阴极的第一电极7003之上。注意,并非需要设置所有这些层,除了发光层之外。

[0581] 层叠顺序并不局限于上述顺序,而是空穴注入层、空穴传输层、发光层、电子传输层和电子注入层可按照所示顺序层叠在用作阳极的第一电极7003之上。

[0582] 图17C中,空穴注入层、空穴传输层、发光层、电子传输层和电子注入层按照所示顺序层叠在其中Ti层、铝层和Ti层按照所示顺序层叠的叠层膜之上,并且其上形成MG:Ag合金薄膜的叠层。

[0583] 但是,在驱动TFT 7001属于n型的情况下,优选的是,电子注入层、电子传输层、发光层、空穴传输层和空穴注入层按照所示顺序层叠在第一电极7003之上,因为与使用按照上述顺序层叠的层的情况相比,能够更有效地防止驱动器电路的电压的增加并且能够降低功率消耗。

[0584] 第二电极7005使用透光导电材料来形成。例如,能够使用包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡、氧化铟锌或者添加了氧化硅的氧化铟锡等的透光导电层。

[0585] 发光元件7002对应于其中包括发光层的EL层7004夹在第一电极7003与第二电极7005之间的区域。在图17C所示的像素的情况下,从发光元件7002所发射的光射出到第二电极7005侧,如箭头所示。

[0586] 图17C中,驱动TFT 7001的漏电极层通过在氧化硅层7051、保护绝缘层7052、平面化绝缘层7056、平面化绝缘层7053和绝缘层7055 中形成的接触孔电连接到第一电极7003。平面化绝缘层7036、7046、7053和7056能够使用诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺或环氧树脂之类的树脂材料来形成。除了这类树脂材料之外,还有可能使用低介电常数材料(低k材料)、硅氧烷基树脂、磷硅酸玻璃 (PSG)、硼磷硅玻璃(BPSG)等。注意,可通过层叠使用这些材料所形成的多个绝缘层来形成平面化绝缘层7036、7046、7053和7056。能够取

决于材料,采用诸如溅射方法、SOG方法、旋涂方法、浸涂方法、喷涂方法或微滴排放方法(例如喷墨方法、丝网印刷或胶印)之类的方法或者诸如刮刀、辊涂机、幕涂机或刮刀式涂布机之类的工具(设备),来形成平面化绝缘层7036、7046、7053和7056。

[0587] 设置隔壁7009,以便将第一电极7003与相邻像素的第一电极绝缘。使用聚酰亚胺、丙烯酸、聚酰胺、环氧树脂等的有机树脂膜、无机绝缘膜或者有机聚硅氧烷来形成隔壁7009。特别优选的是,隔壁7009使用光敏树脂材料来形成,以便在第一电极7003之上具有开口,使得开口的侧壁作为带连续曲率的斜面来形成。在光敏树脂材料用于隔壁7009的情况下,能够省略形成抗蚀剂掩模的步骤。

[0588] 在图17C所示的结构中,对于执行全色显示,发光元件7002、相邻发光元件之一以及相邻发光元件的另一个例如分别是绿色发射发光元件、红色发射发光元件和蓝色发射发光元件。备选地,除了三种发光元件之外,还可使用包括白色发光元件的四种发光元件来制造能够进行全色显示的发光显示装置。

[0589] 在图17C的结构中,能够进行全色显示的发光显示装置可按照如下方式来制造:使得设置的所有多个发光元件为白色发光元件,并且具有滤色器等密封衬底设置在发光元件7002上。呈现单色、如白色的材料被形成并且与滤色器或颜色转换层相结合,由此能够执行全色显示。

[0590] 实施例的薄膜晶体管的任一个能够适当地用作半导体器件的驱动TFT 7001、7011和7021,并且它们能够使用与实施例的TFT 相似的步骤和材料来形成。在驱动TFT 7001、7011和7021的氧化物半导体层中降低氢或水。因此,驱动TFT 7001、7011和7021是极可靠的薄膜晶体管。

[0591] 不用说,也能够执行单色光的显示。例如,照明系统可借助于白光发射来形成,或者背景色发光装置可借助于单色光发射来形成。

[0592] 必要时,可设置光学膜、例如包括圆偏振片的起偏振膜。

[0593] 注意,虽然有机EL元件在这里描述为发光元件,但是无机EL 元件也能够作为发光元件来设置。

[0594] 注意,描述其中控制发光元件的驱动的薄膜晶体管(驱动TFT) 电连接到发光元件的示例;但是可采用其中用于电流控制的TFT连接在驱动TFT与发光元件之间的结构。

[0595] 图18A和图18B示出发光显示面板(又称作发光面板)的外观和截面。图18A是其中在第一衬底之上形成的薄膜晶体管和发光元件采用密封剂密封在第一衬底与第二衬底之间的面板的平面图。图18B是沿图18A的线H-I所截取的截面图。

[0596] 密封剂4505设置成包围设置在第一衬底4501之上的像素部分 4502、信号线驱动器电路4503a和4503b以及扫描线驱动器电路4504a 和4504b。另外,第二衬底4506设置在像素部分4502、信号线驱动器电路4503a和4503b以及扫描线驱动器电路4504a和4504b之上。相应地,像素部分4502、信号线驱动器电路4503a和4503b以及扫描线驱动器电路4504a和4504b连同填充物4507一起通过第一衬底 4501、密封剂4505和第二衬底4506来密封。优选的是,按照这种方式,面板采用保护膜(例如层压膜或紫外线固化树脂膜)或者具有高气密和极小脱气的覆盖材料来封装(密封),使得面板没有暴露于外部空气。

[0597] 在第一衬底4501之上形成的像素部分4502、信号线驱动器电路 4503a和4503b以及扫描线驱动器电路4504a和4504b各包括多个薄膜晶体管。像素部分4502中包含的薄膜晶

体管4510和信号线驱动器电路4503a中包含的薄膜晶体管4509在图18B中作为示例示出。

[0598] 实施例的薄膜晶体管的任一个能够适当地用作薄膜晶体管4509 和4510,并且它们能够使用与实施例的薄膜晶体管相似的步骤和材料来形成。在薄膜晶体管4509和4510的氧化物半导体层中降低氢或水。因此,薄膜晶体管4509和4510是极可靠的薄膜晶体管。

[0599] 导电层设置在与薄膜晶体管4509中的氧化物半导体层的沟道形成区重叠的部分之上。在本实施例中,薄膜晶体管4509和4510是n 沟道薄膜晶体管。

[0600] 导电层4540设置在与薄膜晶体管4509中的氧化物半导体层的沟道形成区重叠的氧化硅层4542的一部分之上。导电层4540设置在与氧化物半导体层的沟道形成区重叠的位置处,由此能够降低在BT测试之前和之后的薄膜晶体管4509的阈值电压的变化量。导电层4540 的电位可与薄膜晶体管4509中的栅电极层的电位相同或不同。导电层4540还能够用作第二栅电极层。备选地,导电层4540的电位可以是GND、0V,或者导电层4540可处于浮动状态。

[0601] 此外,氧化硅层4542形成为覆盖薄膜晶体管4510的氧化物半导体层。薄膜晶体管4510的源或漏电极层在薄膜晶体管之上形成的氧化硅层4542和绝缘层4551中形成的开口中电连接到布线层4550。布线层4550形成为与第一电极4517相接触,并且薄膜晶体管4510通过布线层4550电连接到第一电极4517。

[0602] 滤色器层4545在绝缘层4551之上形成,以使得与发光元件4511 的发光区域重叠。

[0603] 此外,为了降低滤色器层4545的表面粗糙度,滤色器层4545覆盖有用作平面化绝缘膜的覆盖层4543。

[0604] 绝缘层4544在覆盖层4543之上形成。作为绝缘层4544,例如,氮化硅层可通过溅射方法来形成。

[0605] 参考标号4511表示发光元件。作为发光元件4511中包含的像素电极的第一电极4517通过布线层4550电连接到薄膜晶体管4510的源电极层或漏电极层。注意,发光元件4511具有第一电极4517、电致发光层4512和第二电极4513的叠层结构,并且对该结构没有具体限制。发光元件4511的结构能够根据从发光元件4511抽取光的方向等等适当地改变。

[0606] 隔壁4520使用有机树脂膜、无机绝缘膜或有机聚硅氧烷来形成。特别优选的是,隔壁4520使用光敏材料来形成,以便在第一电极4517 之上具有开口部分,使得开口部分的侧壁作为带连续曲率的斜面来形成。

[0607] 电致发光层4512可形成为具有单层结构或叠层结构。

[0608] 为了防止氧、氢、水分、二氧化碳等等进入发光元件4511,保护层可在第二电极层4513和隔壁4520之上形成。作为保护层,能够形成氮化硅层、氮氧化硅层、DLC层等。

[0609] 另外,各种信号和电位从FPC 4518a和4518b提供给信号线驱动器电路4503a和4503b、扫描线驱动器电路4504a和4504b或者像素部分4502。

[0610] 连接端子电极4515使用与发光元件4511中包含的第一电极4517 相同的导电层来形成,并且端子电极4516使用与薄膜晶体管4509中包含的源和漏电极层相同的导电层来形成。

[0611] 连接端子电极4515通过各向异性导电层4519电连接到FPC 4518a中包含的端子。

[0612] 位于从发光元件4511抽取光的方向中的第二衬底应当具有透光性质。在这种情况下,诸如玻璃板、塑料板、聚酯膜或丙烯酸膜之类的透光材料用于第二衬底4506。

[0613] 作为填充物4507,能够使用紫外线固化树脂或热固树脂以及诸如氮或氩之类的惰性气体。例如,能够使用PVC(聚氯乙烯)、丙烯酸、聚酰亚胺、环氧树脂、硅树脂、PVB(聚乙烯醇缩丁醛)或EVA(乙烯醋酸乙烯酯)。例如,氮用于填充物。

[0614] 另外,在需要时,诸如起偏振片、圆偏振片(包括椭圆偏振片)或延迟片(四分之一波片或半波片)之类的光学膜可适当地设置在发光元件的发光表面上。此外,起偏振片或圆偏振片可设置有抗反射膜。例如,能够执行防眩光处理,通过该处理,反射光能够经由表面的凸出部分和凹陷部分来扩散,以便降低眩光。

[0615] 密封剂能够使用丝网印刷、喷墨设备或剂量装置(dispensing apparatus)来形成。作为密封剂,通常能够使用包含可见光固化树脂、紫外线固化树脂或者热固树脂的材料。此外,可包含填充物。

[0616] 作为信号线驱动电路4503a和4503b以及扫描线驱动电路4504a和4504b,可使用和安装使用单晶半导体膜或多晶半导体膜在单独制备的衬底之上形成的驱动器电路。备选地,只有信号线驱动器电路或其一部分或者只有扫描线驱动器电路或其一部分可单独形成并且安装。本实施例并不局限于图18A和图18B所示的结构。

[0617] 通过上述过程,能够制造作为半导体器件的极可靠的发光显示装置(显示面板)。

[0618] 本实施例能够适当地结合任意其它实施例来实现。

[0619] (实施例13)

[0620] 在本实施例中,描述包括实施例1或实施例2中的逻辑电路的半导体器件的示例。具体来说,描述其中驱动器电路包括实施例1或实施例2中的逻辑电路的电子纸的示例。

[0621] 图19是示出有源矩阵电子纸的截面图。实施例的薄膜晶体管的任一个能够适当地用作作用于电子纸的薄膜晶体管581,并且能够使用与实施例的薄膜晶体管相似的步骤和材料来形成。在本实施例中,例如,实施例6中所述的薄膜晶体管用作薄膜晶体管581。在薄膜晶体管581的氧化物半导体层中降低氢或水。因此,薄膜晶体管581是极可靠的薄膜晶体管。

[0622] 图19的电子纸是使用扭转球显示系统的显示装置的一个示例。扭转球显示系统指的是一种系统,其中,各以黑色和白色着色的球形颗粒设置在作为用于显示元件的电极层的第一电极层与第二电极层之间,并且电位差在第一电极层与第二电极层之间生成,以便控制球形颗粒的取向,从而进行显示。

[0623] 在衬底580之上形成的薄膜晶体管581具有底栅结构,其中源和漏电极层通过在氧化硅层583、保护绝缘层584和绝缘层585中形成的开口电连接到第一电极层587。

[0624] 在第一电极层587与第二电极层588之间设置球形颗粒。各球形颗粒包括黑色区域590a和白色区域590b以及填充有围绕黑色区域590a和白色区域590b的液体的空腔594。球形颗粒的周边填充有诸如树脂之类的填充物595(参见图19)。在本实施例中,第一电极层587对应于像素电极,而设置在对衬底596上的第二电极层588对应于公共电极。

[0625] 此外,还能够使用电泳元件代替扭转球。使用其中封装了透明液晶、带正电或带负电白色微粒以及带有与白色微粒相反极性的电荷的黑色微粒的直径大约为10 μ m至200 μ m的微囊。在设置于第一电极层与第二电极层之间的微囊中,当电场由第一电极层和第二电极层来施加时,白色微粒和黑色微粒沿彼此相反的方向移动,使得能够显示白色或黑色。使用这种原理的显示元件是电泳显示元件,并且一般称作电子纸。电泳显示元件具有比液晶显示元件更高的反射率,因此辅助光是不必要的,功率消耗较低,并且在昏暗位置能够识别显

示部分。另外,甚至当没有向显示部分提供电力时,也能够保持曾经已经显示的图像。相应地,即使具有显示功能的半导体器件(可简单地称作显示装置或者配备有显示装置的半导体器件)远离电波源,也能够存储所显示的图像。

[0626] 本实施例的电子纸是反射显示装置,其中借助于驱动器电路,通过控制施加到扭转球的电压来执行显示。

[0627] 本实施例能够适当地结合任意其它实施例来实现。

[0628] (实施例14)

[0629] 在本实施例中,描述各包括实施例1或实施例2中的逻辑电路的半导体器件的示例。具体来说,描述其中驱动器电路包括实施例1或实施例2中的逻辑电路的电子装置(在其范畴内包括游艺机)的示例。电子装置的示例包括电视机(又称作电视或电视接收器)、计算机等的监视器、数码相机或数码摄像机、数码相框、移动电话(又称作移动电话装置)、便携游戏机、便携信息终端、音频再现装置、诸如弹球机之类的大型游戏机等等。

[0630] 图20A示出移动电话的一个示例。移动电话1600配备有结合在壳体1601中的显示部分1602、操作按钮16043a和1603b、外部连接端口1604、扬声器1605、话筒1606等。

[0631] 在用手指等触摸图20A所示的移动电话1600的显示部分1602时,能够将数据输入到移动电话1600中。此外,诸如拨打电话和写邮件之类的操作能够通过用手指等触摸显示部分1602来执行。

[0632] 主要存在显示部分1602的三种屏幕模式。第一模式是主要用于显示图像的显示模式。第二模式是主要用于输入诸如文本之类的数据的输入模式。第三模式是显示和输入模式,其中结合了显示模式和输入模式这两种模式。

[0633] 例如,在拨打电话或者写邮件的情况下,对显示部分1602选择主要用于输入文本的文本输入模式,使得能够输入在屏幕上显示的文本。在这种情况下,优选的是在显示部分1602的屏幕的几乎所有区域显示键盘或数字按钮。

[0634] 当包括诸如陀螺仪或加速传感器之类的用于检测倾斜的传感器的检测装置设置在移动电话1600内部时,显示部分1602的屏幕的显示能够通过确定移动电话1600的方向(移动电话1600对于风景模式或肖像模式是水平还是垂直放置)来自动切换。

[0635] 屏幕模式通过触摸显示部分1602或者操作壳体1601的操作按钮 1603a和1603b来切换。备选地,屏幕模式可根据显示部分1602上显示的图像种类来切换。例如,当显示部分中显示的图像的信号是运动图像的数据时,屏幕模式切换到显示模式。当信号是文本数据时,屏幕模式切换到输入模式。

[0636] 此外,在输入模式中,当检测到由显示部分1602中的光学传感器所检测的信号的同时在某个时间段没有执行通过触摸显示部分 1602进行的输入时,屏幕模式可控制成使得从输入模式切换到显示模式。

[0637] 显示部分1602可用作图像传感器。例如,掌纹、指纹等的图像通过用手掌或手指触摸显示部分1602来拍摄,由此能够执行个人认证。此外,通过为显示部分配备背光源或者发射近红外光的感测光源,能够拍摄指静脉、掌静脉等的图像。

[0638] 实施例中所述的半导体器件的任一个能够适用于显示部分1602。例如,实施例中所述的多个晶体管能够作为像素中的开关元件来设置。

[0639] 图20B还示出移动电话的一个示例。其示例如图20B所示的便携信息终端能够具有

多个功能。例如,除了电话功能之外,这种便携信息终端还能够具有通过结合计算机来处理各种数据段的功能。

[0640] 图20B所示的便携信息终端具有壳体1800和壳体1801。壳体 1801包括显示面板1802、扬声器1803、话筒1804、指针装置1806、照相镜头1807、外部连接端子1808等等。壳体1800包括键盘1810、外部存储器插槽1811等。此外,天线结合在壳体1801中。

[0641] 显示面板1802配备有触摸屏。显示为图像的多个操作按键1805 在图20B中由虚线表示。

[0642] 此外,除了上述结构之外,还可结合非接触IC芯片、小型存储器装置等。

[0643] 在显示面板1802中,根据应用模式适当地改变显示的方向。此外,便携信息终端在与显示面板1802相同的表面上配备有照相镜头 1807,并且因而它能够用作电视电话。扬声器1803和话筒1804能够用于电视电话呼叫、记录、播放声音等以及语音呼叫。此外,处于如图20B所示来展开的状态的壳体1800和1801能够滑动,使得相互搭接;因此,便携信息终端的尺寸能够降低,这使便携信息终端适合携带。

[0644] 外部连接端子1808能够连接到AC适配器以及诸如USB缆线之类的各种类型的缆线,并且充电以及与个人计算机的数据通信是可能的。另外,能够将存储介质插入外部存储器插槽1811,使得大量数据能够存储并且能够移动。

[0645] 此外,除了上述功能之外,还可提供红外通信功能、电视接收功能等。

[0646] 图21A示出电视机的一个示例。在电视机9600中,显示部分9603 结合在壳体9601中。显示部分9603能够显示图像。在这里,壳体9601 由支架9605来支承。

[0647] 电视机9600能够采用壳体9601的操作开关或者单独的遥控器 9610来操作。能够采用遥控器9610的操作按键9609来切换频道和控制音量,由此能够控制显示部分9603上显示的图像。此外,遥控器 9610可配备有显示部分9607,用于显示从遥控器9610所输出的数据。

[0648] 注意,电视机9600配备有接收器、调制解调器等。采用接收器,能够接收一般电视广播。此外,当显示装置通过有线或无线经由调制解调器连接到通信网络时,能够执行单向(从发送器到接收器)或双向(在发送器与接收器之间或者在接收器之间)信息通信。

[0649] 在显示部分9603中,实施例的任一个中所述的多个晶体管能够作为像素的开关元件来设置。

[0650] 图21B示出数码相框的一个示例。例如,在数码相框9700中,显示部分9703结合到壳体9701中。显示部分9703能够显示各种图像。例如,显示部分9703能够显示采用数码相机等拍摄的图像的数据,并且用作通常的相框。

[0651] 在显示部分9703中,实施例的任一个中所述的多个晶体管能够作为像素的开关元件来设置。

[0652] 注意,数码相框9700配备有操作部分、外部连接端子(USB端子、可连接到诸如USB缆线之类的各种缆线的端子等)、记录介质插入部分等等。虽然这些组件可设置在与显示部分相同的表面上,但是为了设计美学,优选的是将它们设置在侧表面或背面。例如,将存储采用数码相机所拍摄的图像数据的存储器插入数码相框的记录介质插入部分并且加载该数据,由此能够在显示部分9703上显示图像。

[0653] 数码相框9700可配置成无线传送和接收数据。通过无线通信,能够加载预期图像

数据以便显示。

[0654] 图22是便携游戏机,并且由壳体9881和壳体9891等两个壳体构成,其中壳体9881和壳体9891与接合部分9893连接,使得便携游戏机能够开启或折叠。显示部分9882和显示部分9883分别结合在壳体9881和壳体9891中。

[0655] 在显示部分9883中,实施例的任一个中所述的多个晶体管能够作为像素的开关元件来设置。

[0656] 另外,图22所示的便携游戏机配备有扬声器部分9884、记录介质插入部分9886、LED灯9890、输入部件(操作按键9885、连接端子9887、传感器9888(具有测量力、位移、位置、速度、加速度、角速度、转数、距离、光、液体、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射射线、流率、湿度、梯度、振动、气味或红外线)和话筒9889)等等。不用说,便携游戏机的结构并不局限于以上所述,而是能够采用配备有本说明书中公开的至少一个薄膜晶体管的其它结构。便携游戏机可适当地包括附加配件。图22所示的便携游戏机具有读取记录介质中存储的程序或数据以将其显示于显示部分的功能以及通过无线通信与另一个便携游戏机共享数据的功能。注意,图22所示的便携游戏机的功能并不局限于此,而是便携游戏机能够具有各种功能。

[0657] 如上所述,实施例1或实施例2中的逻辑电路能够适用于各种电子装置的显示面板,并且因此能够提供具有高可靠性的电子装置。

[0658] (实施例15)

[0659] 在本实施例中,描述包括实施例1或实施例2中的逻辑电路的半导体器件的示例。具体来说,其中驱动器电路包括实施例1或实施例2中的逻辑电路的电子纸能够在所有领域的电子装置中使用,只要它们显示信息。例如,电子纸能够应用于电子书籍(电子书)阅读器、海报、诸如列车之类的车辆中的广告、诸如信用卡之类的各种卡的显示器。这类电子装置的一个示例如图23所示。

[0660] 图23示出电子书阅读器的一个示例。例如,电子书阅读器2700包括壳体2701和壳体2703等两个壳体。壳体2701和壳体2703与铰链2711结合,使得电子书阅读器2700能够采用铰链2711作为轴来开启和闭合。这种结构使电子书阅读器2700能够像纸书一样进行操作。

[0661] 显示部分2705和显示部分2707分别结合在壳体2701和壳体2703中。显示部分2705和显示部分2707可显示一个图像或者不同图像。在其中显示部分2705和显示部分2707显示不同图像的情况下,例如右侧的显示部分(图23中的显示部分2705)能够显示文本,而左侧的显示部分(图23中的显示部分2707)能够显示图形。

[0662] 图23示出其中壳体2701配备有操作部分等的一个示例。例如,壳体2701配备有电源开关2721、操作按键2723、扬声器2725等。通过操作按键2723能够翻页。注意,键盘、指针装置等也可设置在其上设置显示部分的壳体的表面。此外,外部连接端子(耳机端子、USB端子、能够连接到例如AC适配器和USB缆线等各种缆线的端子等等)、记录介质插入部分等等可设置在壳体的背面或侧表面上。此外,电子书阅读器2700可具有电子词典的功能。

[0663] 电子书阅读器2700可具有能够无线传送和接收数据的配置。通过无线通信,预期书籍数据等等能够从电子书籍服务器购买和下载。

[0664] 本实施例能够适当地结合任意其它实施例来实现。

[0665] (实施例16)

[0666] 按照本发明的一个实施例,氧化物半导体中作为载流子的供给者(施主或受主)的杂质降低到极低水平,由此形成本征或实质上本征的氧化物半导体,并且氧化物半导体用于薄膜晶体管。

[0667] 图24是这种晶体管的源极与漏极之间的一部分的能带结构。对于高度纯化的氧化物半导体,费米能级在理想条件下位于禁带的中间。

[0668] 在这种情况下,在结合表面,如果满足等式 $\phi_m = x$,则电极的金属的费米能级与氧化物半导体的导带的能级相同,其中 ϕ_m 是功函数,以及 x 是氧化物半导体的电子亲和势。当等式的右边大于左边时,提供欧姆接触。假定氧化物半导体具有3.15eV的带隙和4.3eV的电子亲和势,并且处于本征状态(载流子密度:大约 $1 \times 10^{-7}/\text{cm}^3$),以及源电极和漏电极使用功函数为4.3eV的钛(Ti)来形成。在这些条件下,相对于电子的肖特基势垒没有如图24所示来形成。

[0669] 图25示出其中将正电压施加到使用氧化物半导体所形成的晶体管中的漏极侧的状态。由于氧化物半导体的带隙较宽,所以作为本征或者实质上本征的高度纯化氧化物半导体的本征载流子密度为零或者接近零。但是,当电压施加在源极与漏极之间时,载流子(电子)可从源极侧注入,并且流入漏极侧。

[0670] 图26A是使用对其施加正栅极电压的氧化物半导体所形成的MOS晶体管的能带图。在这种情况下,几乎没有热激发载流子存在于高度纯化氧化物半导体中。因此,甚至在栅极绝缘膜附近也没有积聚载流子。但是,如图25所示,从源极侧所注入的载流子(电子)的传输是可能的。

[0671] 图26B是使用对其施加负栅极电压的氧化物半导体所形成的MOS晶体管的能带图。氧化物半导体中几乎不存在多数载流子(空穴);因此,甚至在栅极绝缘膜附近也没有积聚载流子。这表示截止状态电流较小。

[0672] 图27是使用硅半导体所形成的晶体管的能带图。对于硅半导体,带隙为1.12eV,并且本征载流子密度为 $1.45 \times 10^{10}/\text{cm}^3$ (300K)。热激发载流子甚至在室温下也是不可忽略的。因此,截止状态电流根据温度极大地改变。

[0673] 这样,不仅通过只将具有宽带隙的氧化物半导体用于晶体管,而且还通过减少成为施主的杂质、如氢,因此将载流子密度设置为 $1 \times 10^{14}/\text{cm}^3$ 或更小、优选地为 $1 \times 10^{12}/\text{cm}^3$ 或更小,能够去除实际操作温度下的热激发载流子,使得晶体管能够仅通过从源极侧所注入的载流子来操作。相应地,有可能得到一种晶体管,其截止状态电流降低到 1×10^{-13} [A]或更小,并且因温度变化而几乎没有改变,由此能够以极稳定方式来操作晶体管。

[0674] (实施例17)

[0675] 在本实施例中,下面将描述使用测试元件组(又称作TEG)的截止状态电流的测量值。

[0676] 图28示出具有实际上 $L/W = 3\mu\text{m}/10000\mu\text{m}$ 的薄膜晶体管的初始特性,其中各具有 $L/W = 3\mu\text{m}/50\mu\text{m}$ 的200个薄膜晶体管并联连接。另外,顶视图如图29A所示,并且其局部放大顶视图如图29B所示。图29B中由虚线围绕的区域是具有 $L/W = 3\mu\text{m}/50\mu\text{m}$ 并且 $L_{ov} = 1.5\mu\text{m}$ 的一级的薄膜晶体管。为了测量薄膜晶体管的初始特性,在其中衬底温度设置为室温、源极与漏极之间的电压(以下称作漏极电压或 V_d)设置为10V以及源极与栅极之间的电压(以下称作

栅极电压或 V_g)从-20V 转变为+20V的条件下测量源极-漏极电流(以下称作漏极电流或 I_d)的传递特性、即 V_g - I_d 特性。注意,图28示出从-20V至+5V的范围之内的 V_g 。

[0677] 如图28所示,沟道宽度 W 为10000 μm 的薄膜晶体管在1V和10V 的 V_d 具有 $1 \times 10^{-13}\text{A}$ 或更小,这小于或等于测量装置(半导体参数分析器,由Agilent Technologies Inc.制造的Agilent 4156C)的分辨率(100 fA)。

[0678] 描述一种用于制造用于测量的薄膜晶体管的方法。

[0679] 首先,氮化硅层作为基层通过CVD方法在玻璃衬底之上形成,并且氧氮化硅层在氮化硅层之上形成。钨层作为栅电极层通过溅射方法在氧氮化硅层之上形成。在这里,通过有选择地蚀刻钨膜来形成栅电极层。

[0680] 然后,厚度为100nm的氧氮化硅层作为栅极绝缘层通过CVD方法在栅电极层之上形成。

[0681] 然后,厚度为50nm的氧化物半导体层通过溅射方法使用 In-Ga-Zn-O基金属氧化物靶(以 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ 的摩尔比率)在栅极绝缘层之上形成。在这里,通过有选择地蚀刻氧化物半导体层来形成岛状氧化物半导体层。

[0682] 然后,在清洁炉中以氮气气氛中450℃对氧化物半导体层执行第一热处理1小时。

[0683] 然后,钛层(厚度为150nm)作为源电极层和漏电极层通过溅射方法在氧化物半导体层之上形成。在这里,源电极层和漏电极层通过有选择地蚀刻来形成,使得各具有3 μm 的沟道长度 L 和50 μm 的沟道宽度的200个薄膜晶体管并联连接,以便得到实际上具有 $L/W=3\mu\text{m}/10000\mu\text{m}$ 的薄膜晶体管。

[0684] 然后,厚度为300nm的氧化硅层作为保护绝缘层通过反应溅射方法来形成与氧化物半导体层相接触。在这里,开口部分通过有选择地蚀刻作为保护层的氧化硅层在栅电极层、源电极层和漏电极层之上形成。此后,第二热处理在氮气气氛中以250℃执行1小时。

[0685] 然后,在测量 V_g - I_d 特性之前,以150℃执行热处理10小时。

[0686] 通过上述工序,制造底栅薄膜晶体管。

[0687] 薄膜晶体管如图28所示具有大约 $1 \times 10^{-13}\text{A}$ 的截止状态电流的原因在于,氧化物半导体层中的氢浓度可在上述制造工序中充分降低。氧化物半导体中的氢浓度为 $5 \times 10^{19}/\text{cm}^3$ 或更小、优选地为 $5 \times 10^{18}/\text{cm}^3$ 或更小、更优选地为 $5 \times 10^{17}/\text{cm}^3$ 或更小。注意,氧化物半导体层中的氢浓度通过二次离子质谱法(SIMS)来测量。

[0688] 虽然描述使用In-Ga-Zn-O基氧化物半导体的示例,但是本实施例并非具体地限制于此。还能够使用诸如In-Sn-Zn-O基半导体、Sn-Ga-Zn-O基氧化物半导体、Al-Ga-Zn-O基氧化物半导体、Sn-Al-Zn-O基氧化物半导体、In-Zn-O基氧化物半导体、In-Sn-O氧化物半导体、Sn-Zn-O基氧化物半导体、Al-Zn-O基氧化物半导体、In-O 基氧化物半导体、Sn-O基氧化物半导体或Zn-O基氧化物半导体之类的另一种氧化物半导体材料。此外,作为氧化物半导体材料,能够使用与2.5wt%至10wt%的 AlO_x 混合的In-Al-Zn-O基氧化物半导体或者与2.5wt%至10wt%的 SiO_x 混合的In-Zn-O基氧化物半导体。

[0689] 由载流子测量装置所测量的氧化物半导体层的载流子浓度优选地小于或等于 $1.45 \times 10^{10}/\text{cm}^3$,这是硅的本征载流子密度。具体来说,载流子浓度为 $5 \times 10^{14}/\text{cm}^3$,优选地为 $5 \times 10^{12}/\text{cm}^3$ 。换言之,能够使氧化物半导体层的载流子浓度尽可能地接近零。

[0690] 薄膜晶体管还能够具有10nm至1000nm的沟道长度 L (包括两端),这实现电路操作

速率的增加,并且截止状态电流极小,这实现功率消耗的进一步降低。

[0691] 另外,在电路设计中,当薄膜晶体管处于截止状态时,氧化物半导体层能够被看作是绝缘体。

[0692] 此后,评估在本实施例中制造的薄膜晶体管的截止状态电流的温度特性。温度特性在考虑其中使用薄膜晶体管的最终产品的环境电阻、性能的保持等等中是重要的。要理解,较小变化量是优选的,这增加产生设计的自由度。

[0693] 对于温度特性,使用恒温室在如下条件下得到 V_g - I_d 特性:配备有薄膜晶体管的衬底保持在 -30°C 、 0°C 、 25°C 、 40°C 、 60°C 、 80°C 、 100°C 和 120°C 的相应恒温下,漏极电压设置为6V,并且栅极电压从 -20V 转变为 $+20\text{V}$ 。

[0694] 图30A示出在上述温度下测量的并且相互重叠的 V_g - I_d 特性,以及图30B示出图30A由虚线所围绕的截止状态电流的范围的放大视图。简图中的箭头所示的最右边曲线是在 -30°C 所得到的曲线,最左边的曲线是在 120°C 所得到的曲线,以及在其它温度所得到的曲线位于它们之间。几乎不能观测导通状态电流的温度相关性。另一方面,又如图30B的放大视图清楚地示出,在除了 -20V 的栅极电压附近的所有温度下,截止状态电流小于或等于 $1 \times 10^{-12}\text{A}$,这接近测量装置的分辨率,并且没有观测到其温度相关性。换言之,甚至在 120°C 的高温下,截止状态电流保持为小于或等于 $1 \times 10^{-12}\text{A}$,并且还考虑有效沟道宽度 W 为 $10000\mu\text{m}$,能够看到截止状态电流相当小。

[0695] 包括上述纯化氧化物半导体(纯化OS)的薄膜晶体管几乎没有显示截止状态电流对温度的相关性。这还起因于如下事实:氧化物半导体具有 3eV 或以上的能隙,并且包括极少本征载流子。另外,源区和漏区处于简并态,这也是没有显示温度相关性的因素。薄膜晶体管主要借助于从简并的源区注入到氧化物半导体的载流子来操作,并且上述特性(截止状态电流对温度的无关性)能够通过载流子密度对温度的无关性来说明。

[0696] 在存储器电路(存储器元件)等使用具有这种极小截止状态电流的薄膜晶体管来制造的情况下,存在因小截止状态电流而引起的极小泄漏。因此,存储器数据能够保持较长时间。

[0697] 本申请基于2009年10月16日向日本专利局提交的序号为 2009-238914的日本专利申请,通过引用将其完整内容结合于此。

[0698] 参考标号说明

[0699] 11:薄膜晶体管,12:薄膜晶体管,13:薄膜晶体管,14:薄膜晶体管,15:电容器,21:薄膜晶体管,22:薄膜晶体管,23:薄膜晶体管,24:薄膜晶体管,25:电容器,31:薄膜晶体管,41:薄膜晶体管,101:薄膜晶体管,102:薄膜晶体管,103:薄膜晶体管,104:薄膜晶体管,105:电容器,110:脉冲输出电路,111:薄膜晶体管,112:薄膜晶体管,113:薄膜晶体管,114:薄膜晶体管,115:电容器,120:脉冲输出电路,121:薄膜晶体管,122:薄膜晶体管,123:薄膜晶体管,124:薄膜晶体管,125:电容器,130:脉冲输出电路,201:薄膜晶体管,202:薄膜晶体管,203:薄膜晶体管,204:薄膜晶体管,205:电容器,210:脉冲输出电路,211:薄膜晶体管,212:薄膜晶体管,213:薄膜晶体管,214:薄膜晶体管,215:电容器,220:脉冲输出电路,221:薄膜晶体管,222:薄膜晶体管,223:薄膜晶体管,224:薄膜晶体管,225:电容器,230:脉冲输出电路,300:衬底,302:栅极绝缘层,303:保护绝缘层,310:薄膜晶体管,311:栅电极层,313:沟道形成区,314a:高电阻源区,314b:高电阻漏区,315a:源电极层,315b:漏

电极层,316:氧化物绝缘层,320:衬底,322:栅极绝缘层,323:保护绝缘层,330:氧化物半导体层,331:氧化物半导体层,332:氧化物半导体层,340:衬底,342:栅极绝缘层,343:保护绝缘层,345:氧化物半导体层,346:氧化物半导体层,350:薄膜晶体管,351:栅电极层,352:氧化物半导体层,355a:源电极层,355b:漏电极层,356:氧化物绝缘层,360:薄膜晶体管,361:栅电极层,362:氧化物半导体层,363:沟道形成区,364a:高电阻源区,364b:高电阻漏区,365a:源电极层,365b:漏电极层,366:氧化物绝缘层,370:衬底,372a:第一栅极绝缘层,372b:第二栅极绝缘层,373:保护绝缘层,380:薄膜晶体管,381:栅电极层,382:氧化物半导体层,385a:源电极层,385b:漏电极层,386:氧化物绝缘层,390:薄膜晶体管,391:栅电极层,392:氧化物半导体层,393:氧化物半导体层,394:衬底,395a:源电极层,395b:漏电极层,396:氧化物绝缘层,397:栅极绝缘层,398:保护绝缘层,399:氧化物半导体层,400:衬底,402:栅极绝缘层,407:绝缘层,410:薄膜晶体管,411:栅电极层,412:氧化物半导体层,414a:布线层,414b:布线层,415a:源或漏电极层,415b:源或漏电极层,420:硅衬底,421a:开口,421b:开口,422:绝缘层,423:开口,424:导电层,425:薄膜晶体管,426:薄膜晶体管,427:导电层,450:衬底,452:栅极绝缘层,457:绝缘层,460:薄膜晶体管,461:栅电极层,461a:栅电极层,461b:栅电极层,462:氧化物半导体层,464:布线层,465a:源或漏电极层,465a1:源或漏电极层,465a2:源或漏电极层,465b:源或漏电极层,468:布线层,580:衬底,581:薄膜晶体管,583:氧化硅层,584:保护绝缘层,585:绝缘层,587:电极层,588:电极层,590a:黑色区域,590b:白色区域,594:空腔,595:填充物,596:对衬底,1600:移动电话,1601:壳体,1602:显示部分,1603a:操作按钮,1603b:操作按钮,1604:外部连接端口,1605:扬声器,1606:话筒,1800:壳体,1801:壳体,1802:显示面板,1803:扬声器,1804:话筒,1805:操作按键,1806:指针装置,1807:照相镜头,1808:外部连接端子,1810:键盘,1811:外部存储器插槽,2700:电子书阅读器,2701:壳体,2703:壳体,2705:显示部分,2707:显示部分,2711:铰链,2721:电源开关,2723:操作按键,2725:扬声器,4001:衬底,4002:像素部分,4003:信号线驱动器电路,4004:扫描线驱动器电路,4005:密封剂,4006:衬底,4008:液晶层,4010:薄膜晶体管,4011:薄膜晶体管,4013:液晶元件,4015:连接端子电极,4016:端子电极,4018:FPC,4019:各向异性导电膜,4021:绝缘层,4030:像素电极层,4031:对电极层,4032:绝缘层,4033:绝缘层,4040:导电层,4041:绝缘层,4042:绝缘层,4501:衬底,4502:像素部分,4503a:信号线驱动器电路,4503b:信号线驱动器电路,4504a:扫描线驱动器电路,4504b:扫描线驱动器电路,4505:密封剂,4506:衬底,4507:填充物,4509:薄膜晶体管,4510:薄膜晶体管,4511:发光元件,4512:电致发光层,4513:电极,4515:连接端子电极,4516:端子电极,4517:电极,4518a:FPC,4518b:FPC,4519:各向异性导电层,4520:隔壁,4540:导电层,4542:氧化硅层,4543:覆盖层,4544:绝缘层,4545:滤色器层,4550:布线层,4551:绝缘层,6400:像素,6401:开关晶体管,6402:驱动晶体管,6403:电容器,6404:发光元件,6405:信号线,6406:扫描线,6407:电源线,6408:公共电位线,7001:驱动TFT,7002:发光元件,7003:电极,7004:EL层,7005:电极,7009:隔壁,7011:驱动TFT,7012:发光元件,7013:电极,7014:EL层,7015:电极,7016:屏蔽膜,7017:导电层,7019:隔壁,7021:驱动TFT,7022:发光元件,7023:电极,7024:EL层,7025:电极,7026:电极,7027:导电层,7029:隔壁,7031:绝缘层,7032:绝缘层,7033:滤色器层,7034:覆盖层,7035:保护绝缘层,7036:平面化栅极绝缘层,7041:绝缘层,7042:绝缘层,7043:滤色器层,7044:覆盖层,7045:保护绝缘

层,7046:平面化栅极绝缘层,7051:氧化硅层,7052:保护绝缘层,7053:平面化栅极绝缘层,7055:绝缘层,7056:平面化栅极绝缘层,9600:电视机,9601:壳体,9603:显示部分,9605:支架,9607:显示部分,9609:操作按键,9610:遥控器,9700:数码相框,9701:壳体,9703:显示部分,9881:壳体,9882:显示部分,9883:显示部分,9884:扬声器部分,9885:操作按键,9886:记录介质插入部分,9887:连接端子,9888:传感器,9889:话筒,9890:LED灯,9891:壳体,9893:接合部分。

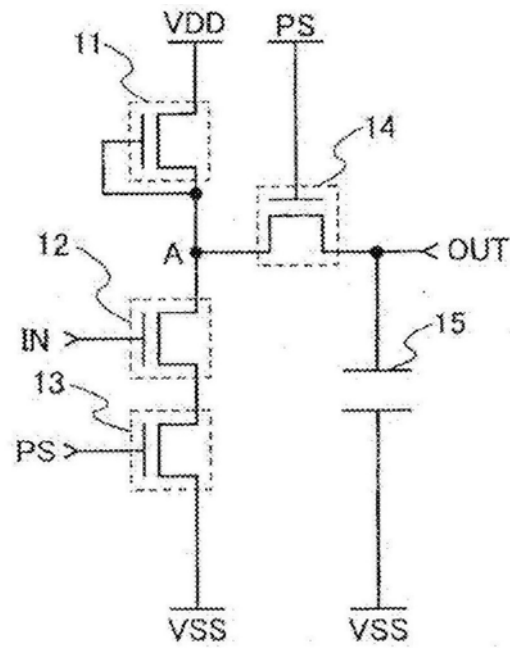


图1A

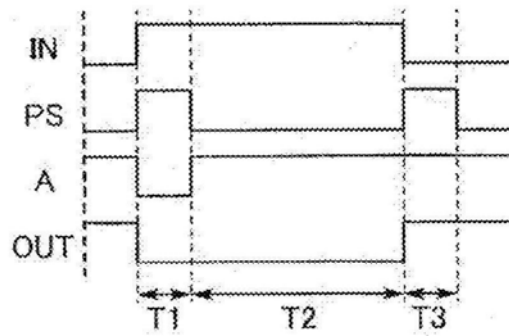


图1B

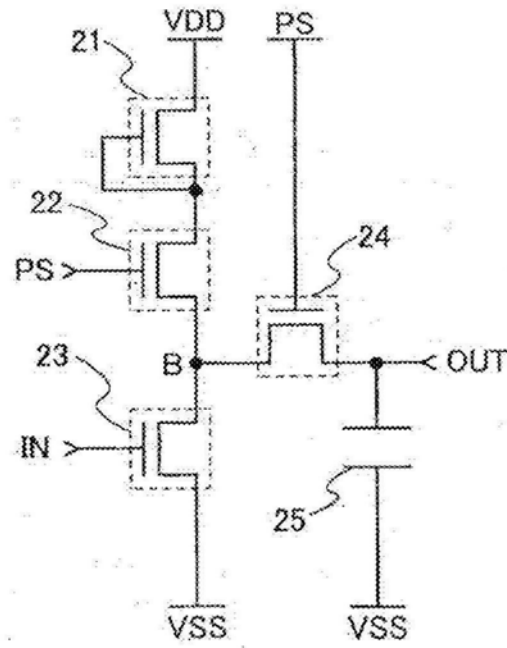


图1C

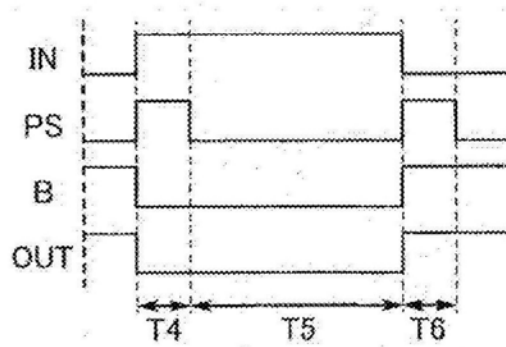


图1D

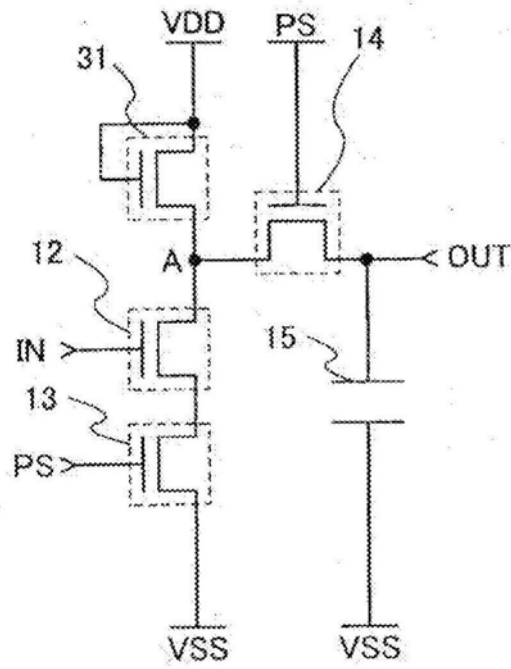


图2A

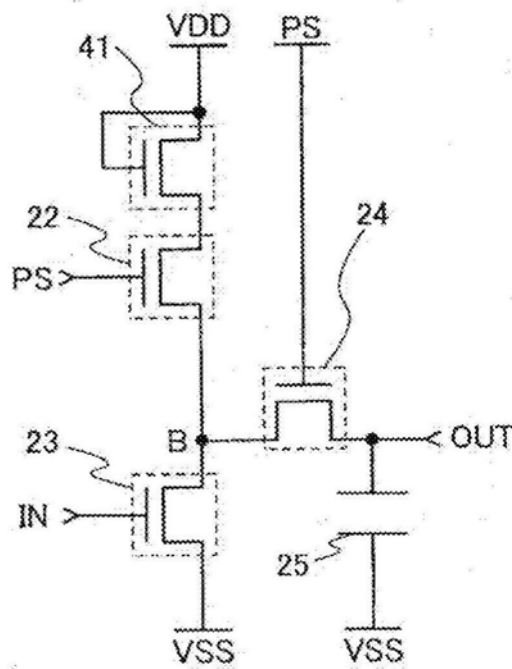


图2B

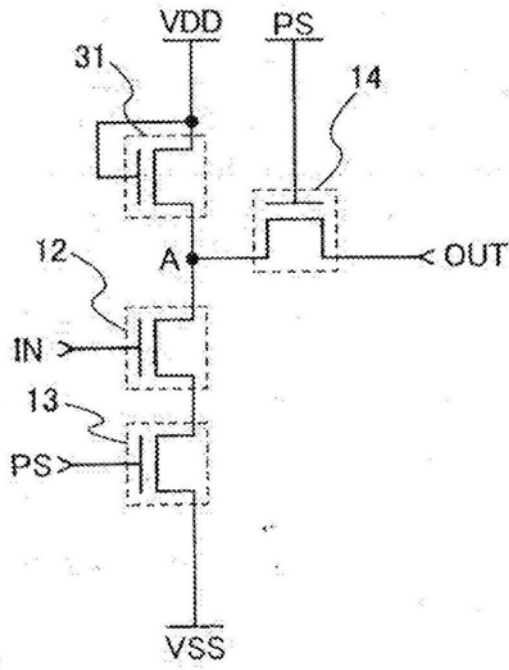


图2C

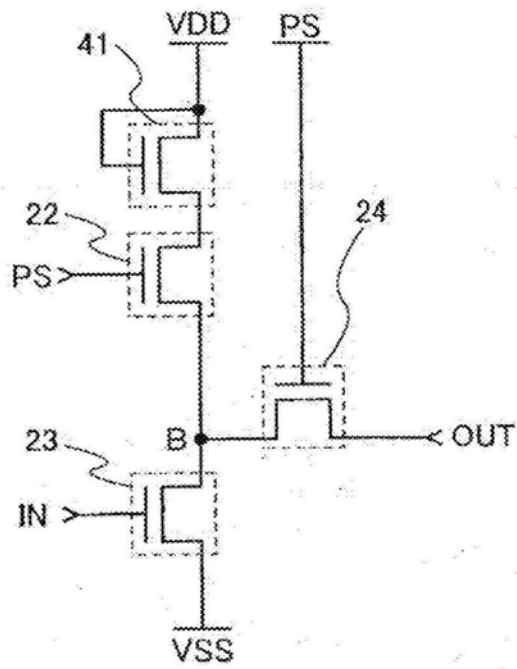


图2D

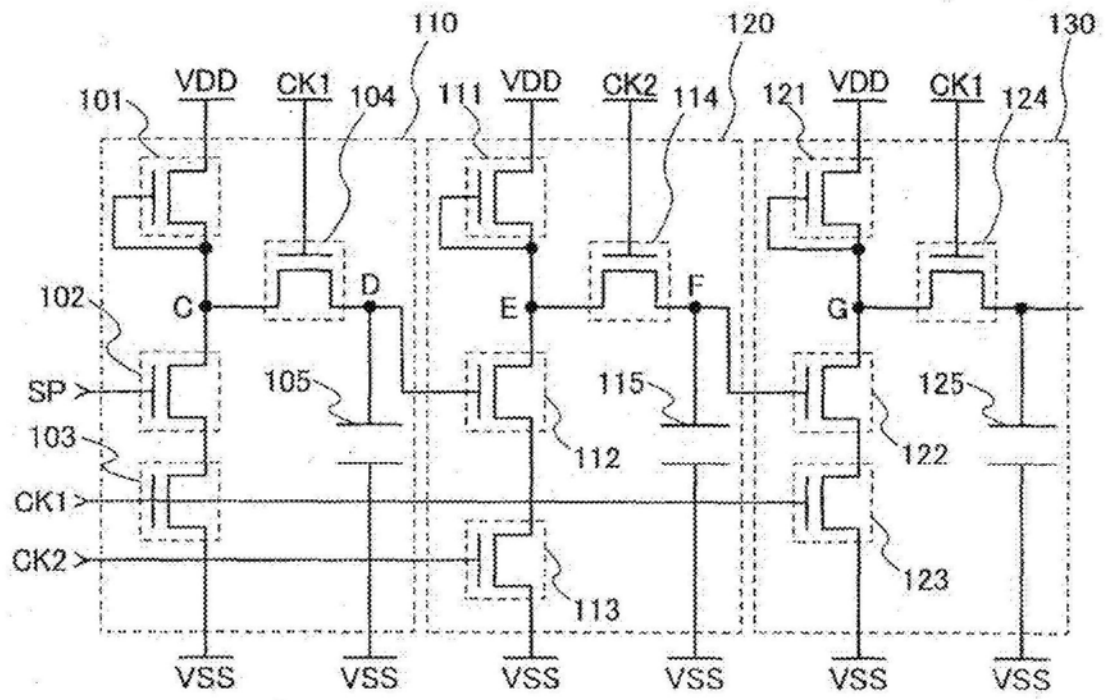


图3A

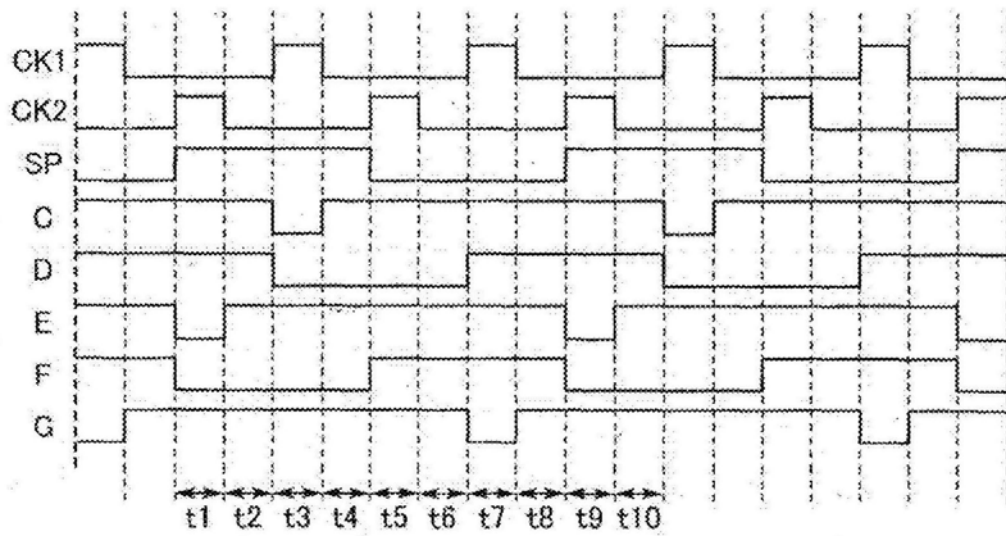


图3B

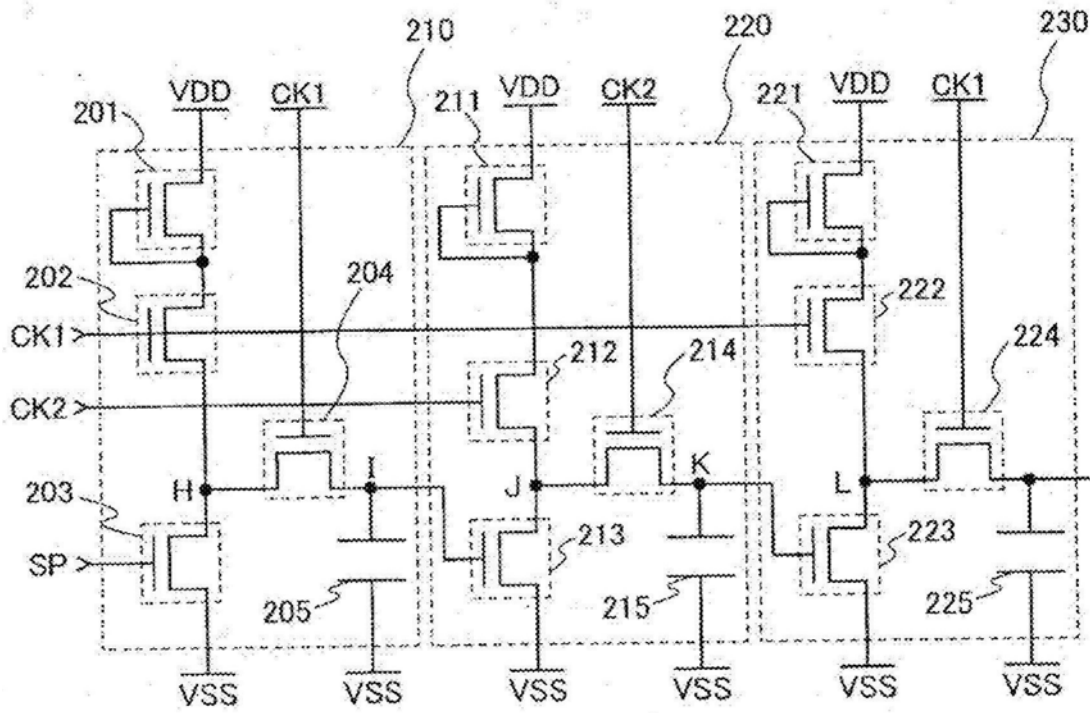


图4A

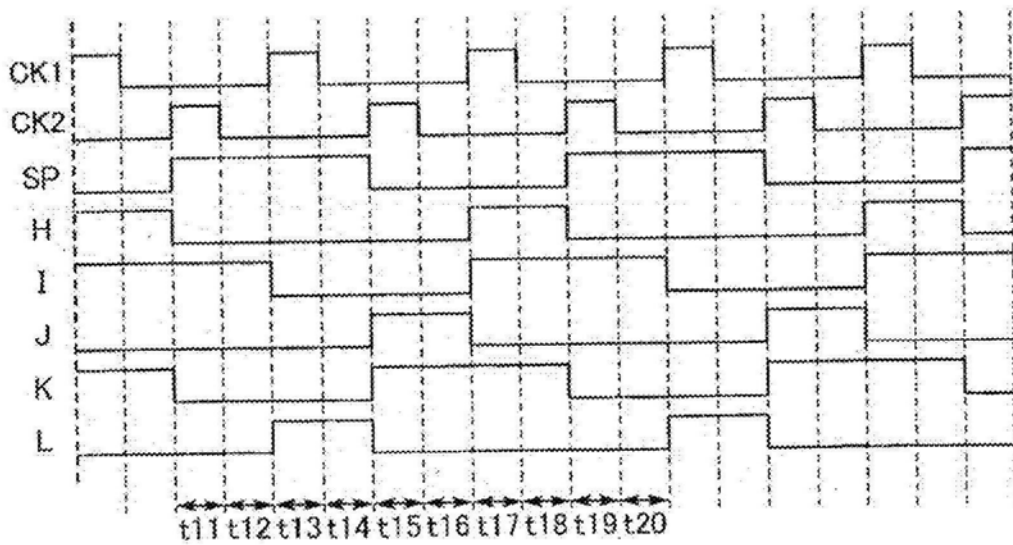


图4B

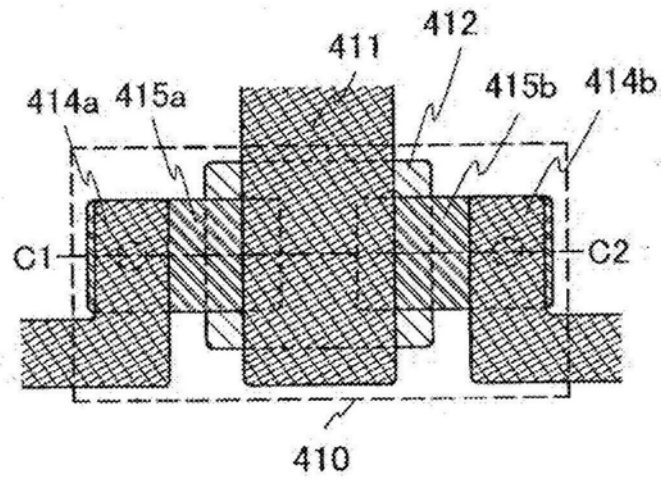


图5A

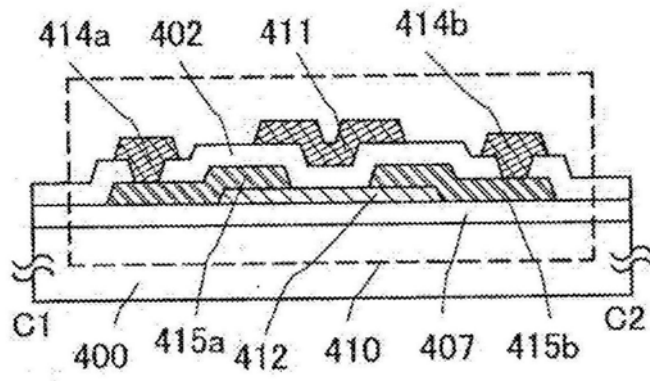


图5B

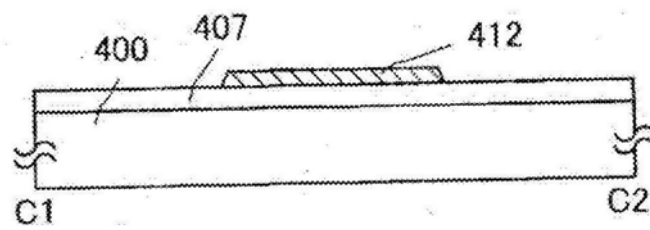


图6A

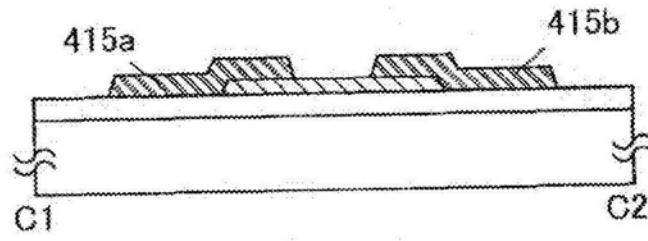


图6B

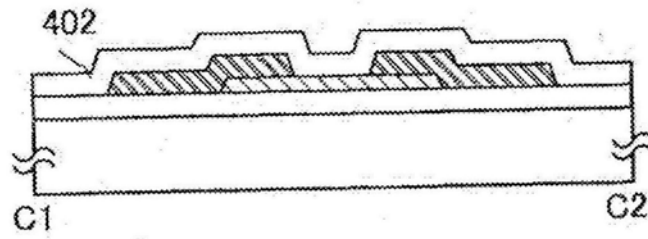


图6C

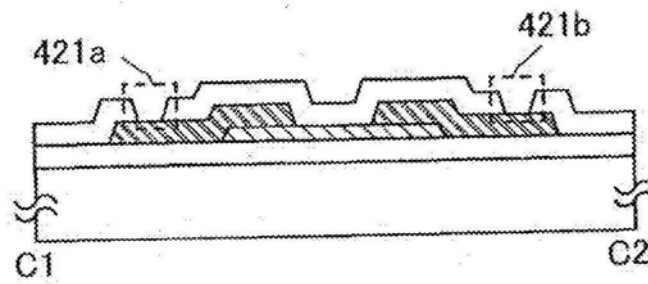


图6D

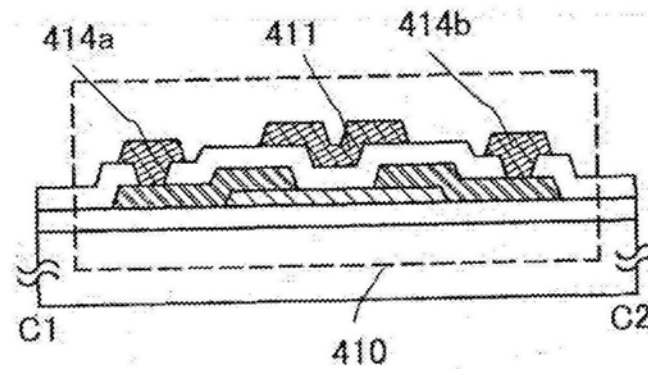


图6E

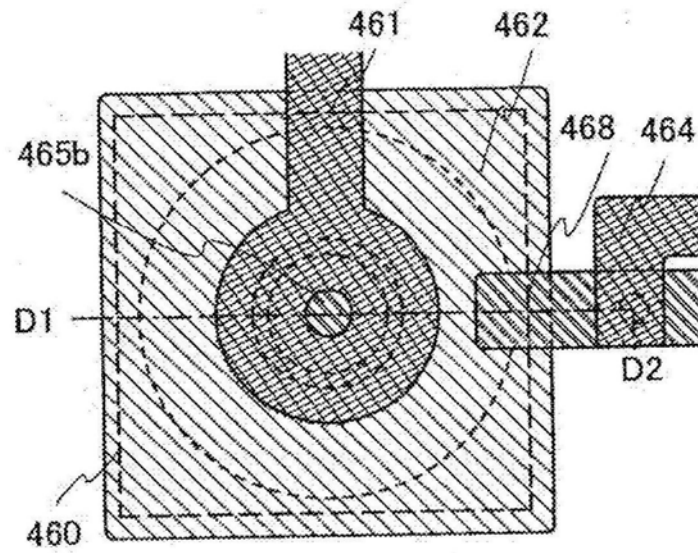


图7A

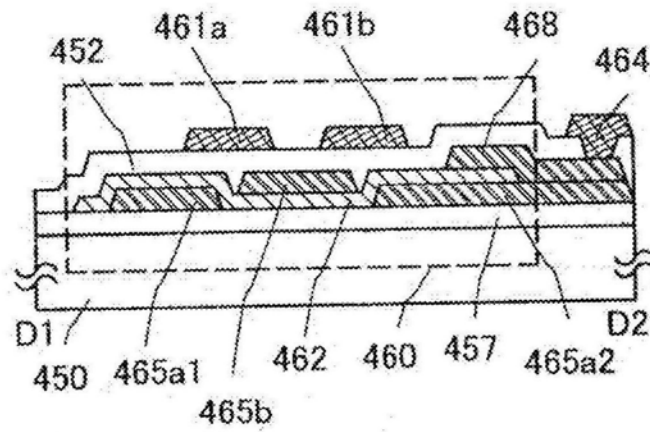


图7B

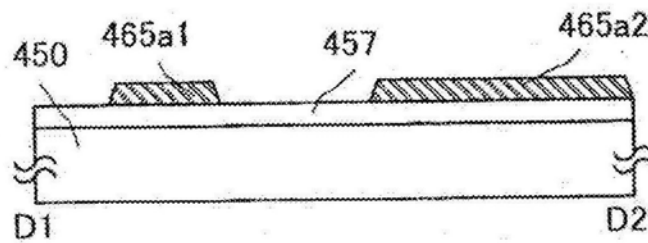


图8A

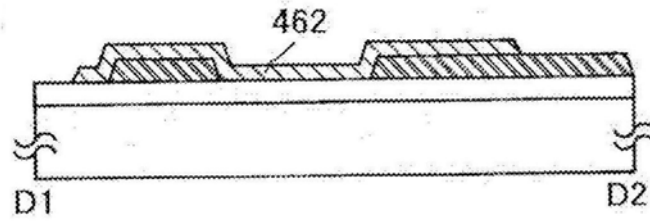


图8B

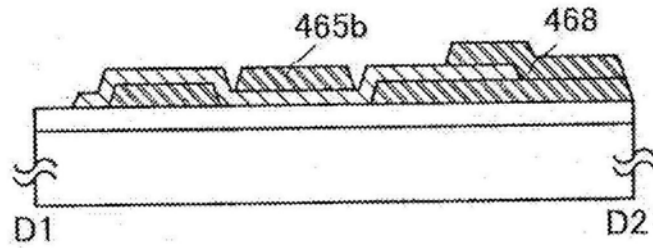


图8C

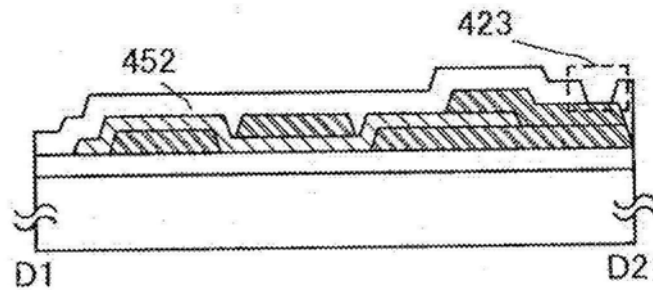


图8D

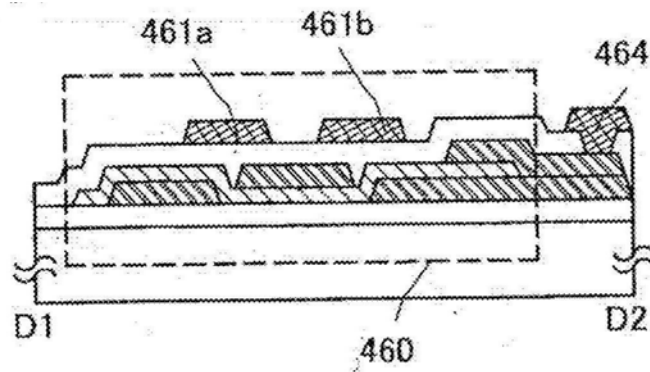


图8E

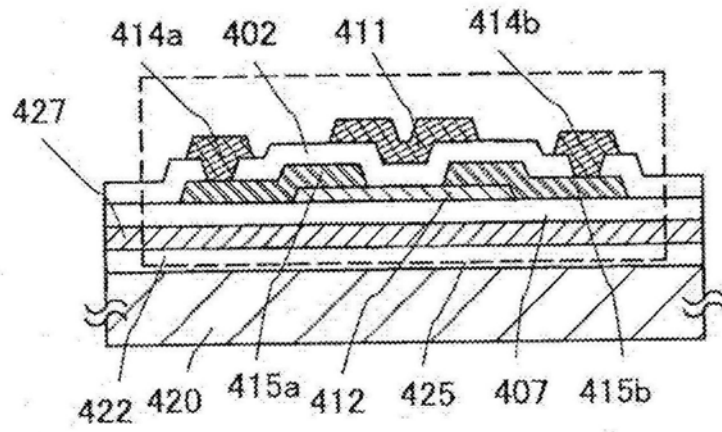


图9A

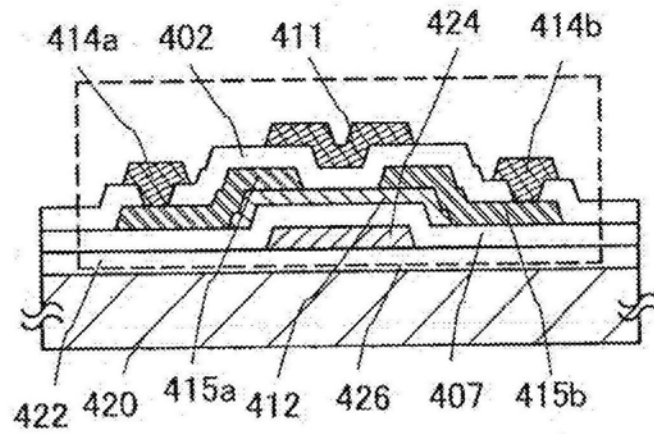


图9B

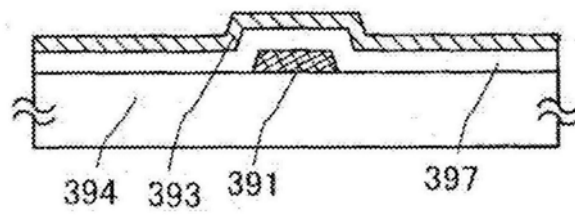


图10A

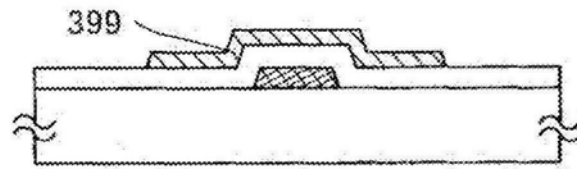


图10B

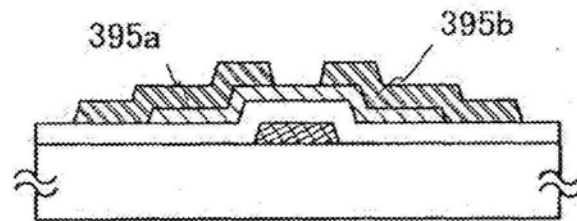


图10C

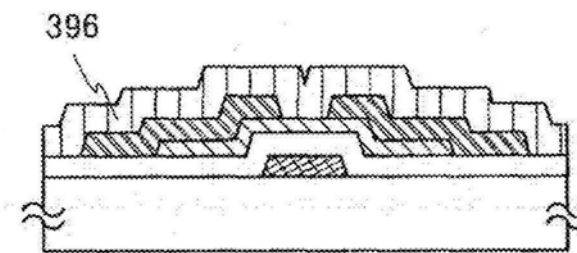


图10D

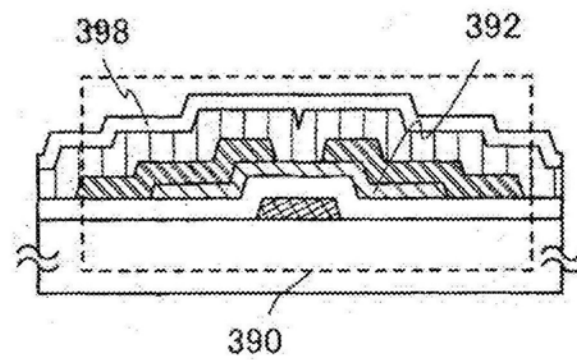


图10E

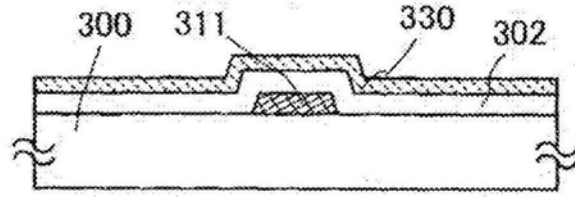


图11A

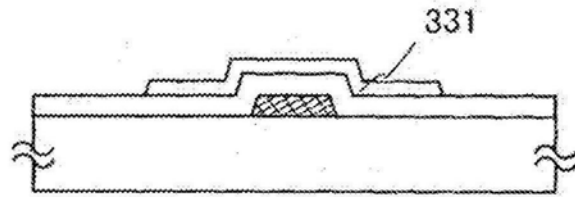


图11B

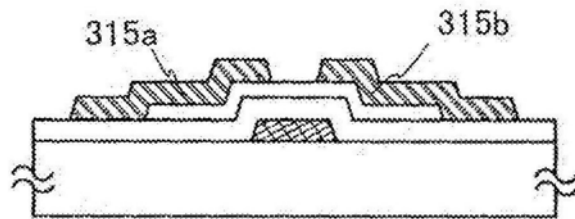


图11C

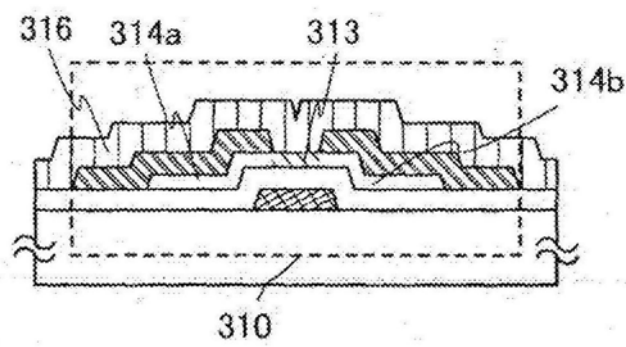


图11D

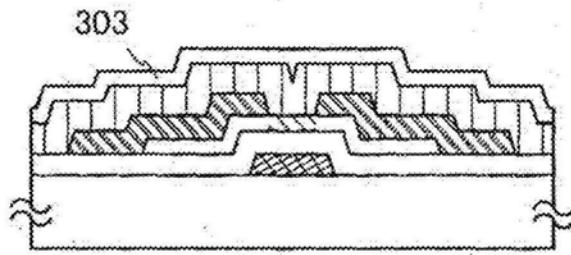


图11E

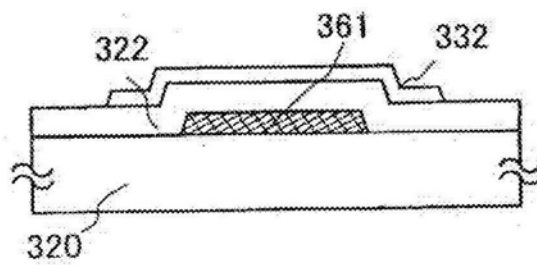


图12A

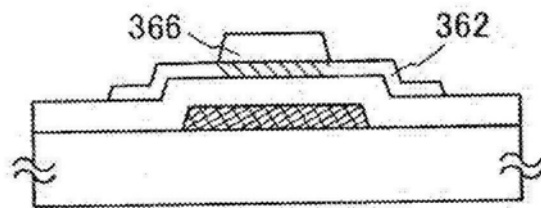


图12B

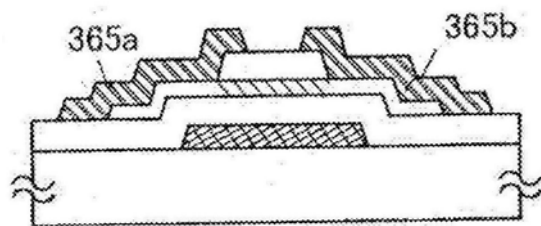


图12C

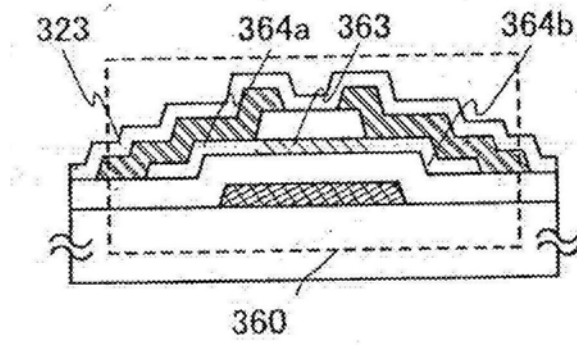


图12D

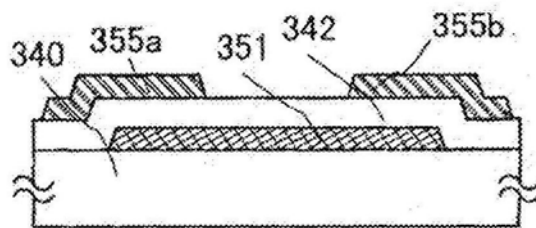


图13A

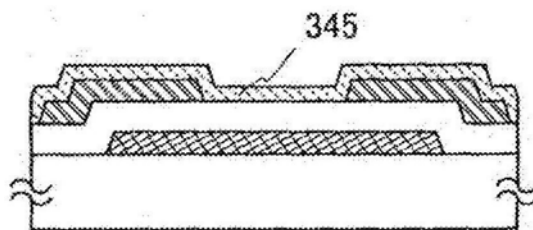


图13B

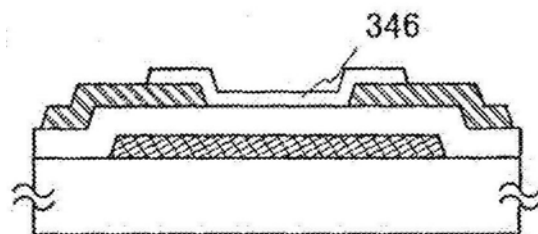


图13C

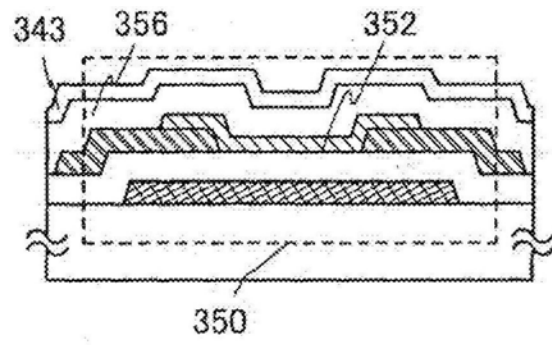


图13D

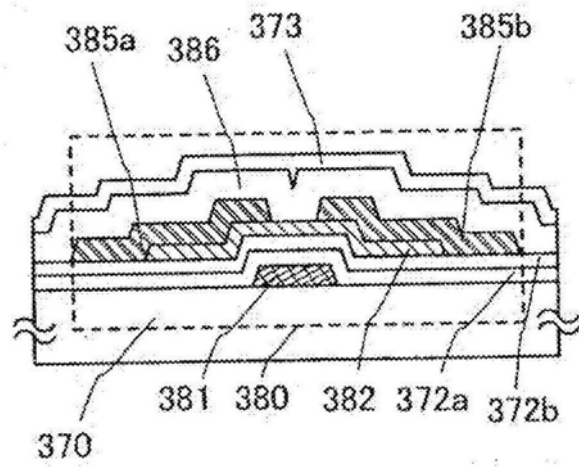


图14

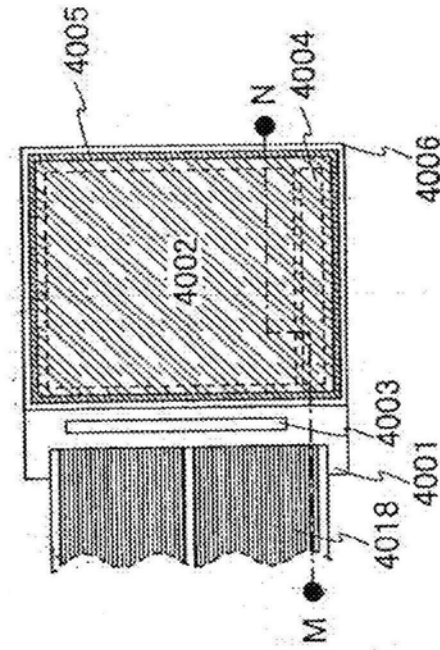


图15A

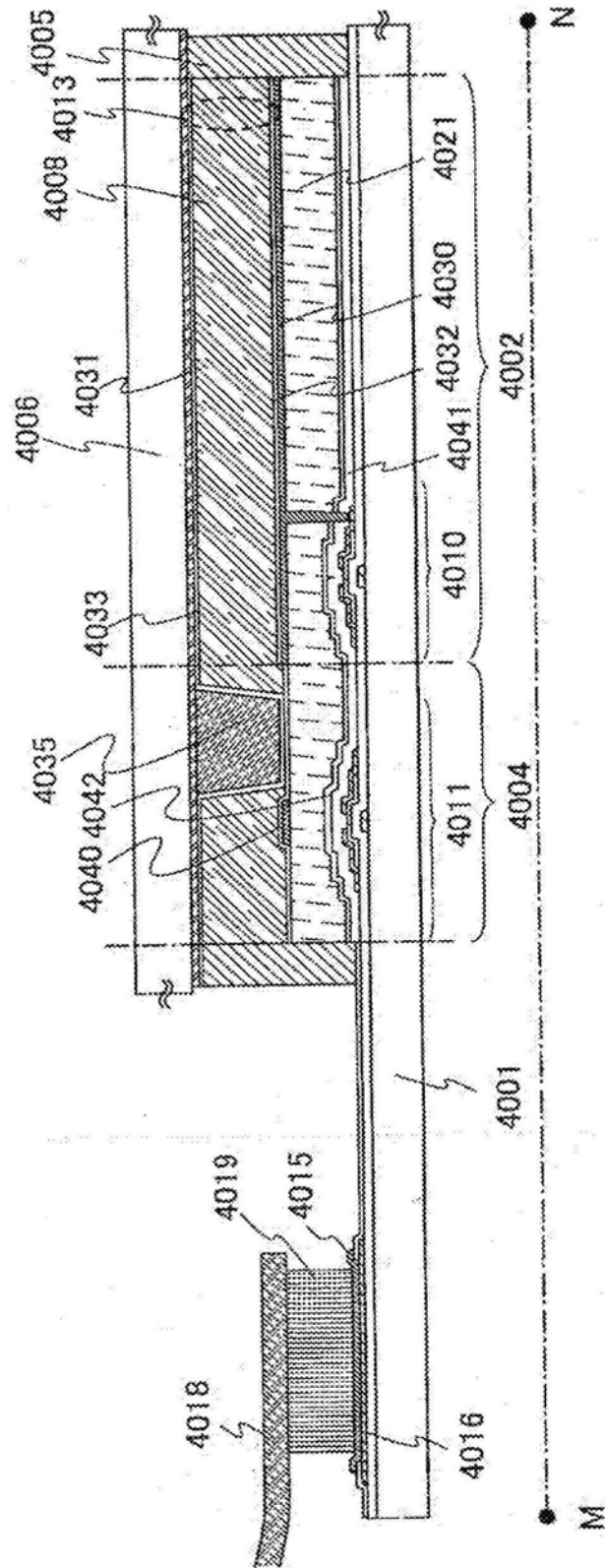


图15B

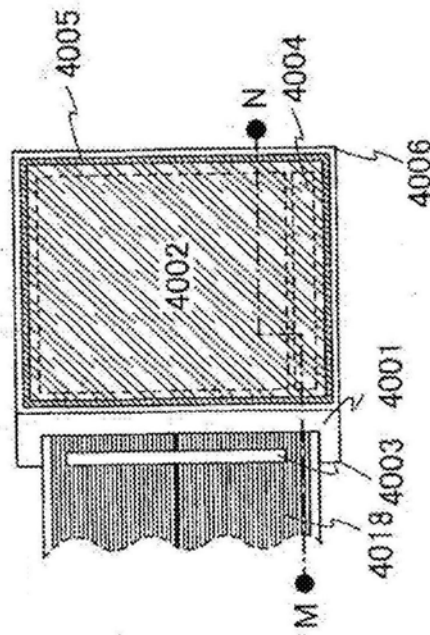


图15C

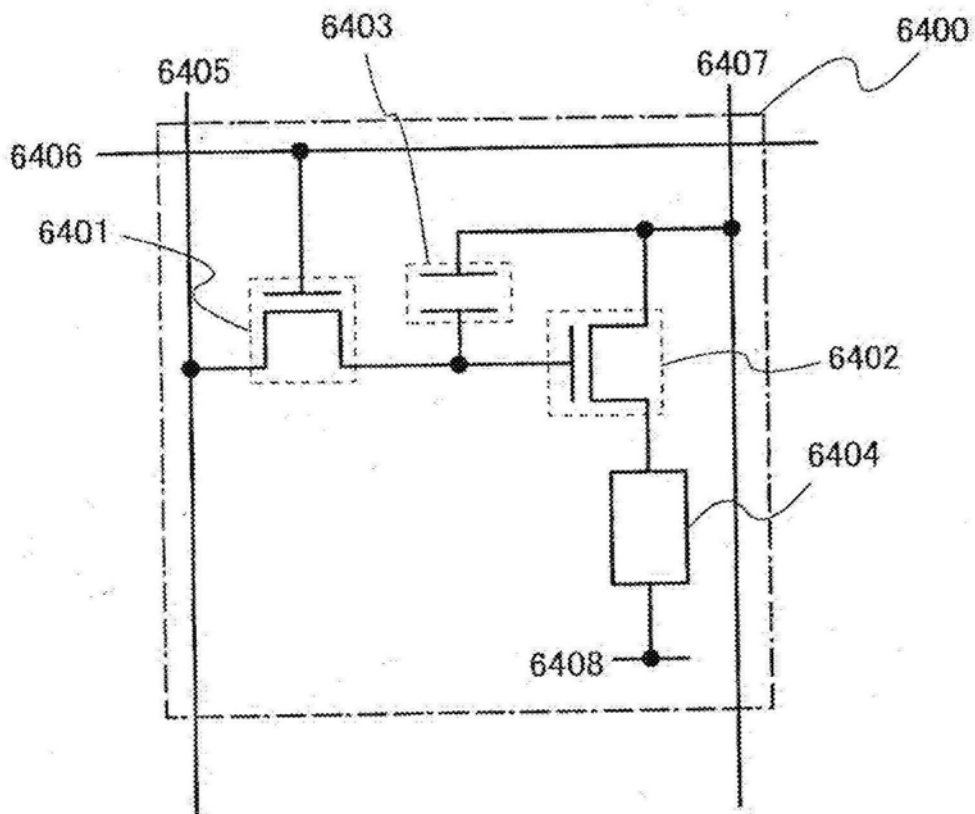


图16

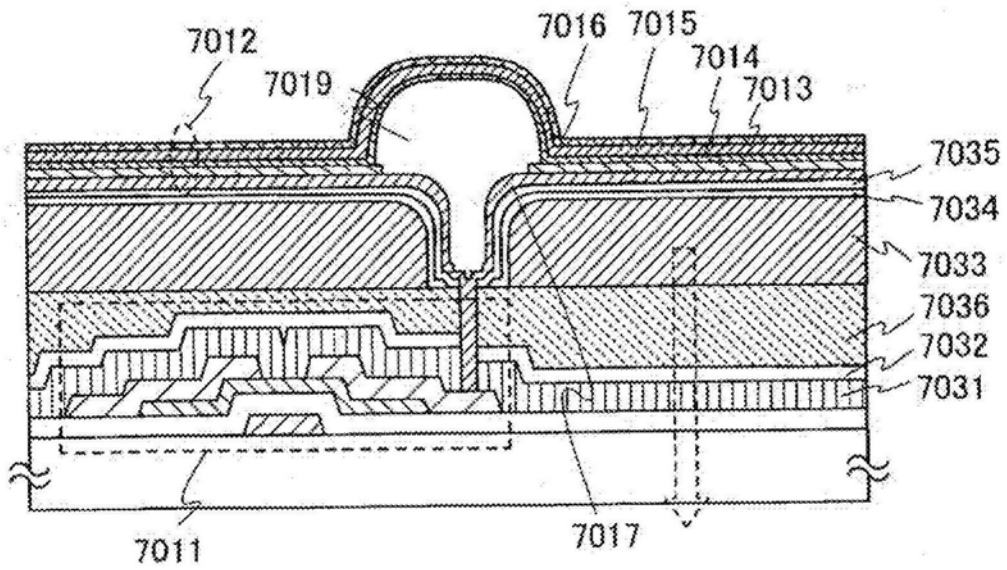


图17A

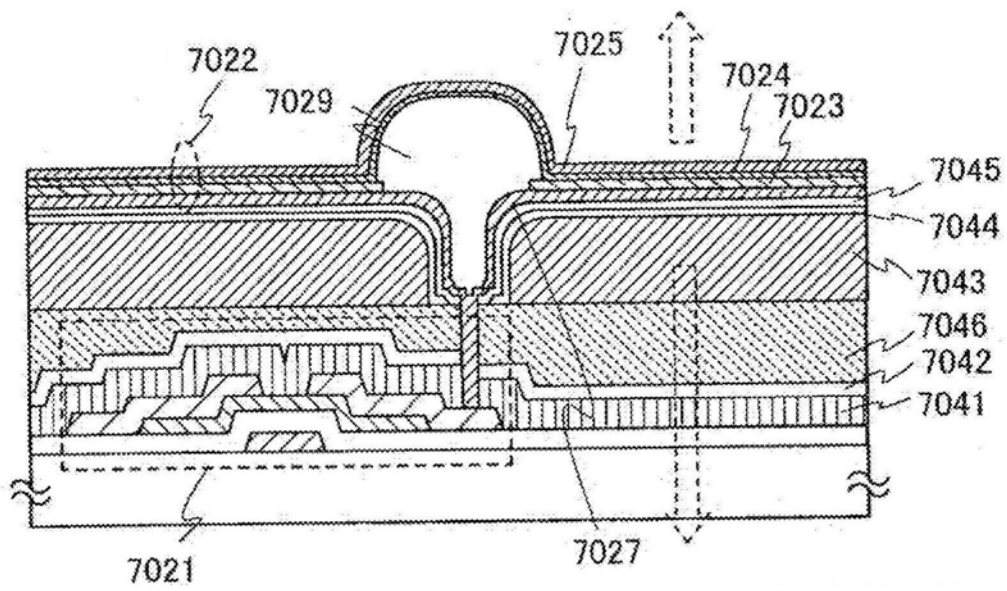


图17B

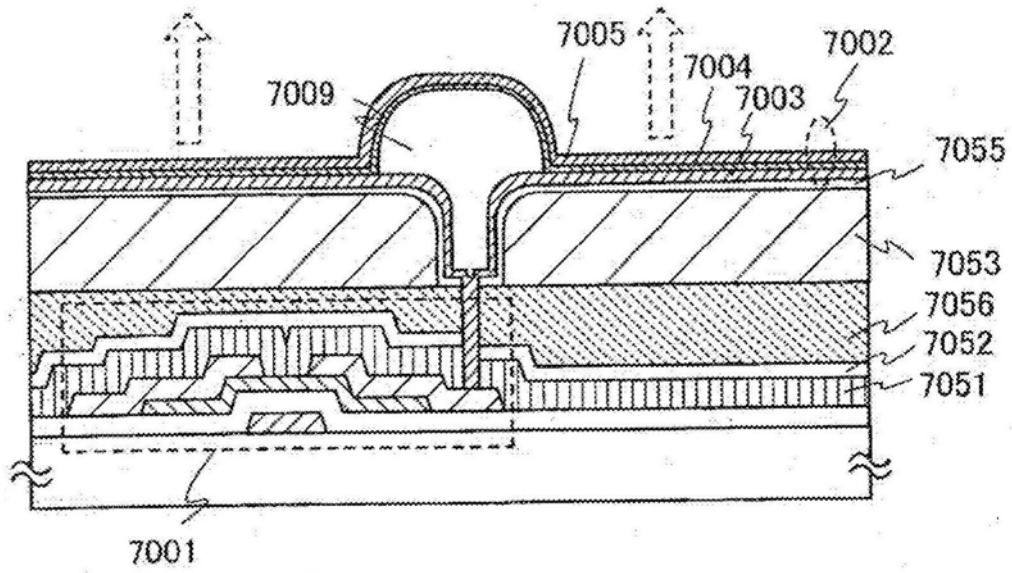


图17C

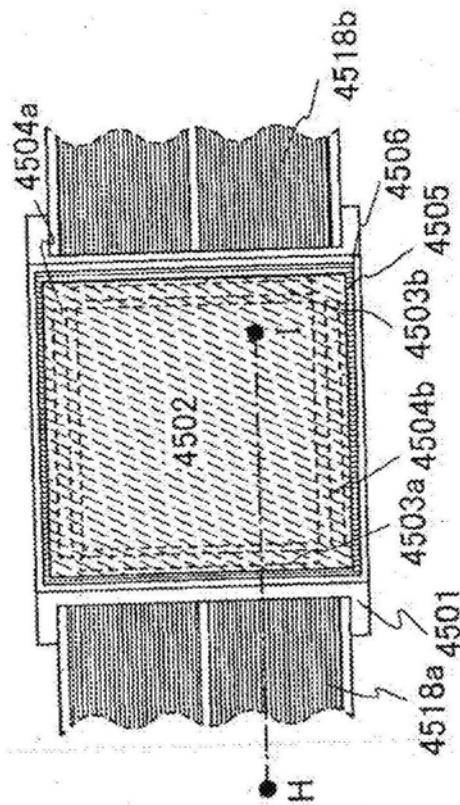


图18A

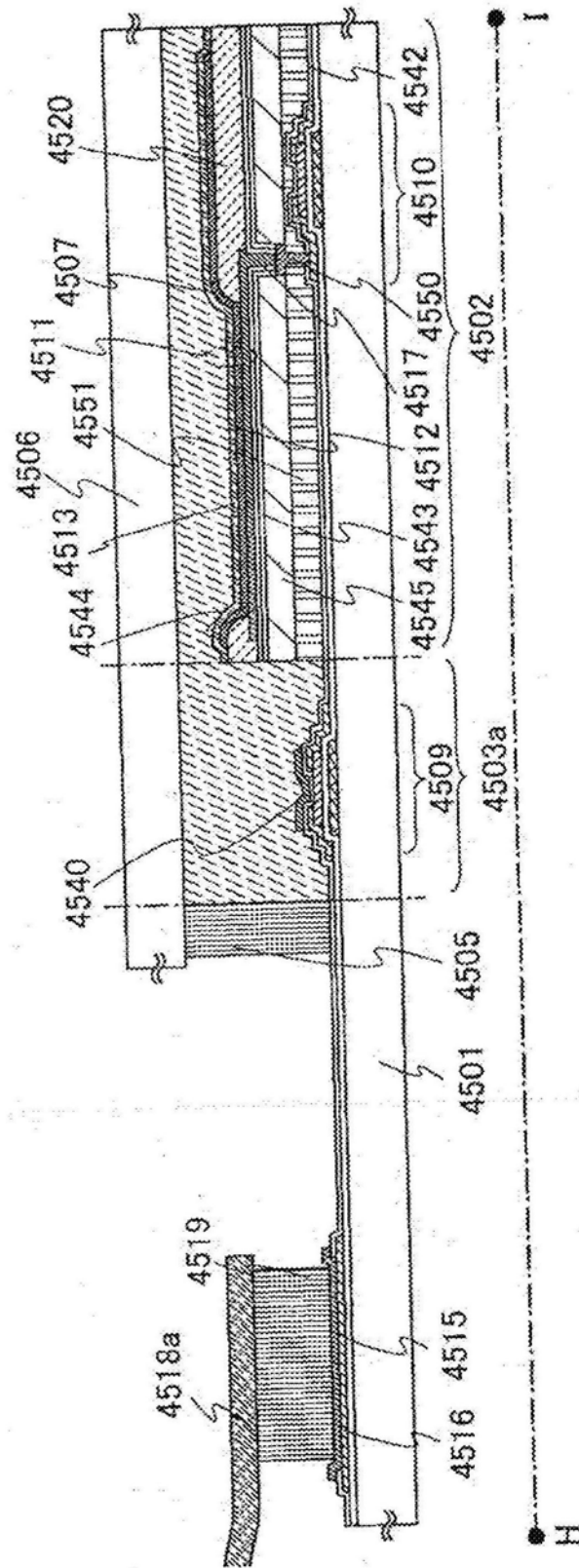


图18B

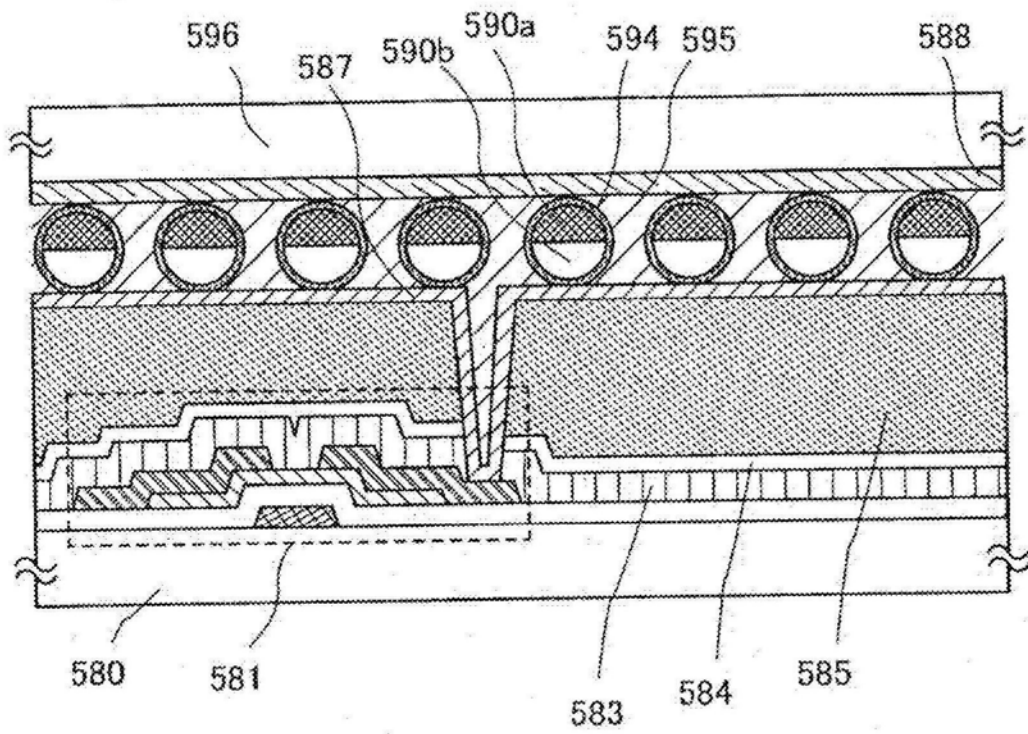


图19

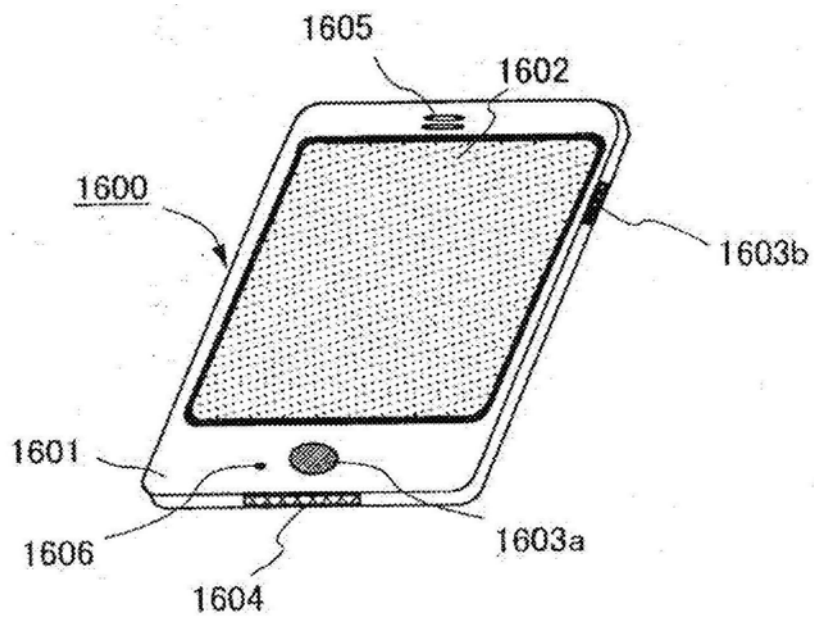


图20A

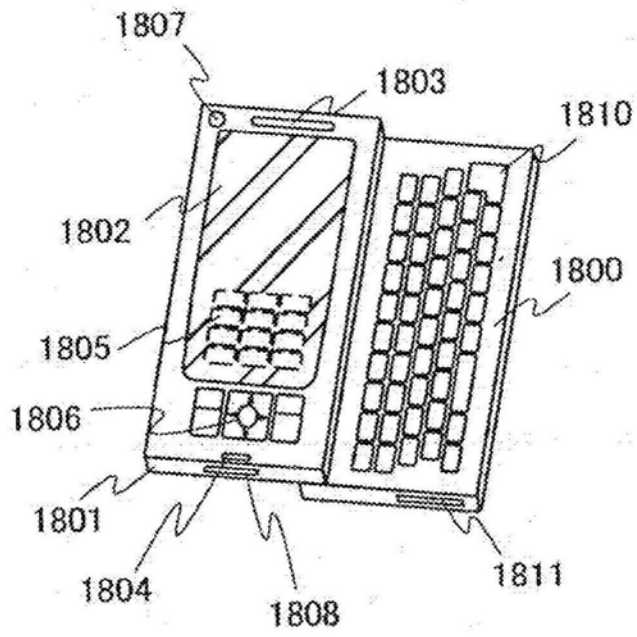


图20B

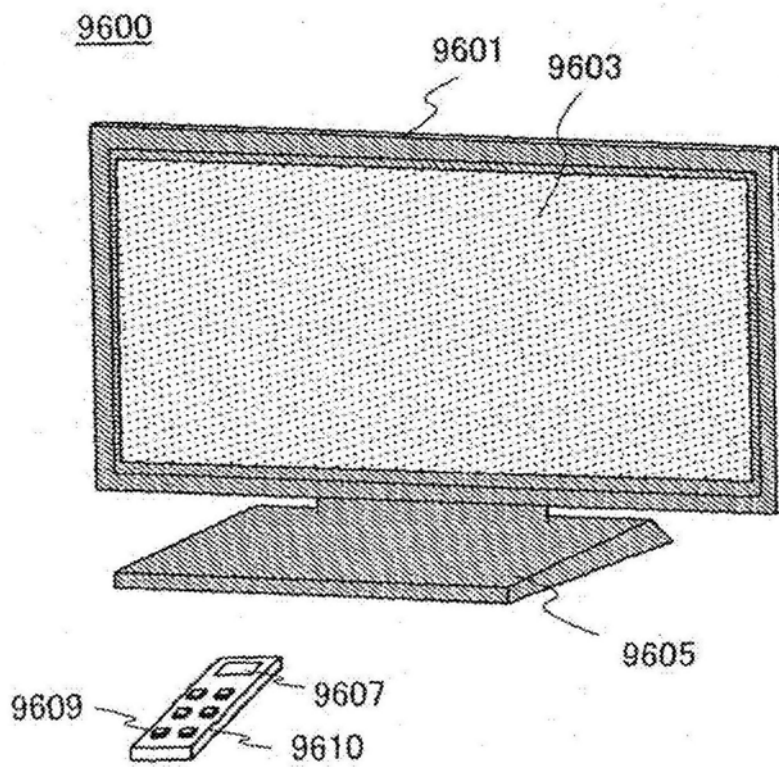


图21A

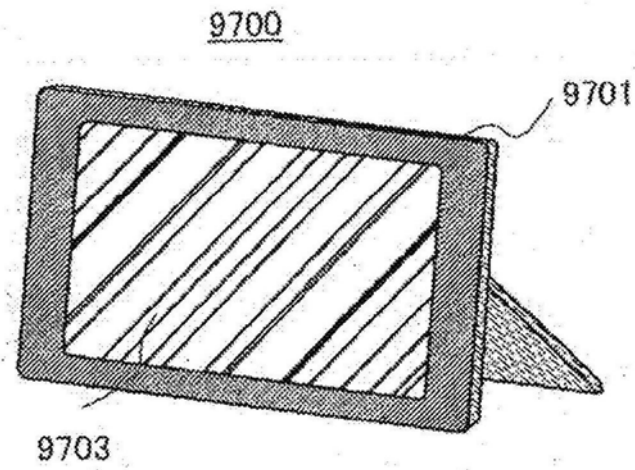


图21B

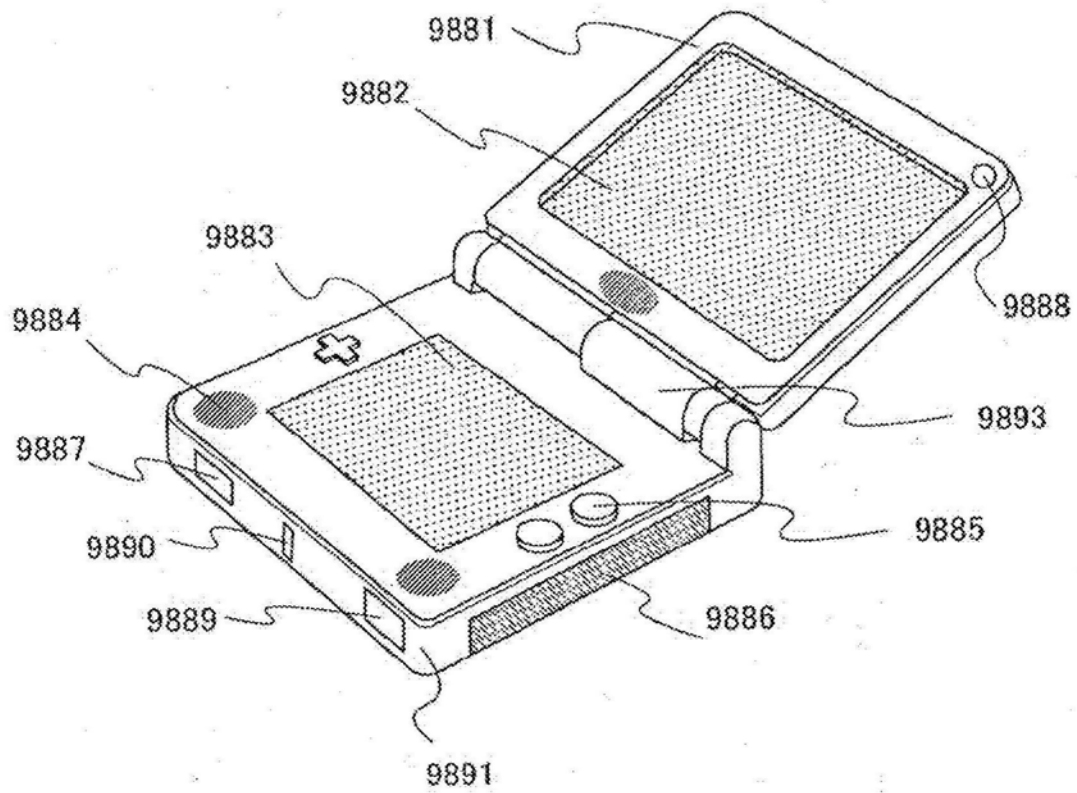


图22

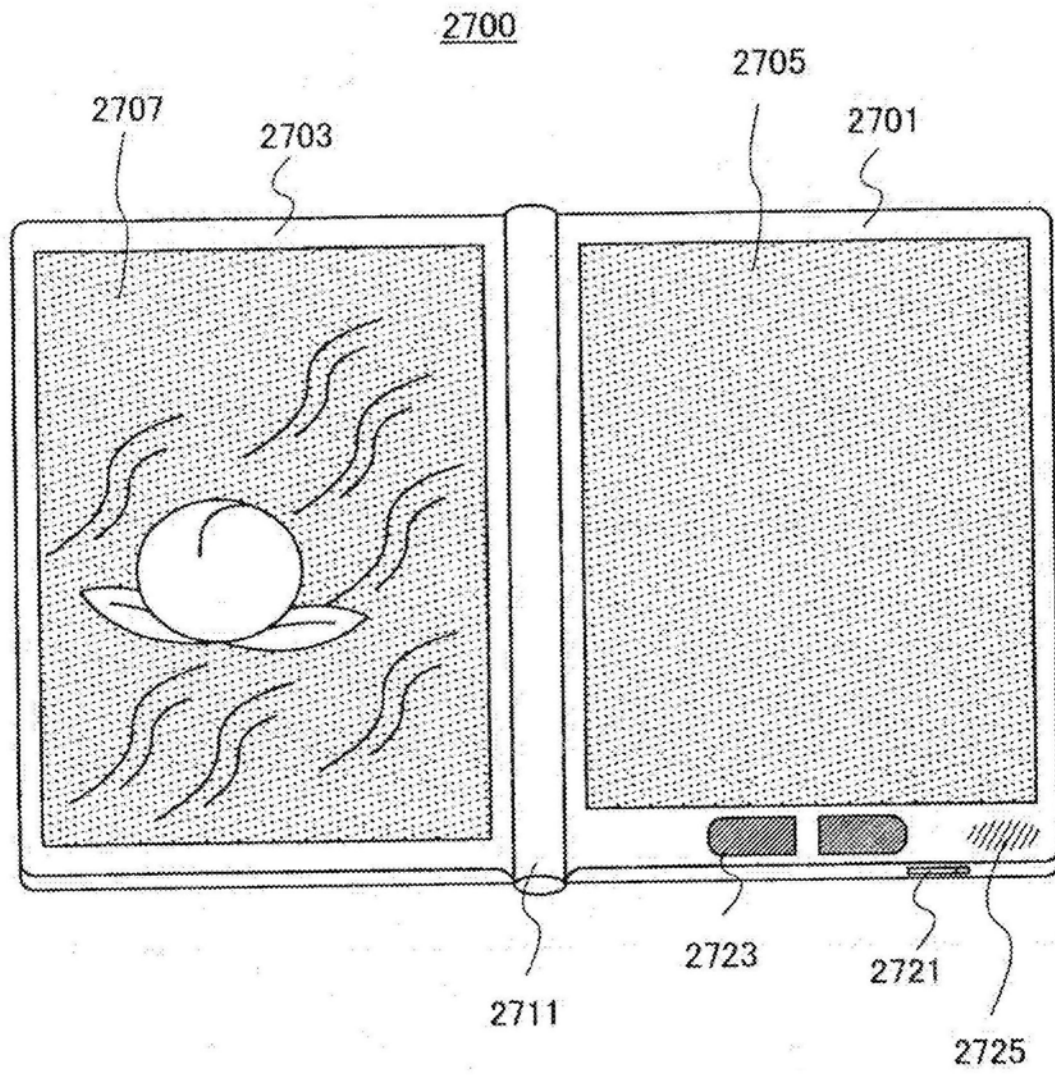


图23

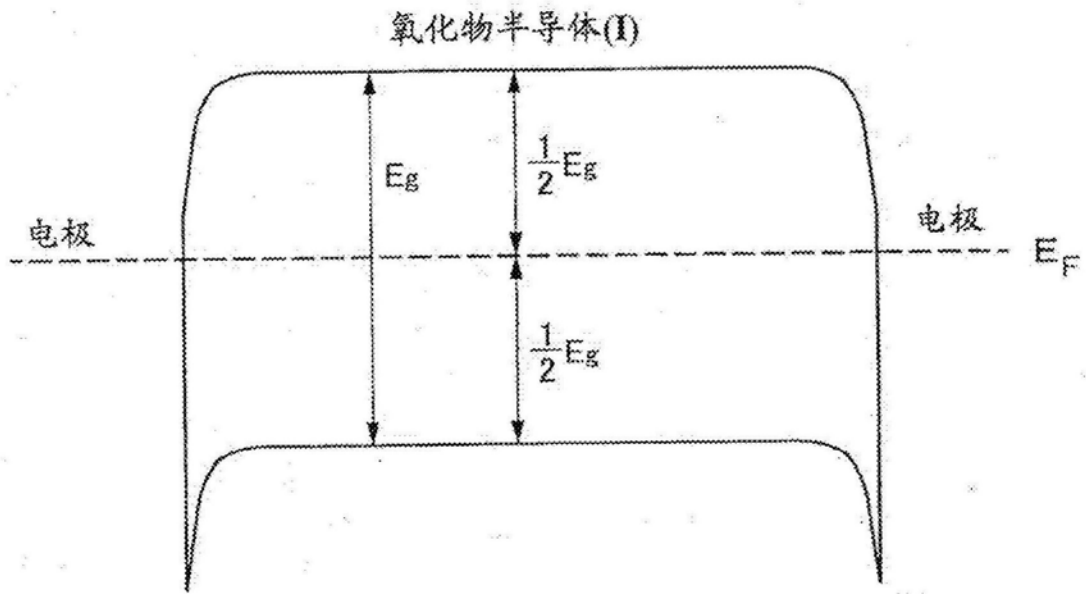


图24

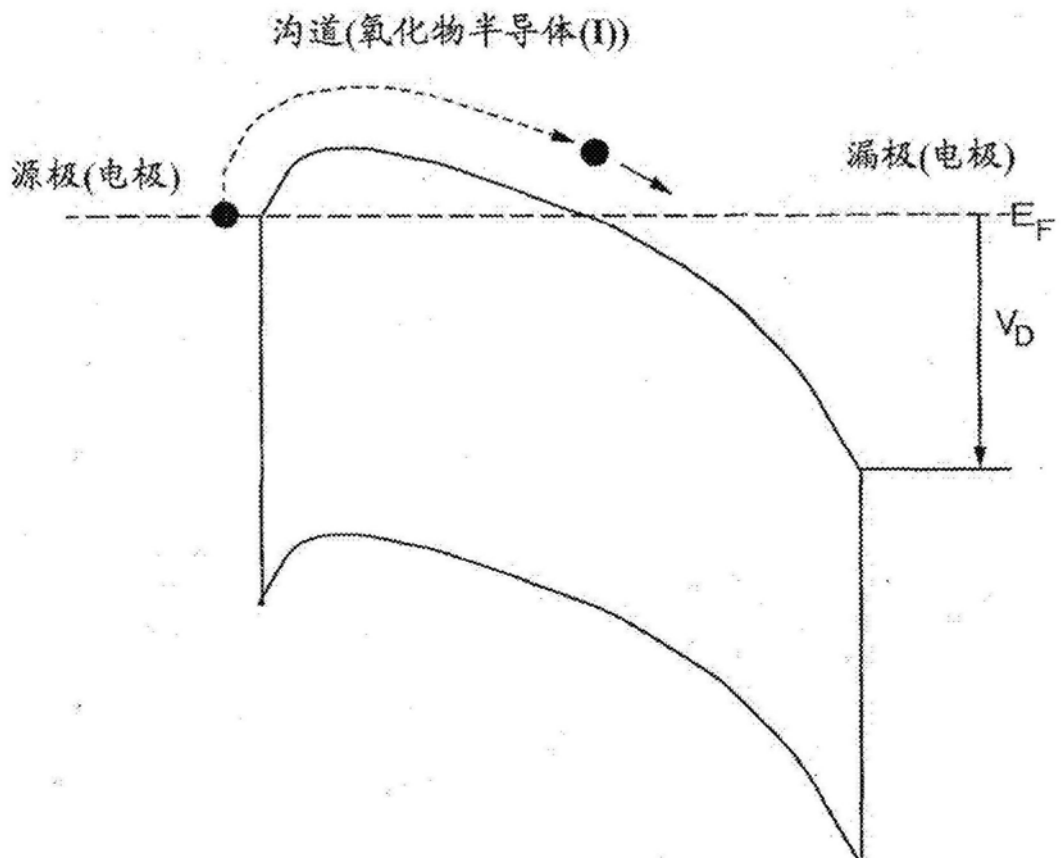


图25

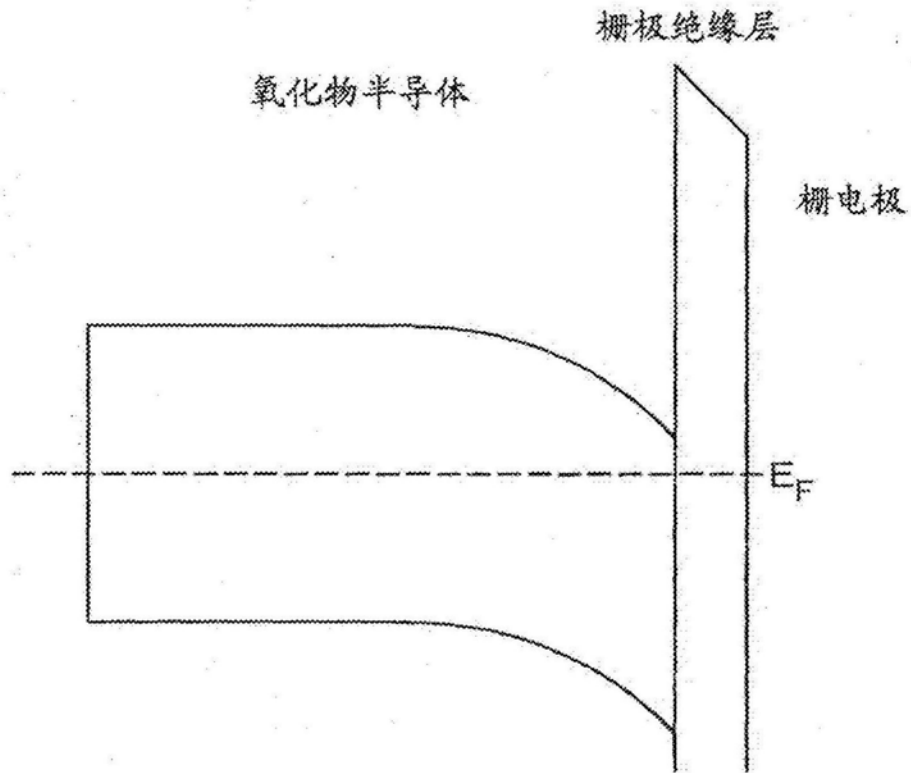


图26A

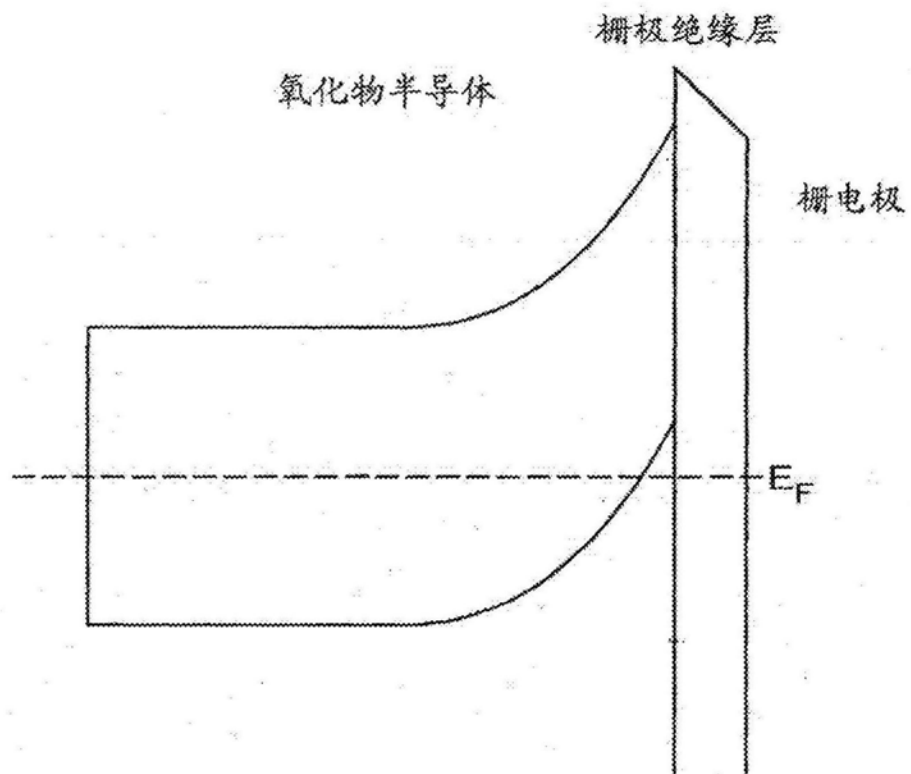


图26B

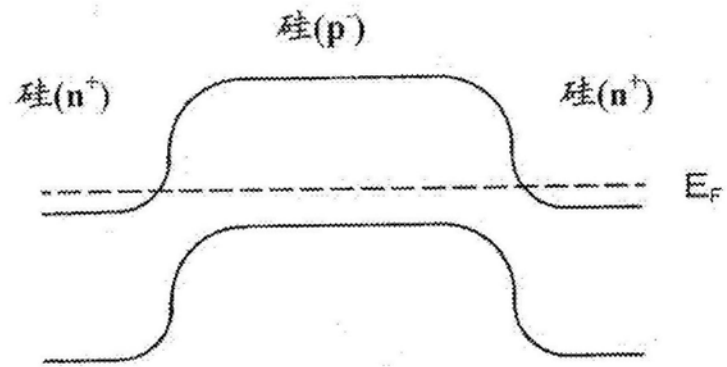


图27

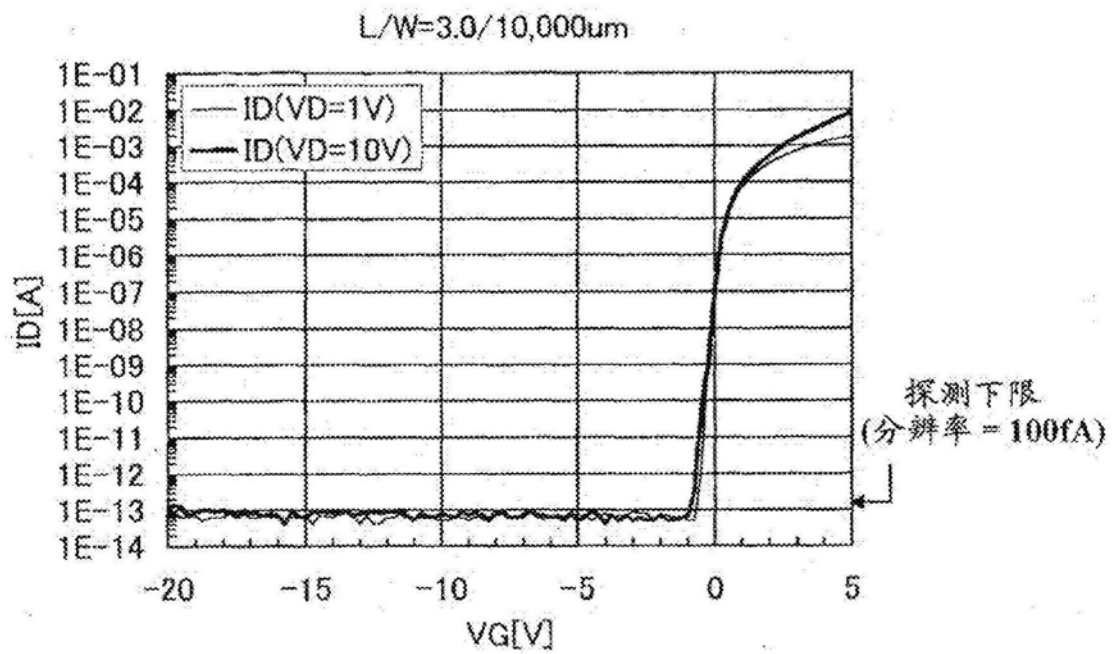


图28

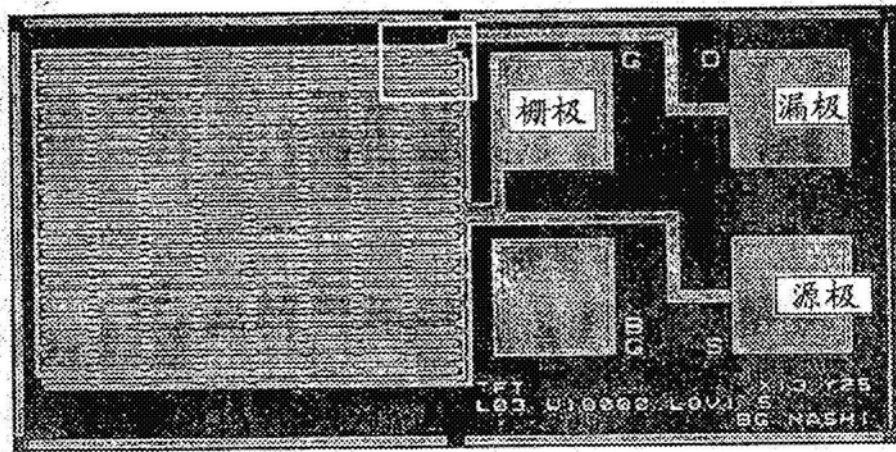


图29A

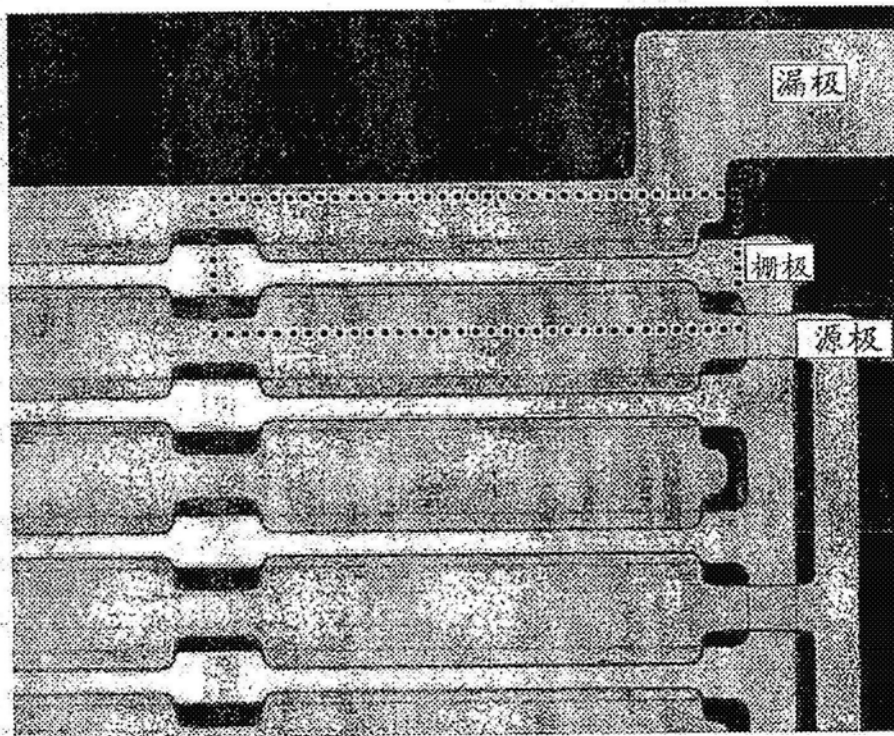


图29B

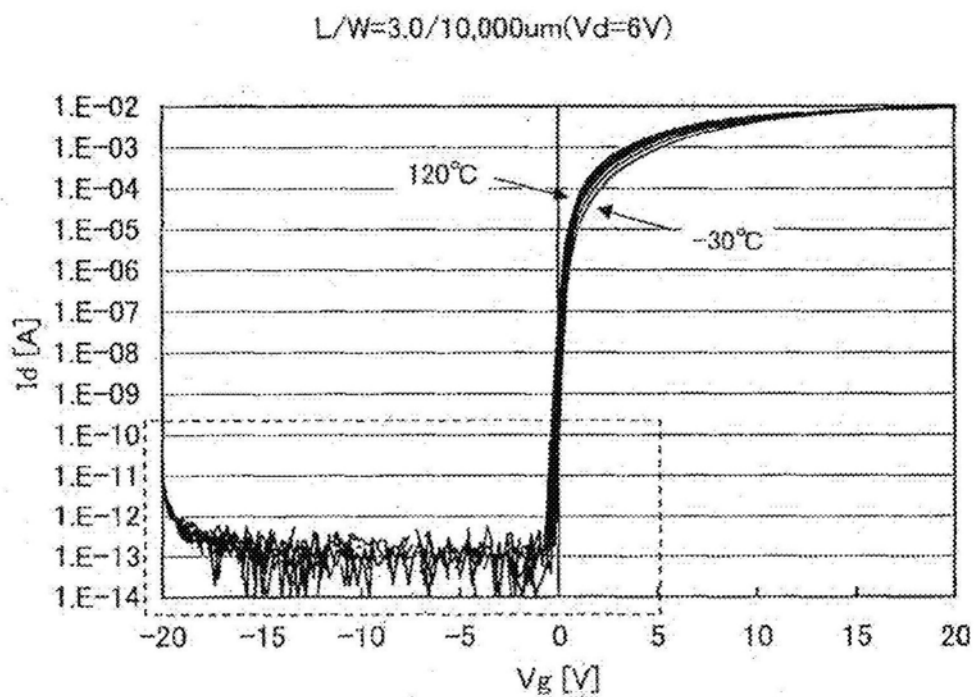


图30A

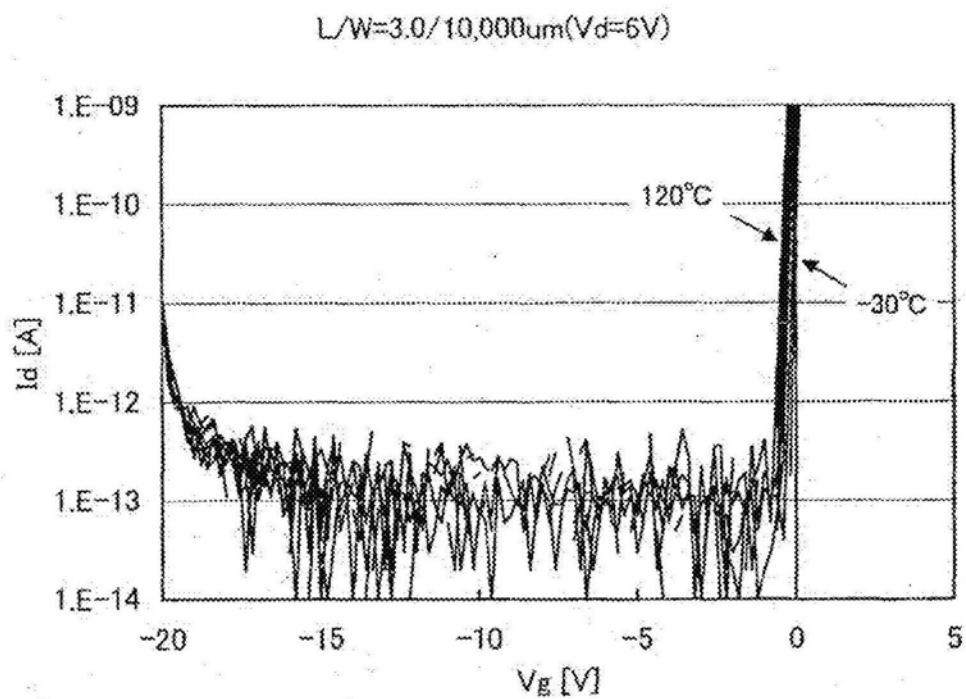


图30B