



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 836804

(61) Дополнительное к авт. свид-ву № 593320

(22) Заявлено 19.06.79 (21) 2781047/18-09

с присоединением заявки № —

(51) М. Кл.³

Н 04 L 1/10

(23) Приоритет —

Опубликовано 07.06.81. Бюллетень № 21

Дата опубликования описания 10.06.81

(53) УДК 621.395.
.664 (088.8)

(72) Авторы
изобретения

Е.П.Ларичев, Е.В.Нестеркин, Е.Н.Океанов и И.И.Родькин

(71) Заявитель

(54) УСТРОЙСТВО ДЛЯ ОБНАРУЖЕНИЯ И РЕГИСТРАЦИИ
ПОТОКА ОШИБОК ДИСКРЕТНОГО КАНАЛА СВЯЗИ

1

Изобретение относится к технике радиосвязи и может использоваться в аппаратуре для исследования дискретных каналов радиосвязи.

По основному авт.св. № 593320 известно устройство для обнаружения и регистрации потока ошибок дискретного канала связи, содержащее на входе блок обнаружения ошибок, а также счетчик тактовых импульсов и регистратор, например перфоратор, блок ключей, элемент ИЛИ, формирователь временных меток, блок промежуточной памяти, блок управления, при этом тактовый выход блока обнаружения ошибок подключен к входу счетчика тактовых импульсов, выход которого соединен со входами блока ключей и формирователя временных меток, выход которого подключен к входу "сброс" счетчика тактовых импульсов через элемент ИЛИ, к другому входу которого подключен выход блока ключей, а выход "знак ошибки" блока обнаружения

2

ошибок подключен к соответствующему входу блока промежуточной памяти, выход которого подключен к входу регистратора, синхронизирующий выход которого через блок управления подключен к управляющим входам блока промежуточной памяти и регистратора [1].

Однако известное устройство не обеспечивает малого времени регистрации информации о потоке ошибок.

Цель изобретения — сокращение времени регистрации путем сжатия регистрируемой информации о потоке ошибок.

Для этого в устройстве для обнаружения и регистрации потока ошибок дискретного канала связи, содержащее на входе блок обнаружения ошибок, а также счетчик тактовых импульсов и регистратор, например перфоратор, блок ключей, элемент ИЛИ, формирователь временных меток, блок промежуточной памяти, блок управления, при этом тактовый выход блока обнаруже-

ния ошибок подключен к входу счетчика тактовых импульсов, выход которого соединен со входами блока ключей и формирователя временных меток, выход которого подключен к входу "сброс" счетчика тактовых импульсов через элемент ИЛИ, к другому входу которого подключен выход блока ключей, а выход "знак ошибки" блока обнаружения ошибок подключен к соответствующему входу блока промежуточной памяти, выход которого подключен к входу регистратора, синхронизирующий выход которого через блок управления подключен к управляющим входам блока промежуточной памяти и регистратора, введены распределитель управляющих сигналов, шифратор временных меток и дополнительный элемент ИЛИ, при этом выход "ошибка" блока обнаружения ошибок соединен с другим входом блока ключей через распределитель управляющих сигналов, второй вход которого соединен с соответствующим управляющим входом блока промежуточной памяти, соответствующий вход которого соединен с выходом блока ключей через дополнительный элемент ИЛИ, а выход формирователя временных меток соединен с соответствующим входом блока промежуточной памяти через шифратор временных меток, второй и третий входы которого соединены соответственно с токовым выходом распределителя управляющих сигналов и со вторым входом дополнительного элемента ИЛИ.

На чертеже представлена структурная электрическая схема устройства для обнаружения и регистрации потока ошибок дискретного канала связи.

Устройство для обнаружения и регистрации потока ошибок дискретного канала связи содержит блок обнаружения ошибок 1, счетчик тактовых импульсов 2, регистратор 3, блок ключей 4, элемент ИЛИ 5, формирователь временных меток 6, блок промежуточной памяти 7, блок управления 8, распределитель управляющих сигналов 9, шифратор временных меток 10, дополнительный элемент ИЛИ 11. Блок промежуточной памяти состоит из блока оперативной памяти 12, блока буферной памяти 13, ключей 14 и 15.

Устройство работает следующим образом.

Тактовые импульсы поступают на вход двоичного пятиразрядного счет-

чика тактовых импульсов 2, выход каждого разряда которого соединен с соответствующим импульсным ключом блока ключей 4. С появлением сигнала ошибки все пять ключей этого блока открываются и двоичное число со счетчика тактовых импульсов 2, соответствующее номеру посылки, на которой происходит ошибка, записывается через дополнительный элемент ИЛИ 11 в пять ячеек блока оперативной памяти 12. Одновременно в седьмую ячейку блока оперативной памяти 12 записывается сигнал вида ошибок. При записи числа импульсами с выхода блока ключей 4 через элемент ИЛИ 5 производится сброс счетчика тактовых импульсов 2 в нулевое состояние. Принимаемые и анализируемые блоком обнаружения ошибок 1 элементарные посылки разбиваются на блоки по тридцать одной посылке. Для этого с приходом каждой тридцать первой посылки формирователь временных меток 6 выдает импульс временной метки, который представляется цифрой в шифраторе временных меток 10, и по сигналу с распределителя управляющих сигналов 9, вырабатываемого по сигналу с выхода блока управления 8, записывается в пять ячеек блока оперативной памяти 12 после записи числа, соответствующего номеру ошибочной посылки в случае появления ошибки. Если ошибки не появляются в течение времени формирования временной метки, то сигнал с выхода шифратора временных меток 10 записывается в шестую ячейку блока оперативной памяти 12. Регистратор 3 в каждом цикле своей работы выдает сигналы синхронизации, поступающие на блок управления 8, который выдает в соответствующие моменты цикла работы регистратора 3 сигналы управления на перезапись информации из блока оперативной памяти 12 в блок буферной памяти 13 через сеть ключей 14, сигналы управления на регистрацию информации из блока буферной памяти 13 на бумажную ленту регистратора 3 через сеть ключей 15, сигналы на установку блока буферной памяти 13 в исходное состояние, сигналы транспортировки ленты на продвижение бумажной ленты регистратором 3. При записи информации из блока оперативной памяти 12 в блок буферной памяти 13 блоком управления 8 вырабатывается

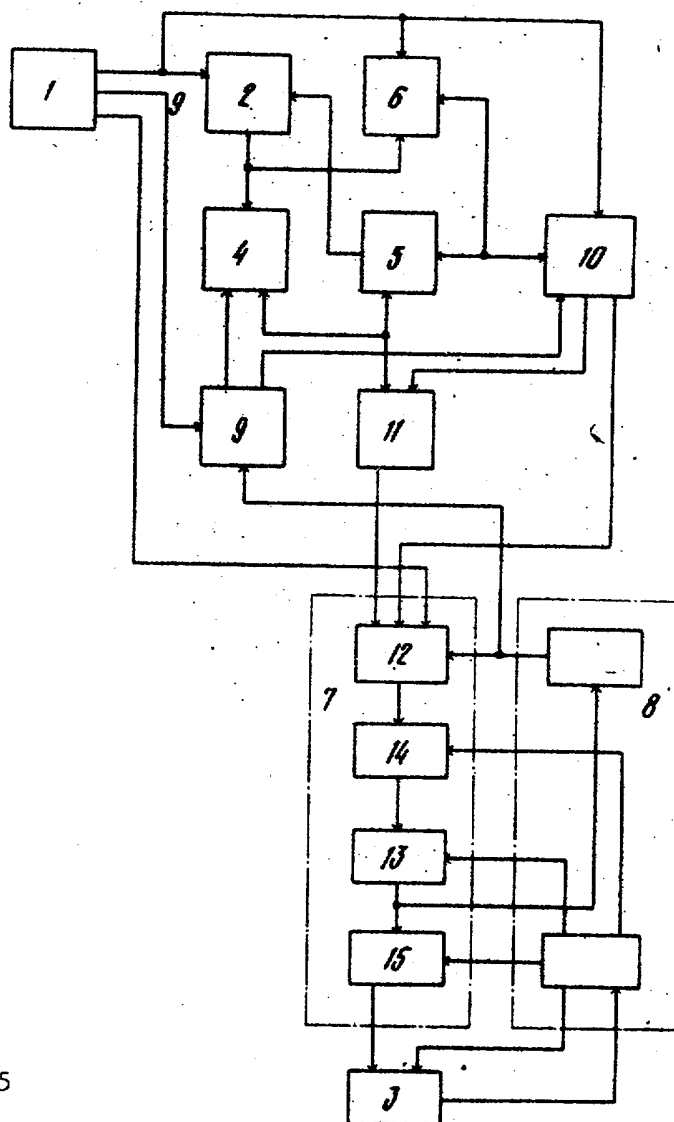
сигнал на установку блока оперативной памяти 12 в исходное состояние.

Формула изобретения

Устройство для обнаружения и регистрации потока ошибок дискретного канала связи по авт.св. № 593320, отличающееся тем, что, с целью сокращения времени регистрации путем сжатия регистрируемой информации о потоке ошибок, введены распределитель управляющих сигналов, шифратор временных меток и дополнительный элемент ИЛИ, при этом выход "ошибка" блока обнаружения ошибок соединен с другим входом блока ключей через распределитель управля-

ющих сигналов, второй вход которого соединен с соответствующим управляющим входом блока промежуточной памяти, соответствующий вход которого соединен с выходом блока ключей через дополнительный элемент ИЛИ, а выход формирователя временных меток соединен с соответствующим входом блока промежуточной памяти через шифратор временных меток, второй и третий входы которого соединены соответственно с токовым выходом распределителя управляющих сигналов и со вторым входом дополнительного элемента ИЛИ.

Источники информации, принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 593320, кл. Н 04 L 1/10, 1974.



ВНИИПИ Заказ 3207/45
Тираж 698 Подписное

Филиал ИПП "Патент",
г. Ужгород, ул. Проектная, 4