



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0054019  
(43) 공개일자 2014년05월08일

- (51) 국제특허분류(Int. Cl.)  
*H01L 23/48* (2006.01) *H01L 23/13* (2006.01)
- (21) 출원번호 10-2014-7003032
- (22) 출원일자(국제) 2012년07월11일  
심사청구일자 없음
- (85) 번역문제출일자 2014년02월05일
- (86) 국제출원번호 PCT/US2012/046249
- (87) 국제공개번호 WO 2013/009866  
국제공개일자 2013년01월17일
- (30) 우선권주장  
13/346,201 2012년01월09일 미국(US)  
(뒷면에 계속)

- (71) 출원인  
인벤파스 코포레이션  
미국 캘리포니아 산 호세 오처드 파크웨이 3025  
(우편번호 95134)
- (72) 발명자  
하바 벨가셈  
미국 95070 캘리포니아주 사라토가 밀러 코트  
19487  
조니 와엘  
미국 95134 캘리포니아주 샌 호세 오처드 파크웨  
이 3025 인벤파스 코포레이션 내  
(뒷면에 계속)
- (74) 대리인  
유미특허법인

전체 청구항 수 : 총 54 항

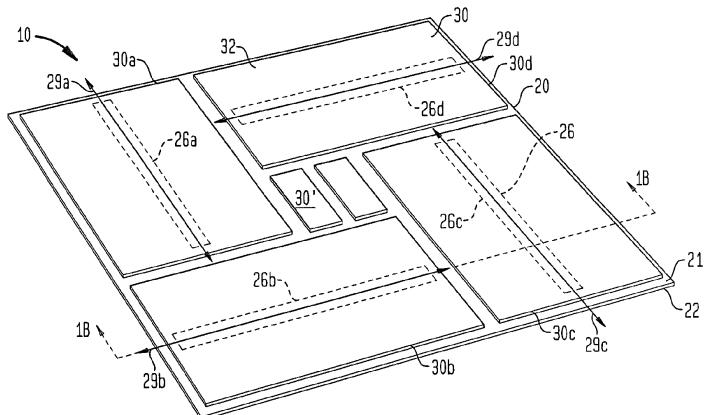
**(54) 발명의 명칭 패키지 내의 메모리 모듈**

**(57) 요 약**

마이크로전자 패키지(10)는 제1 및 제2 대향면(21, 22)을 가지는 기판(20), 제1, 제2, 제3, 및 제4 마이크로전자 소자(30a, 30b, 30c, 30d), 및 제2 면에서 노출된 단자(25)를 포함할 수 있다. 각각의 마이크로전자 소자(30)는 기판(20)의 제1 면(21)에 대향하는 전면(31) 및 전면에서의 복수 개의 콘택(35)을 가질 수 있다. 마이크로전자 소자(30)의 전면(31)은 제1 면(21)에 평행하고 이에 상재하는 단일 평면 내에 정렬될 수 있다.

각각의 마이크로전자 소자(30)는 전면에서 노출되고 개별적인 제1, 제2, 제3, 및 제4 축들(29a, 29b, 29c, 29d)을 따라서 배열되는 콘택(35)의 열을 가질 수 있다. 제1 및 제3 축들(29a, 29c)은 서로에 대해 평행할 수 있다. 제2 및 제4 축들(29b, 29d)은 제1 및 제3 축들(29a, 29c)에 횡단할 수 있다.

**대 표 도** - 도1a



(72) 발명자

**크리스프 리차드 드윗**

미국 95134 캘리포니아주 샌 호세 오처드 파크웨이  
3025 인벤사스 코포레이션 내

**모하메드 일야스**

미국 95050 캘리포니아주 산타 클라라 보하년 드라  
이브 2377

(30) 우선권주장

61/506,889 2011년07월12일 미국(US)

61/542,488 2011년10월03일 미국(US)

61/542,495 2011년10월03일 미국(US)

61/542,553 2011년10월03일 미국(US)

## 특허청구의 범위

### 청구항 1

마이크로전자 패키지로서,

제1 및 제2 대향면을 가지는 기판;

제1, 제2, 제3, 및 제4 마이크로전자 소자로서, 각각의 마이크로전자 소자는 상기 기판의 제1 면에 대향하는 전면 및 상기 전면에서의 복수 개의 콘택을 가지고, 상기 마이크로전자 소자의 전면은 상기 제1 면에 평행하고 이에 상재하는 단일 평면 내에 정렬되며, 각각의 마이크로전자 소자는 상기 전면에서 노출되는 콘택의 열을 가지고 제1, 제2, 제3, 및 제4 축들과 나란히 정렬되며, 상기 제1 및 제3 축들은 서로에 대해 평행하고, 상기 제2 및 제4 축들은 상기 제1 및 제3 축들에 횡단하는, 제1, 제2, 제3, 및 제4 마이크로전자 소자;

상기 제2 면에서 노출되는 복수 개의 단자로서, 상기 단자는 상기 마이크로전자 패키지를 상기 마이크로전자 패키지의 외부의 적어도 하나의 컴포넌트에 접속시키도록 구성되는, 복수 개의 단자; 및

각각의 마이크로전자 소자의 콘택의 적어도 몇몇으로부터 상기 단자의 적어도 몇몇으로 연장하는 전기적 접속을 포함하는, 마이크로전자 패키지.

### 청구항 2

제1 항에 있어서,

상기 제2 및 제4 축들은 상기 제1 및 제3 축들에 직교하는, 마이크로전자 패키지.

### 청구항 3

제1 항에 있어서,

각각의 마이크로전자 소자의 콘택의 상기 열은 상기 개별적인 마이크로전자 소자의 전면의 중앙 지역 내에 배치되는, 마이크로전자 패키지.

### 청구항 4

제1 항에 있어서,

단자는 면적 어레이(area array) 내에 정렬되고, 상기 단자는 서로 공평면인 노출된 콘택 면을 가지는, 마이크로전자 패키지.

### 청구항 5

제1 항에 있어서,

상기 전기적 접속은 하부 마이크로전자 소자의 각각의 콘택과 상기 기판의 제1 면에서 노출된 도전성 본드 패드 사이에서 연장하는 플립-칩 접속을 포함하는, 마이크로전자 패키지.

### 청구항 6

제1 항에 있어서,

각각의 마이크로전자 소자의 상기 콘택은 8 개의 데이터 I/O 콘택을 포함하는, 마이크로전자 패키지.

### 청구항 7

제1 항에 있어서,

각각의 마이크로전자 소자의 상기 콘택은 9 개의 데이터 I/O 콘택을 포함하는, 마이크로전자 패키지.

### 청구항 8

제1 항에 있어서,

각각의 마이크로전자 소자의 상기 콘택은 16 개의 데이터 I/O 콘택을 포함하는, 마이크로전자 패키지.

### 청구항 9

제1 항에 있어서,

상기 단자의 적어도 몇몇 및 상기 마이크로전자 패키지 내의 마이크로전자 소자의 하나 이상에 전기적으로 접속된 버퍼 소자를 더 포함하고, 상기 버퍼 소자는 상기 마이크로전자 패키지의 단자의 하나 이상에서 수신된 적어도 하나의 신호를 회생(regenerate)시키도록 구성되는, 마이크로전자 패키지.

### 청구항 10

제9 항에 있어서,

상기 버퍼 소자는 상기 기판의 제1 면 상에 탑재되는, 마이크로전자 패키지.

### 청구항 11

제9 항에 있어서,

상기 버퍼 소자는 상기 기판의 제2 면 상에 탑재되는, 마이크로전자 패키지.

### 청구항 12

제9 항에 있어서,

상기 적어도 하나의 신호는 상기 마이크로전자 패키지로 전달된 어드레스 신호의 전부를 포함하는, 마이크로전자 패키지.

### 청구항 13

제9 항에 있어서,

상기 적어도 하나의 신호는 상기 마이크로전자 패키지로 전달된 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 포함하고, 상기 커맨드 신호는 쓰기 이네이블, 행 어드레스 스트로브, 및 열 어드레스 스트로브 신호이며, 상기 클록 신호는 상기 어드레스 신호를 샘플링하기 위하여 사용되는 샘플링 클록인, 마이크로전자 패키지.

### 청구항 14

제9 항에 있어서,

상기 적어도 하나의 신호는 상기 마이크로전자 패키지에 의하여 수신된 데이터 신호의 전부를 포함하는, 마이크로전자 패키지.

### 청구항 15

제1 항에 있어서,

상기 기판에 탑재되며 식별 정보를 저장하도록 구성된 비휘발성 메모리 소자를 더 포함하고, 상기 비휘발성 메모리 소자는 상기 마이크로전자 소자의 하나 이상에 전기적으로 접속되는, 마이크로전자 패키지.

### 청구항 16

제1 항에 있어서,

온도 센서를 더 포함하는, 마이크로전자 패키지.

### 청구항 17

제1 항에 있어서,

상기 기판에 탑재된 디커플링 커패시터 소자를 더 포함하고, 상기 디커플링 커패시터 소자는 상기 마이크로전자 소자의 하나 이상에 전기적으로 접속되는, 마이크로전자 패키지.

#### 청구항 18

제1 항에 있어서,

상기 기판은 본질적으로 상기 기판의 평면에서  $12 \text{ ppm}/\text{^\circ C}$ 보다 더 적은 CTE를 가지는 물질로 이루어진 소자인, 마이크로전자 패키지.

#### 청구항 19

제1 항에 있어서,

상기 기판은 본질적으로 상기 기판의 평면에서  $30 \text{ ppm}/\text{^\circ C}$ 보다 더 적은 CTE를 가지는 물질로 이루어진 유전체 물질을 포함하는, 마이크로전자 패키지.

#### 청구항 20

제1 항에 있어서,

상기 마이크로전자 소자는 어드레싱 가능한 메모리 모듈로서 함께 기능하도록 구성되고, 상기 마이크로전자 패키지는 상기 마이크로전자 소자의 각각에서 수신되는 데이터의 부분을 저장하도록 구성되는, 마이크로전자 패키지.

#### 청구항 21

제 20 항에 있어서,

상기 마이크로전자 패키지는 듀얼 인-라인 메모리 모듈로서 기능하도록 구성되는, 마이크로전자 패키지.

#### 청구항 22

제 21 항에 있어서,

상기 마이크로전자 패키지는 동일한 커랜드 및 신호 인터페이스를 가지고 듀얼 인-라인 메모리 모듈과 데이터의 동일한 양을 전달하도록 구성되는, 마이크로전자 패키지.

#### 청구항 23

제1 항에 있어서,

상기 마이크로전자 소자의 각각은 주로 메모리 스토리지 어레이 기능을 제공하도록 구성되는, 마이크로전자 어셈블리.

#### 청구항 24

제1 항에 있어서,

상기 마이크로전자 소자의 각각은 동적 랜덤 액세스 메모리("DRAM") 집적 회로 칩을 포함하는, 마이크로전자 패키지.

#### 청구항 25

제1 항에 있어서,

상기 마이크로전자 소자의 각각은 상기 마이크로전자 소자의 다른 것들에 대하여 기능적으로 그리고 기계적으로 등가적인, 마이크로전자 패키지.

#### 청구항 26

제1 항에 있어서,

상기 마이크로전자 소자의 적어도 하나와 열적 통신하는 열 확산기를 더 포함하는, 마이크로전자 패키지.

### 청구항 27

제 26 항에 있어서,

상기 열 확산기는 상기 마이크로전자 소자의 각각의 후면에 적어도 부분적으로 상재하는, 마이크로전자 패키지.

### 청구항 28

제1 항에 있어서,

각각의 마이크로전자 소자는 하부 마이크로전자 소자이고, 및 각각의 마이크로전자 패키지는 각각의 하부 마이크로전자 소자에 대한 대응하는 상부 마이크로전자 소자를 포함하며, 각각의 상부 마이크로전자 소자는 상기 하부 마이크로전자 소자의 대응하는 하나의 후면에 적어도 부분적으로 상재하는 면을 가지는, 마이크로전자 패키지.

### 청구항 29

제 28 항에 있어서,

상부 마이크로전자 소자의 적어도 하나는 상기 하부 마이크로전자 소자를 통하여 연장하는 적어도 하나의 도전성 비아를 통하여 상기 하부 마이크로전자 소자의 대응하는 하나와 전기적으로 접속되는, 마이크로전자 패키지.

### 청구항 30

제1 항에서 청구된 바와 같은 복수 개의 마이크로전자 패키지를 포함하는 마이크로전자 어셈블리로서,

패널 콘택을 가지는 회로 패널을 더 포함하고, 상기 패키지의 단자는 상기 패널 콘택에 본딩되는, 마이크로전자 어셈블리.

### 청구항 31

제 30 항에 있어서,

상기 회로 패널은 신호의 상기 마이크로전자 패키지로의 그리고 그로부터의 전송을 위한 공통 전기적 인터페이스를 가지는, 마이크로전자 어셈블리.

### 청구항 32

제 30 항에 있어서,

상기 마이크로전자 패키지의 각각은 듀얼 인-라인 메모리 모듈과 동일한 기능성을 가지도록 구성되는, 마이크로전자 어셈블리.

### 청구항 33

제 30 항에 있어서,

상기 회로 패널은 마더보드인, 마이크로전자 어셈블리.

### 청구항 34

제 30 항에 있어서,

상기 회로 패널은 마더보드에 부착되도록 구성되는 모듈인, 마이크로전자 어셈블리.

### 청구항 35

제 30 항에 있어서,

상기 회로 패널에 탑재되며 상기 마이크로전자 패키지의 적어도 몇몇에 전기적으로 접속되는 버퍼 소자를 더 포함하고, 상기 버퍼 소자는 상기 마이크로전자 패키지의 단자의 하나 이상에서 수신되는 적어도 하나의 신호를

회생시키도록 구성되는, 마이크로전자 어셈블리.

### 청구항 36

제 35 항에 있어서,

상기 적어도 하나의 신호는 상기 마이크로전자 어셈블리로 전달된 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 포함하고, 상기 커맨드 신호는 쓰기 이네이블, 행 어드레스 스트로브, 및 열 어드레스 스트로브 신호이며, 상기 클록 신호는 상기 어드레스 신호를 샘플링하기 위하여 사용되는 샘플링 클록인, 마이크로전자 어셈블리.

### 청구항 37

제 35 항에 있어서,

상기 적어도 하나의 신호는 상기 마이크로전자 어셈블리에 의하여 수신된 데이터 신호의 전부를 포함하는, 마이크로전자 어셈블리.

### 청구항 38

제 30 항에서 청구된 바와 같은 복수 개의 마이크로전자 어셈블리를 포함하는 모듈로서,

각각의 마이크로전자 어셈블리는 상기 마이크로전자 어셈블리의 각각으로의 그리고 그로부터의 신호의 전송을 위하여 제2 회로 패널에 전기적으로 커플링되는, 모듈.

### 청구항 39

제1 항에 따르는 마이크로전자 패키지 및 상기 마이크로전자 패키지에 전기적으로 접속된 하나 이상의 다른 전자 컴포넌트를 포함하는, 시스템.

### 청구항 40

제 39 항에 있어서,

하우징을 더 포함하며,

상기 마이크로전자 패키지 및 상기 다른 전자 컴포넌트는 상기 하우징 상에 탑재되는, 시스템.

### 청구항 41

마이크로전자 패키지로서,

제1 및 제2 대향면을 가지는 기판;

제1, 제2, 제3, 및 제4 마이크로전자 소자로서, 각각의 마이크로전자 소자는 상기 기판의 제1 면에 대향하는 전면 및 상기 전면에서의 복수 개의 콘택을 가지고, 상기 마이크로전자 소자의 전면은 상기 제1 면에 평행하고 이에 상재하는 단일 평면 내에 정렬되며, 각각의 마이크로전자 소자는 상기 기판의 제1 면과 제2 면 사이에서 연장하는 적어도 하나의 개구부에 적어도 부분적으로 상재하고, 각각의 개구부는 개별적인 제1, 제2, 제3, 및 제4 축들과 나란한 길이를 가지며, 상기 제1 및 제3 축들은 서로에 대해 평행하고, 상기 제2 및 제4 축들은 상기 제1 및 제3 축들에 횡단하는, 제1, 제2, 제3, 및 제4 마이크로전자 소자;

상기 제2 면에서 노출되는 복수 개의 단자로서, 상기 단자는 상기 마이크로전자 패키지를 상기 마이크로전자 패키지의 외부의 적어도 하나의 컴포넌트에 접속시키도록 구성되는, 복수 개의 단자; 및

각각의 마이크로전자 소자의 콘택의 적어도 몇몇으로부터 상기 단자의 적어도 몇몇으로 연장하는 전기적 접속으로서, 상기 전기적 접속은 적어도 하나의 개구부와 정렬되는 일부를 적어도 가지는 리드를 포함하는, 전기적 접속을 포함하는, 마이크로전자 패키지.

### 청구항 42

제 41 항에 있어서,

상기 리드 중 적어도 몇몇은 상기 개구부 중 적어도 하나를 통하여 연장하는 와이어 본드를 포함하는, 마이크로

전자 패키지.

#### 청구항 43

제 41 항에 있어서,

상기 리드의 전부는 상기 개구부 중 적어도 하나를 통하여 연장하는 와이어 본드인, 마이크로전자 패키지.

#### 청구항 44

제 41 항에 있어서,

상기 리드의 적어도 몇몇은 리드 본드를 포함하는, 마이크로전자 패키지.

#### 청구항 45

제 41 항에 있어서,

각각의 마이크로전자 소자의 콘택의 적어도 몇몇은 상기 개별적인 마이크로전자 소자의 전면의 중앙 지역 내의 열 내에 배치되는, 마이크로전자 패키지.

#### 청구항 46

제 45 항에 있어서,

각각의 마이크로전자 소자의 콘택의 상기 열은 상기 개구부 중 대응하는 하나와 정렬되는, 마이크로전자 패키지.

#### 청구항 47

제 41 항에 있어서,

상기 개구부의 각각은 상기 개별적인 축에 횡단하는 방향에서 폭을 가지고, 각각의 개구부의 상기 폭은 상기 개구부의 상기 폭과 동일한 방향에서 상기 개구부에 적어도 부분적으로 상재하는 상기 마이크로전자 소자의 폭보다 더 크지 않은, 마이크로전자 패키지.

#### 청구항 48

제 41 항에 있어서,

상기 기판의 제2 면은 그것의 중앙 부분을 점유하는 중앙 지역을 가지고, 상기 중앙 지역은 상기 제1, 제2, 제3, 및 제4 축들에 의하여 경계지어지며, 상기 단자의 적어도 몇몇은 상기 중앙 지역 내에 배치된 제1 단자인, 마이크로전자 패키지.

#### 청구항 49

제 48 항에 있어서,

상기 제1 단자는 상기 마이크로전자 패키지로 전달된 어드레스 신호의 전부를 운반하도록 구성되는, 마이크로전자 패키지.

#### 청구항 50

제 48 항에 있어서,

상기 제1 단자는 상기 마이크로전자 패키지로 전달된 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 적어도 몇몇을 운반하도록 구성되고, 상기 커맨드 신호는 쓰기 이네이블, 행 어드레스 스트로브, 및 열 어드레스 스트로브 신호이며, 상기 클록 신호는 상기 어드레스 신호를 샘플링하기 위하여 사용되는 샘플링 클록이고, 상기 제1 단자는 상기 마이크로전자 소자의 적어도 두 개에 의하여 공유되는, 마이크로전자 패키지.

#### 청구항 51

제 50 항에 있어서,

상기 제1 단자는 상기 마이크로전자 소자의 각각에 의하여 공유되는, 마이크로전자 패키지.

### 청구항 52

제 41 항에 있어서,

상기 단자의 적어도 몇몇 및 상기 마이크로전자 패키지 내의 마이크로전자 소자의 하나 이상에 전기적으로 접속된 벼파 소자를 더 포함하고, 상기 벼파 소자는 상기 마이크로전자 패키지의 단자의 하나 이상에서 수신된 적어도 하나의 신호를 회생(regenerate)시키도록 구성되는, 마이크로전자 패키지.

### 청구항 53

제 52 항에 있어서,

상기 벼파 소자는 상기 기판의 제1 면 상에 탑재되는, 마이크로전자 패키지.

### 청구항 54

제 52 항에 있어서,

상기 벼파 소자는 상기 기판의 제2 면 상에 탑재되는, 마이크로전자 패키지.

## 명세서

### 기술 분야

[0001] 관련 출원들에의 상호-참조

[0002] 본 출원은 2012년 1월 9일에 출원된 미국 특허 출원 번호 제 13/346,201 호의 계속 출원인데, 이것은 모두 2011년 10월 3일에 출원된 미국 가특허출원 번호 제 61/542,488 호, 제 61/542,495 호, 및 제 61/542,553 호, 및 2011년 7월 12일에 출원된 미국 가특허출원 번호 제 61/506,889 호에 대한 우선권을 주장하고, 이들의 개시물은 여기에서 원용에 의해 본 명세서에 포함된다.

[0003] 본 출원의 기술 요지는 마이크로전자 패키지 및 마이크로전자 패키지를 통합하는 어셈블리에 관련된다.

### 배경 기술

[0004] 반도체 칩은 개개의, 사전패키지된 유닛으로서 공통적으로 제공된다. 표준 칩은 칩의 내부 회로부에 접속된 콘택트를 가지는 큰 전면을 가지는 평평한, 사각형 보디를 가진다. 각각의 개개의 칩은 통상적으로 칩의 콘택트에 접속된 외부 단자를 가지는 패키지 내에 들어있다. 차례대로, 단자, 즉, 패키지의 외부 접속 포인트가 인쇄 회로 보드와 같은 회로 패널에 전기적으로 접속하도록 구성된다. 많은 종래의 디자인에서, 칩 패키지는 칩 자체의 면적보다 훨씬 더 큰 회로 패널의 면적을 차지한다. 본 개시물에서 전면을 가지는 평면 칩에 대하여 사용될 때, "칩의 면적"은 전면의 면적을 지칭하는 것으로서 이해되어야 한다.

[0005] "플립 칩" 디자인에서, 칩의 전면은 패키지 유전체 소자의 페이스(face), 즉, 패키지의 기판에 대면하고, 칩 상의 콘택트는 솔더 벤프 또는 다른 접속 소자에 의하여 기판의 페이스 상의 콘택트에 직접적으로 본딩된다. 차례대로, 기판은 기판에 상재하는 외부 단자를 통하여 회로 패널에 본딩될 수 있다. "플립 칩" 디자인은 상대적으로 콤팩트한 배치를 제공한다; 각각의 패키지는, 예컨대 공통적으로-양도된 미국 특허 번호 제5,148,265 호; 제5,148,266 호; 및 제5,679,977 호의 특정 실시예에서 개시되는 것과 같이, 칩의 전면의 면적과 동일하거나 이것보다 다소 큰 회로 패널의 면적을 차지하는데, 이들의 개시물은 원용에 의해 본 명세서에 통합된다. 몇몇 혁신적인 탑재 기법은 종래의 플립-칩 본딩의 그것에 접근하거나 이것과 같은 콤팩트함을 제공한다. 칩 자체의 면적과 동일하거나 이보다 약간 더 큰 회로 패널의 면적 내에 단일 칩을 수용할 수 있는 패키지는 공통적으로 "칩-스케일 패키지"라고 지칭된다.

[0006] 사이즈는 칩의 임의의 물리적 배치에서 상당한 고려사항이다. 칩의 더 콤팩트한 물리적 배치에 대한 요구는 휴대용 전자 디바이스의 빠른 발전과 함께 더욱 커져 왔다. 단순히 예를 들자면, "스마트 폰"이라고 공통적으로 지칭되는 디바이스는 셀룰러 전화기의 기능과 강력한 데이터 프로세서, 메모리 및 보조 디바이스 예컨대 글로벌 포지셔닝 시스템 수신기, 전자 카메라, 및 근거리 네트워크 접속과 고-해상도 디스플레이 및 연관된 이미지 프

로세싱 칩을 통합한다. 이러한 디바이스는 풀 인터넷 접속성, 풀-해상도 비디오를 포함하는 엔터테인먼트, 네비게이션, 전자 은행 및 그 이상과 같은 모든 성능을 포켓-크기의 디바이스 내에 제공할 수 있다. 복잡한 휴대용 디바이스는 다수의 칩을 작은 공간 내에 집어넣는 것을 요구한다. 더욱이, 칩의 몇몇은 많은 입력 및 출력 접속을 가지는데, 이것은 공통적으로 "I/O"라고 지칭된다. 이러한 I/O는 다른 칩의 I/O와 상호접속되어야 한다. 상호접속을 형성하는 컴포넌트는 어셈블리의 사이즈를 크게 증가시켜서는 안 된다. 유사한 요구가 예를 들어, 증가된 성능 및 사이즈 감소가 필요한 인터넷 탐색 엔진에서 사용되는 것들과 같은 데이터 서버 내에서와 같이 다른 애플리케이션에서도 대두된다.

[0007] 메모리 스토리지 어레이, 특히 동적 랜덤 액세스 메모리 칩(DRAM) 및 플래시 메모리 칩을 포함하는 반도체 칩은 단일-칩 또는 다중-칩 패키지 및 어셈블리 내에 공통적으로 패키지된다. 각각의 패키지는 신호, 전력 및 접지를 단자 및 그 내부의 칩 사이에서 운반하기 위한 많은 전기적 접속을 가진다. 전기적 접속은 상이한 종류의 도체, 예컨대 수평 도체, 예를 들어 칩의 콘택-베어링 면에 상대적인 수평 방향으로 연장하는 트레이스, 빔 리드, 등, 수직 도체, 예컨대 칩의 면에 상대적으로 수직 방향에서 연장하는 비아, 및 칩의 면에 상대적으로 수평 및 수직 방향 모두로 연장하는 와이어 본드를 포함할 수 있다.

[0008] 패키지 내의 신호의 멀티-칩 패키지의 칩으로의 송신은 특별한 도전을, 특히 그 패키지 내의 두 개 이상의 칩에 공통적인 신호, 예컨대 클록 신호, 및 메모리 칩에 대한 어드레스 및 스트로브 신호에 대하여 부과한다. 이러한 멀티-칩 패키지 내에서, 패키지의 단자 및 칩 사이의 접속 경로의 길이는 변동할 수 있다. 상이한 경로 길이는 신호가 단자 및 각각의 칩 사이에서 이동하는 데에 더 길거나 짧은 시간이 걸리도록 할 수 있다. 하나의 포인트로부터 다른 포인트로의 신호의 이동 시간은 "전파 지연"이라고 불리며 도체 길이, 도체의 구조, 및 그것과 근접 근방에 있는 다른 유전체 또는 도전성 구조의 함수이다.

[0009] 두 개의 상이한 신호가 특정 위치에 도달하는 시간에서의 차분은 "스큐(skew)"라고도 불릴 수 있다. 두 개 이상의 위치에서의 특정 신호의 도착 시간에서의 스큐는 전파 지연 및 특정 신호가 그 위치를 향하여 이동을 시작한 시간 모두의 결과이다. 스큐는 회로 성능에 영향을 미칠 수도 미치지 않을 수도 있다. 스큐는 흔히 신호의 동기 그룹 내의 모든 신호가 함께 스큐될 경우에는 성능에 거의 영향을 주지 않는데, 이러한 경우 동작을 위해서 필요한 모든 신호는 필요할 경우 함께 도달한다. 그러나, 동작을 위하여 필요한 동기 신호의 그룹의 상이한 신호가 상이한 시각에 도달할 경우에는 그러하지 않다. 이러한 경우에서 스큐는 성능에 영향을 주는데, 이것은 동작이 모든 필요한 신호가 도달하지 않으면 수행될 수 없기 때문이다. 본 명세서에서 설명되는 실시예는 동시 계류중인 미국 특허출원 번호 제 61/506,889 호(TESSERA 3.8-664) 내에 개시된 스큐를 최소화하는 피쳐를 포함할 수 있는데, 그 개시물은 본 명세서에서 참조에 의하여 통합된다.

[0010] 종래의 마이크로전자 패키지는 주로 메모리 스토리지 어레이 기능을 제공하도록 구성된 마이크로전자 소자, 즉, 임의의 다른 기능보다 메모리 스토리지 어레이 기능을 제공하기 위하여 더 많은 개수의 액티브 디바이스를 구현하는 마이크로전자 소자를 통합할 수 있다. 마이크로전자 소자는 DRAM 칩, 또는 이러한 반도체 칩의 적층된 전기적으로 상호접속된 어셈블리일 수도 또는 이것을 포함할 수도 있다. 통상적으로, 이러한 패키지의 단자의 모두는 그 마이크로전자 소자가 탑재되는 패키지 기판의 하나 이상의 주변 에지에 인접한 열의 세트 내에 배치된다.

## 발명의 내용

### 해결하려는 과제

[0011] 앞선 내용에 비추어, 전기적 성능을 개선하기 위하여 멀티-칩 마이크로전자 패키지 및 어셈블리에 어떤 개선이 이루어질 수 있다. 본 발명의 이러한 속성은 이하 설명되는 바와 같은 마이크로전자 패키지 및 어셈블리의 구성에 의하여 획득될 수 있다.

### 과제의 해결 수단

[0012] 본 발명의 일 양태에 따르면, 마이크로전자 패키지는 제1 및 제2 대향면을 가지는 기판, 제1, 제2, 제3, 및 제4 마이크로전자 소자, 제2 면에서 노출되는 복수 개의 단자, 및 각각의 마이크로전자 소자의 콘택의 적어도 몇몇 으로부터 단자의 적어도 몇몇으로 연장하는 전기적 접속을 포함할 수 있다. 각각의 마이크로전자 소자는 기판의 제1 면에 대향하는 전면 및 전면에서의 복수 개의 콘택을 가질 수 있다. 마이크로전자 소자의 전면은 제1 면에 평행하고 이에 상재하는 단일 평면 내에 정렬될 수 있다. 각각의 마이크로전자 소자는 전면에서 노출되고 개별적인 제1, 제2, 제3, 및 제4 축들을 따라서 배열되는 콘택의 열을 가질 수 있다. 제1 및 제3 축들은 서로

에 대해 평행할 수 있다. 제2 및 제4 축들은 제1 및 제3 축들에 횡단할 수 있다. 단자는 마이크로전자 패키지를 마이크로전자 패키지 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다.

[0013] 예시적인 실시예에서는, 제2 및 제4 축들은 제1 및 제3 축들에 직교할 수 있다. 특정한 예에서는, 각각의 마이크로전자 소자의 콘택의 옆은 개별적인 마이크로전자 소자의 전면의 중앙 지역 내에 배치될 수 있다. 일 실시예에서, 단자는 면적 어레이 내에 정렬될 수 있다. 단자는 서로 공평면인 노출된 콘택 면을 가질 수 있다. 특정한 실시예에서, 전기적 접속은 하부 마이크로전자 소자의 각각의 콘택과 기판의 제1 면에서 노출된 도전성 결합 패드 사이에서 연장하는 플립-칩 접속을 포함할 수 있다. 일 예에서는, 각각의 마이크로전자 소자의 콘택은 8 개의 데이터 I/O 콘택을 포함할 수 있다. 특정한 예에서는, 각각의 마이크로전자 소자의 콘택은 9 개의 데이터 I/O 콘택을 포함할 수 있다. 예시적인 실시형태에서는, 각각의 마이크로전자 소자의 콘택은 16 개의 데이터 I/O 콘택을 포함할 수 있다.

[0014] 일 실시예에서, 마이크로전자 패키지는 단자 중 적어도 몇몇과 그리고 마이크로전자 패키지 내의 마이크로전자 소자 중 하나 이상과 전기적으로 접속되는 버퍼 소자를 더 포함할 수 있다. 버퍼 소자는 마이크로전자 패키지의 단자의 하나 이상에서 수신되는 적어도 하나의 신호를 회생시키도록 구성될 수 있다. 특정 실시예에서, 버퍼 소자는 기판의 제1 면에 탑재될 수 있다. 일 예에서는, 버퍼 소자는 기판의 제2 면에 탑재될 수 있다. 특정한 예에서는, 적어도 하나의 신호는 마이크로전자 패키지로 전달되는 어드레스 신호의 모두를 포함할 수 있다. 예시적인 실시형태에서는, 적어도 하나의 신호는 마이크로전자 패키지로 전달된 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 포함할 수 있는데, 커맨드 신호는 쓰기 이네이블, 행 어드레스 스트로브, 및 열 어드레스 스트로브 신호이며, 클록 신호는 어드레스 신호를 샘플링하기 위하여 사용되는 샘플링 클록이다. 특정한 실시형태에서는, 적어도 하나의 신호는 마이크로전자 패키지에 의하여 수신되는 데이터 신호의 모두를 포함할 수 있다.

[0015] 일 예에서는, 마이크로전자 패키지는 기판에 탑재되며 식별 정보를 저장하도록 구성되는 비휘발성 메모리 소자를 더 포함할 수 있다. 비휘발성 메모리 소자는 마이크로전자 소자의 하나 이상에 전기적으로 접속될 수 있다. 하나의 특정한 예에서, 마이크로전자 패키지는 온도 센서를 더 포함할 수 있다. 예시적인 실시형태에서는, 마이크로전자 패키지는 기판에 탑재된 디커플링 커패시터 소자를 더 포함할 수 있다. 디커플링 커패시터 소자는 마이크로전자 소자의 하나 이상에 전기적으로 접속될 수 있다. 일 실시예에서, 기판은 본질적으로 상기 기판의 평면에서 12 ppm/°C보다 더 적은 CTE를 가지는 물질로 이루어진 소자일 수 있다. 일 예에서는, 기판은 본질적으로 기판의 평면에서 30 ppm/°C보다 더 적은 CTE를 가지는 물질로 이루어진 유전체 소자를 포함할 수 있다.

[0016] 특정한 실시형태에서는, 마이크로전자 소자는 함께 어드레싱 가능한 메모리 모듈로서 기능하도록 구성될 수 있다. 마이크로전자 패키지는 마이크로전자 소자의 각각에서 수신된 데이터의 부분을 저장하도록 구성될 수 있다. 일 예에서는, 마이크로전자 패키지는 듀얼 인-라인 메모리 모듈로서 기능하도록 구성될 수 있다. 예시적인 실시예에서, 마이크로전자 패키지는 동일한 커맨드 및 신호 인터페이스를 가질 수 있고 듀얼 인-라인 메모리 모듈과 데이터의 동일한 양을 전달하도록 구성될 수 있다. 특정한 예에서는, 마이크로전자 소자의 각각은 메모리 스토리지 어레이 기능을 주로 제공하도록 구성될 수 있다. 일 실시예에서, 마이크로전자 소자의 각각은 동적 랜덤 액세스 메모리("DRAM") 접적 회로 칩을 포함할 수 있다. 특정한 실시형태에서는, 마이크로전자 소자의 각각은 마이크로전자 소자의 다른 것들과 기능적이고 기계적으로 등가일 수 있다.

[0017] 예시적인 실시예에서, 마이크로전자 패키지는 마이크로전자 소자의 적어도 하나와 열적 통신하는 열 확산기를 더 포함할 수 있다. 일 예에서는, 열 확산기는 하부 마이크로전자 소자의 각각의 후면에 적어도 부분적으로 상재할 수 있다. 특정 실시예에서, 각각의 마이크로전자 소자는 하부 마이크로전자 소자일 수 있고, 각각의 마이크로전자 패키지는 각각의 하부 마이크로전자 소자에 대한 대응하는 상부 마이크로전자 소자를 포함할 수 있다. 각각의 상부 마이크로전자 소자는 하부 마이크로전자 소자의 대응하는 하나의 후면에 적어도 부분적으로 상재하는 면을 가질 수 있다. 일 실시예에서, 상부 마이크로전자 소자의 적어도 하나는 하부 마이크로전자 소자를 통하여 연장하는 적어도 하나의 도전성 비아를 통하여 하부 마이크로전자 소자의 대응하는 하나와 전기적으로 접속될 수 있다.

[0018] 본 발명의 일 양태에 따르면, 마이크로전자 어셈블리는 위에서 설명된 바와 같은 복수 개의 마이크로전자 패키지를 포함할 수 있다. 마이크로전자 어셈블리는 패널 콘택을 가지는 회로 패널을 더 포함할 수 있다. 패키지의 단자는 패널 콘택에 본딩될 수 있다. 일 실시예에서, 회로 패널은 신호의 마이크로전자 패키지의 각각으로의 및 그로부터의 전송을 위한 공통 전기적 인터페이스를 가질 수 있다. 특정한 실시형태에서는, 마이크로전자 패키지의 각각은 듀얼 인-라인 메모리 모듈과 동일한 기능성을 가지도록 구성될 수 있다. 예시적인 실시형태에

서는, 회로 패널은 마더보드일 수 있다. 일 예에서, 회로 패널은 마더보드에 부착되도록 구성되는 모듈 일 수 있다.

[0019] 특정한 예에서는, 마이크로전자 어셈블리는 회로 패널에 탑재되며 마이크로전자 패키지의 적어도 몇몇에 전기적으로 접속된 버퍼 소자를 더 포함할 수 있다. 버퍼 소자는 마이크로전자 패키지의 단자의 하나 이상에서 수신되는 적어도 하나의 신호를 회생시키도록 구성될 수 있다. 특정한 예에서는, 적어도 하나의 신호는 마이크로전자 어드레스로 전달되는 어드레스 신호의 모두를 포함할 수 있다. 일 실시예에서, 적어도 하나의 신호는 마이크로전자 어셈블리로 전달된 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 포함할 수 있는데, 커맨드 신호는 쓰기 이네이블, 행 어드레스 스트로브, 및 열 어드레스 스트로브 신호이며, 클록 신호는 어드레스 신호를 샘플링하기 위하여 사용되는 샘플링 클록이다. 예시적인 실시예에서, 적어도 하나의 신호는 마이크로전자 어셈블리에 의하여 수신되는 데이터 신호의 모두를 포함할 수 있다.

[0020] 본 발명의 일 양태에 따르면, 모듈은 위에서 설명된 바와 같은 복수 개의 마이크로전자 어셈블리를 포함할 수 있다. 각각의 마이크로전자 어셈블리는 신호의 마이크로전자 어셈블리의 각각으로의 및 그로부터의 전송을 위하여 제2 회로 패널에 전기적으로 커플링될 수 있다. 본 발명의 다른 양태는, 앞선 본 발명의 양태에 따른 마이크로전자 어셈블리, 앞선 본 발명의 양태에 따른 복합 칩, 또는 이를 모두를 이들에 전기적으로 접속된 다른 전자적 컴포넌트와 공동으로 통합하는 시스템을 제공할 수 있다. 예를 들어, 시스템은 단일 하우징 내에 배치되고 및/또는 이에 탑재될 수 있는데, 이것은 휴대용 하우징일 수 있다. 본 발명의 이러한 양태에서의 바람직한 실시예에 따르는 시스템은 비견되는 종래의 시스템보다 더 콤팩트할 수 있다.

[0021] 본 발명의 다른 양태에 따르면, 마이크로전자 패키지는 제1 및 제2 대향면을 가지는 기판, 제1, 제2, 제3, 및 제4 마이크로전자 소자, 제2 면에서 노출되는 복수 개의 단자, 및 각각의 마이크로전자 소자의 콘택의 적어도 몇몇으로부터 단자의 적어도 몇몇으로 연장하는 전기적 접속을 포함할 수 있다. 각각의 마이크로전자 소자는 기판의 제1 면에 대향하는 전면 및 전면에서의 복수 개의 콘택을 가질 수 있다. 마이크로전자 소자의 전면은 제1 면에 평행하고 이에 상재하는 단일 평면 내에 정렬될 수 있다. 각각의 마이크로전자 소자는 기판의 제1 면과 제2 면 사이에서 연장하는 적어도 하나의 개구부에 적어도 부분적으로 상재할 수 있다. 각각의 개구부는 개별적인 제1, 제2, 제3, 및 제4 축들을 따라 길이를 가질 수 있다. 제1 및 제3 축들은 서로에 대해 평행할 수 있다. 제2 및 제4 축들은 제1 및 제3 축들에 횡단할 수 있다. 단자는 마이크로전자 패키지를 마이크로전자 패키지 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다. 전기적 접속은 적어도 하나의 개구부와 정렬된 적어도 일부분을 가지는 리드를 포함할 수 있다.

[0022] 일 예에서, 리드 중 적어도 몇몇은 개구부 중 적어도 하나를 통하여 연장하는 와이어 본드를 포함할 수 있다. 특정한 실시형태에서는, 리드의 전부는 중 적어도 몇몇은 개구부 중 적어도 하나를 통하여 연장하는 와이어 본드일 수 있다. 예시적인 실시형태에서는, 리드의 적어도 몇몇은 리드 본드를 포함할 수 있다. 일 실시예에서, 마이크로전자 소자의 각각의 콘택의 적어도 몇몇은 개별적인 마이크로전자 소자의 전면의 중앙 지역 내의 열 내에 배치될 수 있다. 특정한 예에서는, 각각의 마이크로전자 소자의 콘택의 열은 개구부의 대응하는 것과 정렬될 수 있다. 일 예에서, 개구부의 각각은 개별적인 축에 횡단하는 방향에서의 폭을 가지는데, 각각의 개구부의 폭은 개구부의 폭과 동일한 방향에서 개구부에 적어도 부분적으로 상재하는 마이크로전자 소자의 폭 보다 더 크지 않다. 일 실시예에서, 기판의 제2 면은 그것의 중앙 부분을 점유하는 중앙 지역을 가질 수 있다. 중앙 지역은 제1, 제2, 제3, 및 제4 축들에 의하여 경계지어질 수 있다. 단자의 적어도 몇몇은 중앙 지역 내에 배치된 제1 단자 일 수 있다.

[0023] 일 실시예에서, 제1 단자는 마이크로전자 패키지로 전달되는 어드레스 신호의 모두를 운반하도록 구성될 수 있다. 특정한 예에서는, 제1 단자는 마이크로전자 패키지로 전달된 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 적어도 몇몇을 운반하도록 구성될 수 있고, 상기 커맨드 신호는 쓰기 이네이블, 행 어드레스 스트로브, 및 열 어드레스 스트로브 신호이며, 상기 클록 신호는 상기 어드레스 신호를 샘플링하기 위하여 사용되는 샘플링 클록이고, 상기 제1 단자는 상기 마이크로전자 소자의 적어도 두 개에 의하여 공유된다. 일 실시예에서, 제1 단자는 마이크로전자 소자의 각각에 의하여 공유될 수 있다.

[0024] 예시적인 실시형태에서는, 마이크로전자 패키지는 단자 중 적어도 몇몇과 그리고 마이크로전자 패키지 내의 마이크로전자 소자 중 하나 이상과 전기적으로 접속되는 버퍼 소자를 더 포함할 수 있다. 버퍼 소자는 마이크로전자 패키지의 단자의 하나 이상에서 수신되는 적어도 하나의 신호를 회생시키도록 구성될 수 있다. 특정한 예에서는, 버퍼 소자는 기판의 제1 면에 탑재될 수 있다. 일 실시예에서, 버퍼 소자는 기판의 제2 면에 탑재될 수 있다.

## 도면의 간단한 설명

[0025]

도 1a 는 본 발명의 일 실시예에 따른 마이크로전자 패키지의 개략적 사시도이다.

도 1b 는 도 1a 의 라인 1B-1B를 따라서 취해진, 도 1a 의 마이크로전자 패키지의 측면 단면도이다.

도 1c 는 마이크로전자 소자의 위치를 나타내는, 도 1a 의 마이크로전자 패키지의 저면도이다.

도 2a 는 기판에 탑재된 마이크로전자 소자 플립-칩을 가지는, 다른 실시예에 따르는 마이크로전자 패키지의 개략적 사시도이다.

도 2c 및 도 2d 는 대응하는 하부 마이크로전자 소자에 적어도 부분적으로 상재하는 하나 이상의 상부 마이크로전자 소자를 가지는, 도 2a 의 마이크로전자 패키지의 변형의 측단면도이다.

도 3a 내지 도 3d 는 다른 실시예에 따른 4 개의 마이크로전자 소자를 가지는 마이크로전자 패키지의 상면도로서, 본드 원도우 및 중앙 지역의 위치를 도시한다.

도 4a 내지 도 4d 는 또 다른 실시예에 따른 3 개의 마이크로전자 소자를 가지는 마이크로전자 패키지의 상면도로서, 본드 원도우 및 중앙 지역의 위치를 도시한다.

도 5a 는 적층된 마이크로전자 소자를 가지는 또 다른 실시예에 따르는 마이크로전자 패키지의 개략적 사시도이다.

도 5b 는 도 5a 의 라인 5B-5B를 따라서 취해진, 도 5a 의 마이크로전자 패키지의 측면 단면도이다.

도 5c 는 마이크로전자 소자의 위치를 나타내는, 도 5a 의 마이크로전자 패키지의 저면도이다.

도 6a 는 적층된 마이크로전자 소자를 가지는 또 다른 실시예에 따르는 마이크로전자 패키지의 개략적 사시도이다.

도 6b 는 도 6a 의 라인 6B-6B를 따라서 취해진, 도 6a 의 마이크로전자 패키지의 측면 단면도이다.

도 6c 는 마이크로전자 소자의 위치를 나타내는, 도 6a 의 마이크로전자 패키지의 저면도이다.

도 7 은 적층된 마이크로전자 소자를 가지는 또 다른 실시예에 따르는 마이크로전자 패키지의 개략적 사시도이다.

도 8a 는 회로 패널에 탑재된 복수 개의 마이크로전자 패키지를 가지는 마이크로전자 어셈블리의 개략적 사시도이다.

도 8b 는 도 8a 에 도시되는 마이크로전자 어셈블리의 저면도이다.

도 8c 내지 도 8e 는 회로 패널에 탑재된 복수 개의 마이크로전자 패키지를 가지는, 본 발명의 다른 실시예에 따르는 마이크로전자 어셈블리의 개략적 사시도이다.

도 9 는 복수 개의 모듈을 포함하는 일 실시예에 따르는 시스템의 개략적인 묘사이다.

## 발명을 실시하기 위한 구체적인 내용

[0026]

본 발명의 어떤 실시예는 마이크로전자 소자, 예를 들어, 반도체 칩, 또는 반도체 칩의 적층된 배치구성물이 주로 메모리 스토리지 어레이 기능을 제공하도록 구성되는, 패키지 또는 마이크로전자 어셈블리를 제공한다. 이러한 마이크로전자 소자에서, 메모리 스토리지 어레이 기능을 제공하도록 구성되는, 즉, 구조를 가지고 다른 디바이스와 상호접속되는, 그 내부의 액티브 디바이스, 예를 들어, 트랜지스터의 개수는 임의의 다른 기능을 제공하도록 구성되는 액티브 디바이스의 개수보다 더 크다. 따라서, 일 예에서, DRAM 칩과 같은 마이크로전자 소자는 자신의 일차적 또는 유일한 기능으로서 메모리 스토리지 어레이 기능을 가질 수도 있다. 대안적으로는, 다른 예에서, 이러한 마이크로전자 소자는 혼합된 용례를 가질 수도 있으며 메모리 스토리지 어레이 기능을 제공하도록 구성된 액티브 디바이스를 통합할 수도 있고, 그리고 다른 기능, 예컨대 여러 가지 중에서 프로세서 기능, 또는 신호 프로세서 또는 그래픽 프로세서 기능을 제공하도록 구성된 다른 액티브 디바이스도 역시 통합할 수도 있다. 이 경우에, 마이크로전자 소자는 마이크로전자 소자의 임의의 다른 기능보다 메모리 스토리지 어레이 기능을 제공하도록 구성되는 더 많은 개수의 능동 디바이스를 더 가질 수도 있다.

[0027]

본 발명의 실시예는 본 명세서에서 내부에 두 개 이상의 반도체 칩, 즉, 마이크로전자 소자를 가지는 패키지를 제공한다. 다중 칩 패키지는 내부의 칩을 회로 패널, 예를 들어, 그 패키지가 단자의 어레이, 예컨대 여러 가지 중에서 볼 그리드 어레이, 랜드 그리드 어레이 또는 핀 그리드 어레이를 통하여 전기적으로 및 기계적으로 접속될 수도 있는 인쇄된 배선 보드로 접속시키기 위하여 요구되는 영역 또는 공간의 양을 감소시킬 수 있다. 이러한 접속 공간은 소형 또는 휴대용 컴퓨팅 디바이스, 예를 들어, 통상적으로 개인용 컴퓨터의 기능을 더 넓은 세계로의 무선 접속성과 통합시키는 "스마트 폰" 또는 태블릿과 같은 핸드헬드 디바이스 내에서는 특히 제한된다. 멀티-칩 패키지는 상대적으로 저렴한 메모리의 많은 양이 시스템, 예컨대 예를 들어, DDR3 타입 DRAM 칩 및 이것은 후속 버전들에서 진보된 고성능 동적 랜덤 액세스 메모리("DRAM") 칩에 이용가능하게 하기 위하여 특히 유용할 수 있다.

[0028]

멀티-칩 패키지를 접속시키기 위하여 필요한 회로 패널의 면적의 양은 적어도 몇몇 신호가 패키지 내의 두 개 이상의 칩으로 또는 그로부터 이동하는 공통 단자를 패키지 상에 제공함으로써 감소될 수 있다. 그러나, 고 성능 동작을 지원하는 방식으로 이것을 수행하는 데에는 곤란한 점들이 있다. 비종단(unterminated) 스터브에 기인한 신호의 바람직하지 않은 반사와 같은 바람직하지 않은 효과를 회피하기 위해서, 패키지의 외부에서의 단자를 회로 패널 상의 광역 배선에 전기적으로 접속시키는, 트레이스, 비아, 및 회로 패널 상의 다른 도체는 너무 길어서는 안 된다. 열 소모도 역시 발전된 칩에 대해서는 곤란한 점이 되는데, 따라서 각각의 칩의 큰 평평한 면 중 적어도 하나가 열 확산기에 커플링되거나 설치된 시스템 내의 플로우 또는 공기에 노출되거나 이와 열적 통신 상태에 있는 것이 바람직하다. 이하 설명되는 패키지는 이러한 목적을 더 나아가게 하는 것을 도울 수 있다.

[0029]

도 1a 내지 도 1c 는 본 발명의 일 실시예에 따르는 마이크로전자 패키지(10)의 특정 타입을 도시한다. 도 1a 내지 도 1c 에서 볼 수 있는 바와 같이, 마이크로전자 패키지(10)는 패키징(packaging) 구조, 예를 들어, 제1 및 제2 대향면(21 및 22)을 가지는 기판(20)을 포함할 수 있다. 몇 가지 경우들에서, 기판(20)은 본질적으로 기판의 평면에서(기판의 제1 면(21)에 평행인 방향에서) 낮은 열팽창 계수("CTE"), 즉, 섭씨 1도 당 12 ppm(이하, "ppm/°C")보다 적은 CTE를 가지는 물질, 예컨대 예를 들어, 실리콘인 반도체 물질, 또는 세라믹 물질 또는 실리콘 이산화물, 예를 들어, 유리와 같은 유전체 물질로 이루어질 수 있다. 대안적으로는, 기판(20)은 본질적으로 폴리이미드, 에폭시, 열가소성, 열경화성 플라스틱, 또는 다른 적합한 고분자 물질로 이루어질 수 있으며 또는 합성물 고분자-무기질 물질, 예컨대 무엇보다 BT 수지(bismaleimide triazine) 또는 에폭시-유리, 예컨대 FR-4의 유리 강화 구조를 포함하거나 본질적으로 이것으로 이루어지는 시트-유사 기판을 포함할 수도 있다. 일 예에서, 이러한 기판(20)은 본질적으로 기판의 평면에서, 즉, 자신의 면과 나란한 방향에서 30 ppm/°C보다 적은 CTE를 가지는 물질로 이루어질 수 있다.

[0030]

도 1a 내지 도 1c 에서, 기판(20)의 제1 면(21)에 평행한 방향은 본 명세서에서 "수평" 또는 "측방향(lateral)" 방향이라고 지칭되는 반면에, 제1 면에 수직인 방향은 본 명세서에서 상향 또는 하향 방향이라고 지칭되고 또한 본 명세서에서 "수직" 방향이라고 지칭된다. 본 명세서에서 지칭되는 방향은 언급되는 구조의 참조의 프레임 내에 있다. 따라서, 이러한 방향은 참조의 중력 프레임에서는 임의의 지향에서 정상 "업" 또는 "다운" 방향으로 놓여 있을 수도 있다.

[0031]

하나의 피쳐가 다른 피쳐보다 "면 상에서" 더 큰 높이에 배치된다는 진술은, 이러한 하나의 피쳐가 다른 피쳐보다 그 면으로부터 멀어지는 동일한 직교 방향에서 더 큰 거리에 놓여있다는 것을 의미한다. 반대로, 하나의 피쳐가 다른 피쳐보다 "면 상에서" 더 적은 높이에 배치된다는 진술은, 이러한 하나의 피쳐가 다른 피쳐보다 그 면으로부터 멀어지는 동일한 직교 방향에서 더 적은 거리에 놓여있다는 것을 의미한다.

[0032]

적어도 하나의 개구부(26)는 기판(20)의 제1 면과 제2 면(21, 22) 사이에서 연장할 수 있다. 도 1a 에서 볼 수 있는 바와 같이, 기판(20)은 이를 관통하여 연장하는 4 개의 개구부(26)를 가질 수 있다. 기판(20)은 그 위에 복수 개의 단자(25), 예를 들어, 도전성 패드, 랜드, 또는 도전성 포스트 또는 핀을 가질 수 있다. 이러한 단자(25)는 기판(20)의 제2 면(22)에서 노출될 수 있다. 단자(25)는 마이크로전자 패키지(10)의 외부 커넥터트, 예컨대 회로 패널, 예를 들어, 무엇보다 인쇄된 배선 보드, 가요성 회로 패널, 소켓, 다른 마이크로전자 어셈블리 또는 패키지, 인터포저(interposer), 또는 수동 커넥터트 어셈블리(예를 들어, 도 8a 에 도시되는 회로 패널)의 대응하는 전기적으로 도전성 소자와의 접속을 위한 종단점으로서 기능할 수 있다. 일 예에서, 이러한 회로 패널은 마더보드 또는 DIMM 모듈 보드일 수 있다. 특정 실시예에서, 단자는 면적 어레이, 예컨대 무엇보다 볼-그리드 어레이(BGA)(아래에서 설명되는 바와 같은 조이닝 소자(11)를 포함함), 랜드-그리드 어레이(LGA), 또는 핀-그리드 어레이(PGA) 내에 배치될 수 있다. 일 실시예에서, 단자(25)는 기판(20)의 제2 면(22)의 주변

을 따라서 배치될 수 있다.

[0033] 예시적인 실시예에서, 단자(25)는 전기적으로 도전성 물질, 예컨대 구리, 구리 합금, 금, 니켈, 및 기타 등등으로 제작된 실질적으로 강성인 포스트를 포함할 수 있다. 단자(25)는 예를 들어 전기적으로 도전성 물질을 레지스트 마스크 내의 개구로 도금함으로써, 또는 예를 들어, 구리, 구리 합금, 니켈, 또는 이들의 조합으로 제작된 포스트를 형성함으로써 형성될 수 있다. 이러한 포스트는, 마이크로전자 패키지(10)를 예를 들어 아래에서 설명되는 회로 패널(860)과 같은 외부 컴포넌트와 전기적으로 상호접속하기 위한 단자로서, 예를 들어, 금속 시트 또는 다른 금속 구조를 공제하는 방식으로(subtractively) 기판(20)으로부터 연장하는 포스트 내에 패터닝함으로써 형성될 수 있다. 단자(25)는 예를 들어 미국 특허 번호 제6,177,636 호에서 설명되는 바와 같은, 다른 구성을 가지는 실질적으로 강성인 포스트일 수 있는데, 그 개시물은 여기에서 원용에 의해 본 명세서에 포함된다. 일 예에서, 단자(25)는 서로 공평면인 노출된 콘택 면을 가질 수 있다.

[0034] 마이크로전자 패키지(10)는 외부 컴포넌트와의 접속을 위하여 단자(25)에 부착되는 조이닝 소자(11)를 포함할 수 있다. 조이닝 소자(11)는, 예를 들어, 본드 금속, 예컨대 솔더, 주석, 인듐, 공정 조성물(eutectic composition) 또는 이들의 조합의 매쓰 또는 다른 조이닝 물질, 예컨대 도전성 페이스트 또는 도전성 접착제일 수 있다. 특정 실시예에서, 단자(25)와 외부 컴포넌트(예를 들어, 도 8a에 도시되는 회로 패널(860))의 콘택 사이의 조인트는 전기적으로 도전성 매트릭스 물질, 예컨대 동일한 소유의 미국 특허 출원 번호 제 13/155,719 호 및 제 13/158,797 호에서 설명되는 바와 같은 것을 포함할 수 있는데, 이들의 개시물은 본 명세서에서 참조에 의하여 여기에 통합된다. 특정 실시예에서, 조인트는 유사한 구조를 가질 수 있으며 또는 그 문서에서 설명되는 바와 같은 방식으로 형성될 수 있다.

[0035] 본 개시물에서 사용될 때, 전기적으로 도전성인 소자가 어떤 구조의 면에 "노출된다"라는 진술은, 그 전기적으로 도전성인 소자가 그 구조의 외부로부터 그 면을 향하여 그 면에 수직인 방향으로 이동하는 이론적인 지점과 콘택되기 위하여 가용이다라는 것을 표시한다. 따라서, 어느 구조의 면에 노출된 단자 또는 다른 도전성 소자는 이러한 면으로부터 돌출될 수 있거나; 이러한 면과 같은 높이일 수 있거나; 또는 이러한 면에 상대적으로 리세싱되고 그 구조 내의 훌 또는 오목부를 통하여 노출될 수 있다.

[0036] 단자(25)는 기판(20)의 제2 면(22)의 중앙 지역(23)에서 노출되는 제1 단자(25a) 및 중앙 지역 외부의 제2 면의 주변 지역(28)에서 노출되는 제2 단자(25b)를 포함할 수 있다. 도 1a 내지 도 1c에서 도시되는 배치구성물은 마이크로전자 소자가 임의의 다른 마이크로전자 소자에 상재하도록 요구하지 않으면서 마이크로전자 소자(30) 및 상대적으로 광범위한 중앙 지역(23)의 콤팩트한 배치를 제공할 수 있다.

[0037] 제1 단자(25a)는 외부 컴포넌트로부터 마이크로전자 패키지(10)로 전달되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성될 수 있다. 예를 들어, 이러한 마이크로전자 소자가 동적 랜덤 액세스 메모리 스토리지 디바이스인 경우에는, 예를 들어, 동적 랜덤 액세스 메모리("DRAM")를 위한 동적 메모리 스토리지 어레이를 포함하는 마이크로전자 소자에서, 커맨드 신호는 마이크로전자 패키지(10) 내의 마이크로전자 소자에 의하여 사용되는 쓰기 이네이블, 행 어드레스 스트로브, 및 열 어드레스 스트로브 신호이다. ODT(one die termination), 칩 선택, 클록 이네이블과 같은 다른 신호는 제1 단자(25a)에 의하여 운반될 필요가 있는 커맨드 신호의 일부가 아니다.

[0038] 클록 신호는 어드레스 신호를 샘플링하기 위하여 사용되는 샘플링 클록일 수 있다. 제2 단자(25b)의 적어도 몇몇은 제1 단자(25a)에 의하여 운반되는 커맨드 신호, 어드레스 신호, 및 클록 신호 외의 신호를 운반하도록 구성될 수 있다. 신호 또는 참조 포텐셜, 예컨대 칩 선택, 재설정, 파워 서플라이 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들어 Vss 및 Vssq는 제2 단자(25b)에 의하여 운반될 수 있다; 이러한 신호 또는 참조 포텐셜의 어느 것도 제1 단자(25a)에 의하여 운반될 필요가 없다.

[0039] 도 1c에 도시되는 예와 같은 하나의 특정한 예에서, 제2 단자(25b)는 각각의 주변 지역(28) 내의 적어도 하나의 열 내에 배치될 수 있다. 일 실시예에서, 커맨드 신호, 어드레스 신호, 및 클록 신호 외의 신호를 운반하도록 구성되는 제2 단자(25b)의 적어도 몇몇은 기판(20)의 제2 면(22)의 중앙 지역(23)에서 노출될 수 있다.

[0040] 마이크로전자 패키지(10)는 각각 기판(20)의 제1 면(21)에 대향하는 전면(31)을 가지는 복수 개의 마이크로전자 소자(30)를 역시 포함할 수 있다. 일 예에서, 마이크로전자 소자(30)의 각각은 각각 동적 랜덤 액세스 메모리("DRAM") 스토리지 어레이와 같은 메모리 스토리지 소자를 통합하거나 또는 주로 DRAM 스토리지 어레이(예를 들어, DRAM 접적 회로 칩)로서 기능하도록 구성되는 베어 칩(bare chips) 또는 마이크로전자 유닛일 수 있다. 본 명세서에서 사용될 때, "메모리 저장 소자"는 어레이 내에 구현된 다수의 메모리 셀을, 예컨대 데이터를 전기적

인터페이스를 통하여 전송하기 위한, 거기에 데이터를 저장하거나 그것으로부터 데이터를 취출하기 위하여 사용 가능한 회로부와 함께 지칭한다. 하나의 특정한 예에서, 마이크로전자 패키지(10)는 단일 인-라인 메모리 모듈 ("SIMM") 또는 듀얼 인-라인 메모리 모듈("DIMM") 내에 포함될 수 있다.

[0041] 하나의 특정한 예에서, 메모리 스토리지 소자를 포함하는 마이크로전자 소자(30)는 적어도 메모리 스토리지 어레이 기능을 가질 수 있는데, 하지만 마이크로전자 소자는 풀-기능 메모리 칩이 아닐 수도 있다. 이러한 마이크로전자 소자는 자체로 버퍼링 기능을 가지지 않을 수도 있고, 오히려 이것은 마이크로전자 소자의 스택 내의 다른 마이크로전자 소자에 전기적으로 접속될 수도 있는데, 여기에서 그 스택 내의 적어도 하나의 마이크로전자 소자는 버퍼링 기능을 가진다(버퍼링 마이크로전자 소자는 버퍼 칩, 풀-기능 메모리 칩, 또는 제어기 칩일 수 있다).

[0042] 다른 예들에서, 본 명세서에서 설명되는 패키지의 임의의 것 내의 마이크로전자 소자의 하나 이상은 예를 들어, 플래시 메모리, DRAM 또는 메모리의 다른 타입으로서 임의의 다른 기능이 아닌 메모리 스토리지 어레이 기능을 제공하기 위하여 더 많은 개수의 액티브 디바이스를 구현할 수 있으며, 주로 로직 기능을 제공하도록 구성되는 다른 마이크로전자 소자 또는 "로직 칩"과 함께 패키지 내에 정렬될 수 있다. 특정 실시예에서, 로직 칩은 프로그래밍가능 또는 프로세서 소자, 예컨대 마이크로프로세서 또는 다른 범용 컴퓨팅 소자일 수 있다. 로직 칩은 마이크로콘트롤러 소자, 그래픽 프로세서, 부동 소수점 프로세서, 코-프로세서, 디지털 신호 프로세서, 등일 수 있다. 특정 실시예에서, 로직 칩은 주로 하드웨어 상태 머신 기능을 수행하거나, 또는 그렇지 않으면 특정 기능 또는 목적을 수행하기 위하여 하드코딩될(hard-coded) 수 있다. 대안적으로는, 로직 칩은 주문형 집적회로("ASIC") 또는 필드 프로그램가능 게이트 어레이("FPGA") 칩일 수 있다. 이러한 변형예에서, 이제 패키지는 "시스템인 패키지"("SIP(system in package)")일 수도 있다.

[0043] 다른 변형예에서, 본 명세서에서 설명되는 패키지 중 임의의 것 내의 마이크로전자 소자는, 동일한 마이크로전자 소자 내에 그것과 함께 임베딩된 하나 이상의 연관된 메모리 스토리지 어레이를 가지는 프로그래밍가능 프로세서와 같이, 내부에 임베딩된 로직 및 메모리 기능을 모두 가질 수 있다. 이러한 마이크로전자 소자는 가끔 "시스템-온-칩"("SOC(system-on-a-chip)")이라고 지칭되는데, 여기에서 프로세서와 같은 로직이 다른 회로부, 예컨대 메모리 스토리지 어레이 또는 특화된 기능일 수도 있는 몇몇 다른 기능을 수행하기 위한 회로부와 함께 임베딩된다.

[0044] 하나의 특정한 예에서, 마이크로전자 소자(30)의 각각은 마이크로전자 소자의 다른 것들에 기능적이고 기계적으로 등가일 수 있음으로써, 비록 각각의 마이크로전자 소자의 길이, 폭, 및 높이의 특정 치수가 다른 마이크로전자 소자의 그것과는 상이할 수 있지만, 각각의 마이크로전자 소자는 동일한 기능을 가지는 전면(31)에서의 전기적으로 도전성인 콘택(35)과 동일한 패턴을 가질 수 있다.

[0045] 각각의 마이크로전자 소자(30)는 그것의 전면(31)에서 노출되는 복수 개의 전기적으로 도전성인 콘택(35)을 가질 수 있다. 각각의 마이크로전자 소자(30)의 콘택(35)은 전면의 영역의 중앙 부분을 점유하는 전면(31)의 중앙 지역(36) 내에 배치된 하나 이상의 열 내에 정렬될 수 있다. 중앙 지역(36)은, 예를 들어 마이크로전자 소자(30)의 대향 주변 에지(32a, 32b) 사이의 최단 거리의 중간 3분의 1을 포함하는 전면(31)의 영역을 점유할 수도 있다. 각각의 마이크로전자 소자(30)의 전면(31)은 주변 에지(32a)에 인접한 제1 주변 지역, 다른 주변 에지(32b)에 인접한 제2 주변 지역, 및 제1 및 제2 주변 지역 사이에 배치된 중앙 지역(36)을 가지는 것으로 간주될 수 있다. 도 1b 에 도시된 바와 같이, 각각의 마이크로전자 소자(30)의 콘택(35)은 개구부(26)의 적어도 하나와 정렬될 수 있다.

[0046] 본 명세서에서 사용될 때, 마이크로전자 소자의 면 또는 페이스, 예를 들어, 마이크로전자 소자(30)의 전면(31)의 중앙 지역(36)은 그 면의 제1 및 제2 주변 지역 사이에 배치된 면의 그 부분을 의미하며, 주변 지역은 마이크로전자 소자의 개별적인 제1 및 제2 대향 주변 에지(예를 들어, 마이크로전자 소자(30)의 대향 주변 에지(32a, 32b)에 인접하게 배치되는데, 여기에서 제1 및 제2 주변 지역의 각각 및 중앙 지역은 동등한 폭을 가짐으로써, 중앙 지역이 이러한 마이크로전자 소자의 대향 제1 및 제2 주변 에지 사이의 최단 거리의 중간 3분의 1만큼 연장하는 면의 영역을 점유하게 한다.

[0047] 특정 실시예에서, 마이크로전자 패키지(10)는 4 개의 마이크로전자 소자(30)를 가질 수 있고, 각각의 마이크로전자 소자의 콘택(35)은 8 개의 데이터 I/O 콘택을 포함한다. 다른 실시예에서, 마이크로전자 패키지(10)는 4 개의 마이크로전자 소자(30)를 가질 수 있고, 각각의 마이크로전자 소자의 콘택(35)은 16 개의 데이터 I/O 콘택을 포함한다. 하나의 특정한 예에서, 마이크로전자 패키지(10)(및 본 명세서에서 설명되는 다른 마이크로전자 패키지 중 임의의 것)는 32 개의 데이터 비트를 클록 사이클과 병렬적으로 전달, 즉, 패키지에 의하여 수신하거나

나 패키지로부터 송신하도록 구성될 수 있다. 다른 예에서, 마이크로전자 패키지(10)(및 본 명세서에서 설명되는 다른 마이크로전자 패키지 중 임의의 것)는 64 개의 데이터 비트를 클록 사이클과 병렬적으로 전달하도록 구성될 수 있다. 다수 개의 다른 데이터 전송 양이 가능한데 이것 중에서 오직 몇 개의 이러한 전송 양이 언급될 것이지만 이것으로 한정되는 것은 아니다. 예를 들어, 마이크로전자 패키지(10)(및 본 명세서에서 설명되는 다른 마이크로전자 패키지의 임의의 것)는 데이터를 나타내는 64 개의 하재(下在) 비트의 세트 및 64 개의 하재(下在) 비트에 대한 에러 정정 코드("ECC") 비트인 8 비트를 포함할 수 있는 72 개의 데이터 비트를 클록 사이클 당 전달하도록 구성될 수 있다. 96 개의 데이터 비트, 108 개의 비트(데이터 및 ECC 비트), 128 개의 데이터 비트, 및 144 개의 비트(데이터 및 ECC 비트)가 마이크로전자 패키지(10)(및 본 명세서에서 설명되는 다른 마이크로전자 패키지의 임의의 것)가 지원하도록 구성될 수 있는, 사이클 당 데이터 전송 폭의 다른 예들이다.

[0048] 도 1a 내지 도 1c 의 실시예에서, 패키지의 제1 단자(25a)를 통하여 지나가는 적어도 몇몇 신호는 마이크로전자 소자(30)의 적어도 두 개에게 공통일 수 있다. 이러한 신호는 접속, 예컨대 기판(20)의 제2 면(22)에 평행한 방향으로 제1 단자(25a)로부터 마이크로전자 소자(30)의 대응하는 콘택(35)으로 연장되는 도전성 트레이스를 통하여 라우팅될 수 있다. 마이크로전자 패키지(10)는 다중 마이크로전자 소자(30)에게 공통인 신호를 각각 마이크로전자 소자를 중 특정 소자에 전용인 두 개 이상의 단자를 통해서가 아니라 패키지의 공통 제1 단자(25a)를 통하여 라우팅할 수 있다. 이러한 방식으로, 이러한 단자(25)에 의하여 점유되는 기판(20)의 영역의 양은 감소될 수 있다.

[0049] 도 1a 는 핀휠(pinwheel)의 형상과 유사한, 기판(20) 상의 마이크로전자 소자(30a, 30b, 30c, 및 30d)의 특정 배치구성물을 도시한다. 이러한 경우에, 각각의 마이크로전자 소자(30)의 복수 개의 콘택(35)의 적어도 몇몇은 개별적인 제1, 제2, 제3, 및 제4 축(29a, 29b, 29c, 및 29d)(총괄하여 축들(29)을 정의하는 콘택의 개별적인 열 내에 정렬될 수 있다. 도 1a 에 도시되는 예에서, 제1 및 제3 축들(29a 및 29c)은 서로 평행할 수 있고, 제2 및 제4 축들(29b 및 29d)은 서로 평행할 수 있으며, 제1 및 제3 축들은 제2 및 제4 축들에 횡단할 수 있다. 특정 실시예에서, 제1 및 제3 축들(29a 및 29c)은 제2 및 제4 축들(29b 및 29d)에 직교할 수 있다. 일 예에서, 제1, 제2, 제3 및 제4 축들(29a, 29b, 29c, 및 29d)의 각각은 개구부(26a, 26b, 26c, 및 26d)의 대응하는 것의 길이에 의하여 정의될 수 있음으로써, 개구부(26)가 위에서 설명된 바와 같은 핀휠 구조에서 정렬될 수 있다.

[0050] 도 1a 에 도시되는 특정 예에서, 각각의 마이크로전자 소자(30)의 축(29)은 개별적인 마이크로전자 소자를 이등분할 수 있으며 마이크로전자 패키지(10) 내의 하나의 다른 마이크로전자 소자의 영역과 정확하게 교차할 수 있다. 예를 들어, 제1 축(29a)은 제1 마이크로전자 소자(30a)를 이등분할 수 있고 하나의 다른 마이크로전자 소자(30)의 영역과 정확하게 교차할 수 있다. 이와 유사하게, 제2 축(29b)은 제2 마이크로전자 소자(30b)를 이등분할 수 있고 하나의 다른 마이크로전자 소자(30)의 영역과 정확하게 교차할 수 있다. 제3 마이크로전자 소자(30c)를 이등분할 수 있고 하나의 다른 마이크로전자 소자(30)의 영역과 정확하게 교차할 수 있는 제3 축(29c)에 대하여 역시 동일한 내용이 참이 된다. 사실상, 제4 마이크로전자 소자(30d)를 이등분할 수 있고 하나의 다른 마이크로전자 소자(30)의 영역과 정확하게 교차할 수 있는 제4 축(29d)에 대하여 역시 이것이 참이 된다.

[0051] 콘택(35) 및 단자(25) 사이의 전기적 접속은 선택적인 리드, 예를 들어, 와이어 본드(40), 또는 다른 가능한 구조를 포함할 수 있는데, 여기에서 리드의 적어도 일부분이 개구부(26)의 적어도 하나와 정렬된다. 예를 들어, 도 1b 에서 볼 수 있는 바와 같이, 전기적 접속의 적어도 몇몇은 기판 내의 개구부(26)의 에지를 넘어 연장하고 기판의 콘택(35) 및 도전성 소자(24)에 조인되는 와이어 본드(40)를 포함할 수 있다. 일 실시예에서, 전기적 접속의 적어도 몇몇은 리드 본드를 포함할 수 있다. 이러한 접속은 도전성 소자(24) 및 단자(25) 사이에서 기판(20)의 제1 면과 제2 면(21, 22)의 어느 하나 또는 양쪽 모두를 따라서 연장하는 리드를 포함할 수 있다. 하나의 특정한 예에서, 이러한 리드는 각각의 마이크로전자 소자(30)의 콘택(35) 및 단자(25) 사이에 전기적으로 접속될 수 있는데, 각각의 리드는 개구부(26)의 적어도 하나와 정렬되는 부분을 가진다.

[0052] 일 예에서, 개구부(26)의 각각은 개별적인 축(29)에 횡단하는 방향에서의 폭을 가지는데, 각각의 개구부의 폭은 개구부의 폭과 동일한 방향에서 개구부에 적어도 부분적으로 상재하는 마이크로전자 소자(30)의 폭 보다 더 크지 않다.

[0053] 일 예에서, 하나 이상의 추가적 칩(30')이 기판(20)의 제1 면(21)(도 1a) 또는 제2 면(22)에 대향하는 면(31')을 가지는 기판(20)에 탑재될 수 있다. 이러한 추가적 칩(30')은 기판(20)의 제1 면(21)에서 노출된 전기적으로 도전성인 콘택에 플립-칩 본딩될 수 있다.

[0054] 추가적 칩(30')의 하나 이상은 마이크로전자 패키지(10) 외부의 컴포넌트에 대하여 마이크로전자 소자(30)의 각각에 대한 신호 격리를 제공하는 것을 돋도록 구성될 수 있는 버퍼링 칩일 수 있다. 일 예에서, 이러한 버퍼링

칩 또는 버퍼 소자는 단자(25)의 적어도 몇몇 및 마이크로전자 패키지(10) 내의 마이크로전자 소자(30)의 하나 이상에 전기적으로 접속될 수 있고, 버퍼 소자는 마이크로전자 패키지(10)의 단자의 하나 이상에서 수신된 적어도 하나의 신호를 회생(regenerate)시키도록 구성된다. 일 실시예에서, 마이크로전자 패키지(10)는 등록된(registered) DIMM이고, 적어도 하나의 신호는 마이크로전자 패키지로 전달된 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 포함할 수 있으며, 커맨드 신호는 쓰기 이네이블, 행 어드레스 스트로브, 및 열 어드레스 스트로브 신호이고, 클록 신호는 어드레스 신호를 샘플링하기 위하여 사용되는 샘플링 클록이다. 하나의 특정한 예에서, 마이크로전자 패키지(10)가 부하-감소된 DIMM("LRDIMM(load-reduced DIMM)")인 경우에는, 적어도 하나의 신호는 마이크로전자 패키지에 의하여 수신된 데이터 신호의 모두를 포함할 수 있다.

[0055] 특정 실시예에서, 추가적 칩(30')의 하나 이상은 디커플링 커패시터일 수 있다. 하나 이상의 디커플링 커패시터는 앞서 언급된 버퍼링 칩 대신에 또는 이에 추가적으로 마이크로전자 소자들(30) 사이에 배치될 수 있다. 이러한 디커플링 커패시터는 내부 전력 및 마이크로전자 패키지(10) 내의 접지 버스에 전기적으로 접속될 수 있다.

[0056] 일 실시예에서, 추가적 칩(30')의 하나는 비휘발성 메모리 소자, 예컨대 기판(20)에 탑재되며 마이크로전자 패키지(10)의 식별 정보, 예컨대 마이크로전자 패키지의 데이터 폭 및 깊이를 영구적으로 저장하도록 구성되는 전기적 소거 가능한 프로그래밍 가능한 판독 전용 메모리("EEPROM")일 수 있다. 이러한 비휘발성 메모리 소자는 마이크로전자 소자(30)의 하나 이상에 전기적으로 접속될 수 있다.

[0057] 일 예에서, 추가적 칩(30')의 하나는 온도 센서일 수 있다. 이러한 온도 센서는 마이크로전자 소자(30)의 하나 이상에 전기적으로 접속될 수 있다. 일 예에서, 온도 센서는 다이오드를 포함할 수 있고 기판(20)에 탑재될 수 있다. 특정 실시예에서, 추가적 칩(30')의 하나는 기판(20)에 탑재된 시리얼 존재 검출 소자(serial presence detect element)일 수 있다.

[0058] 마이크로전자 패키지(10)는 마이크로전자 소자(30)의 전면(31) 및 기판(20)의 제1 면(21) 사이에 접착제(12)를 더 포함할 수 있다. 마이크로전자 패키지(10)는 마이크로전자 소자(30)의 덮여있지 않은 후면(32)을 선택적으로 커버하거나, 부분적으로 커버하거나, 또는 남겨두는 봉합재(미도시)를 더 포함할 수 있다. 예를 들어, 도 1a 내지 도 1c 에서 도시되는 패키지에서, 봉합재가 마이크로전자 소자(30)의 후면(32) 상에 흘러가거나, 스텐실되거나(stenciled), 스크린되거나, 또는 처리(dispensed)될 수 있다. 다른 예에서, 봉합재는 오버몰딩에 의하여 그 위에 형성되는 몰드 화합물 일 수 있다.

[0059] 위에서 설명된 실시예의 변형에서, 마이크로전자 소자의 콘택이 그것의 면의 중앙 지역 내에 배치되지 않는 것이 가능하다. 오히려, 콘택은 이러한 마이크로전자 소자의 에지에 인접한 하나 이상의 행 내에 배치될 수도 있다. 다른 변형예에서, 마이크로전자 소자의 콘택은 이러한 마이크로전자 소자의 인접한 두 개의 대향 에지에 인접하게 배치될 수 있다. 또 다른 변형예에서, 마이크로전자 소자의 콘택은 임의의 두 개의 에지에 인접하게 배치되거나, 또는 이러한 마이크로전자 소자의 세 개 이상의 에지에 인접하게 배치될 수 있다. 이러한 경우들에서, 기판 내의 개구부의 위치는 마이크로전자 소자의 이러한 에지 또는 에지들에 인접하게 배치된 콘택의 이러한 위치에 대응하도록 수정될 수 있다.

[0060] 도 2a 및 도 2b 는 도 1a 내지 도 1c 에 관하여 위에서 설명된 실시예의 변형예를 도시하는데, 여기에서 마이크로전자 소자(230)는 기판(220)의 제1 면(221)에 플립-칩 본딩된다. 이러한 실시예에서, 마이크로전자 소자(230) 및 기판(220) 사이의 전기적 접속은 마이크로전자 소자의 각각의 콘택 및 기판의 제1 면(221)에서 노출된 도전성 본드 패드 사이에서 연장하는 플립-칩 접속을 포함한다.

[0061] 도 2c 는 도 2a 및 도 2b 에 관하여 위에서 설명된 실시예의 변형예를 도시하는데, 여기에서 마이크로전자 소자(230)의 하나 이상은 하부 마이크로전자 소자(230')이고, 마이크로전자 패키지(210')는 각각 하부 마이크로전자 소자의 후면(232)에 적어도 부분적으로 상재하는 면을 가지는 상부 마이크로전자 소자(230a, 230b, 및 230c)를 포함한다. 도 2c 에 도시된 바와 같이, 상부 마이크로전자 소자(230a, 230b, 및 230c)는 하부 마이크로전자 소자를 관통하여 연장하는 적어도 하나의 도전성 비아(209)를 통하여 하부 마이크로전자 소자(230')와 전기적으로 접속된다. 특정 실시예에서, 하부 마이크로전자 소자(230")는 기판(220)의 제2 면(222)에서 노출되는 도전성 콘택에 와이어-본딩될 수 있다.

[0062] 도 2d 는 도 2a 및 도 2b 에 관하여 위에서 설명된 실시예의 변형예를 도시하는데, 여기에서 마이크로전자 소자(230)의 하나 이상은 하부 마이크로전자 소자(230")이고, 마이크로전자 패키지(210")는 각각 하부 마이크로전자

소자의 후면(232)에 적어도 부분적으로 상재하는 면을 가지는 상부 마이크로전자 소자(230a 및 230b)를 포함한다. 도 2d 에 도시된 바와 같이, 상부 마이크로전자 소자(230a 및 230b)는 상부 마이크로전자 소자의 콘택(235) 및 하부 마이크로전자 소자(230")의 후면(232)에서 노출된 도전성 소자(245) 사이에서 연장하는 와이어본드(240)를 통하여 하부 마이크로전자 소자(230")와 전기적으로 접속된다. 특정 실시예에서, 하부 마이크로전자 소자(230")는 기판(220)의 제2 면(222)에서 노출되는 도전성 콘택에 와이어-본딩될 수 있다.

[0063] 도 3a 내지 도 3d 는 기판의 제1 면에 대하여 마이크로전자 소자의 상이한 위치를 가지는, 도 1a 내지 도 1c 에서 도시되는 마이크로전자 패키지(10)의 추가적 변형예를 도시한다. 도 3a 내지 도 3d 에서, 개별적인 마이크로전자 패키지(301, 302, 303, 및 304)는 각각 4 개의 마이크로전자 소자(330)를 포함할 수 있는데, 각각의 마이크로전자 소자는 개별적인 개구부(326)를 통하여 기판(320)의 제2 면에서 노출되는 도전성 콘택으로 와이어-본딩되는 콘택을 가진다. 개구부(326)는 기판의 제2 면의 중앙 지역(323)의 경계의 부분을 정의할 수 있는데, 여기에서 마이크로전자 소자(330)의 적어도 두 개에 접속되는 공유된 제1 단자가 위치될 수 있다.

[0064] 도 3a 에서, 마이크로전자 패키지(301)는 도 1a 내지 도 1c 의 마이크로전자 소자(30)와 유사하게 정렬된 마이크로전자 소자(330)를 가지는데, 마이크로전자 소자(330) 각각은 실질적으로 정방형 형상을 가짐으로써, 마이크로전자 소자들 사이에 위치된 기판(320)의 제1 면에는 거의 공간이 존재하지 않는다.

[0065] 도 3b 에서, 마이크로전자 소자(330)의 각각은 개별적인 개구부(326)의 길이에 평행하도록 지향된 제1 및 대향에지(332a 및 332b)를 가진다. 마이크로전자 소자(330)의 각각의 제1 에지(332a)는 다른 마이크로전자 소자의 임의의 영역을 통하여 연장하지 않는 축(329)을 정의할 수 있다. 이러한 실시예에서, 기판(320)의 제1 면에 마이크로전자 소자들(330) 사이에 위치된 더 큰 공간이 존재하며, 기판의 제2 면의 중앙 지역(323)은 상대적으로 를 수 있다.

[0066] 도 3c 에서, 마이크로전자 소자(330)의 각각은 다른 마이크로전자 소자의 임의의 것의 영역을 통하여 연장하지 않는 축(329)을 정의하는 개별적인 개구부(326)에 상재할 수 있다. 그러나, 도 3b 와 비교하면, 마이크로전자 소자의 두 개(330a 및 330c)가 기판(320)의 제1 면의 중심에 더 근접하게 이동되었다. 마이크로전자 소자(330)의 각각은 개별적인 개구부(326)의 길이에 평행하도록 지향된 제1 및 대향에지(332a 및 332b)를 가진다. 제1 및 제3 마이크로전자 소자(330a 및 330c)의 제1 에지(332a)는 제2 및 제4 마이크로전자 소자(330b 및 330d)의 영역을 통하여 연장하는 개별적인 축들(329a 및 329c)을 정의할 수 있다.

[0067] 도 3d 는 도 3c 의 변형예인데, 여기에서 마이크로전자 소자의 두 개(330a 및 330c)가 기판(320)의 제1 면의 중심에 더욱 더 근접하게 이동되었다. 제1 및 제3 마이크로전자 소자(330a 및 330b)는 제2 및 제4 마이크로전자 소자(330b 및 330d)의 영역을 통하여 연장하는 개별적인 축(329 및 329')을 정의하는 개별적인 개구부(326a 및 326c)에 상재할 수 있다. 또한, 마이크로전자 소자(330)의 각각은 개별적인 개구부(326)의 길이에 평행하도록 지향된 제1 및 대향에지(332a 및 332b)를 가진다. 제1 및 제3 마이크로전자 소자(330a 및 330c)의 제1 에지(332a)는 역시 제2 및 제4 마이크로전자 소자(330b 및 330d)의 영역을 통하여 연장하는 개별적인 축들(329a 및 329c)을 정의할 수 있다.

[0068] 도 4a 및 도 4b 는, 기판(420)의 제1 면에 평행한 단일 평면 내에 배치되는 전면을 가지는 3 개의 마이크로전자 소자를 가지는, 도 1a 내지 도 1c 에 도시되는 마이크로전자 패키지(10)의 추가적 변형예를 도시한다. 도 4a 에서, 마이크로전자 패키지(401)는 기판(410)의 제1 면에 탑재된 3 개의 마이크로전자 소자(430)를 가진다. 마이크로전자 소자(430a)의 첫 번째 것은 예를 들어, 도 2c 또는 도 2d 에 도시되는 바와 같은 방식으로 제1 마이크로전자 소자에 적어도 부분적으로 상재하고 전기적으로 접속된 추가적 마이크로전자 소자를 가질 수 있다. 마이크로전자 소자(430b)의 두 번째 것은 예를 들어 제어기일 수 있다. 도 4b 에서, 마이크로전자 패키지(402)는 핀휠 구성에 있는 마이크로전자 소자(430)의 하나가 삭제되어 기판(420)의 제1 면에 평행한 단일 평면 내에 배치되는 전면을 가지는 3 개의 마이크로전자 소자가 남는다는 것을 제외하고는 도 1a 내지 도 1c 에 도시되는 마이크로전자 패키지(10)와 동일하다.

[0069] 도 5a 내지 도 5c 는 도 1a 내지 도 1c 에 관하여 위에서 설명된 실시예의 변형예를 도시한다. 마이크로전자 패키지(510)는 도 1a 내지 도 1c 에 도시되는 마이크로전자 패키지(10)와 유사하다. 그러나, 패키지(510)는 하부 마이크로전자 소자(530a) 및 상부 마이크로전자 소자(530b)의 다중 쌍(507)을 포함한다. 각각의 이러한 쌍(507)에서, 상부 마이크로전자 소자(530b)의 전면(531)은 하부 마이크로전자 소자(530a)의 면(532)에 적어도 부분적으로 상재하는데, 이것은 이러한 하부 마이크로전자 소자(530a)의 후면일 수도 있다. 마이크로전자 소자의 인접한 쌍(507), 예컨대 제1 쌍(507a) 및 제2 쌍(507b)은 기판(520)의 제1 면(521)에 평행한 수평 병향(H)에서 서로로부터 완전히 이격될 수 있다. 특정 예에서, 마이크로전자 소자(530a 및 530b)는 임의의 다른 기능보다

메모리 스토리지 어레이 기능을 제공하기 위하여 더 많은 개수의 능동 디바이스를 함께 구현할 수 있다.

[0070] 일 실시예에서, 마이크로전자 패키지(510)는 8 개의 마이크로전자 소자(530 4 개의 하부 마이크로전자 소자(530a) 및 4 개의 상부 마이크로전자 소자(530b)를 포함)를 가질 수 있고, 각각의 마이크로전자 소자는 8 개의 데이터 I/O 콘택트를 포함한다. 다른 실시예에서, 마이크로전자 패키지(510)는 8 개의 마이크로전자 소자(530 4 개의 하부 마이크로전자 소자(530a) 및 4 개의 상부 마이크로전자 소자(530b)를 포함)를 가질 수 있고, 각각의 마이크로전자 소자는 9 개의 데이터 I/O 콘택트를 포함한다.

[0071] 하나의 특정한 예에서, 마이크로전자 소자의 인접한 쌍의 하부 마이크로전자 소자(530a)의 전면(531)에서 노출된 전기적으로 도전성인 콘택트(535)의 적어도 몇몇은 제1 및 제2 축들(529a 및 529a')을 정의하는 콘택트의 개별적인 열 내에 배치될 수 있다. 도 5a에 도시된 바와 같이, 이러한 제1 및 제2 축들(529a 및 529a')은 서로를 횡단할 수 있다. 하나의 특정한 예에서, 제1 및 제2 축들(529a 및 529a')은 서로 직교할 수 있다. 일 실시예에서, 제1 및 제2 축들(529a 및 529a')은 서로 평행할 수 있다.

[0072] 일 실시예에서, 마이크로전자 소자(507)의 각각의 쌍은 기판(520)의 제1 면과 제2 면(521, 522) 사이에서 연장하는 외부 개구부(526a)에 적어도 부분적으로 상재할 수 있다. 각각의 외부 개구부(526a)는 제1 면과 제2 면에 평행한 방향으로 연장하는 외부 축(509a)을 정의하는 길이를 가질 수 있다. 4 개의 외부 축들(509a)은 위에서 설명된 바와 같은 편활 구성에서 배치될 수 있는데, 여기에서 외부 축들(509a)은 외부 축들의 두 개의 평행 쌍에서 배치될 수 있고, 각각의 쌍은 다른 쌍에 대해 횡단한다. 기판(520)의 제2 면(522)의 중앙 부분을 접유하는 중앙 지역(523)은 도 5c에 도시된 바와 같이 4 개의 외부 축들(509a)에 의하여 경계지어질 수 있다. 기판(520)의 제2 면(522)의 중앙 지역(523)에서 노출되는 단자(525)의 적어도 몇몇은 위에서 설명된 제1 단자(25a)와 유사한 기능을 가지는 제1 단자일 수 있다.

[0073] 예시적인 실시예에서, 마이크로전자 소자(507)의 각각의 쌍도 도 5a에 도시된 바와 같이 마이크로전자 소자의 동일한 쌍 내의 외부 개구부(526a)의 대응하는 것에 인접하여 기판(520)의 제1 면과 제2 면(521, 522) 사이에서 연장하는 내부 개구부(526b)에 적어도 부분적으로 상재할 수 있다. 각각의 내부 개구부(526b)는 제1 면과 제2 면에 평행한 방향에서 연장하는 축(509b)을 정의하는 길이를 가질 수 있고, 각각의 내부 축(509b)은 외부 개구부(526a)의 대응하는 것의 길이에 의하여 정의되는 축(509a) 보다 기판의 중심(501)에 더 근접한다.

[0074] 도 5a에 도시된 바와 같이, 각각의 하부 마이크로전자 소자(530a)는 외부 개구부(526a)에 상재하고, 각각의 상부 마이크로전자 소자(530b)는 내부 개구부(526b)에 상재한다. 특정 실시예에서, 각각의 상부 마이크로전자 소자(530b)는 외부 개구부(526a)에 상재할 수 있고, 각각의 하부 마이크로전자 소자(530a)는 내부 개구부(526b)에 상재할 수 있다. 일 예에서, 하부 마이크로전자 소자(530a)의 하나 이상은 대응하는 외부 개구부(526a)에 상재할 수 있고, 다른 하부 마이크로전자 소자는 대응하는 내부 개구부(526b)에 상재할 수 있는데, 반면에 상부 마이크로전자 소자(530b)의 하나 이상은 대응하는 외부 개구부에 상재할 수 있고, 다른 상부 마이크로전자 소자는 대응하는 내부 개구부에 상재할 수 있다.

[0075] 하나의 특정한 예에서, 각각의 상부 마이크로전자 소자(530b)는 제1 개구부에 상재할 수 있는데, 이것은 내부 개구부(526b) 또는 외부 개구부(526a) 중 어느 하나일 수 있다. 제1 개구부의 각각은 자신의 길이에 횡단하는 방향에서 폭을 가질 수 있고, 제1 개구부의 각각의 폭은 제1 개구부의 폭과 동일한 방향에서 제1 개구부에 상재하는 상부 마이크로전자 소자(530b)의 대응하는 것의 폭보다 더 크지 않다.

[0076] 일 예에서, 각각의 하부 마이크로전자 소자(530a)는 제2 개구부에 상재할 수 있는데, 이것은 내부 개구부(526b) 또는 외부 개구부(526a) 중 어느 하나일 수 있다. 제2 개구부의 각각은 자신의 길이에 횡단하는 방향에서 폭을 가질 수 있고, 제2 개구부의 각각의 폭은 제2 개구부의 폭과 동일한 방향에서 제2 개구부에 상재하는 상부 마이크로전자 소자(530a)의 대응하는 것의 폭보다 더 크지 않다.

[0077] 스페이서(514)는 스페이서 및 기판의 제1 면 사이에 위치된 접착제(512)가 있거나 없을 수도 있는 상태로 상부 마이크로전자 소자(530b)의 전면(531) 및 기판(520)의 제1 면(521)의 부분 사이에 포지셔닝될 수 있다. 이러한 스페이서(514)는, 예를 들어 실리콘 이산화물과 같은 유전체 물질, 실리콘과 같은 반도체 물질, 또는 접착제의 하나 이상의 층으로부터 제작될 수 있다. 만일 스페이서(514)가 접착제를 포함한다면, 이 접착제는 상부 마이크로전자 소자(530b)를 기판(520)에 접속할 수 있다. 일 실시예에서, 스페이서(514)는 하부 마이크로전자 소자(530a)의 전면 및 후면(531, 532) 사이에서 그것의 두께 T2와 실질적으로 동일한 두께 T1을 기판(520)의 제1 면(521)에 실질적으로 수직인 수직 방향 V에서 가질 수 있다. 특정 실시예에서, 예를 들어 스페이서(514)가 접착제 물질로 제작되는 경우에는, 스페이서(514)는 위에서 설명된 접착제(12)와 같은 접착제(512)가 없이 사용

될 수 있다.

[0078] 도 6a 내지 도 6c 는 도 5a 내지 도 5c 에 관하여 위에서 설명된 실시예의 변형예를 도시한다. 마이크로전자 패키지(610)는, 마이크로전자 패키지(610)에서는 상부 마이크로전자 소자(630b)의 전면(631)이 두 개의 하부 마이크로전자 소자(630a)의 후면(632)에 적어도 부분적으로 상재한다는 것을 제외하고는 도 5a 내지 도 5c 에 도시되는 마이크로전자 패키지(510)와 유사하다. 하부 마이크로전자 소자(630a)의 모두는 기판(620)의 제1 면(621)에 평행한 단일 평면 내에 배치되는 전면(631)을 가질 수 있다.

[0079] 도 7 은 도 5a 내지 도 5c 에 관하여 위에서 설명된 실시예의 다른 변형예를 도시한다. 마이크로전자 패키지(710)는, 마이크로전자 패키지(710)가 마이크로전자 소자의 3 개의 쌍(707)을 포함하며, 각각의 쌍은 하부 마이크로전자 소자(730a) 및 상부 마이크로전자 소자(730b)를 가진다는 것을 제외하고는 도 5a 내지 도 5c 에 도시되는 마이크로전자 패키지(510)와 동일하다. 마이크로전자 소자의 제4 쌍(707) 대신에, 마이크로전자 패키지(710)는 두 개의 하부 마이크로전자 소자(730a) 및 상부 마이크로전자 소자의 각각의 후면(732)에 적어도 부분적으로 상재하는 전면(731)을 가지는 하나의 대응하는 상부 마이크로전자 소자(730b)의 그루핑을 포함한다. 일 예에서, 마이크로전자 패키지(710)는 각각 8 개의 데이터 I/O 콘택을 포함하는 9 개의 마이크로전자 소자(730)를 가질 수 있다.

[0080] 이제 도 8a 및 도 8b 를 참조하면, 마이크로전자 어셈블리(801)는 공통 회로 패널(860)에 탑재될 수 있는 복수 개의 마이크로전자 패키지(810)를 포함할 수 있다. 마이크로전자 패키지(810)의 각각은 도 1a 내지 도 1c 로부터의 마이크로전자 패키지(10)인 것으로 도시되는데, 하지만 이러한 마이크로전자 패키지(810)는 도 1a 내지 도 7 을 참조하여 위에서 설명된 마이크로전자 패키지의 임의의 것일 수 있다. 회로 패널(860)은 제1 및 제2 대향면(861 및 862) 및 개별적인 제1 면과 제2 면에서 노출된 복수 개의 전기적으로 도전성 패널 콘택을 가질 수 있다. 마이크로전자 패키지(810)는, 예를 들어 각각의 마이크로전자 패키지의 단자 및 패널 콘택 사이에서 연장할 수 있는, 도 1b 에 도시되는 조이닝 소자(11)에 의하여 패널 콘택에 탑재될 수 있다. 도 8b 에 도시된 바와 같이, 제1 마이크로전자 패키지(810a)의 기판의 제2 면 및 제2 마이크로전자 패키지(810b)의 기판의 제2 면은 서로 적어도 부분적으로 상재할 수 있다. 하나의 특정한 예에서, 회로 패널(860)은 30 ppm/°C보다 더 적은 CTE를 가지는 소자를 포함할 수 있다. 일 실시예에서, 이러한 소자는 본질적으로 반도체, 유리, 세라믹 또는 액정 폴리머 물질로 이루어질 수 있다.

[0081] 특정 실시예에서, 회로 패널(860)은, 마이크로전자 어셈블리(801)가 소켓에 삽입될 때 소켓(도 9 에 도시됨)의 대응하는 콘택과 접합하기 위하여, 제1 면과 제2 면(861, 862) 중 적어도 하나의 삽입 에지(851)에 인접한, 복수 개의 평행 노출된 에지 콘택(850)을 가질 수 있다. 에지 콘택(850)의 몇몇 또는 모두는 마이크로전자 어셈블리(801)의 제1 또는 제2 면(861, 862)의 어느 하나 또는 양쪽 모두에서 노출될 수 있다. 일 예에서, 회로 패널(860)은 마더보드일 수 있다. 예시적인 실시예에서, 회로 패널(860)은 마더보드와 같은 다른 회로 패널에 부착되도록 구성될 수 있는 메모리 서브시스템과 같은 모듈일 수 있다. 회로 패널(860)의 다른 회로 패널로의 이러한 부착은 아래에서 설명되는 바와 같을 수 있다.

[0082] 노출된 에지 콘택(850) 및 삽입 에지(851)는 시스템의 다른 커넥터의 대응하는 소켓(도 9) 내로의 삽입을 위하여 크기결정될 수 있는데, 예컨대 마더보드 상에 제공될 수 있다. 이러한 노출된 에지 콘택(850)은 이러한 소켓 커넥터 내의 복수 개의 대응하는 스프링 콘택(도 9)과의 접합을 위하여 적합할 수 있다. 이러한 스프링 콘택은 각각의 슬롯의 단일 또는 다중 측면 상에 배치되어 노출된 에지 콘택(850)의 대응하는 것들과 접합할 수 있다. 일 예에서, 에지 콘택(850) 중 적어도 몇몇은 개별적인 에지 콘택 및 하나 이상의 마이크로전자 패키지(810) 사이에서 신호 또는 참조 포텐셜 중 적어도 하나를 운반하기 위하여 사용가능할 수 있다. 특정 실시예에서, 마이크로전자 어셈블리(801)는 듀얼 인-라인 메모리 모듈과 동일한 신호 인터페이스를 가질 수 있다.

[0083] 도 8c 내지 도 8e 는 도 5a 내지 도 5c 로부터의 마이크로전자 패키지(510)와 같은 것으로 도시된 마이크로전자 패키지(810')를 포함하는, 도 8a 및 도 8b 에 도시되는 마이크로전자 어셈블리(801)의 변형예를 도시한다. 도 8c 에서, 마이크로전자 패키지(802)는 회로 패널(860)의 제1 면(861)에 탑재되는 5 개의 마이크로전자 패키지(810')를 가진다.

[0084] 도 8d 에서, 마이크로전자 패키지(803)는 회로 패널(860)의 제1 면(861)에 탑재되는 5 개의 마이크로전자 패키지(810')를 가지고, 도 1a 에 도시되는 추가적 칩(30')과 같은 추가적 칩(830')이 회로 패널의 제1 면에 대향하는 면을 가지는 것으로 도시된다. 이러한 추가적 칩(830')은 도 1a 내지 도 1c 를 참조하여 위에서 설명된 추가적 칩의 타입의 임의의 것일 수 있으며, 예를 들어, 마이크로전자 어셈블리(803) 외부의 커넥터에 상대적인 마이크로전자 패키지(810')의 각각에 대한 신호 격리를 제공하는 것을 돋도록 구성될 수 있는 버퍼링 칩을 포함

한다. 일 예에서, 추가적 칩(830')은 메모리 제어기를 포함할 수 있다.

[0085] 도 8e 에서, 마이크로전자 패키지(804)는 개별적인 소켓(805)에 각각 탑재되는 5 개의 마이크로전자 패키지(810')을 가지며, 각각의 소켓은 회로 패널(860)의 제1 면(861)에 탑재된다.

[0086] 위에서 도 1 내지 도 8e 를 참조하여 설명된 마이크로전자 패키지 및 마이크로전자 어셈블리는 다양한 전자 시스템, 예컨대 도 9 에 도시되는 시스템(900)의 구조 내에서 이용될 수 있다. 예를 들어, 본 발명의 다른 실시 예에 따르는 시스템(900)은 다른 전자적 컴포넌트(908 및 910)와 공동으로 위에서 설명된 바와 같은 마이크로전자 패키지 및 마이크로전자 어셈블리와 같은 복수 개의 모듈 또는 컴포넌트(906)를 포함한다.

[0087] 시스템(900)은 복수 개의 소켓(905)을 포함할 수 있는데, 각각의 소켓은 소켓의 한 측면 또는 양측면에서 복수 개의 콘택(907)을 가짐으로써, 각각의 소켓(905)이 대응하는 모듈 또는 컴포넌트(906)의 대응하는 노출된 에지 콘택 또는 노출된 모듈 콘택과의 접합을 위하여 적합할 수 있도록 할 수 있다. 도시된 예시적인 시스템(900)에서, 시스템은 회로 패널 또는 가요성 인쇄 회로 보드와 같은 마더보드(902)를 포함할 수 있는데, 회로 패널은 다수의 도체(904)를 포함할 수 있고, 이들 중에서 오직 하나가 도 9 에서 모듈 또는 컴포넌트(906)를 서로 상호 접속하는 것으로 묘사된다. 이러한 회로 패널(902)은 신호를 시스템(900) 내에 포함된 마이크로전자 패키지(10 또는 110)의 각각으로 또는 그로부터 전송할 수 있다. 그러나, 이것은 단순히 예시적인 것일 뿐이다; 모듈 또는 컴포넌트들(906) 사이에 전기적 접속을 이루기 위한 임의의 적합한 구조가 사용될 수 있다. 하나의 특정한 예에서, 모듈 또는 컴포넌트(906)가 소켓(905)을 통하여 회로 패널(902)에 커플링되는 것이 아니라, 마이크로전자 패키지(10)와 같은 모듈 또는 컴포넌트(906)의 하나 이상이 직접적으로 회로 패널(902)에 탑재될 수 있다.

[0088] 특정 실시예에서, 시스템(900)은 반도체 칩(908)과 같은 프로세서를 더 포함할 수 있음으로써, 각각의 모듈 또는 컴포넌트(906)가 개수 N 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성될 수 있고, 프로세서는 개수 M 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성될 수 있도록 할 수 있는데, M은 N 이상이다.

[0089] 일 예에서, 시스템(900)은 32 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성되는 프로세서 칩(908)을 포함할 수 있고, 시스템은 4 개의 모듈(906), 예컨대 도 1a 내지 도 1c 를 참조하여 설명된 모듈(10)을 더 포함할 수 있는데, 각각의 모듈(906)은 8 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성된다(즉, 각각의 모듈(906)은 제1 및 제2 마이크로전자 소자를 포함할 수 있고, 두 개의 마이크로전자 소자 각각은 4 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성된다).

[0090] 다른 예에서, 시스템(900)은 64 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성되는 프로세서 칩(908)을 포함할 수 있고, 시스템은 4 개의 모듈(906), 예컨대 도 9 를 참조하여 설명된 모듈(1000)을 더 포함할 수 있는데, 각각의 모듈(906)은 16 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성된다(즉, 각각의 모듈(906)은 제1 및 제2 마이크로전자 소자의 두 세트를 포함할 수 있고, 네 개의 마이크로전자 소자 각각은 4 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성된다).

[0091] 도 9 에서 묘사된 예에서, 컴포넌트(908)는 반도체 칩이고 컴포넌트(910)는 디스플레이 스크린인데, 하지만 임의의 다른 컴포넌트도 시스템(900) 내에서 사용될 수 있다. 물론, 비록 오직 두 개의 추가적 컴포넌트(908 및 910)가 도 9 에서 예시의 명확화를 위하여 묘사되지만, 시스템(900)은 임의의 개수의 이러한 컴포넌트를 포함할 수 있다.

[0092] 모듈 또는 컴포넌트(906) 및 컴포넌트(908 및 910)는, 개략적으로 파선으로 묘사된 공통 하우징(901) 내에 탑재될 수 있고, 필요에 따라 서로 전기적으로 상호접속되어 원하는 회로를 형성할 수 있다. 하우징(901)은, 예를 들어 셀룰러 전화기 또는 개인 휴대정보 단말기 내에서 사용가능한 타입의 휴대용 하우징으로서 묘사되며, 스크린(910)은 하우징의 면에서 노출될 수 있다. 구조(906)가 이미징 칩과 같은 광-감응 소자를 포함하는 실시예에서는, 렌즈(911) 또는 다른 광학적 디바이스가 광을 그 구조로 라우팅하기 위하여 역시 제공될 수 있다. 다시 말하건대, 도 9 에 도시된 단순화된 시스템은 단순히 예시적인 것이다; 공통적으로 고정된 구조라고 간주되는 시스템을 포함하는 다른 시스템, 예컨대 데스크탑 컴퓨터, 라우터 등도 위에서 논의된 구조를 사용하여 제작될 수 있다.

[0093] 앞에서 설명된 마이크로전자 패키지 중 임의의 것 또는 전부에서, 마이크로전자 소자 중 하나 이상의 후면은 제작을 완료한 이후에 마이크로전자 패키지의 외부 면에서 적어도 부분적으로 노출될 수 있다. 따라서, 도 1a 에 대하여 위에서 설명된 마이크로전자 패키지(10)에서, 마이크로전자 소자(30)의 후면(32)은 완결된 마이크로전자

패키지(10) 내의 봉합재의 외부 면에서 부분적으로 또는 완전히 노출될 수 있다.

[0094] 위에서 설명된 실시예 중 임의의 것에서, 마이크로전자 패키지는 부분적으로 또는 전체적으로 임의의 적합한 열적으로 도전성인 물질로 제조된 열 확산기(heat spreader)를 포함할 수도 있다. 적합한 열전도성 물질의 예는 금속, 그래파이트, 열전도성 접착제, 예를 들어, 열전도성 에폭시, 솔더, 또는 기타 등등, 또는 이러한 물질의 조합을 포함하지만 그것들로 제한되지는 않는다. 일 예에서, 열 확산기는 금속의 실질적으로 연속인 시트일 수 있다.

[0095] 일 실시예에서, 열 확산기는 마이크로전자 소자의 하나 이상에 인접하게 배치된 금속층을 포함할 수 있다. 금속층은 마이크로전자 패키지의 후면에서 노출될 수도 있다. 대안적으로는, 열 확산기는 마이크로전자 소자의 후면을 적어도 커버하는 오버몰드 또는 봉합재를 포함할 수 있다. 일 예에서, 열 확산기는 도 1a 및 도 1b에 도시되는 마이크로전자 소자(30)와 같은 마이크로전자 소자의 각각의 전면 및 후면의 적어도 하나와 열적 통신 상태에 있을 수 있다. 열 확산기는 마이크로전자 소자의 인접한 것들의 인접한 에지들 사이에서 연장할 수 있다. 열 확산기는 주위 환경으로의 열 소모를 개선할 수 있다.

[0096] 특정 실시예에서, 금속 또는 다른 열전도성 물질로 제조된 미리-형성된 열 확산기는 열전도성 접착제 또는 열전도성 구리스와 같은 열전도성 물질을 이용하여 마이크로전자 소자의 하나 이상의 후면 상에 부착되거나 그것 상에 배치될 수도 있다. 만일 존재한다면, 접착제는 열 확산기와 이것이 부착된 마이크로전자 소자 사이의 상대적인 운동을 가능하게 하는 유연성 물질로서, 예를 들어 유연하게 부착된 소자들 사이의 차등 열 팽창을 수용할 수 있다. 열 확산기는 모놀리식 구조체일 수도 있다. 대안적으로는, 열 확산기는 서로 이격된 다중 확산기부들을 포함할 수도 있다. 특정 실시예에서, 열 확산기는 도 1a 및 도 1b에 도시된 마이크로전자 소자(30)와 같은 마이크로전자 소자의 하나 이상의 후면의 적어도 일부에 직접적으로 조인된 솔더의 층이거나 이를 포함할 수도 있다.

[0097] 비록 본 명세서에서 본 발명은 특정 실시예를 참조하여 설명되었지만, 이러한 실시예는 본 발명의 원리 및 적용의 단순한 예에 지나지 않는다는 것이 이해되어야 한다. 그러므로 수 많은 변경이 예시적인 실시예에 이루어질 수도 있다는 것과 다른 배치구성물이 첨부된 청구범위에 정의되는 바와 같은 본 발명의 사상 및 범위로부터 벗어나지 않으면서 고안될 수도 있다는 것이 이해되어야 한다.

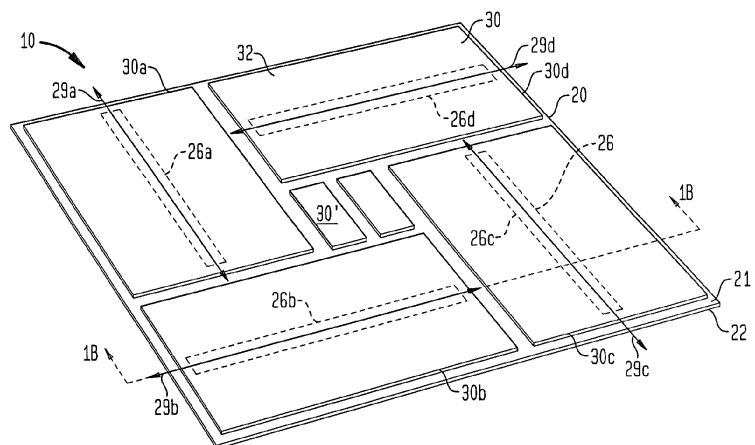
[0098] 다양한 종속 청구항 및 이것에서 설명되는 피쳐들이 최초 청구항에서 제시된 것과 상이한 방법으로 통합될 수 있다는 것이 인정될 것이다. 개개의 실시예와 연계하여 설명된 피쳐가 설명된 실시예의 다른 것들과 함께 공유될 수도 있다는 것도 역시 인정될 것이다.

### 산업상 이용가능성

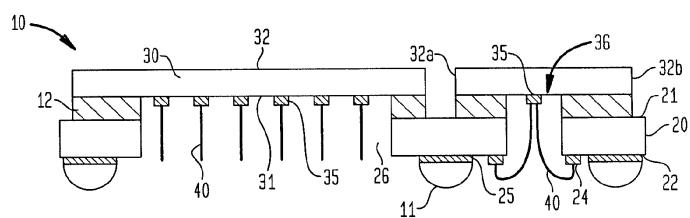
[0099] 본 발명은 마이크로전자 패키지 및 마이크로전자 패키지의 제조 방법을 포함하지만 이것으로 한정되지는 않는, 넓은 산업상 이용가능성을 향유한다.

## 도면

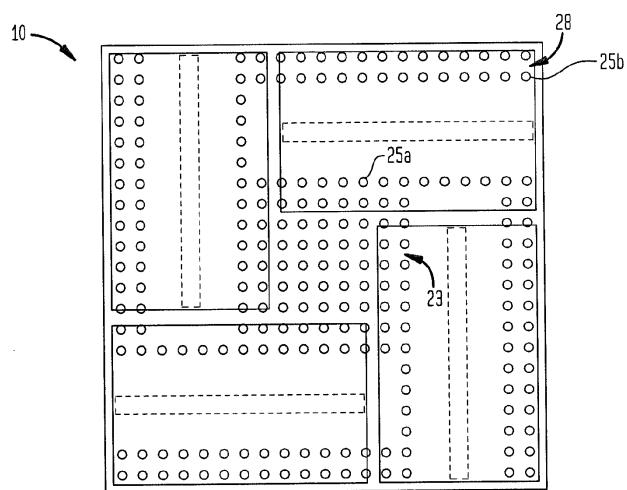
## 도면1a



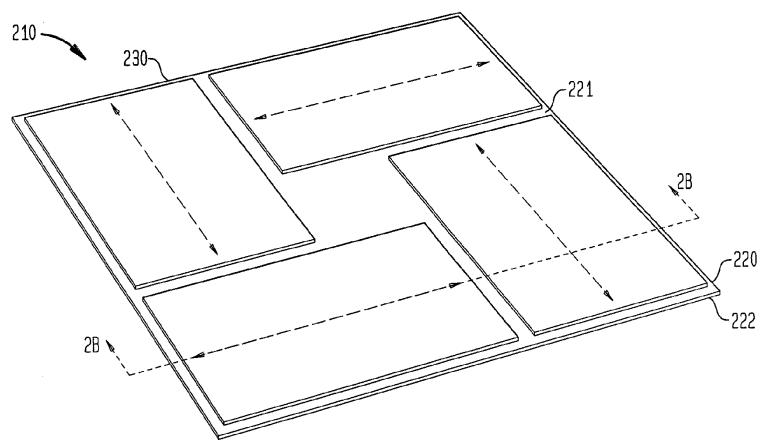
## 도면1b



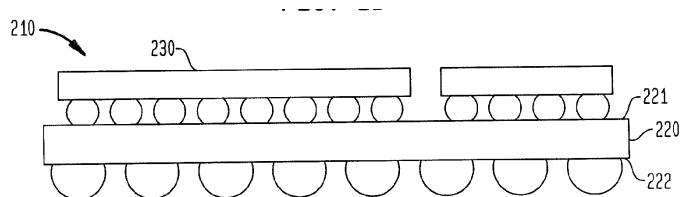
## 도면1c



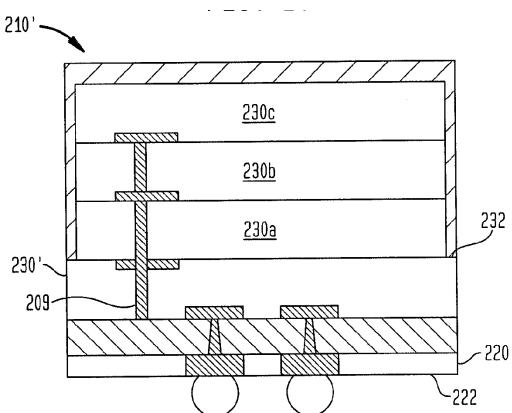
도면2a



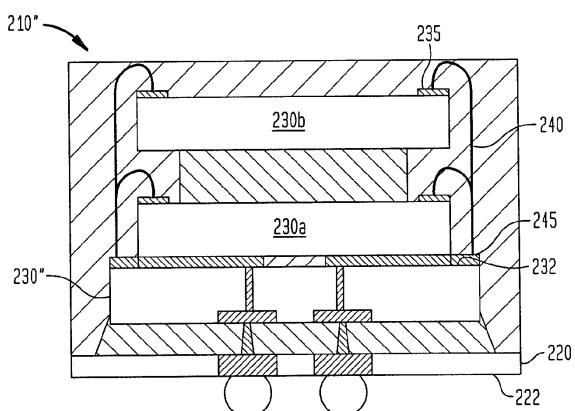
도면2b



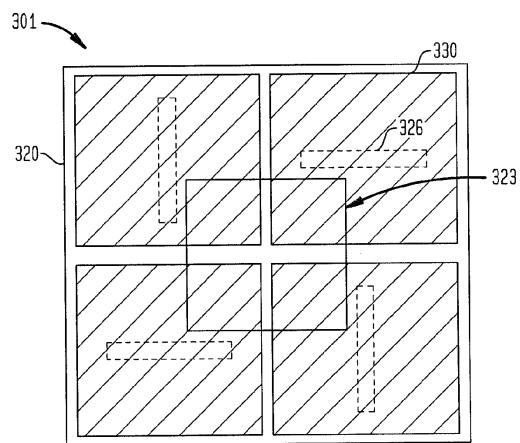
도면2c



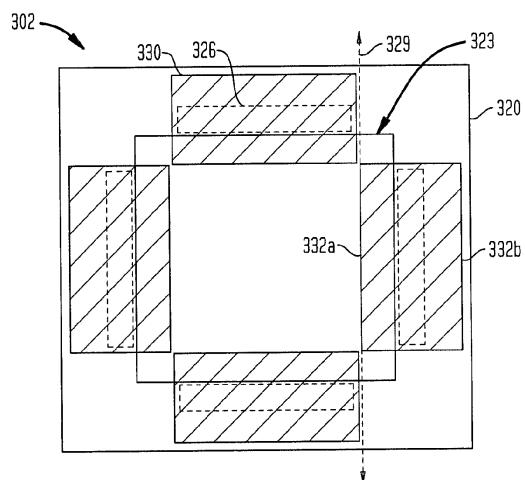
도면2d



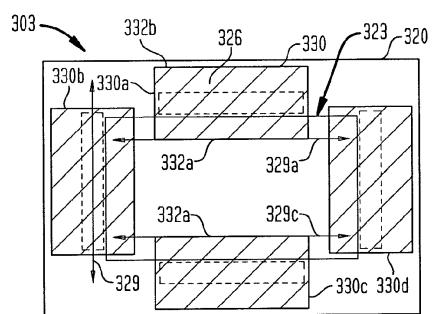
## 도면3a

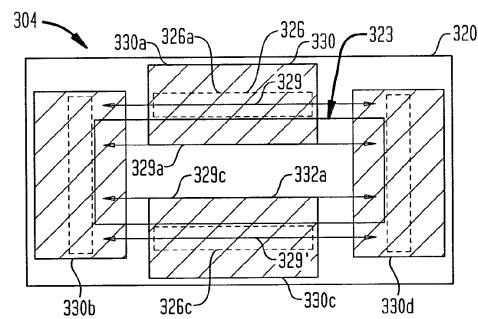
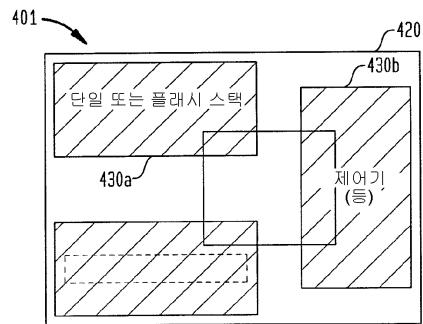
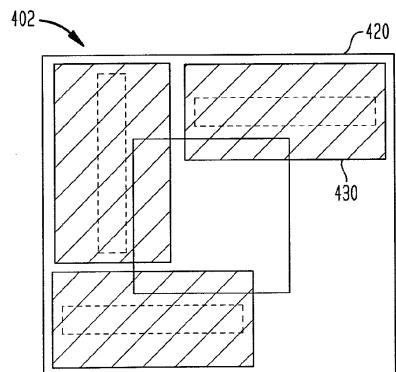
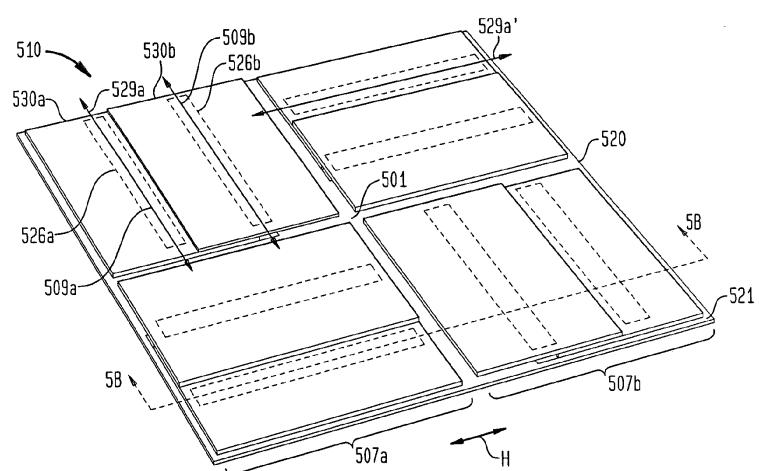


## 도면3b

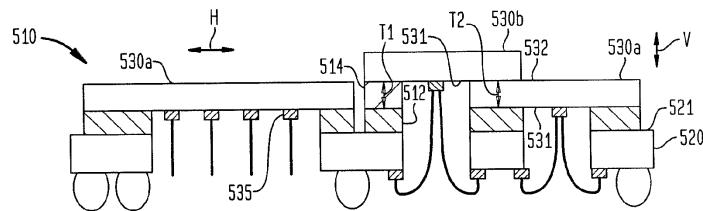


## 도면3c

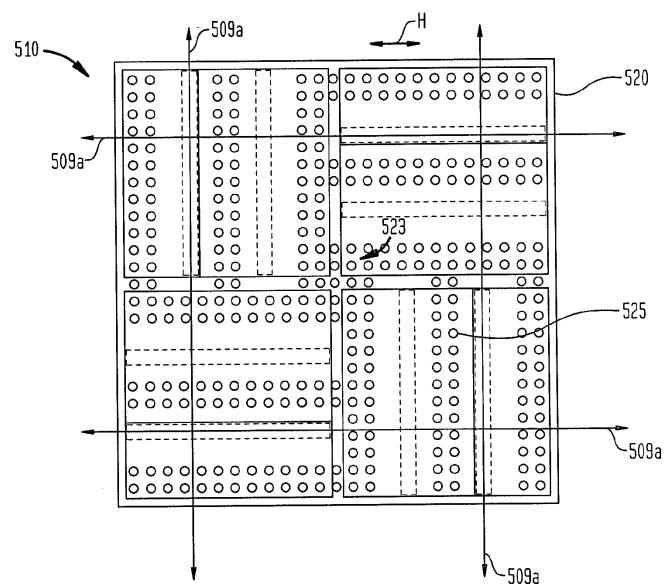


**도면3d****도면4a****도면4b****도면5a**

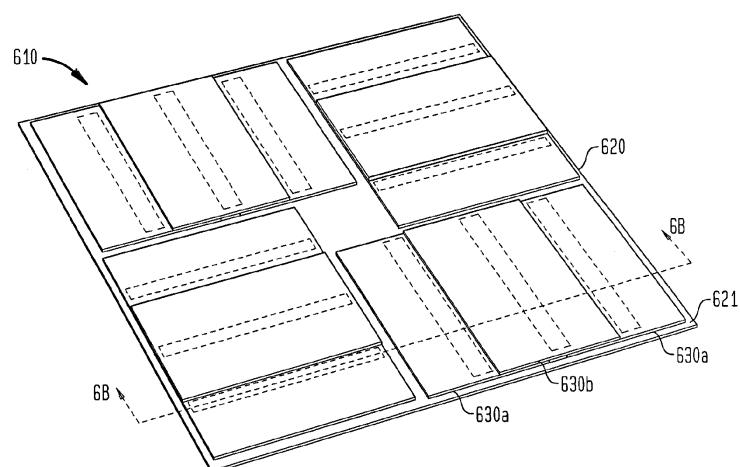
도면5b



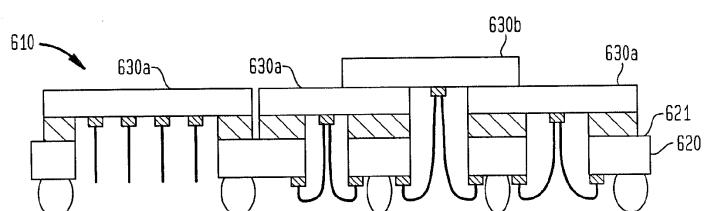
도면5c



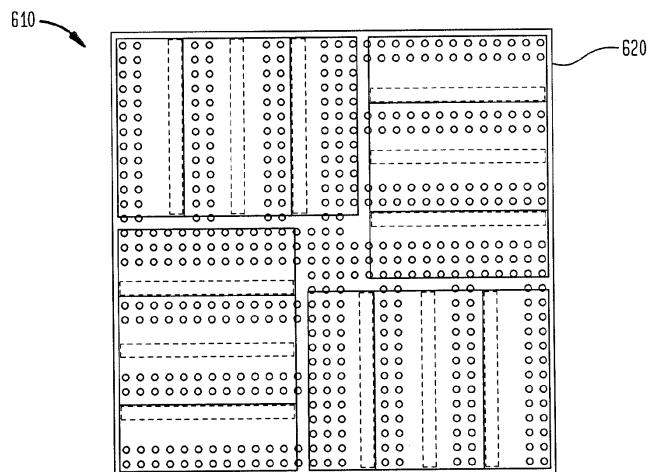
도면6a



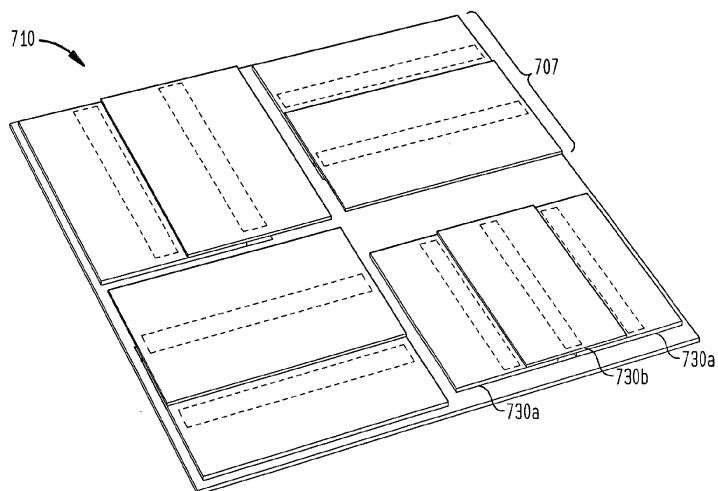
도면6b



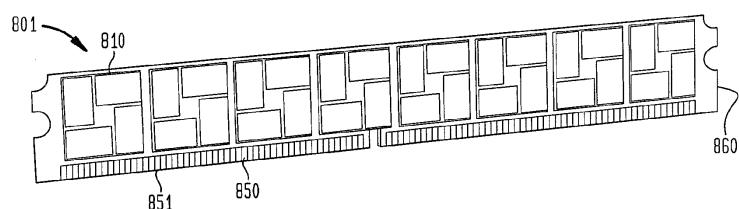
도면6c



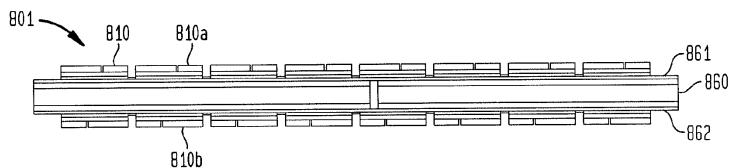
도면7



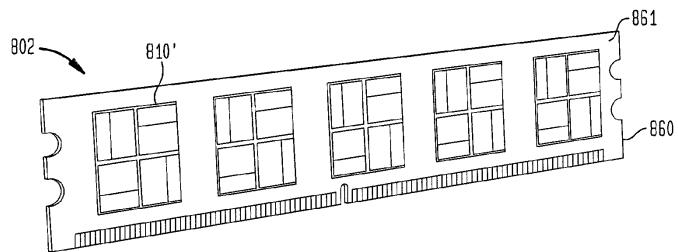
도면8a



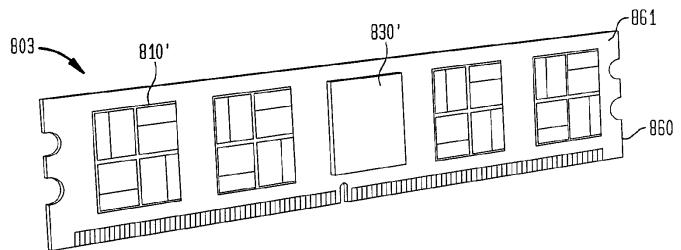
도면8b



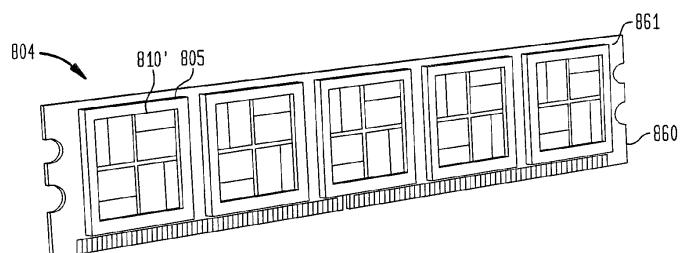
도면8c



도면8d



도면8e



도면9

