

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4169155号
(P4169155)

(45) 発行日 平成20年10月22日(2008.10.22)

(24) 登録日 平成20年8月15日(2008.8.15)

(51) Int. Cl. F I
 HO2M 3/137 (2006.01) HO2M 3/137
 HO2M 3/155 (2006.01) HO2M 3/155 H

請求項の数 10 (全 10 頁)

| | | | |
|---------------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2003-525978 (P2003-525978) | (73) 特許権者 | 306043703 |
| (86) (22) 出願日 | 平成14年8月21日 (2002.8.21) | | エヌエックスピー ビー ヴィ |
| (65) 公表番号 | 特表2005-502299 (P2005-502299A) | | NXP B. V. |
| (43) 公表日 | 平成17年1月20日 (2005.1.20) | | オランダ国 5656 エイジー アイ |
| (86) 国際出願番号 | PCT/IB2002/003412 | | ドーフエン ハイ テク キャンパス 6 |
| (87) 国際公開番号 | W02003/021760 | | O |
| (87) 国際公開日 | 平成15年3月13日 (2003.3.13) | (74) 代理人 | 100075812 |
| 審査請求日 | 平成17年8月19日 (2005.8.19) | | 弁理士 吉武 賢次 |
| (31) 優先権主張番号 | 09/948,804 | (74) 代理人 | 100088889 |
| (32) 優先日 | 平成13年9月6日 (2001.9.6) | | 弁理士 橋谷 英俊 |
| (33) 優先権主張国 | 米国 (US) | (74) 代理人 | 100107582 |
| | | | 弁理士 関根 毅 |
| | | (74) 代理人 | 100112793 |
| | | | 弁理士 高橋 佳大 |

最終頁に続く

(54) 【発明の名称】 クランプ回路を備えた電圧レギュレータ

(57) 【特許請求の範囲】

【請求項 1】

DC入力源に直列に接続された第1のスイッチング素子と、互いに結合された第1の巻線および第2の巻線と、前記第2の巻線に結合された第2のスイッチング素子とを少なくとも有するベース回路および、

クランプキャパシタと、前記クランプキャパシタに結合された第1のダイオードおよび第2のダイオードと、前記第1の巻線、前記第2の巻線および前記クランプキャパシタへ結合された第3の巻線(N3)と、を少なくとも有し、前記ベース回路に結合されたクランプ回路を備え、

前記クランプ回路は、所定のレベルに前記第1のスイッチング素子にかかる電圧をクランプし、前記クランプキャパシタは前記第1の巻線からリークエネルギーを回復するために適用されることを特徴とするコンバータ回路。

【請求項 2】

前記第1に巻線、前記第2の巻線および第3の巻線は磁氣的に結合されていることを特徴とする請求項1に記載のコンバータ回路。

【請求項 3】

負荷に対して並列に結合されたフィルタキャパシタをさらに含むことを特徴とする請求項1に記載のコンバータ回路。

【請求項 4】

当該コンバータ回路は、DC-DCコンバータ回路であることを特徴とする請求項1に

10

20

記載のコンバータ回路。

【請求項 5】

コンバータ回路においてスイッチング素子にかかる電圧をクランプする方法であって、
DC入力源に直列に接続された第1のスイッチング素子と、
互いに結合された第1の巻線および第2の巻線と、を少なくとも有するベース回路を設けるステップおよび、
クランプキャパシタと、
前記クランプキャパシタに結合された第1のダイオードおよび第2のダイオードと、
前記第1の巻線、前記第2の巻線および前記クランプキャパシタへ結合された第3の巻線と、を少なくとも有し、前記ベース回路に結合されたクランプ回路を設けるステップを備えることを特徴とする電圧クランプ方法。

10

【請求項 6】

前記クランプ回路を設けるステップは、
前記第1の巻線からリークエネルギーを回復するために、前記クランプキャパシタを設けるステップと、
前記クランプキャパシタに並列に接続された前記第1のダイオード、第2のダイオードおよび第3の巻線を設けるステップと、をさらに含むことを特徴とする請求項5に記載の電圧クランプ方法。

【請求項 7】

前記スイッチング素子がON状態からOFF状態へ遷移する時点でクランプ動作が実行されることを特徴とする請求項6に記載の電圧クランプ方法。

20

【請求項 8】

前記クランプキャパシタは、前記第1のスイッチング素子がOFF状態である間にエネルギーを回復することを特徴とする請求項6に記載の電圧クランプ方法。

【請求項 9】

各スイッチングサイクルにおいて前記第1の巻線に付随するインダクタからリークを回復するステップをさらに備えることを特徴とする請求項6に記載の電圧クランプ方法。

【請求項 10】

前記インダクタ内のリークエネルギーは、前記第1のダイオードおよび前記第3の巻線を介してクランプキャパシタを充電することによって回復されることを特徴とする請求項9に記載の電圧クランプ方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング電力供給の分野に関し、特に、スイッチング電圧レギュレータモジュールに関する。

【関連技術】

【0002】

集積回路（IC）技術における発展は、その回路を動作させるのに要求される動作電圧のさらなる低減に頻繁に関わる。動作電圧の低下は、回路の大きさおよび電力消費の低減により、コスト低減につながる。より高速かつ効率的なデータ処理の要求があるために、低電圧集積回路の分野において、発展を大きく促進させた。現在、3ボルトレンジ（例えば、3.3V IC）において動作する低電圧集積回路が強く所望されている。3ボルトICは、標準的な5ボルトICに代わり、高速性や高集積性のために次第に用いられてきている。

40

【0003】

さらに、3ボルトICは、従来の5ボルトICよりも少ない電力しか消費しない。従って、低電圧集積回路によって、携帯型電話機やラップトップコンピュータのようなバッテリーで動作する装置は、動作時により高い電圧を要する装置よりも比例的に長い時間動作することが可能となった。

50

【 0 0 0 4 】

しかしながら、3.3V ICは、さらに速度を改善し、電力消費を低減させるだけでなく、直接、単一セルバッテリーの消費をも可能とするようなさらに低い動作電圧を有するICへの移行を示す。次世代のデータ処理ICは1~2Vの範囲内の電圧で動作可能なものとなると予測されている。同時に、単一プロセッサチップにより多くのデバイスが集積され、かつ、プロセッサはより高い周波数で動作するので、マイクロプロセッサは積極的な電力管理を必要とする。ほぼ13アンペアの電流を要する現在のプロセッサに比べて、後世代のプロセッサは、50~100アンペアという範囲の電流を要するであろう。その負荷範囲(load range)は1:100にも達し得る。

【 0 0 0 5 】

さらに、ICの速度が速くなると、ICは、電力供給源に対してより動的な負荷となる。次世代のマイクロプロセッサは、50A/マイクロ秒の電流速度(current slew rates)を示すと予測されている。さらに、出力電圧調整は、非常に厳格に(例えば、5%から2%に)なっている。マイクロプロセッサに電力供給する電圧レギュレータモジュール(VRM)は、高効率、速い過渡応答および高い電力密度を有しなければならない。これらの要求は設計変更にも深刻な問題をもたらす。

【 0 0 0 6 】

図1は、従来の同期化されたバックコンバータ100の模式的な回路図である。回路100は、高効率、速い過渡応答および高い電力密度という要求に適合するVRMとして典型的に用いられる。動作においては、スイッチS1およびS2が、相補的な仕方でオンおよびオフに切り替わる。バックコンバータ回路100の電圧ゲインは、次の式1により表される。

$$D = V_o / N_{i n} \quad (\text{式 1})$$

ここで、Dは、スイッチS1のデューティ比率(duty ratio)である。

【 0 0 0 7 】

当業者に周知なように、バックコンバータは、ほぼ0.5というデューティサイクルにおいて高効率および良好な過渡応答を有する。5Vの入力電圧および2Vの出力電圧のためには、デューティサイクルは0.4であり、これは高効率を達成するために許容できるデューティサイクル率である。

【 0 0 0 8 】

将来のVRMはマイクロプロセッサにより大きな電力を供給することが要求されるため、電力スイッチは、より大きな電流を扱うことが可能でなければならないが、これは効率を低減させてしまう。しかしながら、電力の方程式に従って、将来のマイクロプロセッサによって要求される増大電力は、入力電圧を代わりに上昇させることで達成され、これにより入力電流を低下させることが可能となるので、これにより、伝導損失(conduction losses)が低下する。さらに、これは、キャパシタの大きさをも小さくする。このように、VRMが12Vまたはそれよりも高い入力電圧を有することは好ましい。例えば、ノート型コンピュータに対する入力電圧を19Vと高くすることができる。式1によると、従来の同期型バックコンバータのデューティサイクルは、12V入力および1.2V出力により、0.1と小さい。0.1オーダーのデューティサイクルの欠点は、この回路が効率、電圧調整および過渡応答の観点において性能が劣ることである。

【 0 0 0 9 】

図2は、従来例によるタップド(tapped)コンバータ回路200の回路図である。コンバータ回路200は、調整されていないDC入力源 $V_{i n}$ を介して接続された第1のパワースイッチS1を含む。パワースイッチS1の一端は、強固に結合された巻線対(N1、N2)の第1の巻線N1に接続されている。結合された巻線対(N1、N2)は、ジャンクション12においてフィルタキャパシタ C_o および負荷 R_L へ接続されている。フィルタキャパシタ C_o および負荷 R_L は並列に接続されている。コンバータ回路200は、巻線対(N1、N2)の第2の巻線N2に直列に接続された第2のパワースイッチS2をさらに含む。直列に接続されたパワースイッチS2および第2の巻線N2は、フィルタキャ

10

20

30

40

50

パシタ C_0 および負荷 R_L と並列に接続されている。

【0010】

コンバータ回路200の動作は、コンバータ回路200に関連する対応スイッチング波形を図示した図3aから図3gを参照して記載される。

【0011】

時点 t_1 より前の時点においては、スイッチ S_1 はOFFである。時点 t_1 から時点 t_2 までにおいて、スイッチ S_1 はONに切り替えられ(図3a参照)、スイッチ S_2 はOFFに切り替えられる(図3b参照)。入力電圧 V_{in} と出力電圧 V_o との間の電圧差、即ち、 $(V_{in} - V_o)$ は、結合されたインダクタ巻線 N_1 および N_2 のうちの巻線 N_1 に印加される。 N_1 内の巻線電流である入力電流 i_{S_1} は、図3cに示すように線形的に上昇する。従って、時点 t_1 から t_2 の間に、入力電圧は、スイッチ S_1 および巻線 N_1 の導体部を介して出力へ電力を送る。この時点の間に、エネルギーは巻線 N_1 内に蓄積される。

10

【0012】

t_2 に等しい時点において、スイッチ S_1 はOFFに切り替えられ、スイッチ S_2 はONに切り替えられる。時点 t_1 から t_2 までに巻線 N_1 に蓄積されたエネルギーは、巻線 N_2 へ転送される。巻線電流 i_{N_2} が、そのエネルギーを出力へ開放するためにスイッチ S_2 を介して流れる。その処理は、フライバック(flyback)コンバータとして動作する。巻線 N_1 における電圧-秒バランス(voltage-second balance)に基づいて、コンバータ回路200の電圧ゲインは、次の式2で表される。

20

$$V_o / V_{in} = 1 / [1 + (N_1 / N_2) * (1 / D - 1)] \quad (\text{式 2})$$

ここで、 D は、スイッチ S_1 のデューティ比率である。式2より、およそ0.5のデューティサイクルは、結合されたインダクタのターン比率(turn ratio)を適切に選択することによって高い回路効率を達成することができる。一具体例として、入力電圧は $V_{in} = 12V$ 、出力電圧は $V_o = 1.5V$ 、所望のデューティサイクルは $D = 0.5$ 、比率 $N_1 / N_2 = 7$ である。

【0013】

回路200の1つの欠点は、巻線 N_1 のリークエネルギーが巻線 N_1 と N_2 との間の不完全な結合により巻線 N_2 へ転送され得ないために、スイッチ S_1 をOFFに切り替えたときに(例えば、図3fの時点 t_2 を参照)、スイッチ S_1 に亘って大きな電圧スパイクが生じることである。巻線 N_2 に転送され得ない、リークインダクタ L_k (図示せず)に蓄積されたリークエネルギーは、導電スイッチ S_2 を通してスイッチ S_1 の出力寄生容量(図示せず)に蓄えられ、スイッチ S_1 にかかる高い電圧ストレスの原因となる。その結果、高電圧規格のMOSFETスイッチが、回路200に使用されなければならない、これにより、電力損失を大きく増大させ、効率を低下させる。

30

【0014】

高電圧規格のMOSFETスイッチを用いる必要性を避け、回路効率をさらに改善するために結合リークインダクタのリークエネルギーを再利用する回路構成を提供することが所望されている。

【発明の要旨】

40

【0015】

従って、本発明の第1の目的は、低電圧規格のパワースイッチが回路効率を改善するために用いられ得るような回路を提供することである。

【0016】

本発明の他の目的は、回路効率をさらに改善するために結合リークインダクタのリークエネルギーを再利用する回路を提供することである。

【0017】

本発明のさらに他の目的は、必要最小限の構成要素を用いた回路を提供することである。

【0018】

50

本発明に従った第1の実施形態によれば、調整されていないDC入力源に直列に接続された第1のスイッチと、第1の巻線および第2の巻線を有する結合巻線に或るジャンクションにおいて結合された第2のスイッチと、結合巻線のうちの1つの巻線に付随するリークインダクタンスと、第2のスイッチと並列に接続されたショットキーダイオードと、直列に接続された第3のスイッチおよびクランプキャパシタを含む能動クランプ回路とを含み、パワースイッチ電圧クランプ機能を有する能動クランプ降圧型コンバータ回路を提供する。このクランプ回路は、リークインダクタンスおよび第1の巻線と並列に接続される。このコンバータ回路は、結合巻線に接続され、負荷に並列に接続されたフィルタキャパシタをさらに含む。

【0019】

クランプキャパシタは、第1のスイッチがOFFである期間に、第1のスイッチにかかる電圧をクランプする。この第1のスイッチにかかるクランプ電圧は、入力電圧とクランプキャパシタ電圧との和である。

【0020】

本発明に従った第2の実施形態によれば、調整されていないDC入力源に直列に接続された第1のスイッチと、第1の巻線、第2の巻線および第3の巻線を有する結合巻線のうちの1端子に或るジャンクションにおいて結合された第2のスイッチと、結合巻線のうちの1つの巻線に付随するリークインダクタンスと、アノードが結合巻線の第3の巻線のうちの1端子に直列に接続されカソードがDC入力源に接続された第2のダイオードおよびカソードが第3の巻線の他端子へ接続されアノードが結合巻線の第2の巻線の1端子に接続された第1のダイオードを含む受動クランプ回路と、を含み、パワースイッチ電圧クランプ機能を有する能動クランプ降圧型コンバータ回路を提供する。ダイオードの第2の端子は、第2のダイオードのアノードに直列に接続されている。このクランプ回路は、第1および第2のダイオード、並びに、結合巻線の第3の巻線に並列に接続されたクランプキャパシタをさらに含む。このコンバータ回路は、結合巻線の途中で接続され、負荷に並列に接続されたフィルタキャパシタをさらに含む。

【0021】

第1の実施形態において、クランプキャパシタは、第1のスイッチがOFFである期間に第1のスイッチにかかる電圧をクランプする。クランプされた第1のスイッチにかかる電圧は、入力電圧とクランプキャパシタ電圧との和である。

【0022】

本発明によってもたらされる主な利点は、各スイッチがOFF状態に遷移する際に生じていた電圧スパイクを防止し、実質的に除去したことである。電圧スパイクは、第1の巻線に並列に能動クランプ回路を組み込むことによって除去される。

【0023】

本発明の他の利点は、従来例のアプローチによれば各スイッチングサイクルにおけるリークエネルギーを浪費していたのに対して、本発明では各スイッチングサイクルにおけるリークエネルギーを回復することによって、回路全体の効率（即ち、電力出力/電力入力）を促進させたことである。リーク電流を捕らえたことのさらに追加の利点は、第1のスイッチの電圧規格を十分に低くすることができ、それによって、そのコストを低減させることができたことである。

【0024】

本発明のさらに他の利点は、この回路が、動的応答およびシステム効率を改善するほぼ0.5のデューティサイクルで動作するように最適化されたことである。ほぼ0.5の公称デューティサイクルで動作することによって、この回路は、負荷条件の変化に対応することができる。即ち、負荷が公称上のものから重負荷に変化した場合、デューティサイクルは、仕様の範囲内に出力電圧の変化を抑えるために、0.5から1.0に近い値へ上昇されなければならない。同様に、負荷が公称上のものから軽負荷へ変化した場合には、デューティサイクルは、仕様の範囲内に出力電圧の変化を抑えるために、0.5から0に近い値へ低下されなければならない。デューティサイクルにおける要求された変化は、本発

10

20

30

40

50

明に従って動作する回路によって最も容易に達成される。

【好適な実施形態の詳細な説明】

【0025】

本発明の上述の特徴は、添付図面に関連して図示された実施形態に関する次の詳細な記述を参照することによって、より容易に明確にされ、理解され得る。

【0026】

本発明による実施形態において、電圧レギュレータモジュール(VRM)に用いられるクランプ降圧コンバータは、各スイッチングサイクルにおいてOFFに切り替えられている間に回路スイッチング素子にわたって生じる電圧スパイクを無くし、または、これを十分に低減させるように設けられている。さらに、本発明によるコンバータ回路の実施形態は、スイッチング素子による導通の間のインターバル中にインダクタリークエネルギーが回復され、従来技術のコンバータ回路よりも電力効率が良い。

10

【0027】

図4は、前述した回路200の欠点を克服した第1の実施形態の回路図である。本実施形態のコンバータ回路400は、コンバータ回路400に関して対応するスイッチング波形を図示した図5aから図5jを参照して記載されている。

【0028】

コンバータ回路400は、調整されていないDC入力源 V_{in} を介して接続されている第1のパワースイッチS1を含む。パワースイッチS1の一端は、巻線N1に付随するリークインダクタ L_k に接続されている。リークインダクタ L_k は、ジャンクション30においてクランプキャパシタ C_r に接続されている。

20

【0029】

スイッチS3と直列に接続されたクランプキャパシタ C_r を含む回路部分は、スイッチS1がONからOFFの状態に遷移する間にスイッチS1にかかる電圧をクランプするための能動クランプ回路という。スイッチS3の一端子、磁氣的に結合された巻線N1およびN2の共通端子、並びに、フィルタキャパシタ C_o の一端子が、共通ジャンクション32において接続されている。

【0030】

上述したようにパワースイッチS1、S2、パワースイッチS3は、パワーMOSFETまたは当業者によって理解されている他の周知の半導体でよい。スイッチS3は、内部ボディダイオードD3に含まれている。コンバータ回路400は、負荷 R_L に並列に接続されたフィルタキャパシタ C_o をさらに含む。

30

【0031】

図5aから図5jを参照して、時点 t_1 より前の時点においては、スイッチS1はOFFである。時点 t_1 から時点 t_2 までにおいては、スイッチS1はONに切り替えられ(図5a参照)、スイッチS2およびS3はOFFに切り替えられている(図5bおよび図5c参照)。入力電圧 V_{in} と出力電圧 V_o との間の電圧差は、結合インダクタ巻線対(N1、N2)の巻線N1に印加される。スイッチング電流 i_{s1} および出力電流 i_o は、図5dおよび図5gに示すようにそれぞれ線形に上昇する。スイッチS2にかかる電圧は、次の式3で表される。

40

$$V_{d2} = V_o + (V_{in} - V_o) * (N2 / N1) \quad (\text{式3})$$

図5jに示されているように、入力電圧は、スイッチS1が時点 t_2 においてOFFに切り替わるまで、電力を出力へ与える。

【0032】

時点 t_2 の後、スイッチS1はOFFに切り替えられる。時点 t_1 から t_2 までに巻線N1に蓄積されたエネルギーは巻線N2へ転送される。巻線電流 i_{N2} は、 t_3 に等しい時点でスイッチS2がONに切り替わるまで、ショットキーダイオードDS(図5f参照)を通して流れる。リークインダクタ L_k に蓄えられたリークエネルギーは、スイッチS3のボディダイオードを介してクランプキャパシタ C_r に蓄えられる。

【0033】

50

両方のスイッチS 2およびS 3の逆平行ダイオードが時点t 3より前に導通するので、t 3に等しい時点で、スイッチS 2およびS 3はゼロ電圧スイッチングでONに切り替わる。このように、スイッチS 2およびS 3にはON切替えにおけるスイッチング損失が無い。クランプキャパシタC_r内に蓄積されたエネルギーは、時点t 3の後、結合インダクタ巻線N 1およびN 2を通して出力へ送られる。クランプキャパシタC_rにかかるクランプ電圧V_cは次の式4で表される。

$$V_c = (N_1 / N_2) * V_o \quad (式4)$$

【0034】

従って、スイッチS 1にかかる最大電圧ストレスが入力電圧V_{i n}とクランプキャパシタ電圧V_cとの和であることがわかる。電圧V_{d 1}は次の式5で表される。

$$V_{d1} = (N_1 / N_2) * V_o + V_{in} \quad (式5)$$

【0035】

式5は、スイッチS 1にかかる電圧ストレスが十分にクランプされていることを示している。巻線電流i_{N 2}は、t 4に等しい時点でスイッチS 2がOFFに切り替えられるまで、スイッチS 2を介して流れ続ける。巻線N 2に蓄積されたエネルギーは、t 5に等しい時点でスイッチS 1がONに切り替えられるまで、出力へ送られ続ける。

【0036】

図6は、クランプ降圧コンバータ回路の第2の実施形態の回路図である。図4に示した同一の参照記号は、同一の要素、電流および電圧を示している。コンバータ回路600の動作は、コンバータ回路600に関して対応するスイッチング波形を示した図7aから図7fを参照して記載されている。時点t 1より前の時点において、スイッチS 1はOFFである。

【0037】

時点t 1から時点t 2までにおいて、スイッチS 1はONに切り替えられ(図7a参照)、および、スイッチS 2はOFFに切り替えられている(図7b参照)。入力電圧V_{i n}と出力電圧V_oとの間の電圧差は、結合インダクタ巻線(N 1、N 2、N 3)のうち巻線N 1に印加される。スイッチング電流i_{s 1}は、図7dに示されているように線形に上昇する。クランプキャパシタ電圧V_cは、時点t 1において巻線N 3に印加され、それによって、時点t 1からt 2までの間に巻線N 3へエネルギーを転送する。巻線N 3が磁気的にN 1へ結合されている結果、キャパシタC_rから送られた巻線N 3内のエネルギーは、巻線N 3から巻線N 1へ転送される。巻線N 1内の転送エネルギーは、次に、負荷R_Lへ転送される。この期間中に、ダイオードD 2は、キャパシタC_rから巻線N 3へ、続いて、巻線N 1を介して負荷へエネルギーが転送されることを可能とするために、クランプキャパシタC_rと巻線N 3のインダクタンスとの間の共振を阻止する。上述のエネルギー転送処理、即ち、巻線N 1を通してキャパシタC_r内に蓄積されたエネルギーを出力へ転送することは、キャパシタ電圧V_cが結合巻線N 1およびN 2からの反射電圧(reflected voltage)にクランプされるまで継続される。

【0038】

t 2に等しい時点において、スイッチS 1はOFFになり、スイッチS 2はONになる(図7aおよび図7b参照)。既に巻線N 1に蓄積されているエネルギーは、巻線N 2へ転送され、巻線N 2内の電流はスイッチS 2を通して流れる。時点t 1からt 2までの間に、既にリークインダクタL_kに蓄積されたリークエネルギーは、巻線N 2へは転送されない。このように、時点t 2において、このリークエネルギーは、ダイオードD 1を通してクランプキャパシタC_rを充電する。このキャパシタ電圧は次の式6で表される。

$$V_c = (N_1 / N_2) * V_o \quad (式6)$$

【0039】

スイッチS 1にかかる最大電圧ストレスV_{d 1}は、入力電圧V_{i n}とクランプキャパシタ電圧V_cとの和である。電圧V_{d 1}は、次の式7で表される。

$$V_{d1} = V_{in} + (N_1 / N_2) * V_o \quad (式7)$$

【0040】

10

20

30

40

50

式7は、スイッチS1にかかる電圧がクランプされ、かつ、巻線N1内のリークエネルギーが回復され、出力へ送られることを示している。

【0041】

本発明が図示によって特定の実施形態に関して記載されてきたが、多くの変形および変更が当業者にとって明らかである。従って、特許請求の範囲は本発明の真の意思および範囲内に含まれる総ての変形および変更をカバーする意図である。

【図面の簡単な説明】

【0042】

【図1】従来技術による電圧調整モジュールとして用いられた同期型バックコンバータ回路の回路図。

【図2】従来技術によるタップド降圧コンバータ回路の回路図。

【図3】図2の回路の波形を示す図。

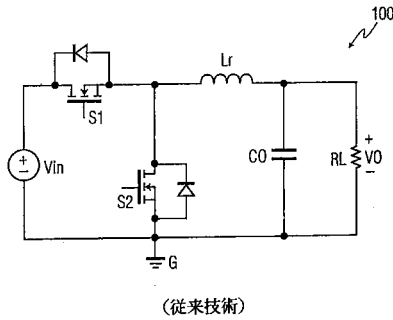
【図4】本発明による実施形態に従ったパワースイッチ電圧クランプ機能を有する能動クランプ降圧コンバータ回路の回路図。

【図5】図4の回路の波形を示す図。

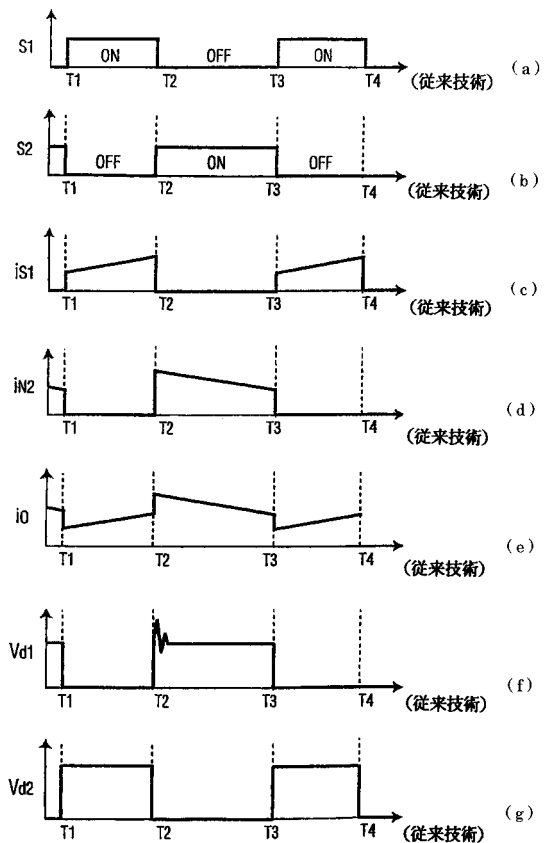
【図6】本発明による他の実施形態に従ったパワースイッチ電圧クランプ機能を有する能動クランプ降圧コンバータ回路の回路図。

【図7】図6の回路の波形を示す図。

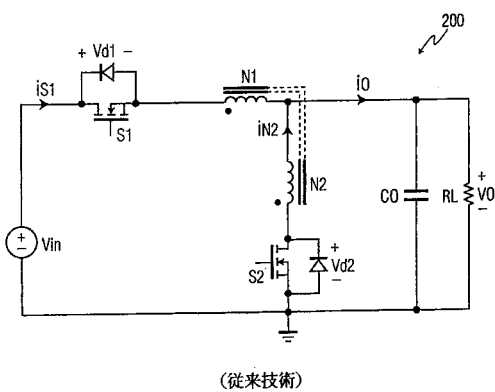
【図1】



【図3】



【図2】



【 図 4 】

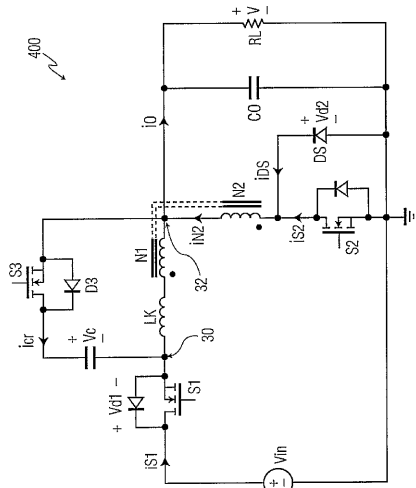
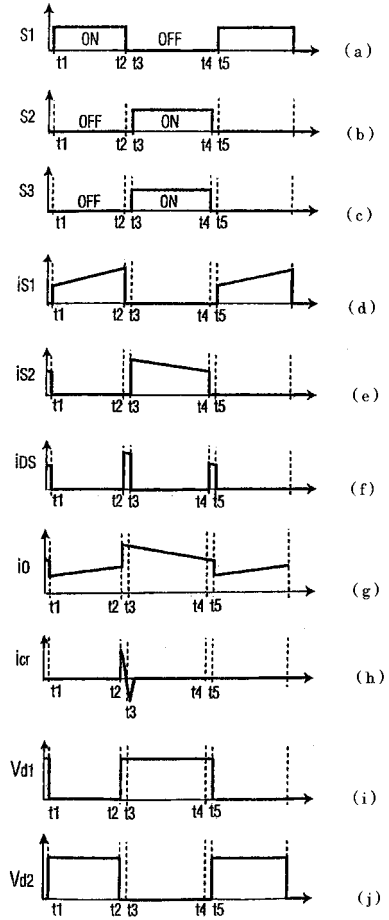


FIG. 4

【 図 5 】



【 図 6 】

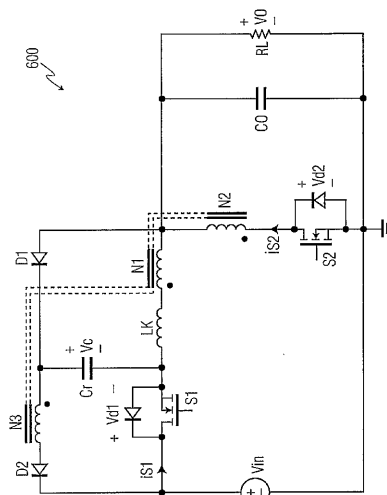
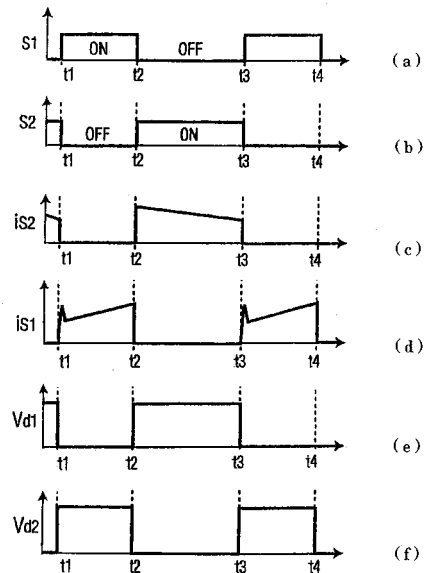


FIG. 6

【 図 7 】



フロントページの続き

(72)発明者 ジンロング、キアン
オランダ国5656、アーアー、アインドーフエン、プロフ・ホルストラーン、6

審査官 櫻田 正紀

(56)参考文献 米国特許第06069803(US, A)
米国特許第06097614(US, A)
米国特許第06239993(US, B1)
特開平09-233808(JP, A)
特開昭62-262655(JP, A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00-3/44