



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월22일
(11) 등록번호 10-0824455
(24) 등록일자 2008년04월16일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2006-0058085

(22) 출원일자 2006년06월27일

심사청구일자 2006년06월27일

(65) 공개번호 10-2007-0003590

(43) 공개일자 2007년01월05일

(30) 우선권주장

JP-P-2005-00193018 2005년06월30일 일본(JP)

(56) 선행기술조사문헌

KR1020000007604 A*

JP2004341101 A

KR1020020002258 A

KR1020040000211 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

세이코 웹슨 가부시키가이샤

일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자

고마쓰 후미카즈

일본 나가노肯 스와시 오와 3초메 3-5 세이코 웹슨가부시키가이샤 내

후루야 야스나리

일본 나가노Ken 스와시 오와 3초메 3-5 세이코 웹슨가부시키가이샤 내

(74) 대리인

백만기, 이중희, 장수길

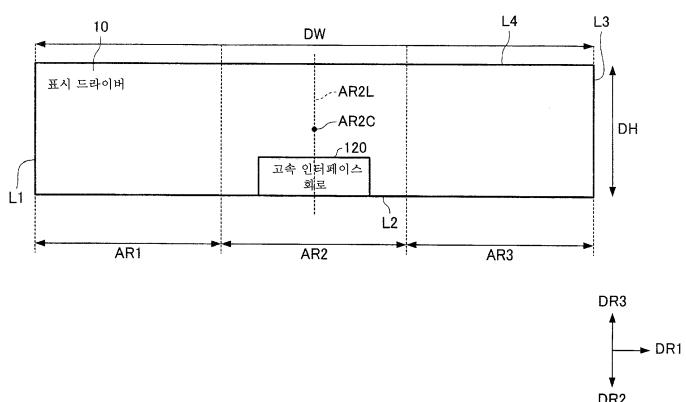
전체 청구항 수 : 총 16 항

심사관 : 이동윤

(54) 표시 드라이버

(57) 요약

고속 시리얼 전송의 신호 품질을 유지할 수 있는 표시 드라이버를 제공하는 것이다. 표시 드라이버(10)는, 표시 드라이버(10)의 단변인 제1 변(L1)으로부터 대향하는 제3 변(L3)으로 향하는 방향을 제1 방향(DR1)으로 하고, 표시 드라이버(10)의 장변인 제4 변(L4)으로부터 대향하는 제2 변(L2)으로 향하는 방향을 제2 방향(DR2)으로 하고, 제1 방향(DR1)을 따라 3 분할된 영역을 순서로 제1~제3 영역 AR1~AR3으로 한 경우에, 제1~제3 영역 AR1~AR3 중의 제2 영역(AR2)에 배치되며, 차동 신호를 이용한 시리얼 버스를 통하여 데이터 전송을 행하는 인터페이스 회로 블록(120)을 포함하고, 인터페이스 회로 블록(120)은, 복수의 입력 단자(PAD)가 형성되는 입력 단자 형성 영역(124)을 포함하고, 입력 단자 형성 영역(124)은, 인터페이스 회로 블록(120) 안으로서 제2 변(L2)측에 배치된다.

대표도 - 도1

특허청구의 범위

청구항 1

표시 드라이버의 단변인 제1 변으로부터 대향하는 제3 변으로 향하는 방향을 제1 방향으로 하고, 표시 드라이버의 장변인 제4 변으로부터 대향하는 제2 변으로 향하는 방향을 제2 방향으로 하고, 상기 제1 방향을 따라 3 등분된 영역을 순서로 제1~제3 영역으로 한 경우에,

상기 제1~제3 영역 중 상기 제2 영역에 배치되며, 차동 신호를 이용한 시리얼 버스를 통하여 데이터 전송을 행하는 인터페이스 회로 블록을 포함하고,

상기 인터페이스 회로 블록은, 복수의 입력 단자가 형성되는 입력 단자 형성 영역을 포함하고,

상기 입력 단자 형성 영역은, 상기 인터페이스 회로 블록 안으로서 상기 제2 변측에 배치되는 것을 특징으로 하는 표시 드라이버.

청구항 2

제1항에 있어서,

상기 제2 영역의 중심점을 지나 상기 제2 방향과 평행한 중심선과, 평면에서 보아 겹쳐지도록 상기 인터페이스 회로 블록이 설치되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 3

제1항에 있어서,

상기 입력 단자 형성 영역에는, 상기 복수의 입력 단자의 각각이 상기 제1 방향을 따라 소정의 간격으로 배치되며,

상기 입력 단자 형성 영역은, 상기 복수의 입력 단자의 각 입력 단자간의 영역으로서, 상기 복수의 입력 단자가 형성되지 않는 복수의 입력 단자간 영역을 포함하고,

상기 복수의 입력 단자간 영역 중 적어도 하나의 영역의 반도체층에는, 보호 회로가 설치되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 4

제3항에 있어서,

상기 복수의 입력 단자의 각각이 배치되어 있는 입력 단자 배치 영역의 반도체층에는, 상기 보호 회로가 형성되어 있지 않는 것을 특징으로 하는 표시 드라이버.

청구항 5

제3항에 있어서,

상기 복수의 입력 단자는, 차동 신호를 상기 인터페이스 회로 블록에 공급하기 위한 복수의 차동 신호용 입력 단자를 포함하고,

상기 복수의 입력 단자간 영역 중, 상기 복수의 차동 신호용 입력 단자 중 적어도 하나의 입력 단자에 인접하는 입력 단자간 영역의 반도체층에는, 보호 회로가 설치되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 6

제5항에 있어서,

상기 복수의 차동 신호용 입력 단자 중 적어도 하나의 차동 신호용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에 설치된 보호 회로는,

표시 드라이버용의 전원 공급선으로서, 제1 전원 전압을 공급하기 위한 제1 전원 공급선과, 상기 적어도 하나의 차동 신호용 입력 단자를 접속하는 것을 특징으로 하는 표시 드라이버.

청구항 7

제3항에 있어서,

상기 복수의 입력 단자는, 제1 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 제1 전원용 입력 단자를 포함하고,

상기 복수의 입력 단자간 영역 중, 상기 제1 전원용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에는, 보호 회로가 설치되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 8

제6항에 있어서,

상기 복수의 입력 단자는, 상기 제1 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 제1 전원용 입력 단자를 포함하고,

상기 복수의 입력 단자간 영역 중, 상기 제1 전원용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에는, 보호 회로가 설치되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 9

제7항에 있어서,

상기 제1 전원용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에 설치된 보호 회로는,

표시 드라이버용의 전원 공급선으로서, 상기 제1 전원 전압을 공급하기 위한 제1 전원 공급선과, 상기 제1 전원용 입력 단자를 접속하는 것을 특징으로 하는 표시 드라이버.

청구항 10

제7항 내지 제9항 중 어느 한 항에 있어서,

상기 복수의 입력 단자는, 상기 제1 전원 전압보다도 전압이 높은 제2 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 제2 전원용 입력 단자를 포함하고,

상기 복수의 입력 단자간 영역 중, 상기 제2 전원용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에는, 보호 회로가 설치되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 11

제10항에 있어서,

상기 제2 전원용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에 설치된 보호 회로는,

표시 드라이버용의 전원 공급선으로서, 상기 제1 전원 전압을 공급하기 위한 제1 전원 공급선과, 상기 제2 전원용 입력 단자간에 설치되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 12

제3항 내지 제9항 중 어느 한 항에 있어서,

상기 복수의 입력 단자는,

차동 신호를 상기 인터페이스 회로 블록에 공급하기 위한 복수의 차동 신호용 입력 단자와,

제1 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 복수의 제1 전원용 입력 단자와,

상기 제1 전원 전압보다도 전압이 높은 제2 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 복수의 제2 전원용 입력 단자와,

를 포함하고,

상기 제1 방향을 따라, 제1 전원용 입력 단자, 제2 전원용 입력 단자, 제2 전원용 입력 단자, 제1 전원용 입력 단자, 상기 복수의 차동 신호용 입력 단자, 제1 전원용 입력 단자, 제2 전원용 입력 단자, 제2 전원용 입력 단

자, 제1 전원용 입력 단자의 순서로 배치되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 13

제3항 내지 제9항 중 어느 한 항에 있어서,

상기 입력 단자 형성 영역은,

제1 전원 전압을 상기 인터페이스 회로로 블록에 공급하기 위한 복수의 제1 전원용 입력 단자 및 상기 제1 전원 전압보다도 전압이 높은 제2 전원 전압을 상기 인터페이스 회로로 블록에 공급하기 위한 복수의 제2 전원용 입력 단자가 배치되는 제1 및 제2 전원계 입력 단자 형성 영역과,

차동 신호를 상기 인터페이스 회로로 블록에 공급하기 위한 복수의 차동 신호용 입력 단자가 배치되는 차동 신호계 입력 단자 형성 영역

을 포함하고,

상기 차동 신호계 입력 단자 형성 영역은, 상기 제1 방향을 따라, 상기 제1 및 제2 전원계 입력 단자 형성 영역의 사이에 형성되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 14

제13항에 있어서,

상기 제1 및 제2 전원계 입력 단자 형성 영역의 각각에서는, 상기 제1 방향을 따라, 제1 전원용 입력 단자, 제2 전원용 입력 단자, 제2 전원용 입력 단자, 제1 전원용 입력 단자의 순서로 각 입력 단자가 배치되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 15

제3항 내지 제9항 중 어느 한 항에 있어서,

상기 인터페이스 회로로 블록은,

그 각각이 차동 신호를 수신하는 제1~제S 수신 회로와,

상기 제1~제S 수신 회로에 정전압을 공급하기 위한 바이어스 회로를 포함하고,

상기 제1 방향을 따라, 제1~제[S/2]([X]는 X를 초과하지 않는 최대의 정수) 수신 회로, 상기 바이어스 회로, 제([S/2]+1)~제S 수신 회로의 순서로 배치되어 있는 것을 특징으로 하는 표시 드라이버.

청구항 16

제15항에 있어서,

상기 인터페이스 회로로 블록은, 상기 제1~제S 수신 회로로부터의 신호를 처리하는 로직 회로를 포함하고,

표시 드라이버의 장면인 제2 변으로부터 대향하는 제4 변으로 향하는 방향을 제3 방향으로 한 경우에,

상기 로직 회로는, 상기 제1~제S 수신 회로의 상기 제3 방향측에 배치되어 있는 것을 특징으로 하는 표시 드라이버.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

<50>

[특허 문헌1] 특개 2001-222249호 공보

발명이 속하는 기술 및 그 분야의 종래기술

- <51> 본 발명은, 표시 드라이버에 관한 것이다.
- <52> 최근, EMI 노이즈의 저감 등을 목적으로 한 인터페이스로서 LVDS(Low Voltage Differential Signaling) 등의 고속 시리얼 전송의 인터페이스가 각광을 받고 있다. 이 고속 시리얼 전송에서는, 트랜스미터 회로가 시리얼화된 데이터를 차동 신호에 의해 송신하고, 리시버 회로가 차동 신호를 차동 증폭함으로써 데이터 전송을 실현한다.
- <53> 일반적인 휴대 전화는, 전화 번호 입력이나 문자 입력을 위한 버튼이 설치되는 제1 기기 부분과, 표시 패널이나 카메라가 설치되는 제2 기기 부분과, 제1, 제2 기기 부분을 접속하는 힌지 등의 접속 부분에 의해 구성된다. 따라서, 제1 기기 부분에 설치되는 제1 기판과, 제2 기기 부분에 설치되는 제2 기판 사이의 데이터 전송을, 차동 신호를 이용한 시리얼 전송에 의해 행하면, 접속 부분을 통하는 배선의 개수를 줄일 수 있어, 바람직하다.
- <54> 그런데, 액정 패널 등의 표시 패널을 구동하는 표시 드라이버로서 표시 드라이버(LCD 드라이버)가 있다. 그리고, 전술한 제1, 제2 기기 부분의 사이에서의 고속 시리얼 전송을 실현하기 위해서는, 시리얼 버스를 통하여 데이터 전송을 행하는 고속 인터페이스 회로를 표시 드라이버에 내장할 필요가 있다.
- <55> 그러나, 표시 드라이버의 표시 드라이버를 예를 들면 COG(Chip On Glass) 실장한 경우에, 외부 접속 단자인 범프에서의 접촉 저항이 원인으로 되어, 고속 시리얼 전송의 신호 품질이 열화한다는 문제가 판명되었다.
- <56> 또한, 표시 드라이버에서는, 저코스트화를 위해 칩 사이즈의 축소가 요구된다. 그러나, 휴대 전화기 등에 내장되는 표시 패널의 크기는 거의 일정하다. 따라서, 미세 프로세스를 채용하여, 표시 드라이버의 표시 드라이버를 단순하게 슈링크하여 칩 사이즈를 축소하려고 하면, 실장이 곤란하게 되는 등의 문제를 초래한다.
- ### 발명이 이루고자 하는 기술적 과제
- <57> 본 발명은, 이상과 같은 기술적 과제에 감안하여 이루어진 것으로, 그 목적은, 고속 시리얼 전송의 신호 품질을 유지할 수 있는 표시 드라이버를 제공하는 데 있다.
- ### 발명의 구성 및 작용
- <58> 본 발명은, 표시 드라이버의 단변인 제1 변으로부터 대향하는 제3 변으로 향하는 방향을 제1 방향으로 하고, 표시 드라이버의 장변인 제4 변으로부터 대향하는 제2 변으로 향하는 방향을 제2 방향으로 하고, 상기 제1 방향을 따라 3 분할된 영역을 순서로 제1~제3 영역으로 한 경우에, 상기 제1~제3 영역 중의 상기 제2 영역에 배치되고, 차동 신호를 이용한 시리얼 버스를 통하여 데이터 전송을 행하는 인터페이스 회로 블록을 포함하고, 상기 인터페이스 회로 블록은, 복수의 입력 단자가 형성되는 입력 단자 형성 영역을 포함하고, 상기 입력 단자 형성 영역은, 상기 인터페이스 회로 블록 안으로서 상기 제2 변측에 배치되는 표시 드라이버에 관한 것이다.
- <59> 이에 의해, 표시 드라이버를 예를 들면 COG 실장한 경우, 경년 변화 등에 의해 글래스 기판에 변형을 일으켰다고 하더라도, 범프의 접촉 저항의 변화의 영향이 적은 영역에 인터페이스 회로 블록이 배치되어 있기 때문에, 신호 열화가 적은 고속 데이터 전송이 가능하게 된다.
- <60> 또한, 본 발명에서는, 상기 제2 영역의 중심점을 지나 상기 제2 방향에 평행한 중심선과, 평면에서 보아 겹쳐지도록 상기 인터페이스 회로 블록이 설치되어도 된다.
- <61> 인터페이스 회로 블록은 표시 드라이버의 보다 중앙에 배치함으로써, 범프의 접촉 저항의 변화를 억제할 수 있기 때문에, 더욱 신호 열화가 적은 고속 데이터 전송이 가능하게 된다.
- <62> 또한, 본 발명에서는, 상기 입력 단자 형성 영역에는, 상기 복수의 입력 단자의 각각이 상기 제1 방향을 따라 소정의 간격으로 배치되며, 상기 복수의 입력 단자의 각 입력 단자간 영역으로서, 상기 복수의 입력 단자가 형성되지 않은 복수의 입력 단자간 영역을 포함하고, 상기 복수의 입력 단자간 영역 중 적어도 하나의 영역의 반도체층에는, 보호 회로가 설치되어도 된다.
- <63> 이와 같이 입력 단자간 영역의 반도체층에 보호 회로가 설치되어 있기 때문에, 인터페이스 회로 블록을 효율적으로 레이아웃할 수 있다. 즉, 인터페이스 회로 블록의 레이아웃 축소에 기여할 수 있다.
- <64> 또한, 본 발명에서는, 상기 복수의 입력 단자의 각각이 배치되어 있는 입력 단자 배치 영역의 반도체층에는, 상기 보호 회로가 형성되어 있지 않아도 된다.

- <65> 이렇게 함으로써, 표시 드라이버의 실장 형태에 의존하지 않고서, 인터페이스 회로 블록의 레이아웃의 설계가 가능하게 된다.
- <66> 또한, 본 발명에서는, 상기 복수의 입력 단자는, 차동 신호를 상기 인터페이스 회로 블록에 공급하기 위한 복수의 차동 신호용 입력 단자를 포함하고, 상기 복수의 입력 단자간 영역 중, 상기 복수의 차동 신호용 입력 단자 중 적어도 하나의 입력 단자에 인접하는 입력 단자간 영역의 반도체층에는, 보호 회로가 설치되어도 된다.
- <67> 이에 의해, 차동 신호용 입력 단자에 보호 회로를 설치할 수 있다. 또한, 그 접속 배선도 용이하게 된다.
- <68> 또한, 본 발명에서는, 상기 복수의 차동 신호용 입력 단자 중 적어도 하나의 차동 신호용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에 설치된 보호 회로는, 표시 드라이버용의 전원 공급선으로서, 제1 전원 전압을 공급하기 위한 제1 전원 공급선과, 상기 적어도 하나의 차동 신호용 입력 단자를 접속하도록 해도 된다.
- <69> 이에 의해, 차동 신호용 입력 단자에 예기치 않은 고전압이 공급된 경우에, 이 고전압을 제1 전원 공급선측에 공급할 수 있기 때문에, 고전압으로부터 내부 회로를 보호할 수 있다.
- <70> 또한, 본 발명에서는, 상기 복수의 입력 단자는, 제1 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 제1 전원용 입력 단자를 포함하고, 상기 복수의 입력 단자간 영역 중, 상기 제1 전원용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에는, 보호 회로가 설치되어도 된다.
- <71> 이에 의해, 제1 전원용 입력 단자에 보호 회로를 설치할 수 있다. 또한, 그 접속 배선도 용이하게 된다.
- <72> 또한, 본 발명에서는, 상기 제1 전원용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에 설치된 보호 회로는, 표시 드라이버용의 전원 공급선으로서, 상기 제1 전원 전압을 공급하기 위한 제1 전원 공급선과, 상기 제1 전원용 입력 단자를 접속하도록 하여도 된다.
- <73> 이에 의해, 상기 제1 전원용 입력 단자에 공급되는 전압이 불안정하게 되어도, 인터페이스 회로 블록의 내부에 안정된 전원을 공급할 수 있다.
- <74> 또한, 본 발명에서는, 상기 복수의 입력 단자는, 상기 제1 전원 전압보다도 전압이 높은 제2 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 제2 전원용 입력 단자를 포함하고, 상기 복수의 입력 단자간 영역 중, 상기 제2 전원용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에는, 보호 회로가 설치되어도 된다.
- <75> 이에 의해, 제2 전원용 입력 단자에 보호 회로를 설치할 수 있다. 또한, 그 접속 배선도 용이하게 된다.
- <76> 또한, 본 발명에서는, 상기 제2 전원용 입력 단자에 인접하는 입력 단자간 영역의 반도체층에 설치된 보호 회로는, 표시 드라이버용의 전원 공급선으로서, 상기 제1 전원 전압을 공급하기 위한 제1 전원 공급선과, 상기 제2 전원용 입력 단자간에 설치되어도 된다.
- <77> 이에 의해, 제2 전원용 입력 단자에 예기치 않은 고전압이 공급된 경우에, 이 고전압을 제1 전원 공급선측에 공급할 수 있기 때문에, 고전압으로부터 내부 회로를 보호할 수 있다.
- <78> 또한, 본 발명에서는, 상기 복수의 입력 단자는, 차동 신호를 상기 인터페이스 회로 블록에 공급하기 위한 복수의 차동 신호용 입력 단자와, 제1 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 복수의 제1 전원용 입력 단자와, 상기 제1 전원 전압보다도 전압이 높은 제2 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 복수의 제2 전원용 입력 단자를 포함하고, 상기 제1 방향을 따라, 제1 전원용 입력 단자, 제2 전원용 입력 단자, 제2 전원용 입력 단자, 제1 전원용 입력 단자, 상기 복수의 차동 신호용 입력 단자, 제1 전원용 입력 단자, 제2 전원용 입력 단자, 제2 전원용 입력 단자, 제1 전원용 입력 단자의 순서로 배치되어도 된다.
- <79> 이와 같이, 복수의 차동 신호용 입력 단자를 제1 전원용 입력 단자 사이에 끼워으로써, 외부로부터의 노이즈 대책이 가능하게 된다.
- <80> 또한, 본 발명에서는, 상기 입력 단자 형성 영역은, 제1 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 복수의 제1 전원용 입력 단자 및 상기 제1 전원 전압보다도 전압이 높은 제2 전원 전압을 상기 인터페이스 회로 블록에 공급하기 위한 복수의 제2 전원용 입력 단자가 배치되는 제1 및 제2 전원계 입력 단자 형성 영역과, 차동 신호를 상기 인터페이스 회로 블록에 공급하기 위한 복수의 차동 신호용 입력 단자가 배치되는 차동 신호계 입력 단자 형성 영역을 포함하고, 상기 차동 신호계 입력 단자 형성 영역은, 상기 제1 방향을 따라, 상기 제1 및 제2 전원계 입력 단자 형성 영역의 사이에 설치되어도 된다.
- <81> 또한, 본 발명에서는, 상기 제1 및 제2 전원계 입력 단자 형성 영역의 각각에서는, 상기 제1 방향을 따라, 제1

전원용 입력 단자, 제2 전원용 입력 단자, 제2 전원용 입력 단자, 제1 전원용 입력 단자의 순서로 각 입력 단자가 배치되어도 된다.

<82> 또한, 본 발명에서는, 상기 인터페이스 회로 블록은, 그 각각이 차동 신호를 수신하는 제1~제S 수신 회로와, 상기 제1~제S 수신 회로에 정전압을 공급하기 위한 바이어스 회로를 포함하고, 상기 제1 방향을 따라, 제1~제[S/2]([X]는 X를 초과하지 않는 최대의 정수) 수신 회로, 상기 바이어스 회로, 제([S/2]+1)~제S 수신 회로의 순서로 배치되어도 된다.

<83> 이와 같이, 수신 회로와 바이어스 회로를 배치함으로써, 바이어스 회로는 각 수신 회로에 균등하게 정전압을 공급할 수 있다.

<84> 또한, 본 발명에서는, 상기 인터페이스 회로 블록은, 상기 제1~제S 수신 회로로부터의 신호를 처리하는 로직 회로를 포함하고, 표시 드라이버의 장변인 제2 변으로부터 대향하는 제4 변으로 향하는 방향을 제3 방향으로 한 경우에, 상기 로직 회로는, 상기 제1~제S 수신 회로의 상기 제3 방향측에 배치되어도 된다.

<85> 이와 같이 레이아웃함으로써, 각 입력 단자로부터 공급되는 신호가 직선적으로 자연스럽게 로직 회로에 흐르기 때문에, 특성이 좋은 인터페이스 회로 블록을 얻을 수 있다.

[발명을 실시하기 위한 최량의 형태]

<87> 이하, 본 발명의 일 실시예에 대하여, 도면을 참조하여 설명한다. 또한, 이하에 설명하는 실시예는, 특히 청구의 범위에 기재된 본 발명의 내용을 부당하게 한정되는 것은 아니다. 또한 이하에 설명되는 구성의 전부가 본 발명의 필수 구성 요건이라고 한정하지는 않는다. 또한, 이하의 도면에 있어서 동일 부호의 것은 마찬가지의 의미를 나타낸다.

1. 표시 드라이버

1. 1. 고속 인터페이스 회로의 배치

<90> 도 1은, 표시 드라이버(10)를 나타내는 도면이다. 표시 드라이버(10)는, 그 단변(DH)이, 그 장변(DW)보다도 충분히 짧은 단변 슬림한 형상의 접적회로이다. 각 제1~제3 영역 AR1~AR3은, 표시 드라이버(10)의 장변(DW)을 방향 DR1에 있어서 3 분할함으로써 얻어진다. 또한, 각 제1~제3 영역 AR1~AR3은, 표시 드라이버(10)의 장변(DW)을 방향 DR1에 있어서 3 등분하도록 하여도 된다. 고속 인터페이스 회로(120)(광의로는 인터페이스 회로 블록)는, 표시 드라이버(10)의 제2 영역(AR2)의 제2 변(L2)측에 배치되어 있다. 또한, 고속 인터페이스 회로(120)는, 제2 영역(AR2)의 중심점(AR2C)을 지나, 방향 DR2에 평행한 중심선(AR2L)과 평면에서 보아 겹쳐지도록 표시 드라이버(10)에 배치되어 있다.

<91> 또한, 방향 DR1(광의로는 제1 방향)은 표시 드라이버(10)의 제1 변(L1)으로부터 제3 변(L3)으로 향하는 방향이며, 방향 DR2(광의로는 제2 방향)는 표시 드라이버(10)의 제4 변(L4)으로부터 제2 변(L2)으로 향하는 방향이며, 방향 DR3(광의로는 제3 방향)은 표시 드라이버(10)의 제2 변(L2)으로부터 제4 변(L4)으로 향하는 방향이다.

<92> 도 2의 (A)는, 표시 드라이버(10)를 글래스 기판(11)에 COG(Chip On Glass) 실장했을 때의 모습을 도시하고 있다. COG 실장에서는, 금 범프 등이 형성된 표시 드라이버(10)의 칩이, 표시 패널의 글래스 기판(11)에 직접 페이스 다운으로 실장된다. 이렇게 함으로써, LCD 모듈의 두께를 LCD 글래스의 두께까지 얇게 할 수 있다.

<93> 그런데, 이러한 COG 실장 등을 행한 경우에, 표시 드라이버(10)의 양단부의 범프에서의 접촉 저항이 상승한다고 하는 문제가 판명되었다. 즉 표시 드라이버(10)와 글래스 기판(11)의 열팽창 계수는 상이하다. 따라서, 열팽창 계수의 차에 의해 발생하는 응력(열 스트레스)은, E1, E2로 나타내는 표시 드라이버(10)의 양단부쪽이, E3으로 나타내는 중앙부보다도 커진다. 이 때문에, E1, E2로 나타내는 양단부에서는, 범프에서의 접촉 저항이 시간 경과에 따라서 상승한다. 예를 들면 도 2의 (C)에 도시한 바와 같이 10년의 경시 변화에 상당하는 300 사이클의 온도 사이클 시험을 행한 경우에, 도 2의 (B)의 E3으로 나타내는 중앙부에서의 접촉 저항은, 도 2의 (C)의 F2에 도시한 바와 같이 5오옴으로부터 7오옴 정도로 밖에 상승하지 않는다. 이에 대하여, 도 2의 (B)의 E1, E2로 나타내는 양단부에서의 접촉 저항은, 도 2의 (C)의 F1로 나타낸 바와 같이 20오옴 정도로 상승하게 된다. 특히 도 1에 도시한 바와 같이 표시 드라이버(10)가 슬림하며 가늘고 길어 질수록, 양단부와 중앙부의 응력의 차는 커져, 양단부의 범프에서의 접촉 저항의 상승도 커진다.

<94> 그런데, 고속 인터페이스 회로에서는, 신호의 반사를 방지하기 위하여 송신측과 수신측에서 임피던스 정합을 취하고 있다. 그러나, 고속 인터페이스 회로의 패드(DATA+, DATA- 등)로서, 예를 들면 표시 드라이버(10)의 양단

부의 범프에 접속되는 패드를 사용하면, F1로 나타내는 범프에서의 접촉 저항의 상승에 의해서, 임피던스 정합이 무너져 버린다. 이 결과, 고속 시리얼 전송의 신호 품질이 열화하는 문제가 발생한다.

<95> 본 실시예는, 도 1에 도시한 바와 같이 고속 인터페이스 회로(120)가 표시 드라이버(10)의 제2 영역(AR2)에 배치되어 있기 때문에, 상기한 바와 같은 문제점을 해결할 수 있다. 이와 같이 하면, 고속 인터페이스 회로(120)는, 표시 드라이버(10)의 양단에 배치되지 않게 된다. 따라서 도 2의 (C)의 F1로 나타내는 바와 같은 접촉 저항의 상승을 원인으로 하는 임피던스 부정합을 저감할 수 있어, 고속 시리얼 전송의 신호 품질의 열화를 저감할 수 있다.

<96> 그리고 접촉 저항의 상승을 최소한으로 억제하여, 신호 품질의 향상을 꾀하기 위해서는, 고속 인터페이스 회로(120)는, 도 1에 도시한 바와 같이 중심선 (AR2L)에 평면에서 보아 겹쳐지도록 배치되는 것이 바람직하다. 이렇게 하면, 고속 인터페이스 회로(120)가, 표시 드라이버(10)의 중앙 부근에 배치되도록 된다. 따라서, 범프 등에서의 접촉 저항이 도 2의 (C)의 F2로 나타내는 바와 같은 특성으로 되어, 접촉 저항의 상승을 원인으로 하는 임피던스 부정합을 더욱 억제할 수 있다.

<97> 또한, 고속 인터페이스 회로(120)측에서 임피던스 정합을 조정 가능한 경우나, 범프 접촉점의 저항값의 변화에 기초하는 임피던스 부정합의 영향을 그다지 고려하지 않아도 되는 경우에는, 고속 인터페이스 회로(120)는, 표시 드라이버(10)의 제1 또는 제3 영역(AR1, AR3)에 배치되어도 된다.

<98> 또한 고속 인터페이스 회로(120)에 접속되는 입력 단자(DATA+/-, STB+/-, CLK+/-, 전원 등의 패드)는, 표시 드라이버(10)의 제2 변(L2)측의 영역에 배치할 수 있다. 이를 입력 단자(패드)의 패드 사이의 빈 영역에는, 보호 소자(보호 트랜지스터) 등을 배치할 수 있다.

<99> 1. 2. 표시 드라이버의 회로 구성

<100> 도 3에 표시 드라이버(10)의 회로 구성예를 나타낸다. 또한 표시 드라이버(10)의 회로 구성은 도 3에 한정되는 것이 아니라, 여러 가지의 변형 실시가 가능하다. 메모리(20)(표시 데이터 RAM)는 화상 데이터를 기억한다. 메모리 셀 어레이(22)는 복수의 메모리 셀을 포함하고, 적어도 1 프레임(1화면)분의 화상 데이터(표시 데이터)를 기억한다. 이 경우, 1 화소는 예를 들면 R, G, B의 3 서브 픽셀(3 도트)로 구성되고, 각 서브 픽셀에 대하여 예를 들면 6 비트(k 비트)의 화상 데이터가 기억된다. 로우 어드레스 디코더(24)(MPU/LCD 로우 어드레스 디코더)는 로우 어드레스에 대한 디코드 처리를 행하여, 메모리 셀 어레이(22)의 워드선의 선택 처리를 행한다. 컬럼 어드레스 디코더(26)(MPU 컬럼 어드레스 디코더)는 컬럼 어드레스에 대한 디코드 처리를 행하여, 메모리 셀 어레이(22)의 비트선의 선택 처리를 행한다. 라이트/ 리드 회로(28)(MPU 라이트/ 리드 회로)는 메모리 셀 어레이(22)에의 화상 데이터의 라이트 처리나, 메모리 셀 어레이(22)로부터의 화상 데이터의 리드 처리를 행한다. 또한 메모리 셀 어레이(22)의 액세스 영역은, 예를 들면 스타트 어드레스와 엔드 어드레스를 쌍 정점으로 하는 사각형으로 정의된다. 즉 스타트 어드레스의 컬럼 어드레스 및 로우 어드레스와, 엔드 어드레스의 컬럼 어드레스 및 로우 어드레스에 의해 액세스 영역이 정의되어, 메모리 액세스가 행해진다.

<101> 로직 회로(40)(자동 배치 배선 회로)는, 표시 타이밍을 제어하기 위한 제어 신호나 데이터 처리 타이밍을 제어하기 위한 제어 신호 등을 생성한다. 이 로직 회로(40)는 게이트 어레이(G/A) 등의 자동 배치 배선에 의해 형성할 수 있다. 제어 회로(42)는 각종 제어 신호를 생성하거나, 장치 전체의 제어를 행한다. 구체적으로는 계조 전압 생성 회로(110)에 계조 특성(y 특성)의 조정 데이터(y 보정 데이터)를 출력하거나, 전원 회로(90)의 전압 생성을 제어한다. 또한 로우 어드레스 디코더(24), 컬럼 어드레스 디코더(26), 라이트/ 리드 회로(28)를 이용한 메모리에의 라이트/리드 처리를 제어한다. 표시 타이밍 제어 회로(44)는 표시 타이밍을 제어하기 위한 각종 제어 신호를 생성하고, 메모리로부터 표시 패널측에의 화상 데이터의 판독을 제어한다. 호스트(MPU) 인터페이스 회로(46)는, 호스트로부터의 액세스마다 내부 펄스를 발생하여 메모리에 액세스하는 호스트 인터페이스를 실현한다. RGB 인터페이스 회로(48)는, 도트 클럭에 의해 동화상의 RGB 데이터를 메모리에 기입하는 RGB 인터페이스를 실현한다. 또한 호스트 인터페이스 회로(46), RGB 인터페이스 회로(48) 중 어느 한쪽만을 설치하는 구성으로 하여도 된다.

<102> 고속 인터페이스 회로(120)는, 시리얼 버스를 통한 고속 시리얼 전송을 실현한다. 구체적으로는, 시리얼 버스의 차동 신호선을 전류 구동 또는 전압 구동함으로써, 호스트(호스트 디바이스)와의 사이에서 고속 시리얼 전송이 실현된다.

<103> 도 3에서, 고속 인터페이스 회로(120), 호스트 인터페이스 회로(46), RGB 인터페이스 회로(48)로부터는 1 화소 단위로 메모리(20)에의 액세스가 행하여진다. 한편, 데이터 드라이버(50)에는, 고속 인터페이스 회로(120), 호

스트 인터페이스 회로(46), RGB 인터페이스 회로(48)와는 독립된 내부 표시 타이밍에 의해, 라인 주기마다, 라인 어드레스에 의해 지정되어 라인 단위로 판독된 화상 데이터가 보내진다.

<104> 데이터 드라이버(50)는 표시 패널의 데이터선을 구동하기 위한 회로이다. 구체적으로는 계조 전압 생성 회로(110)로부터 복수(예를 들면 64 단계)의 계조 전압(기준 전압)을 받고, 이것들의 복수의 계조 전압중에서, 디지털의 화상 데이터에 대응하는 전압을 선택하여, 데이터 전압으로서 출력한다.

<105> 주사 드라이버(70)는 표시 패널의 주사선을 구동하기 위한 회로이다. 전원 회로(90)는 각종 전원 전압을 생성하는 회로이다. 계조 전압 생성 회로(보정 회로)(110)는 계조 전압을 생성하는 회로이다.

1. 3. 고속 인터페이스 회로의 회로 구성

<107> 도 3의 고속 인터페이스 회로(시리얼 인터페이스 회로)(120)는, 차동 신호를 이용한 시리얼 버스(고속 시리얼 버스)를 통하여 데이터 전송을 행하는 회로이며, 도 4의 (A)에 그 구성예를 나타낸다.

<108> 트랜시버(130)는, 차동 신호(차동 데이터 신호, 차동 스트로브 신호, 차동 클럭 신호)를 이용하여 시리얼 버스를 통하여 패킷(커맨드, 데이터)을 수신하거나, 송신하기 위한 회로이다. 구체적으로는 시리얼 버스의 차동 신호선을 전류 구동 또는 전압 구동함으로써 패킷의 송수신이 행하여진다. 이 트랜시버(130)는, 차동 신호선을 구동하는 물리층 회로(아날로그 프론트 앤드 회로)나 고속 로직 회로(시리얼/패러렐 변환 회로, 패러렐/시리얼 변환 회로) 등을 포함할 수 있다. 또한 시리얼 버스의 인터페이스 규격으로서는, 예를 들면 MDDI(Mobile Display Digital Interface) 규격 등을 채용할 수 있다. 또한 시리얼 버스의 차동 신호선은 다채널 구성이어도 된다. 또한 트랜시버(130)는, 리시버 회로와 트랜스미터 회로 중 적어도 한쪽을 포함하는 것으로, 예를 들면 트랜스미터 회로를 포함하지 않는 구성으로 하여도 된다.

<109> 링크 컨트롤러(150)는, 물리층의 상층인 링크층이나 트랜잭션층의 처리를 행한다. 구체적으로는, 시리얼 버스를 통하여 호스트(호스트 디바이스)로부터 트랜시버(130)가 패킷을 수신한 경우에는, 수신한 패킷을 해석한다. 즉 수신한 패킷의 헤더와 데이터를 분리하여, 헤더를 추출한다. 또한 링크 컨트롤러(150)는, 시리얼 버스를 통하여 호스트에 패킷을 송신하는 경우에는, 그 패킷의 생성 처리를 행한다. 구체적으로는, 송신하는 패킷의 헤더를 생성하고, 헤더와 데이터를 결합하여 패킷을 조립한다. 그리고 생성한 패킷의 송신을, 트랜시버(130)에 지시한다.

<110> 드라이버 I/F 회로(160)는, 고속 인터페이스 회로(120)와 표시 드라이버의 내부 회로 사이의 인터페이스 처리를 행한다. 구체적으로는 드라이버 I/F 회로(160)는, 어드레스 신호(A0), 라이트 신호(WR), 리드 신호(RD), 패러렐 데이터 신호(PDATA), 칩 셀렉트 신호(CS) 등을 포함하는 호스트 인터페이스 신호를 생성하고, 표시 드라이버의 내부 회로(호스트 인터페이스 회로(46))에 출력한다.

<111> 구체적으로는 도 4의 (A)의 고속 인터페이스 회로(120) 중, 물리층의 회로인 트랜시버(130)를 고속 인터페이스 회로(120)에 포함시키고, 물리층의 상층(링크층, 트랜잭션층, 어플리케이션층)의 회로인 링크 컨트롤러(150)나 드라이버 I/F 회로(160)를 로직 회로(40)에 포함시킨다. 즉, 고속 인터페이스 회로(120)에는 트랜시버(130)만 설치하고, 링크 컨트롤러(150) 및 드라이버 I/F 회로(160)를 외부의 회로에 설치한다. 이와 같이 하면, 링크 컨트롤러(150)나 드라이버 I/F 회로(160)를, 예를 들면 게이트 어레이 등의 자동 배치 배선 방법에 의해 임플리먼트 할 수가 있어, 설계를 효율화할 수 있다. 또한 트랜시버(130)가 포함하는 고속 로직 회로(시리얼/패러렐 변환 회로 등)의 일부 또는 전부를 로직 회로(40)에 포함시켜도 된다.

<112> 도 4의 (B)에 트랜시버(130)의 구성예를 나타낸다. 데이터용의 리시버 회로(250)는 차동 데이터 신호 DATA+, DATA-를 수신한다. 그리고 리시버 회로(250)는, DATA+, DATA-의 신호선간에 설치된 도시하지 않은 저항 소자의 양단에 발생하는 전압을 증폭하여, 얻어진 시리얼 데이터(SDATA)를 후단의 패러렐 변환 회로(254)에 출력한다. 클럭용 리시버 회로(252)는 차동 클럭 신호 CLK+, CLK-를 수신한다. 그리고 리시버 회로(252)는, CLK+, CLK-의 신호선간에 설치된 도시하지 않은 저항 소자의 양단에 발생하는 전압을 증폭하여, 얻어진 클럭 CLK을 후단의 PLL 회로(256)에 출력한다. 시리얼/패러렐 변환 회로(254)는, 데이터용 리시버 회로(250)로부터의 시리얼 데이터(SDATA)를 샘플링하여, 패러렐 데이터(PDATA)로 변환하여 출력한다. PLL(Phase Locked Loop)회로(256)는, 클럭용 리시버 회로(252)에 의해 수신된 클럭 CLK에 기초하여, 데이터용 리시버 회로(250)에 의해 수신된 데이터를 샘플링하기 위한 샘플링 클럭(SCK)을 생성한다. 구체적으로는 PLL 회로(256)는, 샘플링 클럭(SCK)으로서, 주파수가 동일하고 위상이 서로 다른 다상의 샘플링 클럭을, 시리얼/패러렐 변환 회로(254)에 출력한다. 그리고 시리얼/패러렐 변환 회로(254)는, 이 다상의 샘플링 클럭을 이용하여, 시리얼 데이터(SDATA)를 샘플링하여, 패러렐 데이터(PDATA)를 출력한다. 바이어스 회로(258)는, 바이어스 전류를 제어하기 위한 바이어스 전압(VB1,

VB2)을 생성하여 리시버 회로(250), (252)에 공급한다.

<113> 또 트랜시버의 구성은 도 4의 (B)에 한정되지 않고, 예를 들면 도 5의 (A), 도 5의 (B)에 도시하는 바와 같은 여러 가지의 변형 실시가 가능하다.

<114> 예를 들면 도 5의 (A)의 제1 변형예에 있어서, DTO+, DTO-, 호스트측의 트랜스미터 회로(242)가 타깃측의 리시버 회로(232)에 출력하는 차동 데이터 신호(OUT 데이터)이다. CLK+, CLK-는, 호스트측의 트랜스미터 회로(244)가 타깃측의 리시버 회로(234)에 출력하는 차동 클럭 신호이다. 호스트측은 CLK+/-의 엣지에 동기하여 DTO+/-를 출력한다. 따라서 타깃측은, CLK+/-를 이용하여 DTO+/-를 샘플링하여 취득할 수 있다. 또한 도 5의 (A)에서는, 타깃측은 호스트측으로부터 공급된 클럭 CLK+/-에 기초하여 동작한다. 즉 CLK+/-은 타깃측의 시스템 로크로 된다. 이 때문에 PLL 회로(249)는 호스트측에 설치되고, 타깃측에는 설치되어 있지 않는다.

<115> DTI+, DTI-는 타깃측의 트랜스미터 회로(236)가 호스트측의 리시버 회로(246)에 출력하는 차동 데이터 신호(IN 데이터)이다. STB+, STB-는, 타깃측의 트랜스미터 회로(238)가 호스트측의 리시버 회로(248)에 출력하는 차동 스트로브 신호이다. 타깃측은 호스트측으로부터 공급된 CLK+/-에 기초하여 STB+/-를 생성하여 출력한다. 그리고 타깃측은 STB+/-의 엣지에 동기하여 DTI+/-를 출력한다. 따라서 호스트측은, STB+/-를 이용하여 DTI+/-를 샘플링하여 취득할 수 있다.

<116> 또한 도 5의 (B)의 제2 변형예는 MDDI 규격에 준거한 트랜시버의 예이다. 도 5의 (B)에서, 트랜시버(140)는 호스트 디바이스에 내장되며, 트랜시버(130)는 표시 드라이버에 내장된다. 또한 136, 142, 144는 트랜스미터 회로이며, 132, 134, 146은 리시버 회로이다. 또한 138, 148은 웨이크 업 검출 회로이다. 호스트측의 트랜스미터 회로(142)는 차동 스트로브 신호 STB+/-를 구동한다. 그리고 클라이언트측의 리시버 회로(132)는, 구동에 의해 저항 RT1의 양단에 발생한 전압을 증폭하여, 스트로브 신호 STB_C를 후단의 회로에 출력한다. 또한 호스트측의 트랜스미터 회로(144)는 데이터 신호 DATA+/-를 구동한다. 그리고 클라이언트측의 리시버 회로(134)는, 구동에 의해 저항 RT2의 양단에 발생한 전압을 증폭하여, 데이터 신호 DATA_C_HC를 후단의 회로에 출력한다. 도 5의 (C)에 도시한 바와 같이 송신측은, 데이터 신호(DATA)와 클럭 신호(CLK)의 배타적 논리합을 취함으로써 스트로브 신호(STB)를 생성하고, 이 STB를 고속 시리얼 버스를 통하여 수신측에 송신한다. 그리고 수신측은, 수신한 데이터 신호(DATA)와 스트로브 신호(STB)의 배타적 논리합을 취함으로써 클럭 신호(CLK)를 재생한다.

<117> 2. 고속 인터페이스 회로의 레이아웃 구성

<118> 2. 1. 입력 단자 형성 영역 및 회로 형성 영역

<119> 도 6의 (A)~도 6의 (C)는, 고속 인터페이스 회로(120)의 입력 단자 형성 영역(124)을 나타내는 도면이다. 도 6의 (A)에 도시한 바와 같이 고속 인터페이스 회로(120)에서, 표시 드라이버(10)의 제2 변(L2)측에 입력 단자 형성 영역(124)이 설정되고, 입력 단자 형성 영역(124)의 방향 DR3측에 회로 형성 영역(122)이 설정되어 있다.

<120> 입력 단자 형성 영역(124)에는, 고속 인터페이스 회로(120)의 내부 회로에 접속되는 복수의 입력 단자가 방향 DR1을 따라 배치된다. 회로 형성 영역(122)에는, 후술하는 차동 신호를 수신하는 수신 회로나, 수신 회로에 정전압을 공급하는 바이어스 회로나, 수신 회로로부터의 신호 처리를 행하는 로직 회로 등이 형성된다.

<121> 본 실시예에 있어서 고속 인터페이스 회로(120)는, 예를 들면 5층의 금속 배선층으로 형성된다. 이 경우, 복수의 입력 단자는, 최상층의 제5 금속 배선층(ALE)에 형성된다.

<122> 또한, 도 6의 (B)에 도시한 바와 같이, 입력 단자 형성 영역(124)에는, 예를 들면 4개의 표시 드라이버(10)용의 전원 공급선 DRVSS(광의로는 제1 전원 공급선), DRVDD1~DRVDD3이 형성되어 있다. 전원 공급선(DRVSS)은 표시 드라이버(10)용의 전원 전압(VSS)(광의로는 제1 전원 전압)을 표시 드라이버(10) 내에서 공급하기 위한 전원 공급선이다. 마찬가지로, 전원 공급선 DRVDD1~DRVDD3은, 각각 표시 드라이버(10)에 필요한 전원 전압(전원 전압 VSS보다도 높은 전압)을 공급하기 위한 전원 공급선이다.

<123> 이들 전원 공급선 DRVSS, DRVDD1~DRVDD3은, 방향 DR1을 따라 연장 형성되고, 특히 전원 공급선(DRVSS)은 입력 단자 형성 영역(124)내의 회로 형성 영역(122)측에 형성되어 있다. 이와 같이 전원 공급선(DRVSS)을 회로 형성 영역(122)에 형성함으로써, 전원 공급선(DRVSS)과, 후술하는 디커플링 콘덴서, 보호 회로 등과의 접속을 간소화 할 수 있기 때문에, 효율이 좋은 레이아웃이 가능하게 된다.

<124> 또한, 이들 전원 공급선 DRVSS, DRVDD1~DRVDD3은, 복수의 입력 단자(PAD)의 하층에 형성된다. 전원 공급선 DRVSS, DRVDD1~DRVDD3은, 예를 들면 도 6의 (C)에 도시한 바와 같이 제3 금속 배선층(ALC)에 형성되지만, 이것

에 한정되지 않는다. 전원 공급선 DRVSS, DRVDD1~DRVDD3은 예를 들면 제2 금속 배선층(ALB)에 형성되어도 된다.

<125> 2. 각 회로의 레이아웃

도 7은, 고속 인터페이스 회로(120)의 각 회로의 레이아웃을 도시하는 도면이다. 도 7에 도시한 바와 같이 디커플링 콘덴서(DCC)가 고속 인터페이스 회로(120)의 제1 변(LS1)측 및 제3 변(LS3)측에 설치되어 있다. 이 디커플링 콘덴서(DCC)는, 후술하지만 전원 공급선(DRVSS)에 접속되고, 고속 인터페이스 회로(120)의 전원계가 예를 들면 표시 드라이버(10)의 전원 공급선 DRVDD1~DRVDD3으로부터 노이즈 등의 영향을 받더라도, 고속 인터페이스 회로(120)의 전원 전압을 안정시킬 수 있다. 또한, 디커플링 콘덴서(DCC)를, 아날로그용 디커플링 콘덴서와, 로직용 디커플링 콘덴서로 각각 설치하는 것이 바람직하다. 디커플링 콘덴서(DCC)를 아날로그용과 로직용으로 나눔으로써 아날로그 회로와 로직 회로(디지털 회로) 사이에서의 노이즈 전파를 감소시킬 수 있다. 또한, 디커플링 콘덴서(DCC)는, 도 7에 한정되지 않고, 회로 형성 영역(122)내의 비어 있는 영역에 설치하도록 할 수 있다. 디커플링 콘덴서(DCC)는, 용량이 클수록, 고속 인터페이스 회로(120)내의 전원이 안정된다.

<127> 또한, 회로 형성 영역(122)에는, 중심선(SCL)과 평면에서 보아 겹쳐지도록 바이어스 회로(128)가 설치되어 있다. 바이어스 회로(128)는, 수신 회로 RX1~RX4(광의로는 제1~제S 수신 회로)에 정전압을 공급하는 회로이며, 예를 들면 도 4의 (B)의 바이어스 회로(258)에 상당한다.

<128> 또한, 바이어스 회로(128)의 양측에는, 방향 DR1을 따라 수신 회로 RX1~RX4가 배치되어 있다. 각 수신 회로 RX1, RX3, RX4는 예를 들면 도 4의 (B)의 리시버 회로(250)에 상당하여, 수신 회로 RX2는 도 4의 (B)의 리시버 회로(252)에 상당한다.

<129> 또한, 중심선(SCL)은 방향 DR2과 평행하고, 또한, 고속 인터페이스 회로(120)의 제2 변(LS2)(또는, 제4 변(LS4))의 중점을 통과하는 고속 인터페이스 회로(120)의 중심선이다. 이와 같이, 바이어스 회로(128)를 고속 인터페이스 회로(120)의 중심에 배치함으로써, 복수의 수신 회로 RX1~RX4에 균등하게 정전압을 공급할 수 있다. 이에 의해, 수신 회로 RX1~RX4와 바이어스 회로(128)와의 배선 길이의 차이가 완화되어, 배선 길이의 차이에 기인하는 신호의 지연이나, 배선 저항의 차이에 의해서 발생하는 공급 전압의 변동 등을 완화할 수 있다. 즉, 신호 특성이 좋은 고속 인터페이스 회로(120)를 실현할 수 있다.

<130> 또한, 수신 회로 RX1~RX4, 바이어스 회로(128)의 방향 DR3측에는, 로직 회로(126)가 설치되어 있다. 로직 회로(126)는, 각 수신 회로 RX1~RX4로부터의 신호를 처리하여, 상층의 회로(예를 들면 링크 컨트롤러(150) 등)에 처리한 신호를 공급한다.

<131> 도 7과 같이, 각 회로를 레이아웃함으로써, 고속 인터페이스 회로(120)의 단변의 길이(SH)를 짧게 할 수 있다.

<132> 2. 3. 입력 단자 형성 영역과 보호 회로

<133> 도 8의 (A)는, 입력 단자 형성 영역(124)의 일부를 나타낸다. 복수의 입력 단자(PAD)가 방향 DR1을 따라 배치되어 있다. 본 실시예에서는 예를 들면 1개의 신호를 받기 위하여 2개의 입력 단자(PAD)를 이용하고 있다. 이와 같이 2개의 입력 단자(PAD)에서 1개의 신호를 받는 구조(더블 패드)에 의해서, 2개의 입력 단자(PAD)가 배치되는 입력 단자 배치 영역(ARIN)의 방향 DR1에서의 폭이 넓게 된다. 이에 의해, 제품의 검사 등에 있어서 프로브 카드의 접촉이 용이하게 되어, 검사 효율의 향상을 기대할 수 있다. 또한, 입력 단자 배치 영역(ARIN)의 방향 DR1에서의 폭이 넓기 때문에, 제품의 검사에서, 복수의 검사침을 접촉시킬 수 있기 때문에, 예를 들면 사단자 측정법 등을 이용하여 측정 정밀도를 높일 수 있다.

<134> 입력 단자 배치 영역(ARIN)과 입력 단자 배치 영역(ARIN) 사이에는, 입력 단자간 영역(ARBE)이 설정되어 있다. 이 입력 단자간 영역(ARBE)은, 입력 단자(PAD)가 형성되지 않는 영역이다. 이 입력 단자간 영역(ARBE)의 하층의 반도체층에는, 보호 회로(ESD)가 형성되어 있다.

<135> 이와 같이 입력 단자 형성 영역(124)에 보호 회로(ESD)를 형성할 수 있기 때문에, 회로 형성 영역(122)을 유효하게 이용할 수가 있어, 고속 인터페이스 회로(120)의 레이아웃 면적의 축소에 기여할 수 있다.

<136> 도 8의 (B)에 도 8의 (A)의 A2-A2 단면을 도시한다. 각 입력 단자(PAD)는 예를 들면 제5 금속 배선층(ALE)에 형성된다. 그 하층의 반도체층(SEM)에 있어서, 입력 단자(PAD)의 하층의 영역(즉, 입력 단자 배치 영역(ARIN)의 하층의 반도체층(SEM))에는 보호 회로(ESD)는 형성되지 않는다.

- <137> 도 8의 (B)에 도시한 바와 같이, 반도체층(SEM)에 있어서, 입력 단자간 영역(ARBE)의 하층의 영역(즉, 입력 단자(PAD)가 형성되어 있지 않은 영역)에 보호 회로(ESD)가 형성되어 있다.
- <138> 예를 들면, 표시 드라이버(10)를 범프를 사용하여 COG 실장하는 경우(범프풀이라고도 한다)에는, 입력 단자(PAD)의 하층의 배선층이 비기 때문에, 그 배선층을 자유롭게 쓸 수 있다. 즉, 입력 단자(PAD)의 하층의 반도체층(SEM)에도 보호 회로(ESD)를 형성할 수 있다.
- <139> 이에 대하여, 표시 드라이버(10)를 와이어 본딩 등으로 기판에 실장하는 경우(패드풀이라고도 한다)에는, 입력 단자(PAD)의 하층도 입력 단자(PAD)의 구조의 일부로서 포함되기 때문에, 입력 단자(PAD)의 하층의 배선층을 사용할 수 없다. 이 때문에, 입력 단자 배치 영역(ARIN)의 하층의 반도체층(SEM)에는 보호 회로(ESD)를 형성할 수 없다.
- <140> 한편, 본 실시예에서는, 입력 단자간 영역(ARBE)의 하층의 반도체층(SEM)에 보호 회로(ESD)가 형성되고, 입력 단자 배치 영역(ARIN)의 하층의 반도체층(SEM)에는 형성되지 않는다. 이러한 회로 레이아웃을 채용함으로써, 본 실시예의 고속 인터페이스 회로(120)를 형성하기 위한 고속 인터페이스 회로 매크로를 범프풀의 표시 드라이버(10)나 패드풀의 표시 드라이버(10)에 적용할 수 있다. 즉, 표시 드라이버(10)의 실장 형태의 각각에 대하여 고속 인터페이스 회로(120)의 설계를 행하지 않고, 고속 인터페이스 회로 매크로를 공급할 수 있기 때문에, 설계 코스트의 삽감이 가능하게 된다.
- <141> 2. 4. 입력 단자의 종류와 그 배열
- <142> 도 9는, 고속 인터페이스 회로(120)의 상세한 레이아웃을 도시하는 도면이다. 각 입력 단자간에는 간극이 없는 것처럼 보이지만, 실제는 각 입력 단자간에는 다소 폭이 존재한다. 도 10에 있어서도 마찬가지이다. 입력 단자 형성 영역(124)은, 전원 전압 VDD (광의로는 제2 전원 전압), VSS (광의로는 제1 전원 전압)을 고속 인터페이스 회로(120)에 공급하기 위한 로직용 전원 전압 입력 단자 DVSS(광의로는 제1 전원용 입력 단자), DVDD (광의로는 제2 전원용 입력 단자), 아날로그용 전원 전압 입력 단자 AVDD (광의로는 제2 전원용 입력 단자), AVSS (광의로는 제1 전원용 입력 단자)가 배치되는 제1, 제2 전원 입력 단자 형성 영역(124-1, 124-2)을 포함한다.
- <143> 제1, 제2 전원 입력 단자 형성 영역(124-1, 124-2)에서는, 방향 DR1을 따라, 로직용 전원 전압 입력 단자 DVSS, DVDD, 아날로그용 전원 전압 입력 단자 AVDD, AVSS의 순서로 배치되어 있다.
- <144> 또한, 입력 단자 형성 영역(124)은, 차동 신호를 고속 인터페이스 회로(120)에 공급하기 위한 차동 신호용 입력 단자 DM1~DM4, DP1~DP4가 배치되는 차동 신호 입력 단자 형성 영역(124-3)을 포함한다.
- <145> 차동 신호용 입력 단자 DM1, DP1는 수신 회로 RX1에 접속되고, 차동 신호용 입력 단자 CKM(DM2), CKP(DP2)는 수신 회로 RX2에 접속된다. 수신 회로 RX2는, 차동 신호로 공급되는 클럭을 받지만, 이것에 한정되지 않는다. 다른 수신 회로에서 클럭을 받아도 된다.
- <146> 마찬가지로 하여, 차동 신호용 입력 단자 DM3, DP3는 수신 회로 RX3에 대응하고, 차동 신호용 입력 단자 DM4, DP4는 수신 회로 RX4에 대응한다.
- <147> 도 9에 도시한 바와 같이, 차동 신호 입력 단자 형성 영역(124-3)은, 방향 DR1에서, 제1 및 제2 전원 입력 단자 형성 영역(124-1, 124-2)의 사이에 설치되어 있다.
- <148> 로직용 전원 전압 입력 단자 DVSS, DVDD에 공급되는 전압은, 예를 들면 로직 회로(126)에 공급된다. 또한, 로직용 전원 전압 입력 단자 DVSS에는 예를 들면 전압 VSS가 공급되고, 로직용 전원 전압 입력 단자 DVDD에는 예를 들면 전압 VDD가 공급된다.
- <149> 아날로그용 전원 전압 입력 단자 AVDD, AVSS에 공급되는 전압은 예를 들면 바이어스 회로(128)나 PLL 회로(127)에 공급된다. 또한, 아날로그용 전원 전압 입력 단자 AVDD에는 예를 들면 전압 VDD가 공급되고, 아날로그용 전원 전압 입력 단자 AVSS에는 예를 들면 전압 VSS가 공급된다.
- <150> PLL 회로(127)는, 고속 인터페이스 회로(120)에 차동 신호로 공급되는 클럭의 주파수에 대하여 예를 들면 체배 처리를 행하여, 예를 들면 도 4의 (B)의 PLL 회로(256)에 상당한다.
- <151> 또한, 회로 형성 영역(122)에 있어서, 수신 회로 RX1~RX4, 로직 회로(126), PLL 회로(127), 바이어스 회로(128)가 배치됨으로써 DCC1~DCC6으로 나타내는 바와 같이 빈 영역을 발생한다. 이 영역을 이용하여, 디커플링 콘덴서(DCC)가 형성된다. 이와 같이 스페이스를 유효 이용함으로써, 효율이 좋은 레이아웃이 가능하게 된다.

또한, 이 빈 스페이스를 이용하여 디커플링 콘덴서(DCC)의 용량을 별 수 있기 때문에, 고속 인터페이스 회로(120) 내의 전원을 안정화시킬 수 있다.

<152> 또한, 테스트 단자(TE)는, 고속 인터페이스 회로(120)의 테스트를 행하는 경우에 이용되고, 고속 인터페이스 회로(120)로부터 생략되어도 된다.

2. 5. 보호 회로의 배치

<154> 도 10은, 보호 회로(PD1, PD2), 보호 회로(SCR1-1~SCR1-12, SCR2)의 배치를 도시하는 도면이다. 또한, 보호 회로(PD2), 보호 회로(SCR1-1~SCR1-12, SCR2)는 보호 회로(ESD)에 상당한다.

<155> 보호 회로(PD1)는, 고속 인터페이스 회로(120)의 제1 변(LS1)측 및 제3 변(LS3)측이고, 로직용 전원 전압 입력 단자 DVSS의 방향 DR3측의 회로 형성 영역(122)에 설치되어 있다.

<156> 보호 회로(PD2)는 입력 단자 형성 영역(124)으로서, 아날로그용 전원 전압 입력 단자(AVSS)에 인접하는 입력 단자간 영역(ARBE)의 반도체층에 형성되어 있다.

<157> 보호 회로(SCR1-1, SCR1-12)는 로직용 전원 전압 입력 단자(DVDD)에 인접하는 입력 단자간 영역(ARBE)의 반도체층에 형성되어 있다. 보호 회로(SCR1-2, SCR1-11)는 아날로그용 전원 전압 입력 단자(AVDD)에 인접하는 입력 단자간 영역(ARBE)의 반도체층에 형성되어 있다. 보호 회로(SCR1-3 ~ SCR1-10)는 각 차동 신호용 입력 단자(DM1~DM4, DP1~DP4)에 인접하는 입력 단자간 영역(ARBE)의 반도체층에 형성되어 있다. 보호 회로(SCR)는, 테스트 단자(TE)에 인접하는 입력 단자간 영역(ARBE)의 반도체층에 형성되어 있다.

<158> 또한, 입력 단자 형성 영역(124)의 예를 들면 제3 금속 배선층(ALC)에는 표시 드라이버(10)용 전원 공급선(DRVSS)이 형성되어 있기 때문에, 각 보호 회로와의 접속이 용이하다.

3. 보호 회로

3. 1. 사이리스터

<161> 도 11의 (A)~도 11의 (C)는, 도 10의 각 보호 회로(SCR1-1~SCR1-12, SCR2)에 상당하는 보호 회로(SCR)와 각 입력 단자와의 접속 관계를 나타내는 도면이다. 보호 회로(SCR)는 예를 들면 사이리스터로 구성할 수 있다.

<162> 도 11의 (A)에 도시한 바와 같이, 보호 회로(SCR)는, 아날로그용 전원 전압 입력 단자(AVDD)(또는 로직용 전원 전압 입력 단자 DVDD)와 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 입력 단자 DVSS)를 접속한다. 또한, 아날로그용 전원 전압 입력 단자(AVDD)(또는 로직용 전원 전압 입력 단자 DVDD)와 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 단자 DVSS)는 내부 회로에 접속된다.

<163> 예를 들면, 아날로그용 전원 전압 입력 단자(AVDD)(또는 로직용 전원 전압 입력 단자 DVDD)에 예기하지 않는 고전압이 공급된 경우, 보호 회로(SCR)가 온 상태로 되고, 그 고전압이 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 입력 단자 DVSS)에 공급된다. 이 때문에, 고전압으로부터 내부 회로를 보호할 수 있다.

<164> 또한, 도 11의 (A)의 보호 회로(SCR)는, 예를 들면 도 10의 보호 회로(SCR1-1, SCR1-2, SCR1-11, SCR1-12)에 상당한다. 또한, 보호 회로(SCR)를, 아날로그용 전원 전압 입력 단자(AVDD)(또는 로직용 전원 전압 입력 단자 DVDD)와 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 입력 단자 DVSS)의 근방에 설치함으로써, 내부 회로에의 예기하지 않는 고전압의 전파를 방지하는 효과가 높아진다.

<165> 또한, 도 11의 (B)에 도시한 바와 같이, 보호 회로(SCR)는, 차동 신호용 입력 단자(DM1)(또는 DM2~4, DP1~DP4)와 아날로그용 전원 전압 입력 단자(AVSS)를 접속한다. 또한, 차동 신호용 입력 단자(DM1)는 수신 회로 RX1에 접속되며, 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 입력 단자 DVSS)는 내부 회로에 접속된다.

<166> 예를 들면, 차동 신호용 입력 단자(DM1)(또는 DM2~4, DP1~DP4)에 예기하지 않은 고전압이 공급된 경우, 보호 회로(SCR)가 온 상태로 되고, 그 고전압이 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 입력 단자 DVSS)에 공급된다. 이 때문에, 고전압으로부터 수신 회로를 보호할 수 있다.

<167> 또한, 도 11의 (B)의 보호 회로(SCR)는, 예를 들면 도 10의 보호 회로(SCR1-3~SCR1-10)에 상당한다. 또한, 보호 회로(SCR)를, 차동 신호용 입력 단자(DM1)(또는 DM2~4, DP1~DP4)와 아날로그용 전원 전압 입력 단자(AVSS)의 근방에 설치함으로써, 내부 회로에 예기하지 않는 고전압의 전파를 방지하는 효과가 높아진다.

- <168> 또한, 도 11의 (C)에 도시한 바와 같이, 보호 회로(SCR)는, 테스트 단자(TE)와 아날로그용 전원 전압 입력 단자(AVSS)를 접속한다. 또한, 테스트 단자(TE)와 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 입력 단자 DVSS)는 내부 회로에 접속된다.
- <169> 예를 들면, 테스트 단자(TE)에 예기하지 않는 고전압이 공급된 경우, 보호 회로(SCR)가 온 상태로 되고, 그 고전압이 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 입력 단자 DVSS)에 공급된다. 이 때문에, 고전압으로부터 내부 회로를 보호할 수 있다.
- <170> 또한, 도 11의 (C)의 보호 회로(SCR)는, 예를 들면 도 10의 보호 회로(SCR2)에 상당한다. 또한, 테스트 단자(TE)와 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 입력 단자 DVSS)의 근방에 설치함으로써, 내부 회로에의 고전압의 전파를 방지하는 효과가 높아진다.
- <171> 도 12는, 아날로그용 전원 전압 입력 단자(AVDD)와 아날로그용 전원 전압 입력 단자(AVSS)를 확대한 도면이다. 각 입력 단자(AVDD, AVSS)는 예를 들면 제5 금속 배선층(ALE)에 형성되어 있다. 그 하층의 예를 들면 제3 금속 배선층(ALC)에는 표시 드라이버(10)용의 전원 공급선 DRVSS, DRVDD1~DRVDD3이 형성되어 있다.
- <172> 또한, 입력 단자간 영역(ARBE)의 반도체층에는 보호 회로(SCR)가 형성되어 있다. 아날로그용 전원 전압 입력 단자(AVDD)는 보호 회로(SCR)에 접속되며, 보호 회로(SCR)를 통하여 아날로그용 전원 전압 입력 단자(AVSS)에 접속된다. 또한, 아날로그용 전원 전압 입력 단자(AVDD)는 입력 단자간 영역(ARBE)의 반도체층에 접속되고, 보호 회로(SCR)를 통하지 않고서 전압 공급 단자(PW1)에 접속된다. 전압 공급 단자(PW1)는 예를 들면 제5 금속 배선층(ALE)에 형성된다. 이렇게 함으로써, 보호 회로(SCR)가 온 상태로 되지 않는 경우에는, 아날로그용 전원 전압 입력 단자(AVDD)에 공급되는 예를 들면 전압(VDD)을 전압 공급 단자(PW1)에 공급할 수 있다.
- <173> 마찬가지로 하여, 아날로그용 전원 전압 입력 단자(AVSS)는 보호 회로(SCR)에 접속되고, 보호 회로(SCR)를 통하여 아날로그용 전원 전압 입력 단자(AVDD)에 접속된다. 또한, 아날로그용 전원 전압 입력 단자(AVSS)는 입력 단자간 영역(ARBE)의 반도체층에 접속되어, 보호 회로(SCR)를 통하지 않고서 전압 공급 단자(PW2)에 접속된다. 전압 공급 단자(PW2)는 예를 들면 제5 금속 배선층(ALE)에 형성된다. 이렇게 함으로써, 보호 회로(SCR)가 온 상태로 되지 않는 경우에는, 아날로그용 전원 전압 입력 단자(AVSS)에 공급되는 예를 들면 전압(VSS)을 전압 공급 단자(PW2)에 공급할 수 있다.
- <174> 도 13의 (A)는, 도 12의 A3-A3단면을 도시하는 도면이다. 아날로그용 전원 전압 입력 단자(AVDD)는, 입력 단자간 영역(ARBE)의 하층의 금속 배선층 ALE~ALA를 이용하여 입력 단자간 영역(ARBE)의 하층의 반도체층(SEM)에 접속된다.
- <175> 도 13의 (B)는, 도 12의 A4-A4단면을 도시하는 도면이다. 각 입력 단자 AVDD, AVSS의 하층의 제3 금속 배선층 (ALC)에는 표시 드라이버(10)용의 전원 공급선 DRVDD1이 형성되어 있다.
- <176> 도 14의 (A)는, 본 실시예의 고속 인터페이스 회로(120)에 이용되는 보호 회로(SCR)의 일례를 도시하는 단면도이다. 도 14의 (A)의 SC1, SC2로 나타내는 바와 같이 두개의 사이리스터가 형성되어 있지만, 이것에 한정되지 않는다. 어느 한쪽만 형성되도록 해도 된다. 도 14의 (A)에 도시한 바와 같이 두개의 사이리스터를 만들어 넣어 두면, 금속 배선을 할 때에 사이리스터를 몇개 사용하는가를 결정할 수 있다. 예를 들면, 내압을 벌고자 하는 경우에는, SC3으로 나타내는 부분을 배선하여, 사이리스터를 패러렐로 접속함으로써 실현할 수 있다.
- <177> 예를 들면, 아날로그용 전원 전압 입력 단자(AVDD)는 SC1로 나타내는 사이리스터를 통하여 아날로그용 전원 전압 입력 단자(AVSS)에 접속된다.
- <178> 또한, 아날로그용 전원 전압 입력 단자(AVDD)는 사이리스터를 통하지 않고 반도체층을 개재하여, 전압 공급 단자(PW1)와 접속된다. 또한, C1로 나타낸 바와 같이 표시 드라이버(10)용의 전원 공급선 DRVSS와 확산 영역 PWELB가 접속되어 있다.
- <179> 도 14의 (B)에 보호 회로(SCR)를 설명하기 위한 간략화된 회로도를 도시한다. 아날로그용 전원 전압 입력 단자(AVDD)에 고전압이 공급되면 사이리스터가 온으로 되어, 고전압은 전압 공급 단자(PW1)에는 공급되지 않고, 아날로그용 전원 전압 입력 단자(AVSS) 측에 공급된다. 이에 의해, 고전압으로부터 내부 회로를 보호할 수 있다.
- <180> 3. 2. 쌍방향 다이오드
- <181> 3. 2. 1. 제1 보호 회로

- <182> 도 10에 도시한 바와 같이 보호 회로(PD1는, 고속 인터페이스 회로(120)의 제1 변(LS1)측 및 제3 변(LS3)측으로서, 로직용 전원 전압 입력 단자 DVSS의 방향 DR3측의 회로 형성 영역(122)에 설치되어 있다. 이와 같이, 고속 인터페이스 회로(120)의 제1 변(LS1)측 및 제3 변(LS3)측의 양방에 보호 회로(PD1)를 배치함으로써, 표시 드라이버(10)로부터 받는 노이즈 등의 영향을 양 사이드에서 방지할 수 있다. 특히 고속 인터페이스 회로(120)의 방향 DR1에서의 폭이 길어지는 경우에는, 유효하다.
- <183> 양 사이드에 설치된 보호 회로(PD1) 중의 제1 변(LS1)측에 설치되어 있는 보호 회로(PD1)를 도 15의 (A)에 도시 한다.
- <184> 도 15의 (A)에 도시한 바와 같이, 보호 회로(PD1)는 입력 단자 DVSS에 매우 가까운 영역에 설치되어 있기 때문에, 입력 단자(DVSS)와 접속하기 쉽다. 또한, 보호 회로(PD1)는 제1 변(LS)측으로서, 회로 형성 영역(122)내의 입력 단자 형성 영역(124)측에 설치되어 있기 때문에, 전원 공급선(DRVSS)과 매우 가깝다. 이 때문에, 보호 회로(PD1)는 전원 공급선(DRVSS)과도 접속하기 쉽다. 또한, 도 15의 (B)에 도시한 바와 같이, 제1 보호 회로(PD1)는, 로직용 전원 전압 입력 단자(DVSS)와 표시 드라이버(10)용의 전원 공급선(DRVSS)을 접속한다. 또한, 로직용 전원 전압 입력 단자 (DVSS)는 내부 회로에 접속된다.
- <185> 이상의 점으로부터, 본 실시예에서는, 효율적으로 보호 회로(PD1)를 레이아웃할 수 있다. 즉, 고속 인터페이스 회로(120)의 방향 DR3에서의 폭(SH)을 짧게 할 수 있다.
- <186> 도 15의 (C)에 도시한 바와 같이 보호 회로(PD1)는 쌍방향 다이오드로 구성할 수 있다.
- <187> 또한, 도 15의 (A)에서는 고속 인터페이스 회로(120)의 제1 변(LS1)측의 보호 회로(PD1)에 대하여 도시하고 있지만, 제3 변(LS3)측의 보호 회로(PD1)도 마찬가지의 효과를 발휘할 수 있다.
- <188> 3. 2. 2. 제2 보호 회로
- <189> 도 10에 도시한 바와 같이, 보호 회로(PD2)는 입력 단자 형성 영역(124)으로서, 아날로그용 전원 전압 입력 단자(AVSS)에 인접하는 입력 단자간 영역(ARBE)의 반도체층에 형성되어 있다. 일례로서 그 중 1개인 제2 보호 회로(PD2)를 도 16의 (A)에 도시한다.
- <190> 도 16의 (A)에 도시한 바와 같이, 보호 회로(PD2)는 입력 단자(AVSS)에 인접하는 입력 단자간 영역(ARBE)에 설치되어 있기 때문에, 입력 단자(AVSS)와 접속하기 쉽다. 또한, 보호 회로(PD2)는 입력 단자 형성 영역(124)에 형성되어 있기 때문에, 그 하층에 형성되어 있는 전원 공급선(DRVSS)과 매우 가깝다. 이 때문에, 보호 회로(PD2)는 전원 공급선(DRVSS)과도 접속하기 쉽다. 또한, 도 16의 (B)에 도시한 바와 같이, 제2 보호 회로(PD2)는, 아날로그용 전원 전압 입력 단자(AVSS)와 표시 드라이버(10)용의 전원 공급선(DRVSS)을 접속한다. 또한, 아날로그용 전원 전압 입력 단자(AVSS)는 내부 회로에 접속된다.
- <191> 이상의 점으로부터, 본 실시예에서는, 효율적으로 보호 회로(PD1)를 레이아웃할 수 있다. 즉, 고속 인터페이스 회로(120)의 방향 DR3에서의 폭(SH)을 짧게 할 수 있다.
- <192> 보호 회로(PD2)는 보호 회로(PD1)와 마찬가지로 도 15의 (C)에 도시하는 쌍방향 다이오드로 구성할 수 있다.
- <193> 3. 2. 3. 제1, 제2 보호 회로의 단면
- <194> 도 17의 (A)는, 제1, 제2 보호 회로(PD1, PD2)가 단면을 도시하는 도면이다. 보호 회로(PD1, PD2)는, 도 17의 (B)에 도시한 바와 같이 직렬 접속된 2개의 다이오드와, 직렬 접속된 2개의 다이오드를 패러렐로 접속하는 구성이어야 된다.
- <195> 도 17의 (A)에 도시한 바와 같이, 다이오드의 배선은, 예를 들면 제1 금속 배선층(ALA)만으로 가능하다. 이 때문에, 예를 들면 제3 금속 배선층(ALC)에 형성되어 있는 전원 공급선 DRVSS, DRVDD1~DRVDD3와 간접하지 않는다. 즉, 입력 단자 형성 영역(124)의 스페이스를 살려 배선이 가능하기 때문에, 회로 형성 영역(122)의 자유도가 증가하여, 고속 인터페이스 회로(120)의 레이아웃 축소가 가능하게 된다.
- <196> 3. 3. 디커플링 콘텐서
- <197> 디커플링 콘텐서(DCC)는, 도 18의 (A)에 도시한 바와 같이 아날로그용 전원 전압 입력 단자 AVDD(또는 로직용 전원 전압 입력 단자 DVDD)와, AVSS(또는 로직용 전원 전압 입력 단자 DVSS)를 접속한다. 이렇게 함에 따라, 입력 단자(AVDD, AVSS, DVSS, DVDD)에 공급되는 전압이 일시적으로 불안정화했다고 하더라도, 디커플링 콘텐서(DCC)의 작용에 의해 안정된 전원을 내부 회로에 공급할 수 있다. 또한, 상술한 바와 같이, 디커플링 콘텐서

(DCC)를 아날로그용과 로직용(디지털용)으로 나눌 수 있다.

<198> 또한, 디커플링 콘텐서(DCC)는, 도 9에 도시한 바와 같이 다른 회로의 간극에도 설치할 수 있기 때문에, 전원을 안정화시키기 위하여 충분한 용량을 고속 인터페이스 회로(120) 내에서 확보할 수 있다.

<199> 예를 들면, 표시 드라이버(10)를 COG 실장하는 경우, 표시 드라이버(10)의 외부의 클래스 기판상에는, 용량이 큰 디커플링 콘텐서(DCC)를 형성하는 것은 곤란하다. 또한, 표시 드라이버(10)에 있어서도, 회로 규모의 축소를 위해, 고속 인터페이스 회로(120)를 위한 디커플링 콘텐서(DCC)는 대부분의 경우 생략된다.

<200> 이러한 경우에 대하여도, 본 실시예에서는, 고속 인터페이스 회로(120) 내에 용량이 큰 디커플링 콘텐서(DCC)를 포함하기 때문에, COG 실장에 대해서도 고속 인터페이스 회로(120)의 전원의 안정화를 보증할 수 있다.

<201> 디커플링 콘텐서(DCC)는, 도 18의 (B)에 도시한 바와 같이 표시 드라이버(10)용 전원 공급선(DRVSS)과 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 입력 단자 DVSS)를 접속한다. 이렇게 함으로써, 입력 단자(AVSS, DVSS)에 공급되는 전압이 일시적으로 불안정화했다고 하더라도, 디커플링 콘텐서(DCC)의 작용에 의해 안정된 전원을 내부 회로에 공급할 수 있다. 또한, 정전기의 내량이 증가하기 때문에, 전원 공급선(DRVSS)과 아날로그용 전원 전압 입력 단자(AVSS)(또는 로직용 전원 전압 입력 단자 DVSS) 사이의 정전기 보호 소자로서도 가능하다. 그 때문에, 도 15의 (C)의 쌍방향 다이오드만을 정전기 보호 소자로서 이용한 경우에 비하여, 정전기 보호 기능을 높게 할 수 있다.

4. 그 밖의 효과

<203> 본 실시예에서는, 도 19의 (A)에 도시한 바와 같이 표시 드라이버(10)용의 전원 공급선 DRVSS, DRVDD1~DRVDD3가 입력 단자 형성 영역(124)에 형성되어 있다. 이 때문에, 표시 드라이버(10) 내에서는, 전원 공급선 DRVSS, DRVDD1~DRVDD3을 직선적으로, 또한, 고속 인터페이스 회로(120) 내에 설치할 수 있다. 이것에 대하여, 도 19의 (B)에 도시하는 비교예에서는, 고속 인터페이스 회로(120)를 감돌도록 전원 공급선 DRVSS, DRVDD1~DRVDD3이 레이아웃되어 있다. 이러한 경우, 전원 공급선 DRVSS, DRVDD1~DRVDD3의 배선 길이가 길어질 뿐만 아니라, 전원 공급선 DRVSS, DRVDD1~DRVDD3용으로 필요한 배선 면적을 표시 드라이버(10) 내에 설치하여야 한다. 이 때문에, 비교예에서는, 도 1의 표시 드라이버(10)의 단변의 폭(DH)을 짧게 하는 것이 어려워진다.

<204> 즉, 본 실시예에서는, 비교예에 비하여, 헛되지 않게 전원 공급선 DRVSS, DRVDD1~DRVDD3을 배치할 수 있기 때문에, 표시 드라이버(10)의 단변의 폭(DH)을 짧게 하는 것이 가능하게 된다.

<205> 또한, 도 20에 도시한 바와 같이, 본 실시예에서는, 각 입력 단자(PAD)로부터의 신호가, 회로 형성 영역(122)의 아날로그 회로군(ACG)을 지나, 그리고, 로직 회로군(LCG)에 흐른다. 즉, 신호의 흐름이, 아날로그로부터 로직으로 직선적으로 자연스럽게 흐르기 때문에, 특성이 좋은 고속 인터페이스 회로(120)를 얻을 수 있다.

<206> 상기한 바와 같이, 본 발명의 실시예에 대하여 상세하게 설명하였지만, 본 발명의 신규 사항 및 효과로부터 실체적으로 일탈하지 않은 많은 변형이 가능한 것은 당업자에게는 용이하게 이해할 수 있을 것이다. 따라서, 이러한 변형에는 전부 본 발명의 범위에 포함되는 것으로 한다. 예를 들면, 명세서 또는 도면에 있어서, 적어도 한번, 보다 광의 또는 동의인 서로 다른 용어와 함께 기재된 용어는, 명세서 또는 도면의 어떠한 개소에서도, 그 서로 다른 용어로 치환할 수 있다.

발명의 효과

<207> 이상, 본 발명에 의하면, 고속 시리얼 전송의 신호 품질을 유지할 수 있는 표시 드라이버를 제공할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 실시예에 따른 표시 드라이버를 도시하는 도면.

<2> 도 2는 도 2의 (A)~도 2의 (C)는, 접촉 저항의 변화를 설명하기 위한 도면.

<3> 도 3은 본 실시예에 따른 표시 드라이버의 회로 블록도.

<4> 도 4는 도 4의 (A)~도 4의 (B)는, 본 실시예에 따른 인터페이스 회로 블록의 구성예를 도시하는 도면.

<5> 도 5는 도 5의 (A)~도 5의 (C)는, 본 실시예에 따른 인터페이스 회로 블록의 다른 구성예를 도시하는 도면.

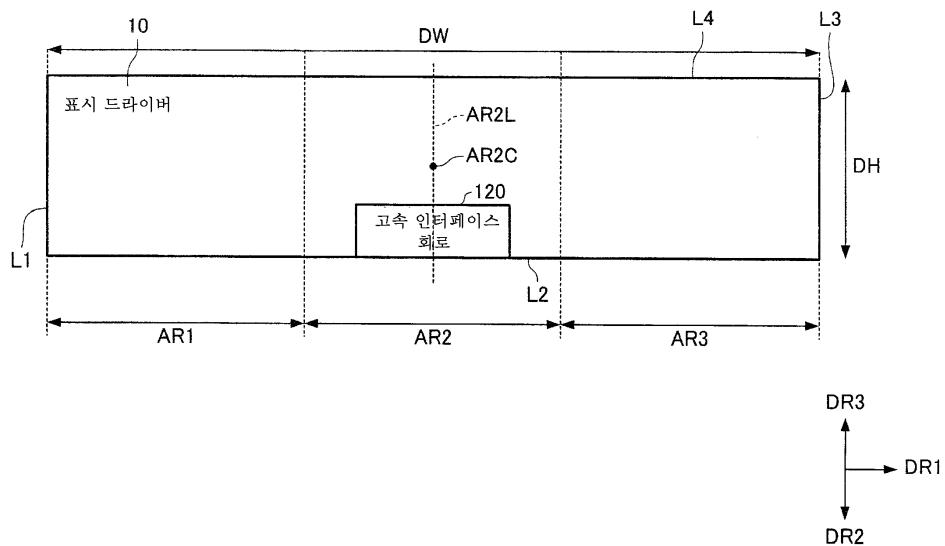
<6> 도 6은 도 6의 (A)~도 6의 (C)은, 입력 단자 형성 영역과 전원 공급선을 도시하는 도면.

- <7> 도 7은 본 실시예에 따른 인터페이스 회로 블록의 회로 레이아웃의 일례를 도시하는 도면.
- <8> 도 8은 도 8의 (A)~도 8의 (B)은, 본 실시예에 따른 인터페이스 회로 블록의 입력 단자간 영역과 입력 단자 배치 영역을 도시하는 도면.
- <9> 도 9는 본 실시예에 따른 인터페이스 회로 블록의 각 입력 단자의 배치예를 도시하는 도면.
- <10> 도 10은 본 실시예에 따른 인터페이스 회로 블록에 설치되는 보호 회로의 배치예를 도시하는 도면.
- <11> 도 11은 도 11의 (A)~도 11의 (C)은, 각 입력 단자와 보호 회로와의 접속을 도시하는 도면.
- <12> 도 12는 본 실시예에 따른 인터페이스 회로 블록의 입력 단자와 전원 공급선을 도시하는 도면.
- <13> 도 13은 도 13의 (A)은 도 12의 A3-A3단면을 도시하는 단면도, 도 13의 (B)는 도 12의 A4-A4단면을 도시하는 단면도.
- <14> 도 14는 도 14의 (A)~도 14의 (B)는, 보호 회로의 구성예를 도시하는 도면.
- <15> 도 15는 도 15의 (A)~도 15의 (C)는, 각 입력 단자와 보호 회로와의 접속을 도시하는 다른 도면.
- <16> 도 16은 도 16의 (A)~도 16의 (B)은, 각 입력 단자와 보호 회로와의 접속을 도시하는 다른 도면.
- <17> 도 17은 도 17의 (A)~도 17의 (B)은, 보호 회로의 구성예를 도시하는 다른 도면.
- <18> 도 18은 도 18의 (A)~도 18의 (B)은, 본 실시예에 따른 디커플링 콘덴서의 접속예를 도시하는 도면.
- <19> 도 19는 도 19의 (A)는 본 실시예에 따른 인터페이스 회로 블록을 도시하는 도면이며, 도 19의 (B)는 본 실시예에 따른 비교예를 도시하는 도면.
- <20> 도 20은 본 실시예에 따른 인터페이스 회로 블록의 신호의 흐름을 설명하기 위한 도면.
- <21> [도면의 주요부분에 대한 부호의 설명]
- <22> 10: 표시 드라이버
- <23> 120: 인터페이스 회로 블록
- <24> 122: 회로 형성 영역
- <25> 124: 입력 단자 형성 영역
- <26> 124-1: 제1 전원계 입력 단자 형성 영역
- <27> 124-2: 제2 전원계 입력 단자 형성 영역
- <28> 124-3: 차동 신호계 입력 단자 형성 영역
- <29> 126: 로직 회로
- <30> 128: 바이어스 회로
- <31> ARIN: 입력 단자 배치 영역
- <32> ARBE: 입력 단자간 영역
- <33> AR1~AR3: 제1~제3 영역
- <34> AR2C: 제2 영역의 중심점
- <35> AR2L: 중심선
- <36> DCC: 디커플링 콘덴서
- <37> DRVSS: 제1 전원 공급선
- <38> DVSS, AVSS: 제1 전원용 입력 단자
- <39> DVDD, AVDD: 제2 전원용 입력 단자

- <40> DR1: 제1 방향
 <41> DR2: 제2 방향
 <42> DR3: 제3 방향
 <43> DM1~DM4, DP1~DP4: 차동 신호용 입력 단자
 <44> ESD: 보호 회로
 <45> L1~L4: 표시 드라이버의 제1~제4 번
 <46> PAD: 입력 단자,
 <47> RX1~RX4: 제1~제S 수신 회로
 <48> SEM: 반도체층
 <49> SCR, SCR1-1~SCR1-12, SCR2: 회로

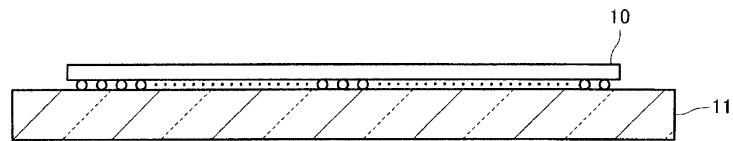
도면

도면1

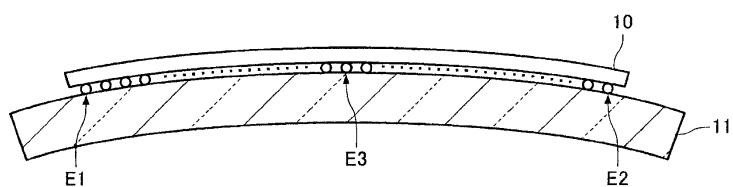


도면2

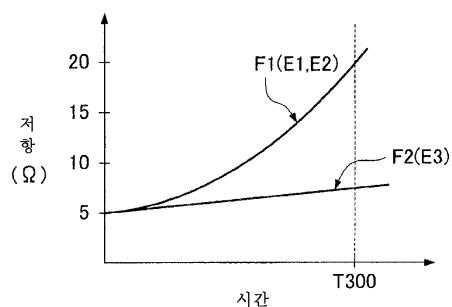
(A)



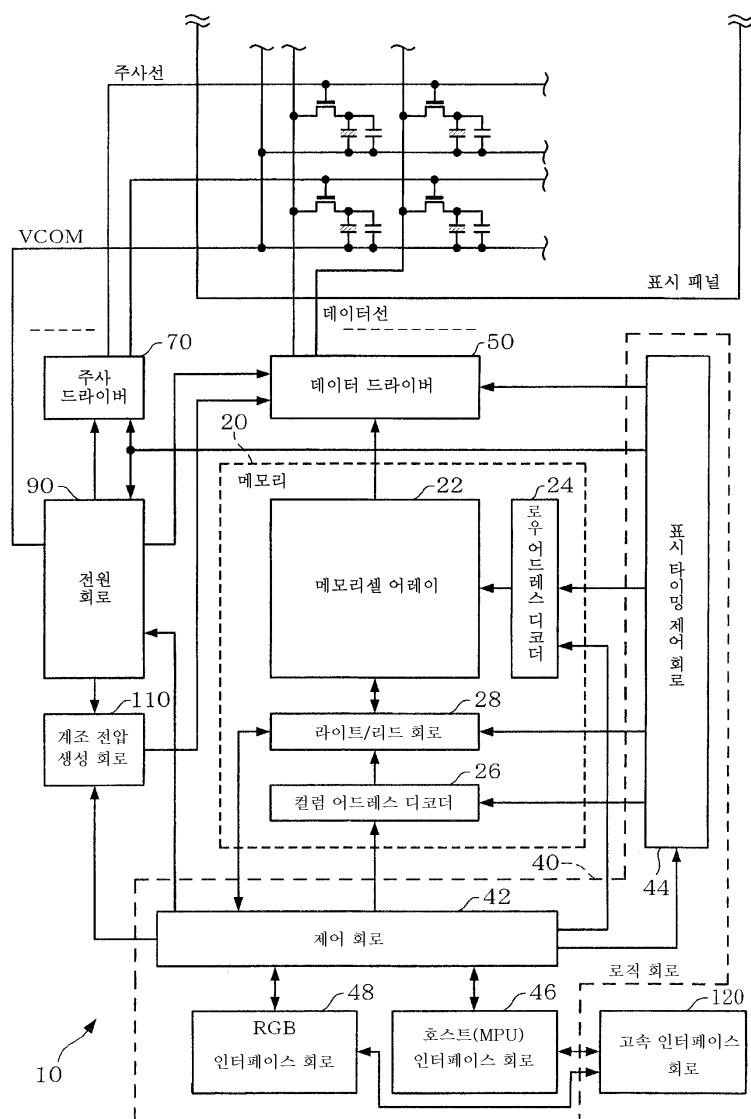
(B)



(C)

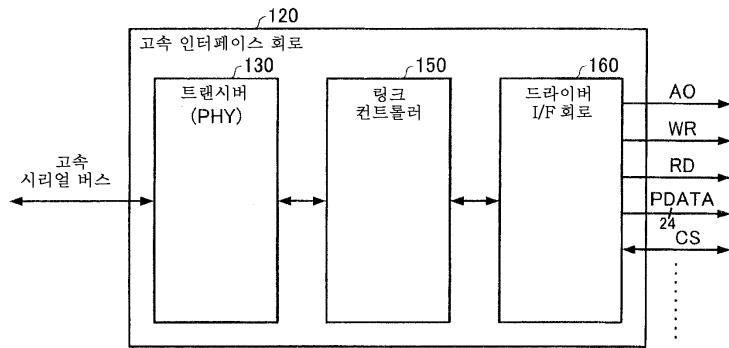


도면3

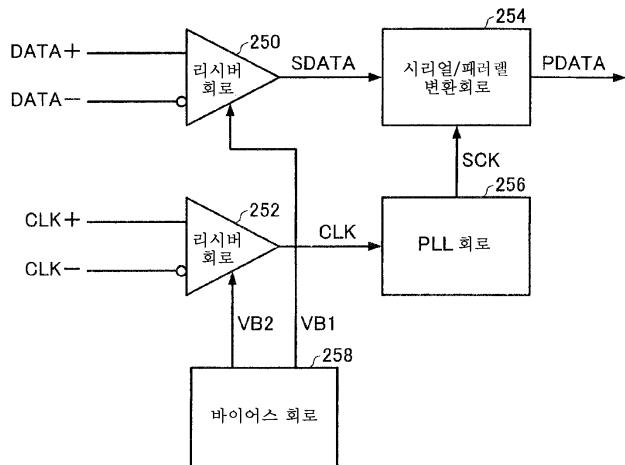


도면4

(A)

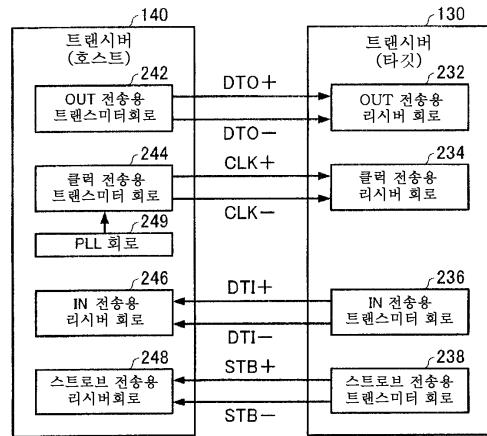


(B)

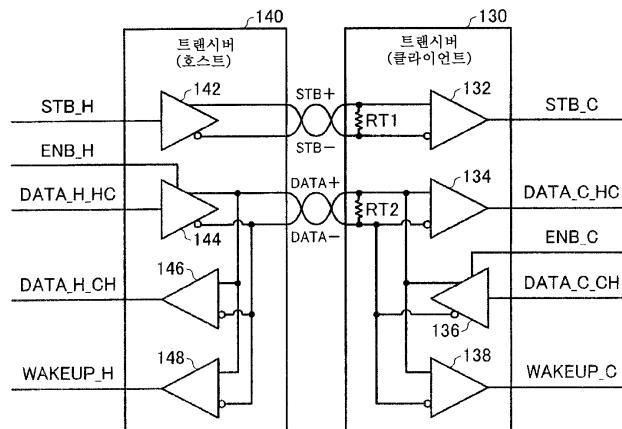


도면5

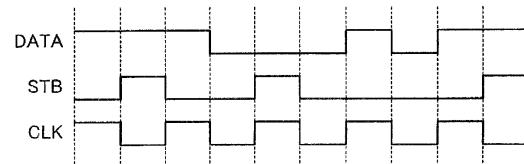
(A)



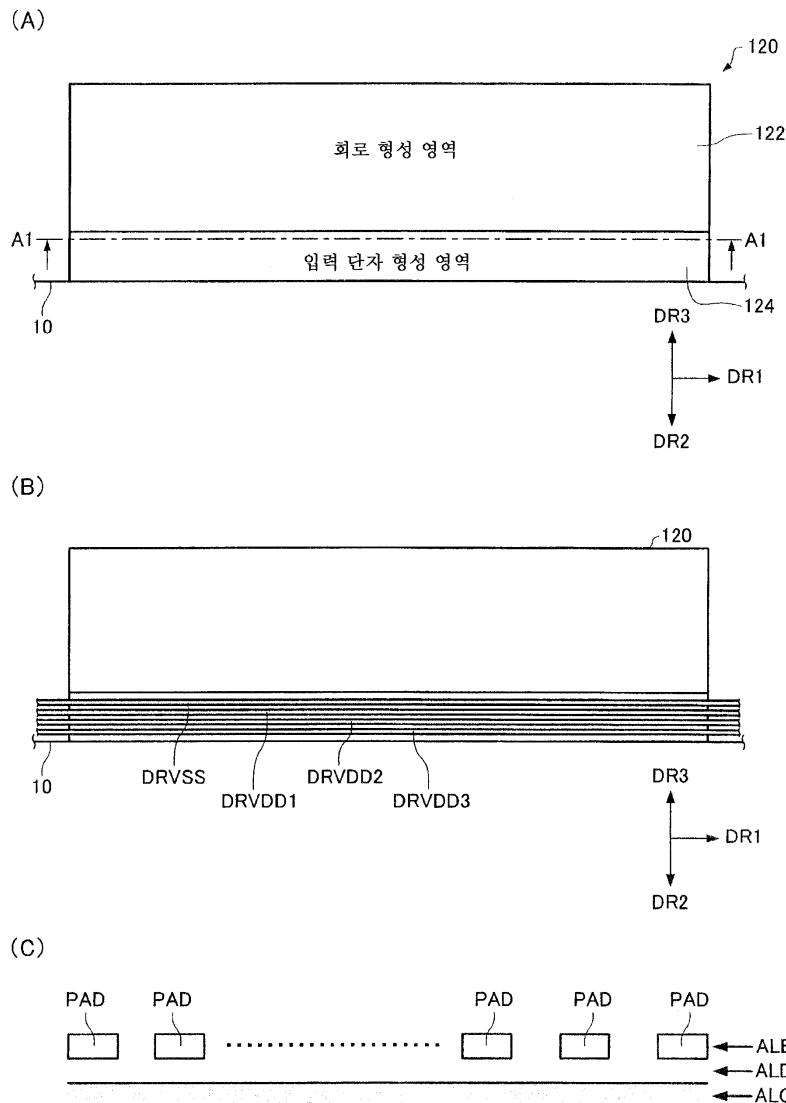
(B)



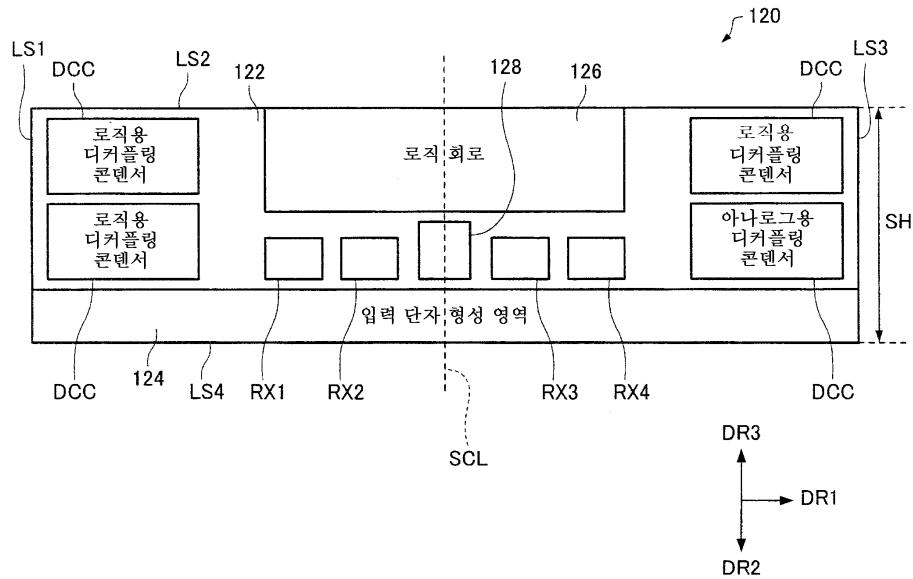
(C)



도면6

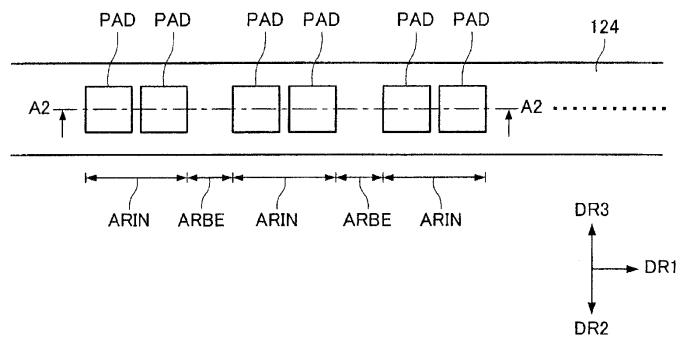


도면7

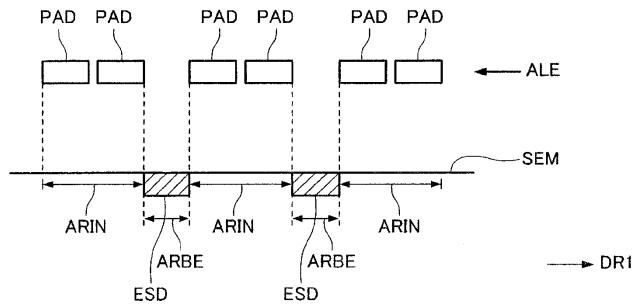


도면8

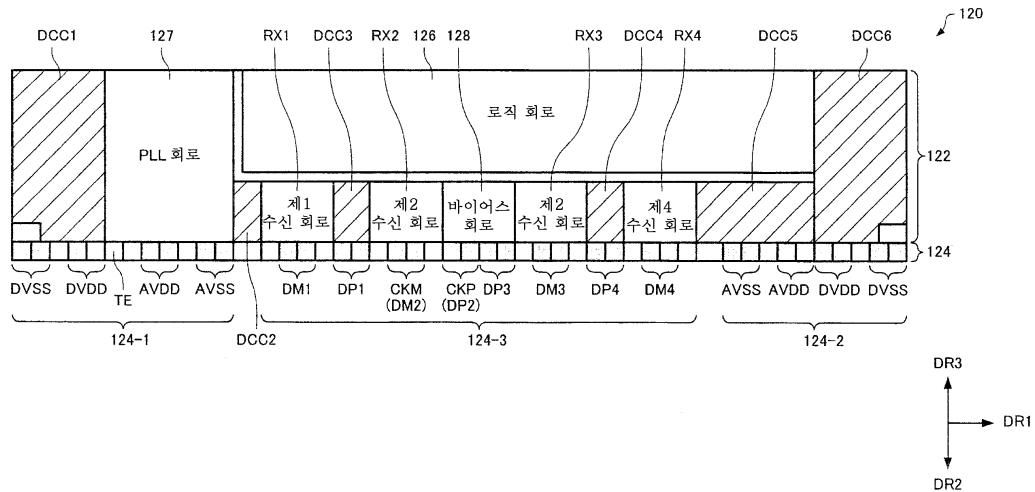
(A)



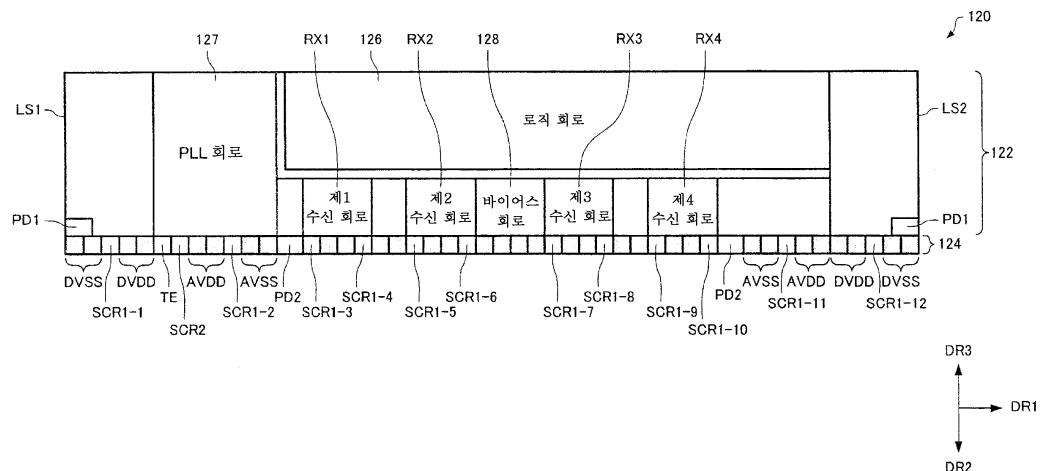
(B)



도면9

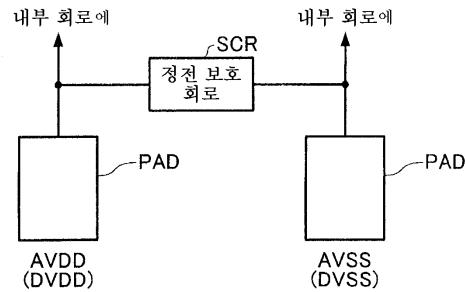


도면10

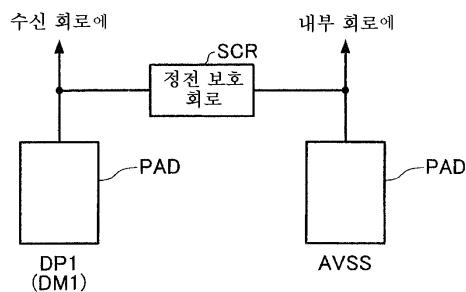


도면11

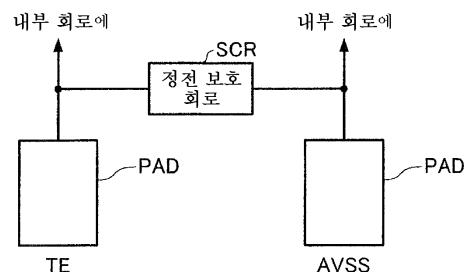
(A)



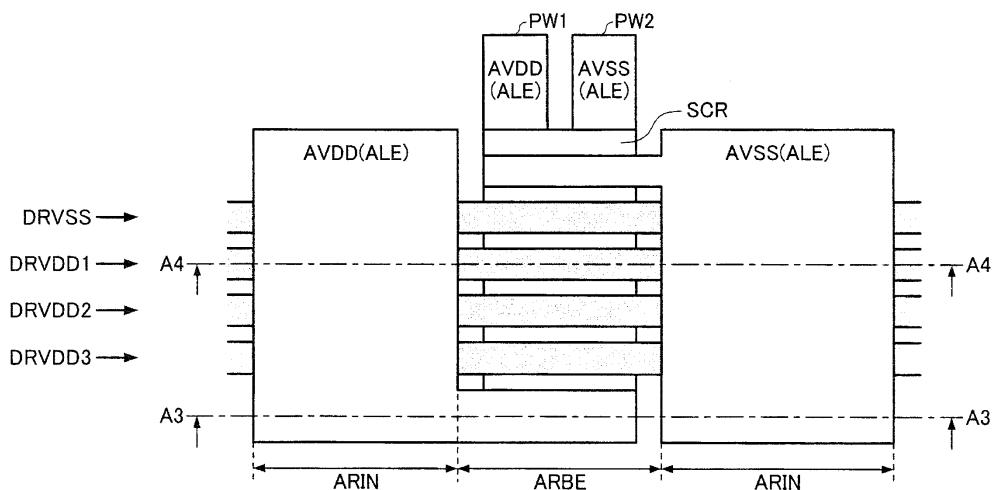
(B)



(C)

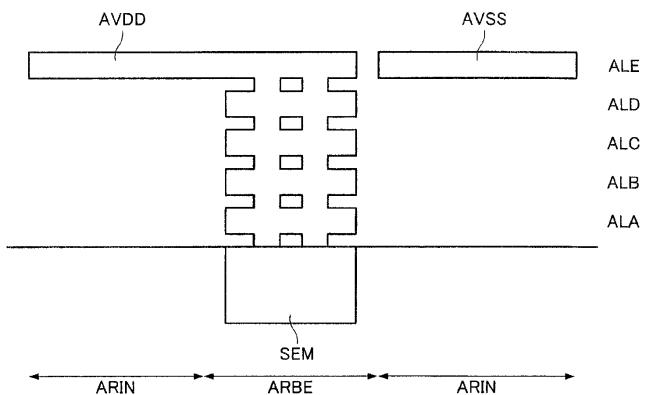


도면12

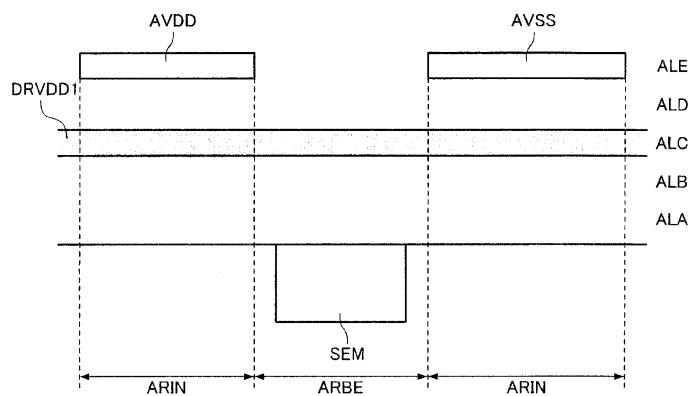


도면13

(A)

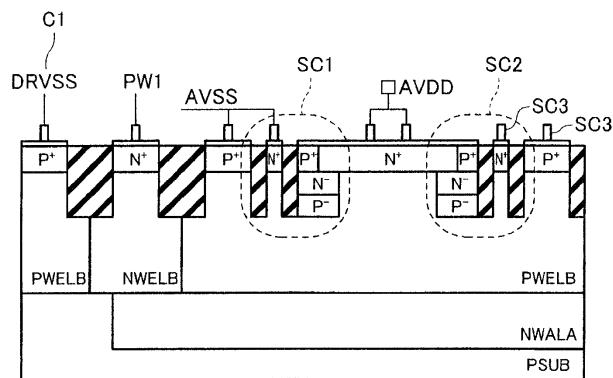


(B)

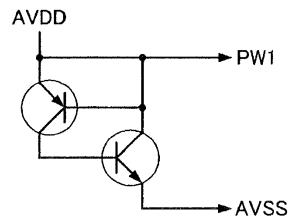


도면14

(A)

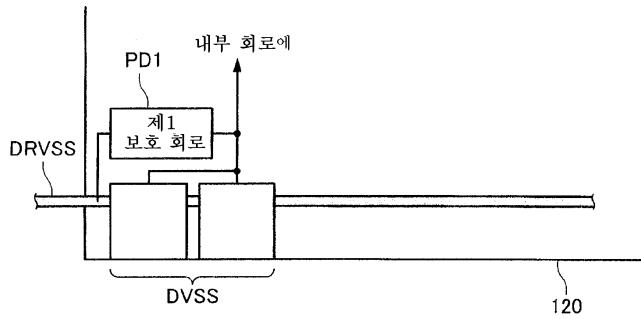


(B)

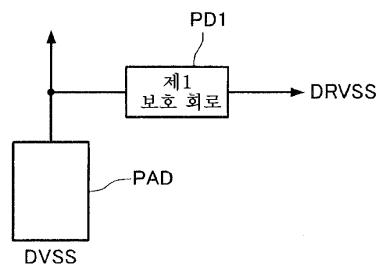


도면15

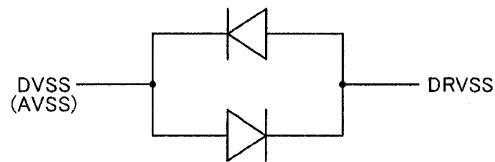
(A)



(B)

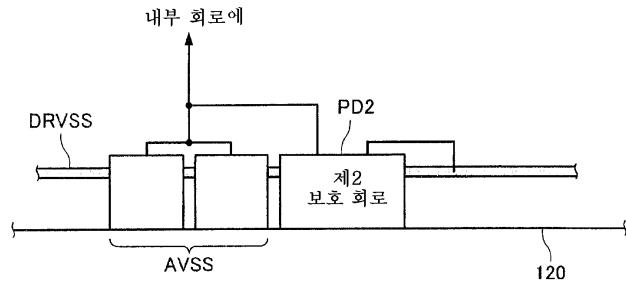


(C)

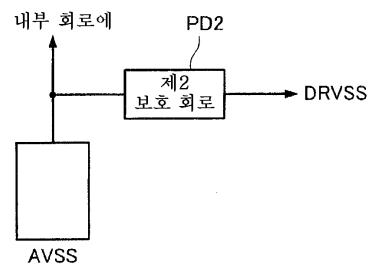


도면16

(A)

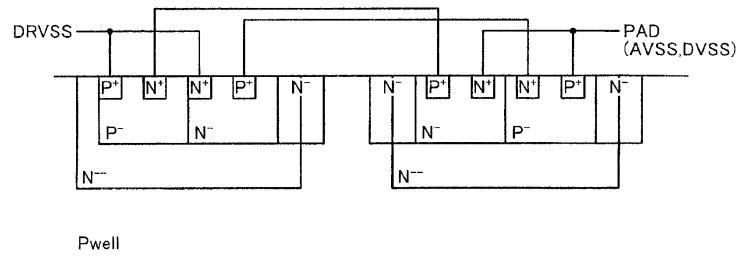


(B)

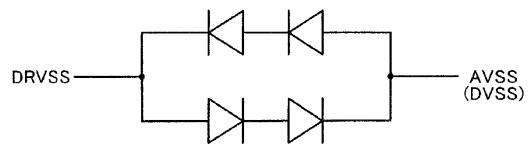


도면17

(A)

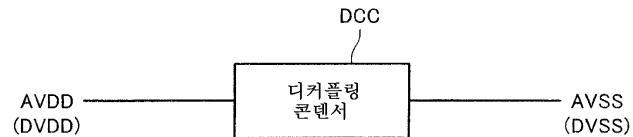


(B)

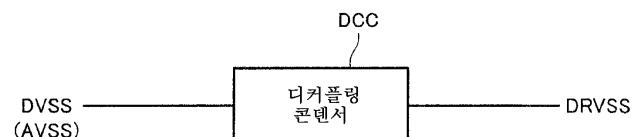


도면18

(A)

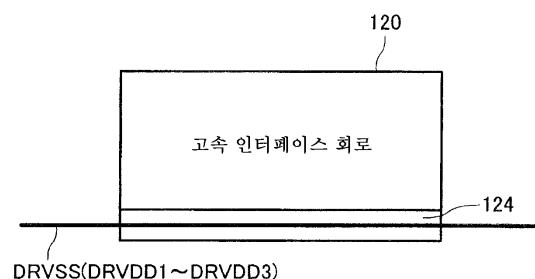


(B)

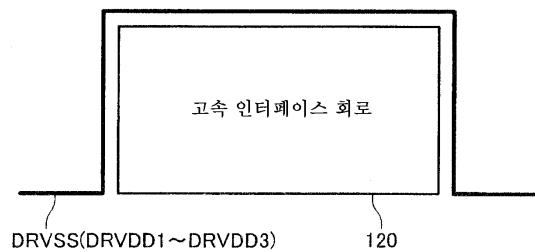


도면19

(A)



(B)



도면20

