(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月30日(30.01.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/023129 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
H01L 21/336 (2006.01)

(21) 国際出願番号： PCT/JP2024/025693

(22) 国際出願日： 2024年7月17日(17.07.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-119282 2023年7月21日(21.07.2023) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 森 誠悟 (**MORI, Seigo**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

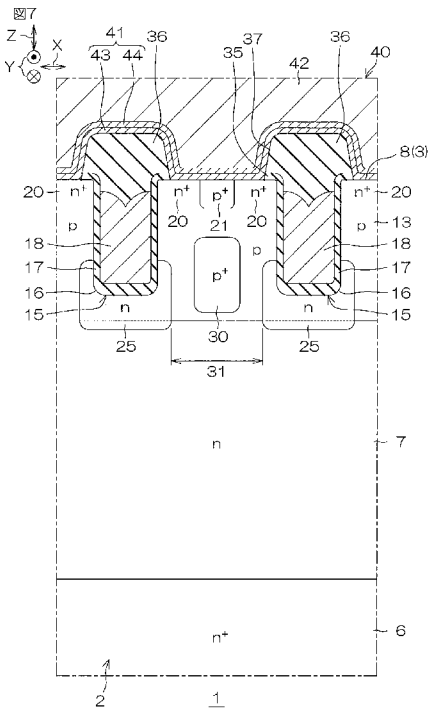
(74) 代理人: 弁理士法人あい特許事務所 (**AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS**); 〒5410059 大阪府大阪市中央区博労町三丁目２番８号 岩田東急ビル８階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置



(57) **Abstract:** This semiconductor device includes: a chip having a main surface; a first region of a first conductivity type formed in a surface layer part of the main surface in the chip; a second region of a second conductivity type formed in a region on the main surface side with respect to the first region in the chip; a trench-type gate structure formed on the main surface and spaced apart from a bottom part of the second region; an impurity region of the first conductivity type formed on the surface layer part of the main surface along the gate structure; and a drift region of the first conductivity type which is formed in a thickness range between the bottom part of the second region and a bottom wall of the gate structure and separates the impurity region and a channel.

(57) 要約：半導体装置は、主面を有するチップと、前記チップ内で前記主面の表層部に形成された第１導電型の第１領域と、前記チップ内で前記第１領域に対して前記主面側の領域に形成された第２導電型の第２領域と、前記第２領域の底部から離間して前記主面に形成されたトレンチ型のゲート構造と、前記ゲート構造に沿って前記主面の表層部に形成された第１導電型の不純物領域と、前記第２領域の底部および前記ゲート構造の底壁の間の厚さ範囲に形成され、前記不純物領域とチャネルを区画する第１導電型のドリフト領域と、を含む。

WO 2025/023129 A1

［続葉有］

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001]　この出願は、２０２３年７月２１日に日本国特許庁に提出された特許出願２０２３－１１９２８２号に基づく優先権を主張しており、この出願の全内容はここに引用により組み込まれる。本開示は、半導体装置に関する。

背景技術

[0002]　特許文献１（US2019/0280119A1）は、トレンチゲート構造の直下のｎ型のエピタキシャル層に形成されたｐ型のドーピング領域を含む半導体装置を開示している。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第２０１９－０２８０１１９号明細書

[0004] ［概要］

本開示は、新規なレイアウトを有する半導体装置を提供する。

[0005]　本開示は、主面を有するチップと、前記チップ内で前記主面の表層部に形成された第１導電型の第１領域と、前記チップ内で前記第１領域に対して前記主面側の領域に形成された第２導電型の第２領域と、前記第２領域の底部から離間して前記主面に形成されたトレンチ型のゲート構造と、前記ゲート構造に沿って前記主面の表層部に形成された第１導電型の不純物領域と、前記第２領域の底部および前記ゲート構造の底壁の間の厚さ範囲に形成され、前記不純物領域とチャネルを区画する第１導電型のドリフト領域と、を含む、半導体装置を提供する。

[0006]　本開示は、主面を有するチップと、前記チップ内で前記主面の表層部に形成された第１導電型の第１領域と、前記チップ内で前記第１領域に対して前記主面側の領域に形成された第２導電型の第２領域と、前記第２領域の底部から離間して前記主面に形成されたトレンチ型のゲート構造と、前記第２領

域の底部および前記ゲート構造の底壁の間の厚さ範囲に形成された第１導電型のドリフト領域と、前記第２領域内で前記ゲート構造の側方に形成され、前記第２領域の不純物濃度よりも高い不純物濃度を有する第２導電型の高濃度領域と、を含む、半導体装置を提供する。

[0007] 上述のまたはさらに他の目的、特徴および効果は、添付図面および詳細な説明により明らかにされる。

図面の簡単な説明

[0008] [図1]図１は、半導体装置を示す平面図である。

[図2]図２は、図１に示すII-II線に沿う断面図である。

[図3]図３は、チップの形状を示す斜視図である。

[図4]図４は、第１主面のレイアウト例を示す平面図である。

[図5]図５は、第１主面の一要部を示す拡大平面図である。

[図6]図６は、図５に示すVI-VI線に沿う断面構造を第１形態例に係る高濃度領域と共に示す断面図である。

[図7]図７は、図６に示す領域の一要部を示す拡大断面図である。

[図8A]図８Ａは、第２形態例に係る高濃度領域を示す拡大断面図である。

[図8B]図８Ｂは、第３形態例に係る高濃度領域を示す拡大断面図である。

[図8C]図８Ｃは、第４形態例に係る高濃度領域を示す拡大断面図である。

[図8D]図８Ｄは、第５形態例に係る高濃度領域を示す拡大断面図である。

[図8E]図８Ｅは、第６形態例に係る高濃度領域を示す拡大断面図である。

[図8F]図８Ｆは、第７形態例に係る高濃度領域を示す拡大断面図である。

[図8G]図８Ｇは、第８形態例に係る高濃度領域を示す拡大断面図である。

[図8H]図８Ｈは、第９形態例に係る高濃度領域を示す拡大断面図である。

[図8I]図８Ｉは、第１０形態例に係る高濃度領域を示す拡大断面図である。

[図8J]図８Ｊは、第１１形態例に係る高濃度領域を示す拡大断面図である。

[図8K]図８Ｋは、第１２形態例に係る高濃度領域を示す拡大断面図である。

[図8L]図８Ｌは、第１３形態例に係る高濃度領域を示す拡大断面図である。

[図8M]図８Ｍは、第１４形態例に係る高濃度領域を示す拡大断面図である。

[図8N]図８Ｎは、第１５形態例に係る高濃度領域を示す拡大断面図である。

[図8O]図８Ｏは、第１６形態例に係る高濃度領域を示す拡大断面図である。

[図9]図９は、半導体装置の製造に使用されるウエハを示す概略図である。

[図10A]図１０Ａは、半導体装置の製造方法の一例を示す断面図である。

[図10B]図１０Ｂは、図１０Ａの後の工程を示す断面図である。

[図10C]図１０Ｃは、図１０Ｂの後の工程を示す断面図である。

[図10D]図１０Ｄは、図１０Ｃの後の工程を示す断面図である。

[図10E]図１０Ｅは、図１０Ｄの後の工程を示す断面図である。

[図10F]図１０Ｆは、図１０Ｅの後の工程を示す断面図である。

[図10G]図１０Ｇは、図１０Ｆの後の工程を示す断面図である。

[図10H]図１０Ｈは、図１０Ｇの後の工程を示す断面図である。

[図10I]図１０Ｉは、図１０Ｈの後の工程を示す断面図である。

[図10J]図１０Ｊは、図１０Ｉの後の工程を示す断面図である。

[図10K]図１０Ｋは、図１０Ｊの後の工程を示す断面図である。

[図10L]図１０Ｌは、図１０Ｋの後の工程を示す断面図である。

[図10M]図１０Ｍは、図１０Ｌの後の工程を示す断面図である。

[図10N]図１０Ｎは、図１０Ｍの後の工程を示す断面図である。

[図11]図１１は、変形例に係る半導体装置を示す拡大断面図である。

[0009] ［詳細な説明］

以下、添付図面を参照して、具体的な形態が詳細に説明される。添付図面は、いずれも模式図であり、厳密に図示されたものではなく、相対的な位置関係、縮尺、比率、角度等は必ずしも一致しない。添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0010] この明細書において「ほぼ（substantially）」の文言が使用される場合、この文言は、比較対象の数値（形態）と等しい数値（形態）を含む他、比較対象の数値（形態）を基準とする±１０％の範囲の数値誤差（形態誤差）も

含む。以下の説明では「第１」、「第２」、「第３」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0011] 以下の説明では、「ｐ型」または「ｎ型」を用いて半導体（不純物）の導電型が示されるが、「ｐ型」が「第１導電型」と称され、「ｎ型」が「第２導電型」と称されてもよい。むろん、「ｎ型」が「第１導電型」と称され、「ｐ型」が「第２導電型」と称されてもよい。「ｐ型」は３価元素に起因する導電型であり、「ｎ型」は５価元素に起因する導電型である。３価元素は、ホウ素、アルミニウム、ガリウムおよびインジウムのうちの少なくとも１種である。５価元素は、窒素、リン、ヒ素、アンチモンおよびビスマスのうちの少なくとも１種である。

[0012] 図１は、半導体装置１を示す平面図である。図２は、図１に示すII-II線に沿う断面図である。図３は、チップ２の形状を示す斜視図である。図４は、第１主面３のレイアウト例を示す平面図である。図５は、第１主面３の一要部を示す拡大平面図である。図６は、図５に示すVI-VI線に沿う断面構造を第１形態例に係る高濃度領域３０と共に示す断面図である。図７は、図６に示す領域の一要部を示す拡大断面図である。

[0013] 図１～図７を参照して、半導体装置１は、六面体形状（具体的には直方体形状）に形成されたチップ２を含む。チップ２は、この形態（this embodiment）では、ワイドバンドギャップ半導体の単結晶を含む。つまり、半導体装置１は、「ワイドバンドギャップ半導体装置」である。チップ２は、「半導体チップ」、「ワイドバンドギャップ半導体チップ」等と称されてもよい。

[0014] ワイドバンドギャップ半導体は、Ｓｉ（シリコン）のバンドギャップを超えるバンドギャップを有する半導体である。ＧａＮ（窒化ガリウム）、ＳｉＣ（炭化シリコン）、Ｃ（ダイアモンド）等が、ワイドバンドギャップ半導体として例示される。チップ２は、この形態では、ワイドバンドギャップ半導体の一例として六方晶のＳｉＣ単結晶を含む「ＳｉＣチップ」である。つまり、半導体装置１は、「ＳｉＣ半導体装置」である。

[0015] 半導体装置１は、「ＳｉＣ－ＭＩＳＦＥＴ」と称されてもよい。六方晶のＳｉＣ単結晶は、２Ｈ（Hexagonal）－ＳｉＣ単結晶、４Ｈ－ＳｉＣ単結晶、６Ｈ－ＳｉＣ単結晶等を含む複数種のポリタイプを有している。この形態では、チップ２が４Ｈ－ＳｉＣ単結晶を含む例が示されるが、チップ２は他のポリタイプを含んでいてもよい。

[0016] チップ２は、一方側の第１主面３、他方側の第２主面４、ならびに、第１主面３および第２主面４を接続する第１～第４側面５Ａ～５Ｄを有している。第１主面３および第２主面４は、鉛直方向Ｚから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。鉛直方向Ｚは、チップ２の厚さ方向でもある。

[0017] 第１主面３および第２主面４は、ＳｉＣ単結晶のｃ面によって形成されていることが好ましい。この場合、第１主面３はＳｉＣ単結晶のシリコン面（（０００１）面）によって形成され、第２主面４はＳｉＣ単結晶のカーボン面（（０００－１）面）によって形成されていることが好ましい。

[0018] 第１側面５Ａおよび第２側面５Ｂは、第１主面３に沿う第１方向Ｘに延び、第１主面３に沿って第１方向Ｘに交差する第２方向Ｙに対向している。具体的には、第２方向Ｙは、第１方向Ｘに直交している。第３側面５Ｃおよび第４側面５Ｄは、第２方向Ｙに延び、第１方向Ｘに対向している。

[0019] この形態では、第１方向ＸがＳｉＣ単結晶のｍ軸方向（［１－１００］方向）であり、第２方向ＹがＳｉＣ単結晶のａ軸方向（［１１－２０］方向）である。むろん、第１方向ＸがＳｉＣ単結晶のａ軸方向であり、第２方向ＹがＳｉＣ単結晶のｍ軸方向であってもよい。以下では、第１主面３に沿って延びる方向が「水平方向」と表現されることがある。水平方向は、第１方向Ｘおよび第２方向Ｙによって形成されるＸＹ平面（水平面）でもあり、鉛直方向Ｚに直交している。

[0020] チップ２（第１主面３および第２主面４）は、ＳｉＣ単結晶のｃ面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有している。つまり、ＳｉＣ単結晶のｃ軸（（０００１）軸）は、鉛直方向Ｚに沿う鉛直線からオフ

方向に向けてオフ角分だけ傾斜している。また、ＳｉＣ単結晶のｃ面は、水平面に対してオフ角分だけ傾斜している。

[0021] オフ方向は、ＳｉＣ単結晶のａ軸方向（この形態では第２方向Ｙ）であることが好ましい。オフ角は、０°を超えて１０°以下であってもよい。オフ角は、０°を超えて１°以下、１°以上２．５°以下、２．５°以上５°以下、５°以上７．５°以下、および、７．５°以上１０°以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0022] オフ角は、５°以下であることが好ましい。オフ角は、２°以上４．５°以下であることが特に好ましい。オフ角は、典型的には、４°±０．１°の範囲に設定される。この明細書は、オフ角が０°である形態（つまり、第１主面３がｃ面に対してジャスト面である形態）を除外しない。

[0023] 半導体装置１は、第２主面４の表層部に形成されたｎ型のベース領域６を含む。ベース領域６には、第１電位（高電位）としてのドレイン電位が付与される。ベース領域６は、「ベース層」、「半導体層」、「ドレイン領域」等と称されてもよい。

[0024] ベース領域６は、第２主面４に沿って延びる層状に形成され、第２主面４および第１～第４側面５Ａ～５Ｄから露出している。ベース領域６は、この形態では、ｎ型の半導体層からなる。具体的には、ベース領域６は、ＳｉＣ単結晶（半導体単結晶）を含む基板（ＳｉＣ基板）からなり、第２主面４および第１～第４側面５Ａ～５Ｄを形成している。ベース領域６（基板）は、前述のオフ方向およびオフ角を有している。

[0025] ベース領域６は、１０μｍ以上５００μｍ以下の厚さを有していてもよい。ベース領域６の厚さは、１０μｍ以上５０μｍ以下、５０μｍ以上１００μｍ以下、１００μｍ以上１５０μｍ以下、１５０μｍ以上２００μｍ以下、２００μｍ以上３００μｍ以下、３００μｍ以上４００μｍ以下、および、４００μｍ以上５００μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0026] 半導体装置１は、第１主面３の表層部に形成されたｎ型の第１領域７を含

む。第１領域７は、「第１半導体領域」、「第１半導体層」、「ベースドリフト領域（層）」等と称されてもよい。第１領域７は、ベース領域６のｎ型不純物濃度未満のｎ型不純物濃度を有している。第１領域７は、断面視においてベース領域６に対して第１主面３側の領域に形成され、ベース領域６に電気的に接続されている。

[0027] 第１領域７は、第１主面３に沿って延びる層状に形成され、第１～第４側面５Ａ～５Ｄから露出している。第１領域７は、この形態では、ｎ型の半導体層からなる。具体的には、第１領域７は、ＳｉＣ単結晶（半導体単結晶）を含むエピタキシャル層（ＳｉＣエピタキシャル層）からなり、第１主面３および第１～第４側面５Ａ～５Ｄを形成している。

[0028] 第１領域７（エピタキシャル層）は、前述のオフ方向およびオフ角を有している。第１領域７は、ベース領域６の厚さ未満の厚さを有していることが好ましい。むろん、第１領域７の厚さは、ベース領域６の厚さよりも大きくてもよい。

[0029] 第１領域７の厚さは、５μｍ以上１５μｍ以下であってもよい。第１領域７の厚さは、５μｍ以上７．５μｍ以下、７．５μｍ以上１０μｍ以下、１０μｍ以上１２．５μｍ以下、および、１２．５μｍ以上１５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0030] 半導体装置１は、第１主面３に形成された第１面部８、第２面部９および第１～第４接続面部１０Ａ～１０Ｄを含む。第１面部８、第２面部９および第１～第４接続面部１０Ａ～１０Ｄは、第１主面３においてメサを区画している。第１面部８、第２面部９および第１～第４接続面部１０Ａ～１０Ｄ（つまりメサ）は、チップ２（第１主面３）の構成要素と見做されてもよい。

[0031] 第１面部８が「活性面（active surface）」と称され、第２面部９が「外周面（outer surface）」と称され、第１～第４接続面部１０Ａ～１０Ｄが「接続面（connecting surface）」と称され、メサが「活性メサ（active mesa）」と称されてもよい。

[0032] 第１面部８は、第１主面３の周縁（第１～第４側面５Ａ～５Ｄ）から内方

に間隔を空けて形成されている。第１面部８は、水平方向に延びる平坦面を有し、ｃ面（Ｓｉ面）によって形成されている。第１面部８は、この形態では、平面視において第１～第４側面５Ａ～５Ｄに平行な４辺を有する多角形状（具体的には四角形状）に形成されている。第１面部８の平面積は、第１主面３の平面積の５０％以上９０％以下であることが好ましい。

[0033] 第２面部９は、第１面部８に対して第１主面３の周縁部側に位置され、第１面部８の高さ位置からチップ２の厚さ方向（第２主面４側）に窪んでいる。第２面部９は、平面視において第１面部８に沿って帯状に延び、第１面部８を取り囲む環状（具体的には四角環状）に形成されている。第２面部９は、第１～第４側面５Ａ～５Ｄに連なっている。

[0034] 第２面部９は、第１面部８に対してほぼ平行に形成され、水平方向に延びる平坦面を有している。第２面部９は、この形態では、ｃ面（Ｓｉ面）によって形成されている。第２面部９は、ベース領域６から間隔を空けて第１領域７に形成されている。つまり、第２面部９は、第１領域７の厚さ未満の深さで窪み、第１領域７を露出させている。

[0035] 第２面部９は、０．１μｍ以上３μｍ以下の深さを有していてもよい。第２面部９の深さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、および、２．５μｍ以上３μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。第２面部９の深さは、０．５μｍ以上１．５μｍ以下であることが好ましい。

[0036] 第１～第４接続面部１０Ａ～１０Ｄは、鉛直方向Ｚに延び、第１面部８および第２面部９に接続されている。第１接続面部１０Ａは第１側面５Ａ側に位置され、第２接続面部１０Ｂは第２側面５Ｂ側に位置され、第３接続面部１０Ｃは第３側面５Ｃ側に位置され、第４接続面部１０Ｄは第４側面５Ｄ側に位置されている。第１接続面部１０Ａおよび第２接続面部１０Ｂは、第１方向Ｘに延び、第２方向Ｙに対向している。第３接続面部１０Ｃおよび第４接続面部１０Ｄは、第２方向Ｙに延び、第１方向Ｘに対向している。

[0037] このように、メサは、第１主面３に突状（凸形状）に区画されている。メサは、第１領域７のみに形成され、ベース領域６には形成されていない。第１～第４接続面部１０Ａ～１０Ｄは、第１面部８および第２面部９の間をほぼ垂直に延び、四角柱状のメサを区画していてもよい。第１～第４接続面部１０Ａ～１０Ｄは、第１面部８から第２面部９に向けて斜め下り傾斜し、四角錘台状のメサを区画していてもよい。第１～第４接続面部１０Ａ～１０Ｄは、第１面部８に対して９０°を超えて１３５°以下の角度で傾斜していてもよい。

[0038] 半導体装置１は、チップ２に設定された活性領域１１を含む。活性領域１１は、デバイス構造（トランジスタ構造Ｔｒ）を含み、出力電流（ドレイン電流）が生成される領域である。活性領域１１は、チップ２の内方部に設定されている。具体的には、活性領域１１は、第１面部８に設定されている。

[0039] 半導体装置１は、チップ２において活性領域１１外に設定された外周領域１２を含む。外周領域１２は、デバイス構造（トランジスタ構造Ｔｒ）を含まない領域である。外周領域１２は、チップ２の周縁部に設定されている。具体的には、外周領域１２は、第２面部９に設定されている。つまり、外周領域１２は、平面視において第１面部８の周縁および第２面部９の周縁の間の領域に設定されている。

[0040] 半導体装置１は、活性領域１１において第１主面３（第１面部８）の表層部に形成されたｐ型の第２領域１３を含む。第２領域１３は、「第２半導体領域」、「第２半導体層」、「不純物領域」、「ボディ領域」等と称されてもよい。第２領域１３は、第１領域７の表層部に形成されている。第２領域１３は、第１領域７のｎ型不純物濃度よりも高いｐ型不純物濃度を有し、第１領域７の導電型をｎ型からｐ型に反転させている。

[0041] 第２領域１３は、第１領域７の底部（ベース領域６）から第１主面３（第１面部８）側に間隔を空けて形成されている。つまり、第２領域１３は、断面視において第１領域７に対して第１主面３（第１面部８）側の領域に形成され、第１領域７に電気的に接続されている。換言すると、第２領域１３は

、断面視において第１主面３（第１面部８）および第１領域７の間の厚さ範囲に形成され、第１領域７とｐｎ接合部を形成している。

[0042] 第２領域１３は、この形態では、第１面部８の周縁（第１～第４接続面部１０Ａ～１０Ｄ）から内方に間隔を空けて形成され、活性領域１１内に位置された周縁部を有している。むろん、第２領域１３は、第１～第４接続面部１０Ａ～１０Ｄのうちの少なくとも１つ（たとえば全部）から露出していてもよい。

[0043] 第２領域１３は、第１～第４接続面部１０Ａ～１０Ｄのうちの少なくとも１つ（たとえば全部）を横切って第１面部８から第２面部９に引き出され、第２面部９の一部または全部から露出していてもよい。この場合、第２領域１３は、第１～第４側面５Ａ～５Ｄのうちの少なくとも１つ（たとえば全部）から露出していてもよい。むろん、第２領域１３は、第１～第４側面５Ａ～５Ｄのうちの少なくとも１つ（たとえば全部）から内方に間隔を空けて形成されていてもよい。

[0044] 第２領域１３は、第１面部８側に位置された上端部、および、第１領域７の底部側に位置された底部（下端部）を有している。第２領域１３の上端部は、第１領域７の中間部の深さ位置に対して第１面部８側に位置されている。第２領域１３の上端部は、第２面部９の深さ位置に対して第１面部８側に位置されている。具体的な図示は省略されるが、第２領域１３の上端部は、第１面部８から露出していてもよい。むろん、第２領域１３の上端部は、第１面部８から第１領域７の底部側に間隔を空けて形成されていてもよい。

[0045] 第１面部８および第２領域１３の上端部の間の距離は、０μｍ以上１μｍ以下であってもよい。第１面部８および第２領域１３の上端部の間の距離は、０μｍ以上０．２５μｍ以下、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、および、０．７５μｍ以上１μｍ以下のいずれか１つの範囲に属する値を有していてもよい。

[0046] 第２領域１３の底部は、第１領域７の一部を挟んでベース領域６に対向している。第２領域１３の底部は、第２面部９の深さ位置に対して第１領域７

の底部側に位置されている。第２領域１３の底部は、第１領域７の中間部の深さ位置に対して第１面部８側に位置されていることが好ましい。むろん、第２領域１３の底部は、第１領域７の中間部の深さ位置に対して第１領域７の底部側に位置されていてもよい。

[0047] 第１領域７の底部および第２領域１３の底部の間の距離は、０μｍを超えて１０μｍ以下であってもよい。第１領域７の底部および第２領域１３の底部の間の距離は、０μｍを超えて１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、および、８μｍ以上１０μｍ未満のいずれか１つの範囲に属する値を有していてもよい。

[0048] 第２領域１３は、第１領域７の厚さ未満の厚さを有している。第２領域１３の厚さは、１μｍ以上１０μｍ以下であってもよい。第２領域１３の厚さは、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、および、８μｍ以上１０μｍ未満のいずれか１つの範囲に属する値を有していてもよい。

[0049] 第２領域１３の厚さは、第１領域７の底部および第２領域１３の底部の間の距離未満であることが好ましい。むろん、第２領域１３の厚さは、第１領域７の底部および第２領域１３の底部の間の距離よりも大きくてもよい。また、第２領域１３は、ベース領域６および第１領域７の境界部を横切り、ベース領域６内に位置された底部を有していてもよい。

[0050] 第２領域１３は、ｎ型の第１領域７に対して３価元素（ｐ型不純物）を導入することによって形成されていてもよい。第２領域１３は、断面視において厚さ方向に延びる単一の不純物領域によって形成されていることが好ましい。むろん、第２領域１３は、断面視において厚さ方向に多段階的に積層導入された複数の不純物領域によって形成されていてもよい。

[0051] 第２領域１３は、断面視においてチップ２（第１領域７）の軸チャネルに沿って延びるｐ型のチャネリング領域からなっていてもよい。軸チャネルは、チップ２（第１領域７）を構成するＳｉＣ単結晶に関して原子間距離（原

子間隔）が比較的広い領域（チャネル）であり、厚さ方向（結晶成長方向）に延びる結晶軸を構成する原子列によって取り囲まれている。

[0052] つまり、軸チャネルは、原子列が疎である領域が厚さ方向に延在し、平面視において水平方向の原子列（原子間距離／原子密度）が疎である領域である。軸チャネルは、結晶軸のうち低指数結晶軸に沿う原子列によって取り囲まれた領域であることが好ましい。低指数結晶軸は、ミラー指数（ａ１、ａ２、ａ３、ｃ）に関して、「ａ１」、「ａ２」、「ａ３」および「ｃ」の絶対値がいずれも２以下（好ましくは１以下）で表現される結晶軸である。

[0053] 軸チャネルは、この形態では、ＳｉＣ単結晶のｃ軸（（０００１）軸）に沿う原子列によって取り囲まれた領域からなる。つまり、軸チャネルは、ｃ軸に沿って延び、前述のオフ方向およびオフ角を有している。換言すると、軸チャネルは、鉛直軸からオフ方向に向けてオフ角分だけ傾斜している。

[0054] 第２領域１３がチャネリング領域からなる場合、第２領域１３はチップ２内において低指数結晶軸に沿う原子列によって取り囲まれた領域（軸チャネル）に対して平行にまたはほぼ平行に導入された不純物領域からなり、第１主面３に対して斜め傾斜していてもよい。むろん、第２領域１３は、チップ２（第１領域７）の軸チャネルに交差するランダム方向に延びるｐ型のランダム領域からなっていてもよい。たとえば、ランダム方向は、鉛直方向Ｚであってもよい。

[0055] 半導体装置１は、活性領域１１において第１主面３（第１面部８）に形成されたトレンチ型（トレンチ電極型）の複数のゲート構造１５を含む。ゲート構造１５は、「トレンチ構造」、「トレンチゲート構造」等と称されてもよい。複数のゲート構造１５には、制御電位としてのゲート電位が付与される。複数のゲート構造１５は、ゲート電位に応答して第２領域１３内におけるチャネルの反転および非反転を制御する。

[0056] 複数のゲート構造１５は、第１面部８の周縁（第１～第４接続面部１０Ａ～１０Ｄ）から内方に間隔を空けて第１面部８に配置されている。複数のゲート構造１５は、平面視において第１方向Ｘ（＝ｍ軸方向）に間隔を空けて

配列され、第２方向Ｙ（＝ａ軸方向）に帯状にそれぞれ延びている。つまり、複数のゲート構造１５は、平面視において第２方向Ｙ（＝ａ軸方向）に延びるストライプ状に配列されている。複数のゲート構造１５の延在方向はＳｉＣ単結晶のオフ方向に一致している。

[0057] 複数のゲート構造１５の中央部の間の水平方向（第１方向Ｘ）の距離をゲートピッチと定義したとき、ゲートピッチは１μｍ以上５μｍ以下であってもよい。ゲートピッチは、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0058] 複数のゲート構造１５は、第２領域１３内に位置されるように第１面部８に形成されている。具体的には、複数のゲート構造１５は、第２領域１３の底部の深さ位置から第１面部８側に間隔を空けて形成されている。複数のゲート構造１５は、第２領域１３の中間部の深さ位置を横切っていることが好ましい。

[0059] むろん、複数のゲート構造１５は、第２領域１３の中間部の深さ位置から第１面部８側に間隔を空けて形成されていてもよい。複数のゲート構造１５は、この形態では、第１面部８に対してほぼ垂直に形成されている。むろん、複数のゲート構造１５は、第１領域７の底部に向かう先細り形状に形成されていてもよい。

[0060] 複数のゲート構造１５の側壁（長辺）は、ＳｉＣ単結晶のｍ面（（１－１００）面）によってそれぞれ形成されている。むろん、複数のゲート構造１５の側壁（長辺）は、ゲート構造１５の延在方向に応じてＳｉＣ単結晶のａ面（（１１－２０）面）によってそれぞれ形成されていてもよい。複数のゲート構造１５の側壁は、第１主面３に対してほぼ垂直に形成されている。

[0061] 複数のゲート構造１５の底壁は、ＳｉＣ単結晶のｃ面（Ｓｉ面）によって形成されている。複数のゲート構造１５の底壁は、水平方向に沿ってほぼ平

坦に延びていることが好ましい。むろん、複数のゲート構造１５の底壁は、第２主面４側に向けて円弧状に湾曲していてもよい。

[0062] 鉛直線を基準とするゲート構造１５の側壁（長辺）の傾斜角度（絶対値）は、８５°以上９５°以下であってもよい。傾斜角度は、８５°以上８７．５°以下、８７．５°以上９０°以下、９０°以上９２．５°以下、および、９２．５°以上９５°以下のうちの少なくとも１つの範囲に属する値を有していてもよい。傾斜角度は、８７°以上９３°以下であることが好ましい。

[0063] ゲート構造１５は、０．１μｍ以上２μｍ以下の幅を有していてもよい。ゲート構造１５の幅は、０．１μｍ以上０．２５μｍ以下、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１μｍ以下、１μｍ以上１．２５μｍ以下、１．２５μｍ以上１．５μｍ以下、１．５μｍ以上１．７５μｍ以下、および、１．７５μｍ以上２μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0064] ゲート構造１５は、第２面部９の深さとほぼ等しい深さを有していてもよい。むろん、ゲート構造１５の深さは、第２面部９の深さよりも大きくてもよいし、第２面部９の深さ未満であってもよい。

[0065] ゲート構造１５の深さは、０．１μｍ以上３μｍ以下であってもよい。ゲート構造１５の深さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、および、２．５μｍ以上３μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。ゲート構造１５の深さは、０．５μｍ以上１．５μｍ以下であることが好ましい。

[0066] ゲート構造１５は、１以上３以下のアスペクト比を有していてもよい。ゲート構造１５のアスペクト比は、ゲート構造１５の幅に対するゲート構造１５の深さの比である。アスペクト比は、１以上１．２５以下、１．２５以上１．５以下、１．５以上１．７５以下、１．７５以上２以下、２以上２．２５以下、２．２５以上２．５以下、２．５以上２．７５以下、および、２．

７５以上３以下のうちの少なくとも１つの範囲に属する値を有していてもよい。アスペクト比は、１．５以上２．５以下であることが好ましい。

[0067] 以下、１つのゲート構造１５の構成が説明される。ゲート構造１５は、トレンチ１６、絶縁膜１７および埋設電極１８を含む。トレンチ１６は、第１面部８に形成され、ゲート構造１５の壁面（側壁および底壁）を区画している。

[0068] 絶縁膜１７は、トレンチ１６の壁面を被覆している。絶縁膜１７は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。絶縁膜１７は、この形態では、酸化シリコン膜からなる単層構造を有している。絶縁膜１７は、チップ２の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0069] 絶縁膜１７は、第１膜部および第２膜部を含む。第１膜部は、トレンチ１６の側壁を膜状に被覆している。第２膜部は、トレンチ１６の底壁を膜状に被覆し、第１膜部に連なっている。第２膜部は、第１膜部の厚さよりも大きい厚さを有している。第２膜部の厚さは、第１膜部の厚さとほぼ等しくてもよい。

[0070] 絶縁膜１７は、１０ｎｍ以上１５０ｎｍ以下の厚さを有していてもよい。絶縁膜１７の厚さは、１０ｎｍ以上２５ｎｍ以下、２５ｎｍ以上５０ｎｍ以下、５０ｎｍ以上７５ｎｍ以下、７５ｎｍ以上１００ｎｍ以下、１００ｎｍ以上１２５ｎｍ以下、および、１２５ｎｍ以上１５０ｎｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0071] 埋設電極１８は、絶縁膜１７を挟んでトレンチ１６に埋設されている。埋設電極１８は、ｐ型の導電性ポリシリコンおよびｎ型の導電性ポリシリコンのいずれか一方または双方を含んでいてもよい。埋設電極１８は、絶縁膜１７を挟んで第２領域１３に対向している。

[0072] 埋設電極１８は、トレンチ１６から露出した電極面を有している。埋設電極１８の電極面は、第１面部８の高さ位置に対してトレンチ１６の底壁側に位置されている。埋設電極１８の電極面は、第２領域１３の底部の深さ位置

に対して第１主面３側に位置されている。埋設電極１８の電極面は、内方部においてトレンチ１６の底壁側に向けて先細り形状に窪んだリセスを有している。

[0073] 半導体装置１は、活性領域１１において第１主面３（第１面部８）の表層部に形成されたｎ型の複数のソース領域２０（不純物領域）を含む。複数のソース領域２０には、ソース電位が付与される。複数のソース領域２０は、第１領域７のｎ型不純物濃度よりも高いｎ型不純物濃度を有している。複数のソース領域２０のｎ型不純物濃度は、第２領域１３のｐ型不純物濃度よりも高い。

[0074] 複数のソース領域２０は、第２領域１３の表層部において複数のゲート構造１５に沿う領域にそれぞれ形成されている。具体的には、複数のソース領域２０は、複数のゲート構造１５の間の領域にそれぞれ形成され、複数のゲート構造１５に沿って第２方向Ｙに帯状にそれぞれ延びている。

[0075] 複数のソース領域２０は、複数のゲート構造１５の両サイドにそれぞれ形成され、対応する絶縁膜１７を挟んで対応する埋設電極１８に対向している。複数のソース領域２０は、この形態では、埋設電極１８の電極面に対してゲート構造１５の底壁側に位置された底部、および、埋設電極１８の電極面に対して第１面部８側に位置された表層部を有している。ソース領域２０の表層部は、第１面部８から露出している。

[0076] 複数のソース領域２０は、ゲート構造１５の底壁の深さ位置から第１面部８側に間隔を空けて形成され、第１面部８に沿って層状に延びている。つまり、複数のソース領域２０は、断面視において第２領域１３に対して第１面部８側の領域に形成され、第２領域１３に電気的に接続されている。換言すると、複数のソース領域２０は、断面視において第１面部８および第２領域１３の間の厚さ範囲に形成されている。複数のソース領域２０は、第２面部９の深さ位置から第１面部８側に間隔を空けて形成されている。

[0077] 複数のソース領域２０は、この形態では、第１面部８の周縁（第１～第４接続面部１０Ａ～１０Ｄ）から内方に間隔を空けて形成されている。したが

って、複数のソース領域２０は、第１～第４接続面部１０Ａ～１０Ｄから露出していない。むろん、複数のソース領域２０は、第１～第４接続面部１０Ａ～１０Ｄから露出していてもよい。

[0078] 半導体装置１は、活性領域１１において第１主面３（第１面部８）の表層部に形成されたｐ型の複数のコンタクト領域２１を含む。複数のコンタクト領域２１は、第２領域１３のｐ型不純物濃度よりも高いｐ型不純物濃度を有している。

[0079] 複数のコンタクト領域２１は、第２領域１３の表層部において複数のゲート構造１５に沿う領域にそれぞれ形成されている。具体的には、複数のコンタクト領域２１は、複数のゲート構造１５の間で複数のソース領域２０外の領域にそれぞれ形成されている。複数のコンタクト領域２１は、この形態では、互いに隣り合う複数のソース領域２０間の領域にそれぞれ介在され、複数のゲート構造１５に沿って第２方向Ｙに帯状にそれぞれ延びている。

[0080] むろん、複数のコンタクト領域２１が複数のゲート構造１５に沿って第２方向Ｙに間隔を空けて配列されていてもよい。また、複数のコンタクト領域２１は、複数のゲート構造１５に接続された部分を有していてもよい。

[0081] 複数のコンタクト領域２１は、この形態では、埋設電極１８の電極面に対してゲート構造１５の底壁側に位置された底部、および、埋設電極１８の電極面に対して第１面部８側に位置された表層部を有している。複数のコンタクト領域２１の表層部は、第１面部８から露出している。複数のコンタクト領域２１の底部は、複数のソース領域２０の底部の深さ位置に対してゲート構造１５の底壁側に位置されている。つまり、複数のコンタクト領域２１は、複数のソース領域２０よりも深く形成されている。

[0082] 複数のコンタクト領域２１は、ゲート構造１５の底壁の深さ位置から第１主面３（第１面部８）側に間隔を空けて形成され、第１面部８に沿って層状に延びている。つまり、複数のコンタクト領域２１は、断面視において第２領域１３に対して第１主面３（第１面部８）側の領域に形成され、第２領域１３に電気的に接続されている。換言すると、複数のコンタクト領域２１は

、断面視において第１主面３（第１面部８）および第２領域１３の間の厚さ範囲に形成されている。複数のコンタクト領域２１は、第２面部９の深さ位置から第１主面３（第１面部８）側に間隔を空けて形成されている。

[0083] 複数のコンタクト領域２１は、この形態では、第１面部８の周縁（第１～第４接続面部１０Ａ～１０Ｄ）から内方に間隔を空けて形成されている。したがって、複数のコンタクト領域２１は、第１～第４接続面部１０Ａ～１０Ｄから露出していない。むろん、複数のコンタクト領域２１は、第１～第４接続面部１０Ａ～１０Ｄから露出していてもよい。

[0084] 半導体装置１は、チップ２内において複数のゲート構造１５の直下の領域（regions）にそれぞれ形成されたｎ型の複数のドリフト領域２５を含む。ドリフト領域２５は、「ＪＦＥＴ（Junction Field Effect Transistor）部」、「ＪＦＥＴ領域（層）」等と称されてもよい。

[0085] ドリフト領域２５は、第２領域１３に対して５価元素（ｎ型不純物）を導入することによって形成され、第２領域１３の導電型をｐ型からｎ型に置換している。つまり、ドリフト領域２５は、第２領域１３のｐ型不純物濃度よりも高いｎ型不純物濃度を有している。ドリフト領域２５のｎ型不純物濃度は、第１領域７のｎ型不純物濃度よりも高くてもよいし、第１領域７のｎ型不純物濃度よりも低くてもよい。ドリフト領域２５のｎ型不純物濃度は、ソース領域２０のｎ型不純物濃度未満であることが好ましい。

[0086] 複数のドリフト領域２５は、第２領域１３内において水平方向（第１方向Ｘ）に互いに間隔を空けて形成されている。複数のドリフト領域２５は、第２領域１３の底部および複数のゲート構造１５の底壁の間の厚さ範囲にそれぞれ形成され、厚さ方向に複数のゲート構造１５と１対１の対応関係で重なっている。

[0087] この形態では、単一のドリフト領域２５が第２領域１３の底部および複数のゲート構造１５の底壁の間の領域にそれぞれ介在され、平面視において対応するゲート構造１５に沿って第２方向Ｙ（＝ａ軸方向）に帯状にそれぞれ延びている。つまり、複数のドリフト領域２５は、平面視において複数のゲ

ート構造１５に沿って第２方向Ｙ（＝ａ軸方向）に帯状に延びるストライプ状に配列されている。

[0088] 複数のドリフト領域２５の延在方向はＳｉＣ単結晶のオフ方向に一致している。むろん、複数のゲート構造１５が第１方向Ｘに延びている場合、複数のドリフト領域２５は第１方向Ｘに延びていてもよい。この場合、複数のドリフト領域２５はオフ方向に交差（具体的には直交）する。

[0089] むろん、複数のドリフト領域２５が第２方向Ｙに間隔を空けて第２領域１３の底部および対応する１つのゲート構造１５の底壁の間の領域にそれぞれ介在されていてもよい。この場合、複数のドリフト領域２５は、平面視において第２方向Ｙに帯状にそれぞれ延びていてもよい。

[0090] 複数のドリフト領域２５の中央部の間の水平方向（第１方向Ｘ）の距離をドリフトピッチと定義したとき、ドリフトピッチは、複数のゲート構造１５のゲートピッチとほぼ等しいことが好ましい。むろん、ドリフトピッチは、ゲートピッチよりも大きくてもよいし、ゲートピッチ未満であってもよい。

[0091] ドリフトピッチは、１μｍ以上５μｍ以下であってもよい。ドリフトピッチは、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0092] ゲートピッチに対するドリフトピッチの比（ピッチ比）は、０．８以上１．２以下であってもよい。ピッチ比は、０．８以上０．８５以下、０．８５以上０．９以下、０．９以上０．９５以下、０．９５以上１以下、１以上１．０５以下、１．０５以上１．１以下、１．１以上１．１５以下、および、１．１５以上１．２以下のいずれか１つの範囲に属する値を有していてもよい。ピッチ比は、０．９以上１．１以下であることが好ましい。

[0093] 複数のドリフト領域２５は、第１面部８の周縁（第１～第４接続面部１０Ａ～１０Ｄ）から第１面部８の内方に間隔を空けて形成されている。複数の

ドリフト領域２５の両端部は、ゲート構造１５の両端部に対してゲート構造１５の内方側に位置されていてもよい。複数のドリフト領域２５の両端部は、ゲート構造１５の両端部に対して第１面部８の周縁側に位置されていてもよい。

[0094] 以下、１つのドリフト領域２５の構成が説明される。ドリフト領域２５は、この形態では、ゲート構造１５の幅よりも大きい幅を有し、直下の領域からゲート構造１５の両サイドに張り出している。むろん、ドリフト領域２５の幅は、ゲート構造１５の幅未満であってもよい。

[0095] ドリフト領域２５は、この形態では、断面視において第１面部８に沿う水平方向に延びる柱状に形成されている。つまり、ドリフト領域２５は、１未満のアスペクト比を有している。アスペクト比は、ドリフト領域２５の幅に対するドリフト領域２５の深さの比である。この場合、アスペクト比は、０を超えて０．２５以下、０．２５以上０．５以下、０．５以上０．７５以下、および、０．７５以上１未満のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0096] むろん、ドリフト領域２５は、断面視においてチップ２の厚さ方向に延びる柱状に形成されていてもよい。つまり、ドリフト領域２５は、１以上のアスペクト比を有していてもよい。この場合、アスペクト比は、１以上３以下であってもよい。アスペクト比は、１以上１．２５以下、１．２５以上１．５以下、１．５以上１．７５以下、１．７５以上２以下、２以上２．２５以下、２．２５以上２．５以下、２．５以上２．７５以下、および、２．７５以上３以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0097] ドリフト領域２５は、断面視において厚さ方向に延びる単一の不純物領域によって形成されていることが好ましい。むろん、第１ドリフト領域２６は、断面視において厚さ方向に多段階的に積層導入された複数の不純物領域によって形成されていてもよい。

[0098] ドリフト領域２５は、ゲート構造１５の底壁側に位置された上端部、および、第２領域１３の底部側に位置された下端部（底部）を有している。ドリ

フト領域２５の上端部は、ゲート構造１５の底壁に接続され、鉛直方向Ｚに絶縁膜１７を挟んで埋設電極１８に対向している。

[0099] ドリフト領域２５の上端部は、ゲート構造１５の直下の領域からゲート構造１５の両サイドに張り出し、ゲート構造１５の側壁に沿って第１面部８側に向けて延びる延部を有している。ドリフト領域２５の延部は、鉛直方向Ｚに延びている。ドリフト領域２５のうちゲート構造１５の側壁に沿う部分（延部）の水平方向（第１方向Ｘ）の厚さは、ドリフト領域２５のうちゲート構造１５の底壁に沿う部分の鉛直方向Ｚの厚さ未満であることが好ましい。

[0100] ドリフト領域２５の上端部は、ソース領域２０のゲート構造１５とは反対側の縁部よりもゲート構造１５側に位置された縁部を有していることが好ましい。つまり、ドリフト領域２５の上端部は、厚さ方向にコンタクト領域２１に対向していないことが好ましい。むろん、ドリフト領域２５の上端部は、厚さ方向にコンタクト領域２１の縁部に部分的に対向する部分を有していてもよい。

[0101] ドリフト領域２５の延部は、水平方向（第１方向Ｘ）に絶縁膜１７を挟んで埋設電極１８に対向している。ドリフト領域２５の延部は、複数のソース領域２０の底部からゲート構造１５の底壁側に間隔を空けて形成され、第２領域１３の一部を挟んでソース領域２０に対向している。

[0102] これにより、ドリフト領域２５は、第２領域１３内において複数のソース領域２０と共にトランジスタ構造Ｔｒのチャネルを区画している。つまり、ドリフト領域２５は、チャネルを介して第１領域７および複数のソース領域２０を結ぶ電流経路を形成する。チャネルの反転および非反転は、ゲート構造１５によって制御される。ドリフト領域２５の延部は、ゲート構造１５の中間部の深さ位置に対してゲート構造１５の底壁側に位置されていることが好ましい。

[0103] ドリフト領域２５の下端部は、第２領域１３の底部を横切り、第１領域７に直接接続されている。これにより、ドリフト領域２５は、第１領域７に電気的に接続されている。ドリフト領域２５の下端部は、第１領域７の底部お

よび第２領域１３の底部の間の中間部の深さ位置よりも第２領域１３の底部側に位置されていることが好ましい。むろん、ドリフト領域２５の下端部は、第１領域７の底部および第２領域１３の底部の間の中間部の深さ位置よりも第１領域７側に位置されていてもよい。

[0104] ドリフト領域２５の深さは、第２領域１３の底部およびゲート構造１５の底壁の間の距離以上であればよい。ドリフト領域２５の深さは、第２領域１３の底部およびゲート構造１５の底壁の間の距離の１倍以下、１．２５倍以下、１．５倍以下、１．７５倍以下または２倍以下であってもよい。

[0105] 半導体装置１は、チップ２内において複数のゲート構造１５の側方にそれぞれ形成されたｐ型の複数の高濃度領域３０を含む。複数の高濃度領域３０は、第２領域１３に対して３価元素（ｐ型不純物）を導入することによって形成され、第２領域１３のｐ型不純物濃度よりも高いｐ型不純物濃度を有している。高濃度領域３０のｐ型不純物濃度は、コンタクト領域２１のｐ型不純物濃度よりも高くてもよいし、コンタクト領域２１のｐ型不純物濃度よりも低くてもよい。

[0106] この形態では、単一の高濃度領域３０が隣り合う複数のゲート構造１５の間の領域にそれぞれ形成され、平面視において対応するゲート構造１５に沿って第２方向Ｙ（＝ａ軸方向）に帯状にそれぞれ延びている。つまり、複数の高濃度領域３０は、平面視において複数のゲート構造１５に沿って第２方向Ｙ（＝ａ軸方向）に帯状に延びるストライプ状に配列されている。

[0107] 複数の高濃度領域３０の延在方向はＳｉＣ単結晶のオフ方向に一致している。むろん、複数のゲート構造１５が第１方向Ｘに延びている場合、複数の高濃度領域３０は第１方向Ｘに延びていてもよい。この場合、複数の高濃度領域３０はオフ方向に交差（具体的には直交）する。むろん、複数の高濃度領域３０が、隣り合う複数のゲート構造１５の間の領域において第２方向Ｙに間隔を空けて形成されていてもよい。この場合、複数の高濃度領域３０は、平面視において第２方向Ｙに延びる帯状にそれぞれ形成されていてもよい。

[0108] 複数の高濃度領域３０は、第１面部８の周縁（第１～第４接続面部１０Ａ～１０Ｄ）から第１面部８の内方に間隔を空けて形成されている。複数の高濃度領域３０の両端部は、複数のゲート構造１５の両端部に対して複数のゲート構造１５の内方側に位置されていてもよい。複数の高濃度領域３０の両端部は、複数のゲート構造１５の両端部に対して第１面部８の周縁側に位置されていてもよい。

[0109] 以下、１つの高濃度領域３０の構成が説明される。高濃度領域３０は、複数のゲート構造１５から水平方向（第１方向Ｘ）に間隔を空けて形成されている。高濃度領域３０は、チップ２の厚さ方向（鉛直方向Ｚ）に延びる柱状に形成されている。

[0110] 高濃度領域３０は、少なくともゲート構造１５のうちチャネルが形成される部分に対向している。高濃度領域３０は、この形態では、第２領域１３の一部を挟んで水平方向にゲート構造１５に対向する部分、および、第２領域１３の一部を挟んで水平方向にドリフト領域２５に対向する部分を有している。

[0111] 高濃度領域３０は、第１面部８側の上端部、および、第２領域１３の底部側の下端部を有している。高濃度領域３０の上端部は、ゲート構造１５の底壁の深さ位置に対して第１面部８側に位置されている。高濃度領域３０の上端部は、第２面部９の深さ位置に対して第１面部８側に位置されている。高濃度領域３０の上端部は、ドリフト領域２５の上端部（延部）の深さ位置に対して第１面部８側に位置されている。

[0112] 高濃度領域３０の上端部は、第１面部８から第２領域１３の底部側に間隔を空けて形成され、第２領域１３の一部を挟んで水平方向（第１方向Ｘ）にゲート構造１５に対向している。高濃度領域３０の上端部は、この形態では、ソース領域２０の底部から第２領域１３の底部側に間隔を空けて形成されている。高濃度領域３０の上端部は、この形態では、コンタクト領域２１の底部から第２領域１３の底部側に間隔を空けて形成されている。

[0113] 高濃度領域３０は、この形態では、コンタクト領域２１の幅よりも大きい

幅を有している。したがって、高濃度領域３０の上端部は、第２領域１３の一部を挟んでコンタクト領域２１の全域に対向する部分、および、第２領域１３の一部を挟んでソース領域２０に対向する部分を有している。

[0114] 高濃度領域３０は、第２領域１３の一部を介してコンタクト領域２１に電気的に接続されている。むろん、高濃度領域３０は、コンタクト領域２１の幅未満の幅を有し、ソース領域２０およびコンタクト領域２１のいずれか一方または双方に対向していてもよい。

[0115] 高濃度領域３０の幅は、ゲート構造１５の幅未満であってもよいし、ゲート構造１５の幅よりも大きくてもよい。高濃度領域３０の幅は、ドリフト領域２５の幅未満であってもよいし、ドリフト領域２５の幅よりも大きくてもよい。

[0116] 高濃度領域３０の幅は、０．１μｍ以上２μｍ以下であってもよい。高濃度領域３０の幅は、０．１μｍ以上０．２５μｍ以下、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１μｍ以下、１μｍ以上１．２５μｍ以下、１．２５μｍ以上１．５μｍ以下、１．５μｍ以上１．７５μｍ以下、および、１．７５μｍ以上２μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0117] 高濃度領域３０の上端部は、コンタクト領域２１の底部から０μｍよりも大きく１．５μｍ以下の間隔を空けて形成されていてもよい。高濃度領域３０の上端部およびコンタクト領域２１の底部の間の間隔は、０μｍよりも大きく０．１μｍ以下、０．１μｍ以上０．２５μｍ以下、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１μｍ以下、１μｍ以上１．２５μｍ以下、および、１．２５μｍ以上１．５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0118] 高濃度領域３０の下端部は、ドリフト領域２５の上端部（延部）の深さ位置に対して第２領域１３の底部側に位置されている。高濃度領域３０の下端部は、ゲート構造１５の底壁の深さ位置に対して第２領域１３の底部側に位置されている。高濃度領域３０の下端部は、第２面部９の深さ位置に対して

第２領域１３の底部側に位置されている。むろん、高濃度領域３０の下端部は、第２面部９の深さ位置に対して第１面部８側に位置されていてもよい。

[0119] 高濃度領域３０の下端部は、第２領域１３の底部の深さ位置に対してゲート構造１５の底壁側（第１面部８側）に位置されている。高濃度領域３０の下端部は、第２領域１３の一部を挟んで厚さ方向に第１領域７に対向し、第２領域１３の一部を挟んで水平方向（第１方向Ｘ）にドリフト領域２５に対向している。

[0120] 高濃度領域３０の下端部は、第２領域１３の底部から０μｍよりも大きく５μｍ以下の間隔を空けて形成されていてもよい。高濃度領域３０の下端部および第２領域１３の底部の間の間隔は、０μｍよりも大きく０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0121] 高濃度領域３０は、第２領域１３の中間部の深さ位置を横切っていてもよい。つまり、高濃度領域３０の上端部は第２領域１３の中間部の深さ位置に対して第１面部８側に位置され、高濃度領域３０の下端部は第２領域１３の中間部の深さ位置に対して第２領域１３の底部側に位置されていてもよい。

[0122] 高濃度領域３０は、ゲート構造１５の深さ未満の深さ（厚さ）を有していてもよい。高濃度領域３０の深さは、上端部および下端部の間の距離である。むろん、高濃度領域３０の深さは、ゲート構造１５の深さよりも大きくてもよい。高濃度領域３０の深さは、第２面部９の深さよりも大きくてもよいし、第２面部９の深さ未満であってもよい。高濃度領域３０の深さは、ドリフト領域２５の深さよりも大きくてもよいし、ドリフト領域２５の深さ未満であってもよい。

[0123] ゲート構造１５の深さに対する高濃度領域３０の深さの比（深さ比）は、０．１以上２以下であってもよい。深さ比は、０．１以上０．２５以下、０

．２５以上０．５以下、０．５以上１以下、１以上１．２５以下、１．２５以上１．５以下、１．５以上１．７５以下、および、１．７５以上２以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0124] 高濃度領域３０の深さは、０μｍよりも大きく５μｍ以下であってもよい。高濃度領域３０の深さは、０μｍよりも大きく０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0125] 高濃度領域３０は、１以上１０以下のアスペクト比を有していてもよい。高濃度領域３０のアスペクト比は、高濃度領域３０の幅に対する高濃度領域３０の深さの比である。アスペクト比は、１以上２以下、２以上３以下、３以上４以下、４以上５以下、５以上６以下、６以上７以下、７以上８以下、８以上９以下、および、９以上１０以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0126] 半導体装置１は、第２領域１３内に形成されたｐ型の複数のミドル領域３１を含む。複数のミドル領域３１は、第２領域１３のうちの複数のドリフト領域２５によって区画された領域からそれぞれなる。つまり、複数のミドル領域３１は、第２領域１３の一部および高濃度領域３０の一部をそれぞれ含む。

[0127] 複数のミドル領域３１は、複数のドリフト領域２５の配列に応じて第２方向Ｙ（＝ａ軸方向）に帯状に延びるストライプ状に配列されている。複数のミドル領域３１の延在方向はＳｉＣ単結晶のオフ方向に一致している。むろん、複数のドリフト領域２５（複数のゲート構造１５）が第１方向Ｘに延びている場合、複数のミドル領域３１は第１方向Ｘに延びていてもよい。この場合、複数のミドル領域３１はオフ方向に交差（具体的には直交）する。

[0128] ミドル領域３１は、ドリフト領域２５の幅よりも大きい幅を有しているこ

とが好ましい。むろん、ミドル領域３１の幅は、ドリフト領域２５の幅とほぼ等しくてもよいし、ドリフト領域２５の幅未満であってもよい。ドリフト領域２５の幅に対するミドル領域３１の幅の比（幅比）は、０．５以上４以下であってもよい。

[0129] 幅比は、０．５以上０．７５以下、０．７５以上１以下、１以上１．２５以下、１．２５以上１．５以下、１．５以上１．７５以下、１．７５以上２以下、２以上２．２５以下、２．２５以上２．５以下、２．５以上２．７５以下、２．７５以上３以下、３以上３．２５以下、３．２５以上３．５以下、３．５以上３．７５以下、および、３．７５以上４以下のうちの少なくとも１つの範囲に属する値を有していてもよい。幅比は、０．７５以上２．２５以下であることが好ましい。

[0130] 複数のミドル領域３１は、複数のドリフト領域２５と複数のｐｎ接合部を形成している。複数のミドル領域３１は、複数のドリフト領域２５と共にチャージバランスを形成し、スーパージャンクション構造を構成していてもよい。チャージバランスは、１つのドリフト領域２５を挟んで隣り合う複数のミドル領域３１に関して、逆バイアス電圧の印加時において一方のミドル領域３１側から拡がる空乏層および他方のミドル領域３１側から拡がる空乏層がドリフト領域２５内で接続される状態を意味する。

[0131] むろん、複数のミドル領域３１は、必ずしもスーパージャンクション構造を構成している必要はなく、第１領域７および複数のドリフト領域２５と共にボディダイオード構造を構成するに留められていてもよい。

[0132] 半導体装置１は、第１主面３を被覆する主面絶縁膜３５を含む。主面絶縁膜３５は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。主面絶縁膜３５は、絶縁膜１７の絶縁材料と同種の絶縁材料を含むことが好ましい。主面絶縁膜３５は、この形態では、酸化シリコン膜からなる単層構造を有している。主面絶縁膜３５は、チップ２の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0133] 主面絶縁膜３５は、第１面部８、第２面部９および第１～第４接続面部１

０Ａ～１０Ｄを選択的に被覆している。主面絶縁膜３５は、第１面部８において複数のゲート構造１５の絶縁膜１７に選択的に接続され、複数のゲート構造１５の埋設電極１８を露出させている。

[0134] 主面絶縁膜３５は、この形態では、第２面部９の周縁部において第１～第４側面５Ａ～５Ｄに連なっている。むろん、主面絶縁膜３５は、第２面部９の周縁から内方に間隔を空けて形成され、第２面部９の周縁部を露出させていてもよい。

[0135] 半導体装置１は、主面絶縁膜３５を被覆する絶縁性の層間膜３６を含む。層間膜３６は、「絶縁膜」、「層間絶縁膜」、「中間絶縁膜」等と称されてもよい。層間膜３６は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。層間膜３６は、酸化シリコン膜を含むことが好ましい。

[0136] 層間膜３６は、主面絶縁膜３５を挟んで第１面部８、第２面部９および第１～第４接続面部１０Ａ～１０Ｄを選択的に被覆している。層間膜３６は、第１面部８において複数のゲート構造１５（埋設電極１８）を被覆している。層間膜３６は、この形態では、第２面部９の周縁部において第１～第４側面５Ａ～５Ｄに連なっている。むろん、層間膜３６は、第２面部９の周縁から内方に間隔を空けて形成され、第２面部９の周縁部を露出させていてもよい。

[0137] 層間膜３６は、０．５μｍ以上３μｍ以下の厚さを有していてもよい。層間膜３６の厚さは、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、および、２．５μｍ以上３μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0138] 半導体装置１は、層間膜３６に形成された複数のソース開口３７を含む。複数のソース開口３７は、複数のゲート構造１５の間の領域にそれぞれ形成され、対応する複数のソース領域２０および対応するコンタクト領域２１をそれぞれ露出させている。複数のソース開口３７は、複数のゲート構造１５

に沿って第２方向Ｙに帯状にそれぞれ延びている。複数のソース開口３７は、円弧状に湾曲した開口端をそれぞれ有していることが好ましい。

[0139] むろん、複数のソース開口３７が、複数のゲート構造１５の間の領域に対して１対多の対応関係で形成されていてもよい。この場合、複数のソース開口３７は、複数のゲート構造１５の間の領域において第２方向Ｙに間隔を空けて形成されていてもよい。さらにこの場合、複数のソース開口３７は、平面視において四角形状、第１方向Ｘに延びる長方形状（帯状）、第２方向Ｙに延びる長方形状（帯状）、円形状等に形成されていてもよい。

[0140] 半導体装置１は、層間膜３６に形成された複数のゲート開口３８を含む（図４参照）。複数のゲート開口３８は、対応する１つのゲート構造１５を１対多の対応関係で露出させている。複数のゲート開口３８は、この形態では、複数のゲート構造１５（埋設電極１８）の両端部にそれぞれ形成され、対応するゲート構造１５（埋設電極１８）の一端部または他端部を露出させている。

[0141] 複数のゲート開口３８は、ソース開口３７と同様、円弧状に湾曲した開口端をそれぞれ有していることが好ましい。複数のゲート開口３８は、平面視において四角形状、第１方向Ｘに延びる長方形状（帯状）、第２方向Ｙに延びる長方形状（帯状）、円形状等に形成されていてもよい。

[0142] 半導体装置１は、第１主面３の上に配置されたソース電極４０を含む。ソース電極４０は、外部からソース電位が付与される端子電極である。ソース電極４０は、「ソースパッド電極」、「第１パッド電極」、「第１主面電極」、「第１端子電極」等と称されてもよい。ソース電極４０は、層間膜３６のうち第１面部８を被覆する部分の上に配置されている。

[0143] ソース電極４０は、この形態では、第１パッド部４０ａ、第２パッド部４０ｂおよび第３パッド部４０ｃを有している。第１パッド部４０ａは、比較的大きい平面積を有し、ソース電極４０の本体を形成している。第１パッド部４０ａは、この形態では、平面視においてチップ２の周縁に平行な４辺を有する多角形状（この形態では四角形状）に形成され、第１面部８の中央部

に対して第４側面５Ｄ側に偏在されている。

[0144] 第２パッド部４０ｂは、第１パッド部４０ａの平面積未満の平面積を有し、第１パッド部４０ａの第２方向Ｙの一端部（第１側面５Ａ側の端部）から第３側面５Ｃに向けて帯状（四角形状）に引き出されている。第３パッド部４０ｃは、第１パッド部４０ａの平面積未満の平面積を有し、第１パッド部４０ａの第２方向Ｙの他端部（第２側面５Ｂ側の端部）から第３側面５Ｃに向けて帯状（四角形状）に引き出され、第２方向Ｙに第２パッド部４０ｂに対向している。

[0145] 第３パッド部４０ｃの平面積は、第２パッド部４０ｂの平面積とほぼ等しくてもよい。むろん、第３パッド部４０ｃの平面積は、第２パッド部４０ｂの平面積よりも大きくてもよいし、第２パッド部４０ｂの平面積未満であってもよい。第２パッド部４０ｂおよび第３パッド部４０ｃのいずれか一方または双方は、電流モニタ用の端子部として使用されてもよい。

[0146] ソース電極４０は、必ずしも第２パッド部４０ｂおよび第３パッド部４０ｃの双方を同時に有している必要はない。ソース電極４０は、第２パッド部４０ｂおよび第３パッド部４０ｃのうちのいずれ一方のみを有していてもよい。むろん、ソース電極４０は、第１パッド部４０ａのみからなり、第２パッド部４０ｂおよび第３パッド部４０ｃの双方を有していなくてもよい。

[0147] ソース電極４０は、層間膜３６の上から複数のソース開口３７に入り込み、複数のソース開口３７内において、複数のソース領域２０および複数のコンタクト領域２１に電気的に接続されている。

[0148] ソース電極４０は、この形態では、チップ２側からこの順に積層された下電極膜４１および主電極膜４２を含む積層構造を有している。下電極膜４１は、この形態では、第１電極膜４３および第２電極膜４４を含む積層構造を有している。この形態では、第１電極膜４３はＴｉ膜を含み、第２電極膜４４はＴｉＮ膜を含む。下電極膜４１は、必ずしも積層構造を有している必要はなく、第１電極膜４３（Ｔｉ膜）および第２電極膜４４（ＴｉＮ膜）のいずれか一方からなる単層構造を有していてもよい。

[0149] 第１電極膜４３は、層間膜３６の厚さ未満の厚さを有している。第１電極膜４３の厚さは、１０ｎｍ以上１００ｎｍ以下であってもよい。第１電極膜４３の厚さは、１０ｎｍ以上２５ｎｍ以下、２５ｎｍ以上５０ｎｍ以下、５０ｎｍ以上７５ｎｍ以下、および、７５ｎｍ以上１００ｎｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0150] 第２電極膜４４は、層間膜３６の厚さ未満の厚さを有している。第２電極膜４４の厚さは、第１電極膜４３の厚さよりも大きいことが好ましい。第２電極膜４４の厚さは、５０ｎｍ以上２００ｎｍ以下であってもよい。第２電極膜４４の厚さは、５０ｎｍ以上７５ｎｍ以下、７５ｎｍ以上１００ｎｍ以下、１００ｎｍ以上１２５ｎｍ以下、１２５ｎｍ以上１５０ｎｍ以下、１５０ｎｍ以上１７５ｎｍ以下、および、１７５ｎｍ以上２００ｎｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0151] 第１電極膜４３は、層間膜３６のうち複数のソース開口３７が形成された領域を一括して膜状に被覆し、層間膜３６の上から複数のソース開口３７に入り込んでいる。第１電極膜４３は、層間膜３６の絶縁主面を膜状に被覆する部分、複数のソース開口３７の壁面を膜状に被覆する部分、および、複数のソース開口３７内において第１主面３を膜状に被覆する部分を有している。第１電極膜４３は、ソース開口３７内において第１主面３（第１面部８）を膜状に被覆し、複数のソース領域２０および複数のコンタクト領域２１に機械的および電気的に接続されている。

[0152] 第２電極膜４４は、第１電極膜４３を直接被覆している。第２電極膜４４は、第１電極膜４３を挟んで層間膜３６のうち複数のソース開口３７が形成された領域を一括して膜状に被覆し、層間膜３６の上から複数のソース開口３７に入り込んでいる。

[0153] 第２電極膜４４は、第１電極膜４３を挟んで層間膜３６の絶縁主面を膜状に被覆する部分、第１電極膜４３を挟んで複数のソース開口３７の壁面を膜状に被覆する部分、および、複数のソース開口３７内において第１電極膜４３を挟んで第１主面３を膜状に被覆する部分を有している。第２電極膜４４

は、ソース開口３７内において第１電極膜４３を挟んで第１主面３（第１面部８）を膜状に被覆し、第１電極膜４３を介して複数のソース領域２０および複数のコンタクト領域２１に電気的に接続されている。

[0154] 主電極膜４２は、下電極膜４１（第１電極膜４３および第２電極膜４４）とは異なる導電材料を含む。主電極膜４２は、ＡＩ膜、ＡＩ合金膜、Ｃｕ膜およびＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。ＡＩ合金膜は、ＡＩＳｉ合金膜、ＡＩＣｕ合金膜およびＡＩＳｉＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。主電極膜４２は、下電極膜４１の厚さ（総厚さ）よりも大きい厚さを有している。主電極膜４２の厚さは、層間膜３６の厚さよりも大きいことが好ましい。

[0155] 主電極膜４２の厚さは、０．５μｍ以上５μｍ以下であってもよい。主電極膜４２の厚さは、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0156] 主電極膜４２は、下電極膜４１（第２電極膜４４）を直接被覆している。主電極膜４２は、複数のソース開口３７を埋め戻し、層間膜３６のうち複数のソース開口３７が形成された領域を一括して膜状に被覆している。主電極膜４２は、下電極膜４１を挟んで層間膜３６の絶縁主面を被覆する部分、下電極膜４１を挟んで複数のソース開口３７の壁面を被覆する部分、および、下電極膜４１を挟んで第１主面３を被覆する部分を有している。

[0157] 主電極膜４２は、ソース開口３７内において下電極膜４１を挟んで第１主面３（第１面部８）を被覆し、下電極膜４１を介して複数のソース領域２０および複数のコンタクト領域２１に電気的に接続されている。

[0158] 半導体装置１は、第１主面３の上に配置されたゲート電極４５を含む。ゲート電極４５は、外部からゲート電位が付与される端子電極である。ゲート電極４５は、「第２パッド電極」、「第２主面電極」、「第２端子電極」等

と称されてもよい。図示は省略されるが、ゲート電極４５は、ソース電極４０と同様、チップ２側からこの順に積層された下電極膜４１および主電極膜４２を含む。

[0159] ゲート電極４５は、ソース電極４０から間隔を空けて層間膜３６のうち第１面部８を被覆する部分の上に配置されている。ゲート電極４５は、この形態では、第１パッド部４０ａに対して第３側面５Ｃ側の領域に配置され、第１方向Ｘに第１パッド部４０ａに対向している。また、ゲート電極４５は、第２パッド部４０ｂおよび第３パッド部４０ｃの間の領域に介在され、第２方向Ｙに第２パッド部４０ｂおよび第３パッド部４０ｃの双方に対向している。

[0160] ゲート電極４５は、平面視においてチップ２の周縁に平行な４辺を有する多角形状（この形態では四角形状）に形成されている。ゲート電極４５は、ソース電極４０の平面積未満の平面積を有している。ゲート電極４５は、第１パッド部４０ａの平面積未満を有している。ゲート電極４５は、第２パッド部４０ｂ（第３パッド部４０ｃ）の平面積未満の平面積を有していてもよい。

[0161] ゲート電極４５は、層間膜３６を挟んで複数のゲート構造１５に部分的に対向している。具体的には、ゲート電極４５は、複数のゲート構造１５の両端部から内方に間隔を空けて配置され、層間膜３６を挟んで複数のゲート構造１５の内方部に対向している。ゲート電極４５は、この形態では、複数のゲート構造１５に対する直接的な電気的接続箇所を有していない。

[0162] むろん、ゲート電極４５は、複数のゲート開口３８を介して複数のゲート構造１５に電気的に接続されていてもよい。複数のゲート構造１５のうちゲート電極４５に位置された部分は取り除かれてもよい。この場合、ゲート電極４５は、主面絶縁膜３５および層間膜３６を挟んで第２領域１３に対向していてもよい。

[0163] 半導体装置１は、ゲート電極４５から第１主面３の上に引き出されたゲート配線４６を含む。ゲート配線４６は、「ゲートフィンガー」、「ゲートフ

ィンガー電極」等と称されてもよい。ゲート配線４６は、ゲート電極４５に付与されたゲート電位を他の領域に伝達する。図示は省略されるが、ゲート配線４６は、ソース電極４０（ゲート電極４５）と同様、チップ２側からこの順に積層された下電極膜４１および主電極膜４２を含む。

[0164] ゲート配線４６は、ゲート電極４５から層間膜３６のうち第１面部８を被覆する部分の上に引き出されている。ゲート配線４６は、第１面部８の周縁およびソース電極４０の間の領域に帯状に引き回されている。ゲート配線４６は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有している。ゲート配線４６は、この形態では、第１主面３の周縁に平行な４辺を有する有端帯状に形成され、ソース電極４０を取り囲んでいる。

[0165] ゲート配線４６は、複数のゲート構造１５の端部（この形態では両端部）に交差（具体的に直交）している。ゲート配線４６は、層間膜３６の上から複数のゲート開口３８に入り込み、複数のゲート開口３８内において複数のゲート構造１５（埋設電極１８）の端部（両端部）に機械的および電気的に接続されている。これにより、ゲート電極４５に付与されたゲート電位は、ゲート配線４６を介して複数のゲート構造１５に付与される。

[0166] 半導体装置１は、第２主面４を被覆するドレイン電極４７を含む。ドレイン電極４７は、外部からドレイン電位が付与される端子電極である。ドレイン電極４７は、「第３パッド電極」、「第３主面電極」、「第３端子電極」等と称されてもよい。ドレイン電極４７は、ベース領域６に電気的に接続されている。ドレイン電極４７は、第２主面４の周縁（第１～第４側面５Ａ～５Ｄ）に連なるように第２主面４の全域を被覆していてもよい。ドレイン電極４７は、第２主面４の周縁部を露出させるように第２主面４を部分的に被覆していてもよい。

[0167] ソース電極４０およびドレイン電極４７の間（第１主面３および第２主面４の間）に印加可能なブレークダウン電圧は、５００Ｖ以上３０００Ｖ以下であってもよい。ブレークダウン電圧は、５００Ｖ以上１０００Ｖ以下、１

０００Ｖ以上１５００Ｖ以下、１５００Ｖ以上２０００Ｖ以下、２０００Ｖ以上２５００Ｖ以下、および、２５００Ｖ以上３０００Ｖ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0168] 以下、図８Ａ～図８Ｏを参照して、高濃度領域３０の第２～第１６形態例が示される。図８Ａ～図８Ｏは、第２～第１６形態例に係る高濃度領域３０を示す拡大断面図である。半導体装置１は、第１～第１６形態例に係る高濃度領域３０のいずれか１つの高濃度領域３０を含むことができる。

[0169] むろん、第１～第１６形態例に係る高濃度領域３０の特徴は、それらの間で適宜組み合わせられることができる。したがって、半導体装置１は、第１～第１６形態例に係る高濃度領域３０の特徴のうちの少なくとも２つの特徴を、同一のまたは異なる領域において同時に含むことができる。

[0170] 図８Ａ（第２形態例）を参照して、高濃度領域３０は、コンタクト領域２１の底部の深さ位置に対して第１面部８側に位置され、コンタクト領域２１に接続された上端部を有していてもよい。この場合、高濃度領域３０の上端部は、複数のソース領域２０の底部の深さ位置に対して第１面部８側に位置され、複数のソース領域２０に接続されていてもよい。高濃度領域３０の上端部は、第１面部８から第２領域１３の底部側に間隔を空けて形成されていてもよい。

[0171] 図８Ｂ（第３形態例）を参照して、高濃度領域３０の上端部は、第２形態例の場合において、第１面部８から露出していてもよい。この場合、高濃度領域３０の上端部は、コンタクト領域２１の一部または全域にオーバラップされていてもよい。高濃度領域３０の上端部がコンタクト領域２１として形成され、コンタクト領域２１は省略されてもよい。

[0172] 図８Ｃ（第４形態例）を参照して、高濃度領域３０の上端部は、第２形態例の場合において、複数のソース領域２０の底部から第２領域１３の底部側に間隔を空けて形成され、第２領域１３の底部（ゲート構造１５の底壁の深さ位置）および複数のソース領域２０の底部の間の領域においてコンタクト領域２１に接続されていてもよい。

[0173] 図８Ｄ（第５形態例）を参照して、高濃度領域３０は、第２領域１３の底部を横切り、第１領域７内に位置された下端部を有していてもよい。つまり、高濃度領域３０は、第１領域７に直接電気的に接続されていてもよい。

[0174] この場合、高濃度領域３０の下端部は、複数のドリフト領域２５の下端部よりも第１領域７の底部側に位置されていてもよいし、複数のドリフト領域２５の下端部よりも第２領域１３の底部側に位置されていてもよい。高濃度領域３０の下端部は、第１領域７の底部および第２領域１３の底部の間の中間部の深さ位置よりも第２領域１３の底部側に位置されていることが好ましい。

[0175] 図８Ｅ（第６形態例）を参照して、高濃度領域３０は、第５形態例の場合において、第２～第４形態例のいずれか１つの場合と同様、コンタクト領域２１に接続された上端部を有していてもよい。

[0176] 図８Ｆ（第７形態例）を参照して、高濃度領域３０は、複数のゲート構造１５の底壁の深さ位置から第１面部８側に間隔を空けて形成された下端部を有していてもよい。すなわち、高濃度領域３０の全域は、複数のゲート構造１５の間の領域に位置されていてもよい。

[0177] この場合、高濃度領域３０は、水平方向（第１方向Ｘ）にゲート構造１５に対向する部分、および、水平方向（第１方向Ｘ）にドリフト領域２５に対向する部分のいずれか一方または双方を有していてもよい。高濃度領域３０は、水平方向（第１方向Ｘ）にゲート構造１５に対向する部分のみを有し、水平方向（第１方向Ｘ）にドリフト領域２５に対向する部分を有していなくてもよい。

[0178] 図８Ｇ（第８形態例）を参照して、高濃度領域３０は、第７形態例の場合において、第２～第４形態例のいずれか１つの場合と同様、コンタクト領域２１に接続された上端部を有していてもよい。

[0179] 図８Ｈ（第９形態例）を参照して、高濃度領域３０は、複数のゲート構造１５の底壁の深さ位置から第２領域１３の底部側に間隔を空けて形成された上端部を有していてもよい。すなわち、高濃度領域３０の全域は、複数のゲ

ート構造１５の底壁の深さ位置よりも第２領域１３の底部側に位置されていてもよい。

[0180] 高濃度領域３０は、水平方向（第１方向Ｘ）にゲート構造１５に対向する部分を有さず、水平方向（第１方向Ｘ）にドリフト領域２５に対向する部分のみを有している。つまり、高濃度領域３０は、この形態では、隣り合う複数のドリフト領域２５の間の領域のみに形成されている。

[0181] 図８Ｉ（第１０形態例）を参照して、高濃度領域３０は、第９形態例の場合において、第５形態例の場合と同様、第２領域１３の底部を横切り、第１領域７内に位置された下端部を有していてもよい。

[0182] 図８Ｊ（第１１形態例）を参照して、高濃度領域３０は、内方部において厚さ方向に延びる低濃度部５０を有し、当該低濃度部５０よって第１方向Ｘの一方の第１高濃度部５１、および、第１方向Ｘの他方の第２高濃度部５２に分離されていてもよい。

[0183] 低濃度部５０は、第２領域１３の一部によって形成されていてもよいし、第２領域１３のｐ型不純物濃度よりも高いｐ型不純物濃度を有していてもよい。低濃度部５０は、平面視において複数のゲート構造１５に沿って延びる帯状に形成されていてもよい。この場合、低濃度部５０は、高濃度領域３０の全域に亘って高濃度領域３０を第１高濃度部５１および第２高濃度部５２に分離していてもよい。

[0184] 第１高濃度部５１は、低濃度部５０のｐ型不純物濃度よりも高いｐ型不純物濃度を有している。第１高濃度部５１は、一方および他方のゲート構造１５から間隔を空けて形成され、一方のゲート構造１５側に偏在されている。第１高濃度部５１は、平面視において一方のゲート構造１５に沿って第２方向Ｙ（＝ａ軸方向）に帯状に延びている。

[0185] 第１高濃度部５１は、第１面部８の周縁（第１～第４接続面部１０Ａ～１０Ｄ）から第１面部８の内方に間隔を空けて形成されている。第１高濃度部５１の両端部は、一方のゲート構造１５の両端部に対して一方のゲート構造１５の内方側に位置されていてもよい。第１高濃度部５１の両端部は、一方

のゲート構造１５の両端部に対して第１面部８の周縁側に位置されていてもよい。

[0186] 第１高濃度部５１は、チップ２の厚さ方向（鉛直方向Ｚ）に延びる柱状に形成されている。第１高濃度部５１は、少なくとも一方のゲート構造１５のうちチャネルが形成される部分に対向している。第１高濃度部５１は、この形態では、第２領域１３の一部を挟んで水平方向に一方のゲート構造１５に対向する部分、および、第２領域１３の一部を挟んで水平方向にドリフト領域２５に対向する部分を有している。

[0187] 第２高濃度部５２は、一方および他方のゲート構造１５から間隔を空けて形成され、他方のゲート構造１５側に偏在されている。第２高濃度部５２は、低濃度部５０を挟んで水平方向（第１方向Ｘ）に第１高濃度部５１に対向している。第２高濃度部５２は、平面視において他方のゲート構造１５に沿って第２方向Ｙ（＝ａ軸方向）に帯状に延びている。つまり、第２高濃度部５２は、第１高濃度部５１と並走するように第１高濃度部５１に対してほぼ平行に延びている。

[0188] 第２高濃度部５２は、第１面部８の周縁（第１～第４接続面部１０Ａ～１０Ｄ）から第１面部８の内方に間隔を空けて形成されている。第２高濃度部５２の両端部は、他方のゲート構造１５の両端部に対して他方のゲート構造１５の内方側に位置されていてもよい。第２高濃度部５２の両端部は、他方のゲート構造１５の両端部に対して第１面部８の周縁側に位置されていてもよい。

[0189] 第２高濃度部５２は、チップ２の厚さ方向（鉛直方向Ｚ）に延びる柱状に形成されている。第２高濃度部５２は、少なくとも他方のゲート構造１５のうちチャネルが形成される部分に対向している。第２高濃度部５２は、この形態では、第２領域１３の一部を挟んで水平方向に他方のゲート構造１５に対向する部分、および、第２領域１３の一部を挟んで水平方向にドリフト領域２５に対向する部分を有している。

[0190] 第２高濃度部５２は、厚さ方向に関して第１高濃度部５１の長さとほぼ等

しい長さを有し、厚さ方向の全域に亘って低濃度部５０を挟んで第１高濃度部５１に対向していてもよい。むろん、第２高濃度部５２は、厚さ方向に関して第１高濃度部５１の長さとは異なる長さを有し、低濃度部５０を挟んで第１高濃度部５１の一部または全域に対向していてもよい。この場合、第２高濃度部５２の長さは、第１高濃度部５１の長さよりも大きくてもよいし、第１高濃度部５１の長さ未満であってもよい。

[0191] 第１高濃度部５１の上端部は高濃度領域３０の上端部の一部を形成し、第１高濃度部５１の上端部は高濃度領域３０の下端部の一部を形成している。第２高濃度部５２の上端部は高濃度領域３０の上端部の一部を形成し、第２高濃度部５２の上端部は高濃度領域３０の下端部の一部を形成している。

[0192] 第２高濃度部５２の上端部は、第１高濃度部５１の上端部とほぼ等しい深さ位置に位置されている。むろん、第２高濃度部５２の上端部は、第１高濃度部５１の上端部の深さ位置よりも第１面部８側に位置されていてもよいし、第１高濃度部５１の上端部の深さ位置よりも第２領域１３の底部側に位置されていてもよい。

[0193] 第２高濃度部５２の下端部は、第１高濃度部５１の下端部とほぼ等しい深さ位置に位置されている。むろん、第２高濃度部５２の下端部は、第１高濃度部５１の下端部の深さ位置よりも第１面部８側に位置されていてもよいし、第１高濃度部５１の下端部の深さ位置よりも第２領域１３の底部側に位置されていてもよい。

[0194] 第１および第２高濃度部５１、５２の上端部は、ゲート構造１５の底壁の深さ位置に対して第１面部８側に位置されている。第１および第２高濃度部５１、５２の上端部は、第２面部９の深さ位置に対して第１面部８側に位置されている。第１および第２高濃度部５１、５２の上端部は、ドリフト領域２５の上端部（延部）の深さ位置に対して第１面部８側に位置されている。

[0195] 第１および第２高濃度部５１、５２の上端部は、第１面部８から第２領域１３の底部側に間隔を空けて形成され、第２領域１３の一部を挟んで水平方向（第１方向Ｘ）にゲート構造１５に対向している。第１および第２高濃度

部５１、５２の上端部は、ソース領域２０の底部から第２領域１３の底部側に間隔を空けて形成されている。第１および第２高濃度部５１、５２の上端部は、コンタクト領域２１の底部から第２領域１３の底部側に間隔を空けて形成されている。

[0196] 第１および第２高濃度部５１、５２は、この形態では、コンタクト領域２１の幅未満の幅を有し、第２領域１３の一部を挟んでソース領域２０の一部およびコンタクト領域２１の一部のいずれか一方または双方に対向している。むろん、第１および第２高濃度部５１、５２の幅は、コンタクト領域２１の幅よりも大きくてもよい。第１および第２高濃度部５１、５２は、第２領域１３の一部を介してコンタクト領域２１に電気的に接続されている。

[0197] 第１および第２高濃度部５１、５２の幅は、ゲート構造１５の幅未満であってもよいし、ゲート構造１５の幅よりも大きくてもよい。第１および第２高濃度部５１、５２の幅は、ドリフト領域２５の幅未満であってもよいし、ドリフト領域２５の幅よりも大きくてもよい。

[0198] 第１および第２高濃度部５１、５２の幅は、０μｍよりも大きく２μｍ以下であってもよい。第１および第２高濃度部５１、５２の幅は、０μｍよりも大きく０．１μｍ以下、０．１μｍ以上０．２５μｍ以下、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１μｍ以下、１μｍ以上１．２５μｍ以下、１．２５μｍ以上１．５μｍ以下、１．５μｍ以上１．７５μｍ以下、および、１．７５μｍ以上２μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。第１および第２高濃度部５１、５２の幅は、１μｍ以下であることが好ましい。

[0199] 第１および第２高濃度部５１、５２の下端部は、ドリフト領域２５の上端部（延部）の深さ位置に対して第２領域１３の底部側に位置されている。第１および第２高濃度部５１、５２の下端部は、ゲート構造１５の底壁の深さ位置に対して第２領域１３の底部側に位置されている。第１および第２高濃度部５１、５２の下端部は、第２面部９の深さ位置に対して第２領域１３の底部側に位置されている。むろん、第１および第２高濃度部５１、５２の下

端部は、第２面部９の深さ位置に対して第１面部８側に位置されていてもよい。

[0200] 第１および第２高濃度部５１、５２の下端部は、第２領域１３の底部の深さ位置に対してゲート構造１５の底壁側（第１面部８側）に位置されている。第１および第２高濃度部５１、５２の下端部は、第２領域１３の一部を挟んで厚さ方向に第１領域７に対向し、第２領域１３の一部を挟んで水平方向（第１方向Ｘ）にドリフト領域２５に対向している。

[0201] 第１および第２高濃度部５１、５２は、第２領域１３の中間部の深さ位置を横切っていてもよい。つまり、第１および第２高濃度部５１、５２の上端部は第２領域１３の中間部の深さ位置に対して第１面部８側に位置され、第１および第２高濃度部５１、５２の下端部は第２領域１３の中間部の深さ位置に対して第２領域１３の底部側に位置されていてもよい。

[0202] 第１および第２高濃度部５１、５２は、ゲート構造１５の深さ未満の深さ（厚さ）を有していてもよい。むろん、第１および第２高濃度部５１、５２の深さは、ゲート構造１５の深さよりも大きくてもよい。第１および第２高濃度部５１、５２の深さは、第２面部９の深さ未満であってもよいし、第２面部９の深さよりも大きくてもよい。第１および第２高濃度部５１、５２の深さは、ドリフト領域２５の深さ未満であってもよいし、ドリフト領域２５の深さよりも大きくてもよい。

[0203] ゲート構造１５の深さに対する第１および第２高濃度部５１、５２の深さの比（深さ比）は、０．１以上２以下であってもよい。深さ比は、０．１以上０．２５以下、０．２５以上０．５以下、０．５以上１以下、１以上１．２５以下、１．２５以上１．５以下、１．５以上１．７５以下、および、１．７５以上２以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0204] 第１および第２高濃度部５１、５２の深さは、０μｍよりも大きく５μｍ以下であってもよい。第１および第２高濃度部５１、５２の深さは、０μｍよりも大きく０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．

５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0205] 第１および第２高濃度部５１、５２は、１以上２０以下のアスペクト比を有していてもよい。第１および第２高濃度部５１、５２のアスペクト比は、第１および第２高濃度部５１、５２の幅に対する第１および第２高濃度部５１、５２の深さの比である。アスペクト比は、１以上２以下、２以上４以下、４以上６以下、６以上８以下、８以上１０以下、１０以上１２以下、１２以上１４以下、１４以上１６以下、１６以上１８以下、および、１８以上２０以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0206] 図８Ｋ（第１２形態例）を参照して、第１および第２高濃度部５１、５２は、第１１形態例の場合において、第２～第４形態例のいずれか１つの場合と同様、コンタクト領域２１に接続された上端部を有していてもよい。第１および第２高濃度部５１、５２の上端部は、ソース領域２０に接続されていてもよい。第１および第２高濃度部５１、５２の上端部は、コンタクト領域２１およびソース領域２０のいずれか一方または双方に接続されていてもよい。

[0207] 図８Ｌ（第１３形態例）を参照して、第１および第２高濃度部５１、５２は、第１１形態例の場合において、第５形態例の場合と同様、第２領域１３の底部を横切り、第１領域７内に位置された下端部を有していてもよい。

[0208] 図８Ｍ（第１４形態例）を参照して、第１および第２高濃度部５１、５２は、第１３形態例の場合において、第２～第４形態例のいずれか１つの場合と同様、コンタクト領域２１およびソース領域２０のいずれか一方または双方に接続された上端部を有していてもよい。

[0209] 図８Ｎ（第１５形態例）を参照して、第１および第２高濃度部５１、５２は、第１１形態例の場合において、第７形態例または第８形態例の場合と同様、複数のゲート構造１５の底壁の深さ位置から第１面部８側に間隔を空け

て形成された下端部を有していてもよい。この場合、第１および第２高濃度部５１、５２は、第１４形態例の場合と同様、コンタクト領域２１およびソース領域２０のいずれか一方または双方に接続された上端部を有していてもよい。

[0210] 図８０（第１６形態例）を参照して、第１および第２高濃度部５１、５２は、第１１形態例の場合において、第９形態例または第１０形態例の場合と同様、複数のゲート構造１５の底壁の深さ位置から第２領域１３の底部側に間隔を空けて形成された上端部を有していてもよい。この場合、第１および第２高濃度部５１、５２は、第１３形態例の場合と同様、第１領域７内に位置された下端部を有していてもよい。

[0211] 以上、半導体装置１は、チップ２、ｎ型（第１導電型）の第１領域７、ｐ型（第２導電型）の第２領域１３、トレンチ型のゲート構造１５、ｎ型のソース領域２０、および、ｎ型のドリフト領域２５を含む。チップ２は、第１主面３を有している。第１領域７は、チップ２内で第１主面３の表層部に形成されている。第２領域１３は、チップ２内で第１領域７に対して第１主面３側の領域に形成されている。

[0212] ゲート構造１５は、第２領域１３の底部から離間して第１主面３に形成されている。ソース領域２０は、ゲート構造１５に沿って第１主面３の表層部に形成されている。ドリフト領域２５は、第２領域１３の底部およびゲート構造１５の底壁の間の厚さ範囲に形成され、ソース領域２０とチャネルを区画している。

[0213] この構成によれば、チャネルを介して第１領域７およびソース領域２０を結ぶ電流経路がドリフト領域２５によって形成される。これにより、新規なレイアウトを有する半導体装置１が提供されることができる。

[0214] たとえば、この半導体装置１によれば、ゲート構造１５の底壁が、第２領域１３の底部の深さ位置よりも下方に位置されている。したがって、第１領域７および第２領域１３の間の境界部（ｐｎ接合部）に起因する空乏層が、ゲート構造１５の底壁よりも下方の領域で拡がる。これにより、比較的簡素

な構成によって耐圧が向上されることができる。

[0215] チップ２は、ＳｉＣを含んでいてもよい。この構成によれば、新規なレイアウトを有する半導体装置１としてのＳｉＣ半導体装置が提供される。ＳｉＣ半導体装置によれば、ＳｉＣの物性を利用することにより、耐圧が更に向上されることができる。

[0216] ドリフト領域２５は、第２領域１３の底部を横切り、第１領域７に接続されていてもよい。ドリフト領域２５は、ゲート構造１５の底壁に接続されていてもよい。ドリフト領域２５は、ゲート構造１５よりも幅広に形成されていてもよい。これらの構成によれば、第１領域７およびソース領域２０を結ぶ電流経路が、比較的簡素な構成によって適切に形成されることができる。

[0217] ドリフト領域２５は、ゲート構造１５の底壁の深さ位置を基準としたとき、ゲート構造１５の深さ未満の深さを有していてもよい。この構成によれば、ドリフト領域２５の深さばらつきが抑制されることができる。これにより、第１領域７およびソース領域２０を結ぶ電流経路が適切に形成されることができる。

[0218] ドリフト領域２５は、ゲート構造１５の側壁に沿って第１主面３側に向けて延び、ソース領域２０からゲート構造１５の底壁側に間隔を空けて形成された延部を有していてもよい。この構成によれば、第１領域７およびソース領域２０を結ぶ電流経路が、ドリフト領域２５の延部の利用によって適切に形成されることができる。

[0219] 複数のゲート構造１５が、間隔を空けて第１主面３に形成されていてもよい。複数のソース領域２０が、複数のゲート構造１５に沿って形成されていてもよい。複数のドリフト領域２５が、第２領域１３の底部およびゲート構造１５の底壁の間の厚さ範囲にそれぞれ形成されていてもよい。

[0220] この構成によれば、複数のチャネルを介して第１領域７および複数のソース領域２０を結ぶ電流経路が複数のドリフト領域２５によって形成される。また、この構成によれば、複数のゲート構造１５、複数のソース領域２０および複数のドリフト領域２５を有する構成において、耐圧が向上されること

ができる。

[0221] 半導体装置１は、ｐ型の高濃度領域３０を含んでいてもよい。高濃度領域３０は、第２領域１３内においてゲート構造１５の側方に形成され、第２領域１３のｐ型不純物濃度よりも高いｐ型不純物濃度を有していてもよい。この構成によれば、電気的特性を向上できる半導体装置１が提供される。

[0222] たとえば、この半導体装置１によれば、高濃度領域３０によってゲート構造１５の近傍の第２領域１３のｐ型不純物濃度が局所的に増加され、第２領域１３の全体のｐ型不純物濃度の増加が高濃度領域３０によって抑制される。これにより、ゲート構造１５の近傍の電界強度が高濃度領域３０によって緩和されることができる。

[0223] また、この構成によれば、ゲート構造１５の側方において、ドリフト領域２５のｎ型不純物濃度に起因する第２領域１３のｐ型不純物濃度の低下が抑制される。これにより、ドリフト領域２５のｎ型不純物濃度に起因する短チャネル効果、および、当該短チャネル効果に起因するリーク電流が高濃度領域３０によって抑制されることができる。

[0224] また、第２領域１３の全体のｐ型不純物濃度の増加が高濃度領域３０によって抑制されるため、第２領域１３の高濃度化に起因するドリフト領域２５のｎ型不純物濃度の低下が抑制されることができる。これにより、ドリフト領域２５の電気的特性の変動が抑制されることができる。

[0225] 高濃度領域３０は、第１主面３に沿う方向にドリフト領域２５に隣り合っていてもよい。高濃度領域３０は、第１主面３から第２領域１３の底部側に間隔を空けて形成されていてもよい。高濃度領域３０は、第２領域１３の底部から第１主面３側に間隔を空けて形成されていてもよい。高濃度領域３０は、ゲート構造１５の底壁の深さ位置に対して第１主面３側に位置された部分を有していてもよい。この構成によれば、短チャネル効果が適切に抑制されることができる。

[0226] 高濃度領域３０は、ゲート構造１５の底壁の深さ位置に対して第２領域１３の底部側に位置された部分を有していてもよい。この構成によれば、ゲー

ト構造１５の底壁に対する電界集中が適切に緩和されることができる。

[0227] 高濃度領域３０は、断面視においてチップ２の厚さ方向に延びていてもよい。この構成によれば、厚さ方向に延びる高濃度領域３０によって電界緩和効果および短チャネル効果の抑制効果が発揮される。

[0228] 高濃度領域３０は、ドリフト領域２５から間隔を空けて形成されていてもよい。この構成によれば、ドリフト領域２５のｎ型不純物濃度に起因する高濃度領域３０の電気的特性の変動が抑制されることができると同時に、高濃度領域３０のｐ型不純物濃度に起因するドリフト領域２５の電気的特性の変動が抑制されることができる。

[0229] 半導体装置１は、第２領域１３の表層部に形成され、第２領域１３のｐ型不純物濃度よりも高いｐ型不純物濃度を有するｐ型のコンタクト領域２１を含んでいてもよい。この場合、高濃度領域３０は、コンタクト領域２１に電気的に接続されていてもよい。この構成によれば、高濃度領域３０の電気的な応答特性がコンタクト領域２１によって向上されることができる。

[0230] 高濃度領域３０は、チップ２の厚さ方向にコンタクト領域２１に重なる領域に形成されていてもよい。高濃度領域３０は、コンタクト領域２１よりも幅広に形成されていてもよい。高濃度領域３０は、コンタクト領域２１に直接接続されていてもよい。高濃度領域３０は、コンタクト領域２１から第２領域１３の底部側に間隔を空けて形成され、第２領域１３の一部を介してコンタクト領域２１に電気的に接続されていてもよい。

[0231] 別視点において、半導体装置１は、チップ２、ｎ型（第１導電型）の第１領域７、ｐ型（第２導電型）の第２領域１３、トレンチ型のゲート構造１５、ｎ型のドリフト領域２５、および、ｐ型の高濃度領域３０を含む。チップ２は、第１主面３を有している。第１領域７は、チップ２内で第１主面３の表層部に形成されている。第２領域１３は、チップ２内で第１領域７に対して第１主面３側の領域に形成されている。

[0232] ゲート構造１５は、第２領域１３の底部から離間して第１主面３に形成されている。ドリフト領域２５は、第２領域１３の底部およびゲート構造１５

の底壁の間の厚さ範囲に形成されている。高濃度領域３０は、第２領域１３内でゲート構造１５の側方に形成され、第２領域１３の不純物濃度よりも高い不純物濃度を有している。

[0233] この構成によれば、新規なレイアウトを有する半導体装置１が提供されることができる。たとえば、この半導体装置１によれば、高濃度領域３０によってゲート構造１５の近傍の第２領域１３のｐ型不純物濃度が局所的に増加され、第２領域１３の全体のｐ型不純物濃度の増加が高濃度領域３０によって抑制される。これにより、ゲート構造１５の近傍の電界強度が高濃度領域３０によって緩和されることができる。

[0234] また、この構成によれば、ゲート構造１５の側方において、ドリフト領域２５のｎ型不純物濃度に起因する第２領域１３のｐ型不純物濃度の低下が抑制される。これにより、ドリフト領域２５のｎ型不純物濃度に起因する短チャネル効果、および、当該短チャネル効果に起因するリーク電流が高濃度領域３０によって抑制されることができる。

[0235] また、第２領域１３の全体のｐ型不純物濃度の増加が高濃度領域３０によって抑制されるため、第２領域１３の高濃度化に起因するドリフト領域２５のｎ型不純物濃度の低下が抑制されることができる。これにより、ドリフト領域２５の電気的特性の変動が抑制されることができる。

[0236] 高濃度領域３０は、第１主面３に沿う方向にドリフト領域２５に対向する部分を有していてもよい。この構成によれば、ドリフト領域２５に対向する部分を有する高濃度領域３０によって電界緩和効果および短チャネル効果の抑制効果が発揮される。

[0237] 図９は、半導体装置１の製造に使用されるウエハ６０を示す概略図である。ウエハ６０は、チップ２の基材であり、ＳｉＣ単結晶を含む。ウエハ６０は、扁平な円盤状に形成されている。むろん、ウエハ６０は、扁平な直方体形状に形成されていてもよい。ウエハ６０は、一方側の第１ウエハ主面６１、他方側の第２ウエハ主面６２、ならびに、第１ウエハ主面６１および第２ウエハ主面６２を接続するウエハ側面６３を有している。

[0238] 第１ウエハ主面６１はチップ２の第１主面３に対応し、第２ウエハ主面６２はチップ２の第２主面４に対応している。第１ウエハ主面６１および第２ウエハ主面６２は、ＳｉＣ単結晶のｃ面によって形成されている。第１ウエハ主面６１はＳｉＣ単結晶のシリコン面によって形成され、第２ウエハ主面６２はＳｉＣ単結晶のカーボン面によって形成されている。ウエハ６０（第１ウエハ主面６１および第２ウエハ主面６２）は、前述のオフ方向およびオフ角を有している。

[0239] ウエハ６０は、ウエハ側面６３においてＳｉＣ単結晶の結晶方位を示す目印６４を有している。目印６４は、オリエンテーションフラットおよびオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。オリエンテーションフラットは、平面視において直線状に切り欠かれた切り欠き部からなる。オリエンテーションノッチは、平面視において第１ウエハ主面６１の中央部に向けて凹形状（たとえば先細り形状）に切り欠かれた切り欠き部からなる。

[0240] 目印６４は、ａ軸方向に延びる第１のオリエンテーションフラット、および、ｍ軸方向に延びる第２のオリエンテーションフラットのいずれか一方または双方を含んでいてもよい。目印６４は、ａ軸方向に窪んだオリエンテーションノッチ、および、ｍ軸方向に窪んだオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。

[0241] ウエハ６０は、第２ウエハ主面６２の表層部に形成されたｎ型のベース領域６を含む。ベース領域６は、第２ウエハ主面６２に沿って延びる層状に形成され、第２ウエハ主面６２およびウエハ側面６３から露出している。ベース領域６は、この形態では、ＳｉＣ単結晶（半導体単結晶）を含むｎ型の半導体ウエハ（ＳｉＣウエハ）からなり、前述のオフ方向およびオフ角を有している。

[0242] ウエハ６０は、第１ウエハ主面６１の表層部に形成されたｎ型の第１領域７を含む。第１領域７は、第１ウエハ主面６１に沿って延びる層状に形成され、第１ウエハ主面６１およびウエハ側面６３から露出している。

[0243] 第１領域７は、ＳｉＣ単結晶（半導体単結晶）を含むｎ型のエピタキシャル層（ＳｉＣエピタキシャル層）からなり、ベース領域６の上に積層されている。つまり、ウエハ６０は、この形態では、半導体ウエハおよびエピタキシャル層を含む積層構造を有するエピタキシャルウエハ（所謂エピウエハ）からなる。第１領域７は、前述のオフ方向およびオフ角を有している。

[0244] ウエハ６０は、複数のデバイス領域６５および複数の切断予定ライン６６を含む。たとえば、複数のデバイス領域６５および複数の切断予定ライン６６は、第１ウエハ主面６１側に形成されたアライメントマーク等によって区画されている。各デバイス領域６５は、半導体装置１に対応する領域である。複数のデバイス領域６５は、平面視において四角形状にそれぞれ設定されている。

[0245] 複数のデバイス領域６５は、この形態では、平面視において第１方向Ｘおよび第２方向Ｙに沿って行列状に設定される。複数のデバイス領域６５は、平面視において第１ウエハ主面６１の周縁から内方に間隔を空けてそれぞれ設定されている。複数の切断予定ライン６６は、複数のデバイス領域６５を区画するように第１方向Ｘおよび第２方向Ｙに沿って延びる格子状に設定されている。

[0246] 図１０Ａ～図１０Ｎは、半導体装置１の製造方法の一例を示す断面図である。図１０Ａ～図１０Ｎでは、図６に対応した領域の断面が示されている。まず、図１０Ａを参照して、前述のウエハ６０（図９）が用意される。

[0247] 次に、図１０Ｂを参照して、第２領域１３が第１ウエハ主面６１の表層部に形成される。この工程では、まず、所定のレイアウトを有するマスク（図示せず）が第１ウエハ主面６１の上に形成される。マスク（図示せず）は、無機マスクおよび有機マスク（レジストマスク）のいずれか一方または双方を含む単層構造または積層構造を有していてもよい。マスク（図示せず）は、第２領域１３を形成すべき領域を露出させ、それ以外の領域を被覆している。

[0248] 次に、マスク（図示せず）を介するイオン注入法によってｐ型不純物が第

１領域７に導入される。イオン注入法は、チャネリングイオン注入法およびランダムイオン注入法のいずれか一方または双方であってもよい。チャネリングイオン注入工程では、第１領域７（ウエハ６０）の軸チャネルに沿ってｐ型不純物が第１領域７内に導入される。

[0249] チャネリングイオン注入工程では、ｐ型不純物がチャネリング効果に起因する小角散乱を繰り返しながら第１領域７の深い領域まで注入される。つまり、チャネリング注入法の場合、ＳｉＣ単結晶の原子列に対するｐ型不純物の衝突確率が低減される。したがって、チャネリングイオン注入工程は、比較的深い第２領域１３を形成する場合に有効である。

[0250] 一方、ランダムイオン注入工程では、ｐ型不純物がランダム方向に第１領域７に導入される。ランダム方向は、第１領域７の軸チャネル以外の方向（つまり軸チャネルに交差する方向）である。たとえば、ランダム方向は、鉛直方向Ｚである。ランダムイオン注入工程の場合、ＳｉＣ単結晶の原子列に対するｐ型不純物の衝突確率が高いため、第２領域１３が比較的浅い領域に形成される。したがって、ランダムイオン注入工程は、比較的浅い第２領域１３を形成する場合に有効である。

[0251] この工程では、ｐ型不純物は、第１領域７の底部側の領域を残存させるように第１領域７の表層部側の領域に導入される。ｐ型不純物は、第１領域７（ウエハ６０）に対して単一の目的深さ範囲に一段階で注入されてもよい。ｐ型不純物は、第１領域７（ウエハ６０）の異なる複数の目的深さ範囲に対して多段段階で注入されてもよい。これにより、第２領域１３が第１ウエハ主面６１の表層部に形成される。

[0252] 次に、図１０Ｃを参照して、複数のソース領域２０が第１ウエハ主面６１の表層部に形成される。この工程では、まず、所定のレイアウトを有する第１マスク７０が第１ウエハ主面６１の上に形成される。第１マスク７０は、無機マスクおよび有機マスク（レジストマスク）のいずれか一方または双方を含む単層構造または積層構造を有していてもよい。第１マスク７０は、複数のソース領域２０を形成すべき領域を露出させ、それら以外の領域を被覆

している。

[0253] 次に、第１マスク７０を介するイオン注入法によって、ｎ型不純物が第１ウエハ主面６１の表層部に導入される。イオン注入法は、チャネリングイオン注入法およびランダムイオン注入法のいずれか一方または双方であってもよい。イオン注入法は、ランダムイオン注入法であることが好ましい。これにより、複数のソース領域２０が第１ウエハ主面６１の表層部に形成される。第１マスク７０は、その後除去される。

[0254] 次に、図１０Ｄを参照して、複数のコンタクト領域２１が第１ウエハ主面６１の表層部に形成される。この工程では、まず、所定のレイアウトを有する第２マスク７１が第１ウエハ主面６１の上に形成される。第２マスク７１は、無機マスクおよび有機マスク（レジストマスク）のいずれか一方または双方を含む単層構造または積層構造を有していてもよい。第２マスク７１は、複数のコンタクト領域２１を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0255] 次に、第２マスク７１を介するイオン注入法によって、ｐ型不純物が第１ウエハ主面６１の表層部に導入される。イオン注入法は、チャネリングイオン注入法およびランダムイオン注入法のいずれか一方または双方であってもよい。イオン注入法は、ランダムイオン注入法であることが好ましい。これにより、複数のコンタクト領域２１が第１ウエハ主面６１の表層部に形成される。第２マスク７１は、その後除去される。

[0256] ソース領域２０の形成工程において、ｎ型不純物は、第１マスク７０を介さずに第１ウエハ主面６１の表層部の全域に形成されてもよい。この場合、複数のソース領域２０のベースとなるベースソース領域（２０）が第１ウエハ主面６１の表層部の全域に形成される。

[0257] コンタクト領域２１の形成工程では、ベースソース領域（２０）の導電型がｎ型からｐ型に置換させるように、ｐ型不純物が第２マスク７１を介するイオン注入法によって第１ウエハ主面６１の表層部に導入される。むろん、ソース領域２０の形成工程およびコンタクト領域２１の形成工程の順序は入

れ替えられてもよい。

[0258] 次に、図１０Ｅを参照して、第２面部９および複数のトレンチ１６が第１ウエハ主面６１に形成される。この工程では、まず、所定のレイアウトを有する第３マスク７２が第１ウエハ主面６１の上に形成される。第３マスク７２は、無機マスクおよび有機マスク（レジストマスク）のいずれか一方または双方を含む単層構造または積層構造を有していてもよい。第３マスク７２は、第２面部９および複数のトレンチ１６複数を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0259] 次に、ウエハ６０の不要な部分が第３マスク７２を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法およびドライエッチング法のいずれか一方または双方であってもよい。エッチング法は、ドライエッチング法の一例であるＲＩＥ法（Reactive Ion Etching method）であることが好ましい。これにより、第２面部９および複数のトレンチ１６が形成される。この工程では、複数のトレンチ１６が第１ウエハ主面６１に対してほぼ垂直に形成される。また、複数のトレンチ１６の底壁が平坦に形成される。

[0260] 次に、図１０Ｆを参照して、複数のドリフト領域２５がウエハ６０（第２領域１３）内に形成される。この工程では、まず、所定のレイアウトを有する第４マスク７３が第１ウエハ主面６１の上に形成される。第４マスク７３は、無機マスクおよび有機マスク（レジストマスク）のいずれか一方または双方を含む単層構造または積層構造を有していてもよい。第４マスク７３は、複数のドリフト領域２５を形成すべき領域（つまり複数のトレンチ１６）を露出させ、それら以外の領域を被覆している。

[0261] 次に、第４マスク７３を介するイオン注入法によって、ｎ型不純物が複数のトレンチ１６の底壁を介して第２領域１３の内部に導入される。ｎ型不純物は、第１領域７に至るように複数のトレンチ１６の底壁および第２領域１３の底部の間の厚さ範囲に導入される。ｎ型不純物は、この工程では、複数のトレンチ１６の底壁および第２領域１３の底部に接続されるように導入さ

れる。

[0262] イオン注入法は、チャネリングイオン注入法およびランダムイオン注入法のいずれか一方または双方であってもよい。イオン注入法は、ランダムイオン注入法であることが好ましい。ランダムイオン注入法は、垂直イオン注入法および斜めイオン注入法のいずれか一方または双方であってもよい。

[0263] 垂直イオン注入法の場合、ｎ型不純物は第１ウエハ主面６１に対してほぼ垂直な注入角度で第２領域１３の内部に導入される。斜めイオン注入法の場合、ｎ型不純物は第１ウエハ主面６１に対して斜め傾斜した注入角度で第２領域１３の内部に導入される。斜めイオン注入法の場合、ｎ型不純物は複数のトレンチ１６の底壁および複数のトレンチ１６の側壁の下端部を介して第２領域１３の内部に導入される

[0264] 鉛直軸を基準（０°）とするｎ型不純物の注入角度は、０°よりも大きく４５°以下であってもよい。注入角度は、０°よりも大きく５°以下、５°以上１０°以下、１０°以上１５°以下、１５°以上２０°以下、２０°以上２５°以下、２５°以上３０°以下、３０°以上３５°以下、３５°以上４０°以下、および、４０°以上４５°以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0265] 斜めイオン注入法では、鉛直線に対して正の注入角度および負の注入角度でｎ型不純物が注入される。注入角度の正負は相対的に定義される。したがって、鉛直線に対して水平方向（この形態では第１方向Ｘ）の一方側が正の注入角度と定義された場合、鉛直線に対して水平方向（この形態では第１方向Ｘ）の他方側が負の注入角度に定義される。

[0266] ｎ型不純物は、第２領域１３（ウエハ６０）に対して単一の目的深さ範囲に一段階で注入されてもよい。ｎ型不純物は、第２領域１３（ウエハ６０）の異なる複数の目的深さ範囲に対して多段段階で注入されてもよい。

[0267] 複数のトレンチ１６は平坦な底壁を有しているため、トレンチ１６の底壁の深さばらつきに起因するｎ型不純物の導入深さのばらつきが抑制される。これにより、第２領域１３に対するｎ型不純物の導入精度が向上され、複数

のドリフト領域２５が適切に形成される。これにより、複数のドリフト領域２５が形成される。

[0268] 次に、図１０Ｇを参照して、複数の高濃度領域３０が第２領域１３の内部に形成される。この工程では、第４マスク７３を介する斜めイオン注入法によって、ｐ型不純物が第１ウエハ主面６１に対して斜め傾斜した注入角度で複数のトレンチ１６の側壁を介して第２領域１３の内部に導入される。ｐ型不純物は、複数のトレンチ１６の間の領域に導入される。

[0269] 鉛直軸を基準（０°）とするｐ型不純物の注入角度は、０°よりも大きく４５°以下であってもよい。注入角度は、０°よりも大きく５°以下、５°以上１０°以下、１０°以上１５°以下、１５°以上２０°以下、２０°以上２５°以下、２５°以上３０°以下、３０°以上３５°以下、３５°以上４０°以下、および、４０°以上４５°以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0270] 斜めイオン注入法では、鉛直線に対して正の注入角度および負の注入角度でｐ型不純物が注入される。前述の第１～第１６形態例に係る高濃度領域３０（図７、図８Ａ～図８０参照）は、ｐ型不純物の注入角度、ｐ型不純物の注入エネルギ、トレンチ１６の開口幅、トレンチ１６の深さ、複数のトレンチ１６の間隔（ゲートピッチ）、第４マスク７３の厚さ等を適宜調節することによって形成される。

[0271] ｐ型不純物は、第２領域１３（ウエハ６０）に対して単一の目的深さ範囲に一段階で注入されてもよい。ｐ型不純物は、第２領域１３（ウエハ６０）の異なる複数の目的深さ範囲に対して多段段階で注入されてもよい。これにより、複数の高濃度領域３０が第２領域１３内において複数のトレンチ１６の間の領域に形成される。

[0272] ドリフト領域２５の形成工程および高濃度領域３０の形成工程の順序は任意である。したがって、ドリフト領域２５の形成工程は、高濃度領域３０の形成工程の後に実施されてもよい。この形態では、ドリフト領域２５および高濃度領域３０が第４マスク７３を利用して形成されたが、ドリフト領域２

５および高濃度領域３０は異なる材質および／または異なる厚さを有する複数のマスクを利用して形成されてもよい。

[0273] つまり、ドリフト領域２５が第４マスク７３を利用して形成される一方で、高濃度領域３０は第４マスク７３とは異なるマスクを利用して形成されてもよい。複数の高濃度領域３０が第４マスク７３とは異なるマスクを利用して形成される場合、複数の高濃度領域３０は第１ウエハ主面６１を介して第２領域１３（ウエハ６０）にｐ型不純物を導入することによって形成されてもよい。

[0274] この場合、複数のトレンチ１６を埋めて第１ウエハ主面６１を選択的に露出させるマスクが形成される。ｐ型不純物は、マスクを介するイオン注入法によって第２領域１３（ウエハ６０）に導入される。イオン注入法は、チャネリングイオン注入法およびランダムイオン注入法のいずれか一方または双方であってもよい。

[0275] 次に、図１０Ｈを参照して、ベース絶縁膜７４が第１ウエハ主面６１に形成される。ベース絶縁膜７４は、複数の絶縁膜１７および主面絶縁膜３５のベースとなる。ベース絶縁膜７４は、第１面部８、第２面部９、第１～第４接続面部１０Ａ～１０Ｄおよび複数のトレンチ１６の壁面を一括して膜状に被覆する。ベース絶縁膜７４は、ＣＶＤ法および酸化処理法（たとえば熱酸化処理法）のいずれか一方または双方によって形成されてもよい。

[0276] 次に、図１０Ｉを参照して、第１ベース電極膜７５がベース絶縁膜７４の上に形成される。第１ベース電極膜７５は、複数の埋設電極１８のベースとなる。第１ベース電極膜７５は、ベース絶縁膜７４を挟んで第１ウエハ主面６１を被覆する部分、および、ベース絶縁膜７４を挟んで複数のトレンチ１６に埋設された部分を有している。ベース絶縁膜７４は、ＣＶＤ法によって形成されてもよい。

[0277] 次に、図１０Ｊを参照して、第１ベース電極膜７５の不要な部分がエッチング法によってベース絶縁膜７４が露出するまで除去される。エッチング法は、ウエットエッチング法およびドライエッチング法のいずれか一方または

双方であってもよい。これにより、複数の埋設電極１８が形成される。また、複数のゲート構造１５が形成される。

[0278] 次に、図１０Ｋを参照して、層間膜３６が第１ウエハ主面６１（具体的には第１ベース電極膜７５）の上に形成される。層間膜３６は、第１面部８、第２面部９、第１～第４接続面部１０Ａ～１０Ｄ、複数のゲート構造１５を一括して膜状に被覆する。層間膜３６は、ＣＶＤ法によって形成されてもよい。

[0279] 次に、図１０Ｌを参照して、所定のレイアウトを有する第５マスク７６が層間膜３６の上に形成される。第５マスク７６は、有機マスク（レジストマスク）であってもよい。第５マスク７６は、複数のソース開口３７および複数のゲート開口３８を形成すべき領域を露出させ、それら以外の領域を被覆している。次に、層間膜３６の不要な部分が第５マスク７６を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法およびドライエッチング法のいずれか一方または双方であってもよい。

[0280] 次に、ベース絶縁膜７４の不要な部分が第５マスク７６を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法およびドライエッチング法のいずれか一方または双方であってもよい。ベース絶縁膜７４の不要な部分は、層間膜３６と同時に除去されてもよい。これにより、複数のソース開口３７および複数のゲート開口３８が層間膜３６に形成される。また、複数の絶縁膜１７および主面絶縁膜３５が形成される。第５マスク７６は、その後、除去される。

[0281] 次に、図１０Ｍを参照して、第２ベース電極膜７７が層間膜３６の上に形成される。第２ベース電極膜７７は、ソース電極４０、ゲート電極４５およびゲート配線４６のベースである。第２ベース電極膜７７は、下電極膜４１および主電極膜４２を含む積層構造を有している。下電極膜４１は、第１電極膜４３および第２電極膜４４を含む積層構造を有している。

[0282] 第１電極膜４３は、スパッタ法および蒸着法のいずれか一方または双方によって形成されてもよい。第１電極膜４３は、第１ウエハ主面６１、層間膜

３６、複数のソース開口３７の壁面および複数のゲート開口３８の壁面に沿って膜状に形成される。第２電極膜４４は、スパッタ法および蒸着法のいずれか一方または双方によって形成されてもよい。第２電極膜４４は、第１電極膜４３の上に積層され、第１ウエハ主面６１、層間膜３６、複数のソース開口３７の壁面および複数のゲート開口３８の壁面に沿って膜状に形成される。

[0283] 主電極膜４２は、下電極膜４１の上に形成される。主電極膜４２は、スパッタ法および蒸着法のいずれか一方または双方によって形成されてもよい。主電極膜４２は、下電極膜４１の上に積層され、第１ウエハ主面６１、層間膜３６、複数のソース開口３７の壁面および複数のゲート開口３８の壁面に沿って膜状に形成される。

[0284] 次に、第２ベース電極膜７７がソース電極４０、ゲート電極４５およびゲート配線４６に分割される。この工程では、所定のレイアウトを有するマスク（図示せず）が主電極膜４２の上に形成される。マスク（図示せず）は、ソース電極４０、ゲート電極４５およびゲート配線４６を形成すべき領域を被覆し、これら以外の領域を露出させている。

[0285] 次に、マスク（図示せず）を介するエッチング法によって主電極膜４２の不要な部分が除去される。主電極膜４２の不要な部分は、下電極膜４１が露出するまで除去される。エッチング法は、ウエットエッチング法およびドライエッチング法のいずれか一方または双方であってもよい。マスク（図示せず）は、主電極膜４２のエッチング工程後、除去される。

[0286] 次に、主電極膜４２をマスクとするエッチング法によって下電極膜４１の不要な部分が除去される。下電極膜４１の不要な部分は、層間膜３６が露出するまで除去される。下電極膜４１の除去工程は、エッチング法によって第２電極膜４４を除去する工程、および、エッチング法によって第１電極膜４３を除去する工程を含む。エッチング法は、ウエットエッチング法およびドライエッチング法のいずれか一方または双方であってもよい。

[0287] これにより、ソース電極４０、ゲート電極４５およびゲート配線４６が形

成される。むろん、下電極膜４１の不要な部分は、主電極膜４２のエッチング工程に係るマスク（図示せず）を介するエッチング法によって除去されてもよい。

[0288] 次に、図１０Ｎを参照して、第２ウエハ主面６２の上にドレイン電極４７が形成される。ドレイン電極４７は、スパッタ法および蒸着法のいずれか一方または双方によって形成されてもよい。その後、切断予定ライン６６（図９参照）に沿ってウエハ６０が切断され、複数の半導体装置１が切り出される。以上を含む工程を経て、半導体装置１が製造される。

[0289] 図１１は、変形例に係る半導体装置１を示す拡大断面図である。図１１を参照して、半導体装置１は、第２領域１３内において複数のゲート構造１５の側壁に沿う領域にそれぞれ形成されたｐ型の複数の高濃度領域３０を含む。複数の高濃度領域３０は、この形態では、複数のゲート構造１５の間の領域において互いに間隔を空けて形成され、第２領域１３の一部を挟んで互いに対向している。

[0290] 複数の高濃度領域３０は、複数のゲート構造１５の両サイドにそれぞれ形成され、対応する絶縁膜１７を挟んで対応する埋設電極１８に対向している。複数の高濃度領域３０は、平面視において複数のゲート構造１５に沿って第２方向Ｙに帯状にそれぞれ延びている。

[0291] 複数の高濃度領域３０は、断面視において複数のソース領域２０および複数のドリフト領域２５の間の領域にそれぞれ形成され、対応するゲート構造１５の側壁に沿って鉛直方向Ｚに延びている。つまり、トランジスタ構造Ｔｒのチャネルの一部または全部は、複数の高濃度領域３０に形成される。複数の高濃度領域３０は、隣り合うゲート構造１５から対応するゲート構造１５側に間隔を空けてそれぞれ形成され、第２領域１３の一部を挟んで互いに対向している。

[0292] 複数の高濃度領域３０は、この形態では、複数のコンタクト領域２１から水平方向（第１方向Ｘ）に間隔を空けて形成され、第２領域１３の一部を介して複数のコンタクト領域２１に電気的に接続されている。むろん、高濃度

領域３０は、複数のコンタクト領域２１に接続されていてもよい。

[0293] 以下、１つの高濃度領域３０の構成が説明される。高濃度領域３０は、第１面部８側の上端部、および、ゲート構造１５の底壁側の下端部（底部）を有している。高濃度領域３０の上端部は、ゲート構造１５の中間部の深さ位置に対して第１面部８側に位置されていてもよいし、ゲート構造１５の中間部の深さ位置に対してゲート構造１５の底壁側に位置されていてもよい。

[0294] 高濃度領域３０の上端部は、この形態では、ソース領域２０に接続されている。むろん、高濃度領域３０の上端部は、ソース領域２０からゲート構造１５の底壁側に間隔を空けて形成されていてもよい。高濃度領域３０の下端部は、ゲート構造１５の中間部の深さ位置に対して第１面部８側に位置されていてもよいし、ゲート構造１５の中間部の深さ位置に対してゲート構造１５の底壁側に位置されていてもよい。

[0295] 高濃度領域３０の下端部は、この形態では、ドリフト領域２５（具体的にドリフト領域２５の上端部）に接続されている。むろん、高濃度領域３０の下端部は、ドリフト領域２５（具体的にドリフト領域２５の上端部）から第１面部８側に間隔を空けて形成されていてもよい。

[0296] 高濃度領域３０は、ドリフト領域２５よりも外方（隣り合うゲート構造１５側）に張り出した縁部を有していてもよい。むろん、高濃度領域３０の縁部は、ドリフト領域２５よりもゲート構造１５側に位置されていてもよい。高濃度領域３０の縁部は、コンタクト領域２１から対応するゲート構造１５側に間隔を空けて形成されていることが好ましい。むろん、高濃度領域３０の縁部は、コンタクト領域２１に接続されていてもよい。

[0297] 前述の形態（変形例を含む）はさらに他の形態で実施できる。たとえば、前述の形態において、「ｎ型」の半導体領域の導電型が「ｐ型」に反転され、「ｐ型」の半導体領域の導電型が「ｎ型」に反転された構造が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において、「ｎ型」を「ｐ型」に置き換えると同時に、「ｐ型」を「ｎ型」に置き換えることによって得られる。

[0298] 前述の形態では、ＳｉＣ単結晶を含むチップ２が採用された。しかし、チップ２は、シリコン単結晶を含んでいてもよい。同様に、ベース領域６は、シリコン単結晶を含んでいてもよい。同様に、第１領域７は、シリコン単結晶を含んでいてもよい。

[0299] 前述の形態において、チップ２の第２主面４の表層部にｐ型のコレクタ領域が形成されてもよい。この場合、トランジスタ構造Ｔｒは、ＭＩＳＦＥＴ構造に代えてＩＧＢＴ（Insulated Gate Bipolar Transistor）構造を含む。この場合の具体的な構成は、前述の説明において、ＭＩＳＦＥＴ構造の「ソース」をＩＧＢＴ構造の「エミッタ」に置き換え、ＭＩＳＦＥＴ構造の「ドレイン」をＩＧＢＴ構造の「コレクタ」に置き換えることによって得られる。この場合、チップ２は、ｎ型の半導体基板からなる単層構造を有していてもよい。

[0300] 以下、この明細書および図面から抽出される特徴例が示される。以下、括弧内の英数字等は前述の形態の対応構成要素等を表すが、各項目（Clause）の範囲を前述の形態に限定する趣旨ではない。以下の項目に係る「半導体装置」は、必要に応じて「ＳｉＣ半導体装置」、「ワイドバンドギャップ半導体装置」、「半導体スイッチング装置」、「ＭＩＳＦＥＴ装置」、「ＩＧＢＴ装置」等に置き換えられてもよい。

[0301] ［Ａ１］主面（３）を有するチップ（２）と、前記チップ（２）内で前記主面（３）の表層部に形成された第１導電型（n-type）の第１領域（７）と、前記チップ（２）内で前記第１領域（７）に対して前記主面（３）側の領域に形成された第２導電型（p-type）の第２領域（１３）と、前記第２領域（１３）の底部から離間して前記主面（３）に形成されたトレンチ型のゲート構造（１５）と、前記ゲート構造（１５）に沿って前記主面（３）の表層部に形成された第１導電型（n-type）の不純物領域（２０）と、前記第２領域（１３）の底部および前記ゲート構造（１５）の底壁の間の厚さ範囲に形成され、前記不純物領域（２０）とチャネルを区画する第１導電型（n-type）のドリフト領域（２５）と、を含む、半導体装置（１）。

[0302] ［Ａ２］前記チップ（２）は、ＳｉＣを含む、Ａ１に記載の半導体装置（１）。

[0303] ［Ａ３］前記ドリフト領域（２５）は、前記第２領域（１３）の底部を横切り、前記第１領域（７）に接続されている、Ａ１またはＡ２に記載の半導体装置（１）。

[0304] ［Ａ４］前記ドリフト領域（２５）は、前記ゲート構造（１５）の底壁に接続されている、Ａ１～Ａ３のいずれか一つに記載の半導体装置（１）。

[0305] ［Ａ５］前記ドリフト領域（２５）は、前記ゲート構造（１５）よりも幅広に形成されている、Ａ１～Ａ４のいずれか一つに記載の半導体装置（１）。

[0306] ［Ａ６］前記ドリフト領域（２５）は、前記ゲート構造（１５）の底壁の深さ位置を基準としたとき、前記ゲート構造（１５）の深さ未満の深さを有している、Ａ１～Ａ５のいずれか一つに記載の半導体装置（１）。

[0307] ［Ａ７］前記ドリフト領域（２５）は、前記ゲート構造（１５）の側壁に沿って前記主面（３）側に向けて延び、前記不純物領域（２０）から前記ゲート構造（１５）の底壁側に間隔を空けて形成された延部を有している、Ａ１～Ａ６のいずれか一つに記載の半導体装置（１）。

[0308] ［Ａ８］複数の前記ゲート構造（１５）が、間隔を空けて前記主面（３）に形成され、複数の前記不純物領域（２０）が、複数の前記ゲート構造（１５）に沿って形成され、複数の前記ドリフト領域（２５）が、前記第２領域（１３）の底部および前記ゲート構造（１５）の底壁の間の厚さ範囲にそれぞれ形成されている、Ａ１～Ａ７のいずれか一つに記載の半導体装置（１）。

[0309] ［Ａ９］前記第２領域（１３）内において前記ゲート構造（１５）の側方に形成され、前記第２領域（１３）の不純物濃度よりも高い不純物濃度を有する第２導電型（p-type）の高濃度領域（３０）をさらに含む、Ａ１～Ａ８のいずれか一つに記載の半導体装置（１）。

[0310] ［Ａ１０］前記高濃度領域（３０）は、前記主面（３）から前記第２領域

（１３）の底部側に間隔を空けて形成されている、Ａ９に記載の半導体装置（１）。

[0311] ［Ａ１１］前記高濃度領域（３０）は、前記第２領域（１３）の底部から前記主面（３）側に間隔を空けて形成されている、Ａ９またはＡ１０に記載の半導体装置（１）。

[0312] ［Ａ１２］前記高濃度領域（３０）は、前記ゲート構造（１５）の底壁の深さ位置に対して前記主面（３）側に位置された部分を有している、Ａ９～Ａ１１のいずれか一つに記載の半導体装置（１）。

[0313] ［Ａ１３］前記高濃度領域（３０）は、前記ゲート構造（１５）の底壁の深さ位置に対して前記第２領域（１３）の底部側に位置された部分を有している、Ａ９～Ａ１２のいずれか一つに記載の半導体装置（１）。

[0314] ［Ａ１４］前記高濃度領域（３０）は、断面視において前記チップ（２）の厚さ方向に延びている、Ａ９～Ａ１３のいずれか一つに記載の半導体装置（１）。

[0315] ［Ａ１５］前記第２領域（１３）の表層部に形成され、前記第２領域（１３）の不純物濃度よりも高い不純物濃度を有する第２導電型（p-type）のコンタクト領域（２１）をさらに含み、前記高濃度領域（３０）は、前記コンタクト領域（２１）に電気的に接続されている、Ａ９～Ａ１４のいずれか一つに記載の半導体装置（１）。

[0316] ［Ａ１６］前記高濃度領域（３０）は、前記チップ（２）の厚さ方向に前記コンタクト領域（２１）に重なる領域に形成されている、Ａ１５に記載の半導体装置（１）。

[0317] ［Ａ１７］前記高濃度領域（３０）は、前記コンタクト領域（２１）よりも幅広に形成されている、Ａ１５またはＡ１６に記載の半導体装置（１）。

[0318] ［Ａ１８］前記高濃度領域（３０）は、前記コンタクト領域（２１）から前記第２領域（１３）の底部側に間隔を空けて形成され、前記第２領域（１３）の一部を介して前記コンタクト領域（２１）に電気的に接続されている、Ａ１５～Ａ１７のいずれか一つに記載の半導体装置（１）。

[0319] ［Ａ１９］主面（３）を有するチップ（２）と、前記チップ（２）内で前記主面（３）の表層部に形成された第１導電型（n-type）の第１領域（７）と、前記チップ（２）内で前記第１領域（７）に対して前記主面（３）側の領域に形成された第２導電型（p-type）の第２領域（１３）と、前記第２領域（１３）の底部から離間して前記主面（３）に形成されたトレンチ型のゲート構造（１５）と、前記第２領域（１３）の底部および前記ゲート構造（１５）の底壁の間の厚さ範囲に形成された第１導電型（n-type）のドリフト領域（２５）と、前記第２領域（１３）内で前記ゲート構造（１５）の側方に形成され、前記第２領域（１３）の不純物濃度よりも高い不純物濃度を有する第２導電型（p-type）の高濃度領域（３０）と、を含む、半導体装置（１）。

[0320] ［Ａ２０］前記高濃度領域（３０）は、前記主面（３）に沿う方向に前記ドリフト領域（２５）に対向する部分を有している、Ａ１９に記載の半導体装置（１）。

[0321] 以上、具体的な形態が詳細に説明されたが、これらは技術的内容を明示する具体例に過ぎない。この明細書から抽出される種々の技術的思想は、明細書内の説明順序や形態例の順序等に制限されずにそれらの間で適宜組み合わせ可能である。

符号の説明

[0322] １　半導体装置
２　チップ
３　第１主面
７　第１領域
１３　第２領域
１５　ゲート構造
２０　ソース領域
２１　コンタクト領域
２５　ドリフト領域

３０　高濃度領域

請求の範囲

[請求項1] 主面を有するチップと、

前記チップ内で前記主面の表層部に形成された第１導電型の第１領域と、

前記チップ内で前記第１領域に対して前記主面側の領域に形成された第２導電型の第２領域と、

前記第２領域の底部から離間して前記主面に形成されたトレンチ型のゲート構造と、

前記ゲート構造に沿って前記主面の表層部に形成された第１導電型の不純物領域と、

前記第２領域の底部および前記ゲート構造の底壁の間の厚さ範囲に形成され、前記不純物領域とチャネルを区画する第１導電型のドリフト領域と、を含む、半導体装置。

[請求項2] 前記チップは、ＳｉＣを含む、請求項１に記載の半導体装置。

[請求項3] 前記ドリフト領域は、前記第２領域の底部を横切り、前記第１領域に接続されている、請求項１または２に記載の半導体装置。

[請求項4] 前記ドリフト領域は、前記ゲート構造の底壁に接続されている、請求項１～３のいずれか一項に記載の半導体装置。

[請求項5] 前記ドリフト領域は、前記ゲート構造よりも幅広に形成されている、請求項１～４のいずれか一項に記載の半導体装置。

[請求項6] 前記ドリフト領域は、前記ゲート構造の底壁の深さ位置を基準としたとき、前記ゲート構造の深さ未満の深さを有している、請求項１～５のいずれか一項に記載の半導体装置。

[請求項7] 前記ドリフト領域は、前記ゲート構造の側壁に沿って前記主面側に向けて延び、前記不純物領域から前記ゲート構造の底壁側に間隔を空けて形成された延部を有している、請求項１～６のいずれか一項に記載の半導体装置。

[請求項8] 複数の前記ゲート構造が、間隔を空けて前記主面に形成され、

複数の前記不純物領域が、複数の前記ゲート構造に沿って形成され、

複数の前記ドリフト領域が、前記第２領域の底部および前記ゲート構造の底壁の間の厚さ範囲にそれぞれ形成されている、請求項１～７のいずれか一項に記載の半導体装置。

[請求項9] 前記第２領域内において前記ゲート構造の側方に形成され、前記第２領域の不純物濃度よりも高い不純物濃度を有する第２導電型の高濃度領域をさらに含む、請求項１～８のいずれか一項に記載の半導体装置。

[請求項10] 前記高濃度領域は、前記主面から前記第２領域の底部側に間隔を空けて形成されている、請求項９に記載の半導体装置。

[請求項11] 前記高濃度領域は、前記第２領域の底部から前記主面側に間隔を空けて形成されている、請求項９または１０に記載の半導体装置。

[請求項12] 前記高濃度領域は、前記ゲート構造の底壁の深さ位置に対して前記主面側に位置された部分を有している、請求項９～１１のいずれか一項に記載の半導体装置。

[請求項13] 前記高濃度領域は、前記ゲート構造の底壁の深さ位置に対して前記第２領域の底部側に位置された部分を有している、請求項９～１２のいずれか一項に記載の半導体装置。

[請求項14] 前記高濃度領域は、断面視において前記チップの厚さ方向に延びている、請求項９～１３のいずれか一項に記載の半導体装置。

[請求項15] 前記第２領域の表層部に形成され、前記第２領域の不純物濃度よりも高い不純物濃度を有する第２導電型のコンタクト領域をさらに含み、

前記高濃度領域は、前記コンタクト領域に電気的に接続されている、請求項９～１４のいずれか一項に記載の半導体装置。

[請求項16] 前記高濃度領域は、前記チップの厚さ方向に前記コンタクト領域に重なる領域に形成されている、請求項１５に記載の半導体装置。

[請求項17] 前記高濃度領域は、前記コンタクト領域よりも幅広に形成されている、請求項１５または１６に記載の半導体装置。

[請求項18] 前記高濃度領域は、前記コンタクト領域から前記第２領域の底部側に間隔を空けて形成され、前記第２領域の一部を介して前記コンタクト領域に電気的に接続されていている、請求項１５～１７のいずれか一項に記載の半導体装置。

[請求項19] 主面を有するチップと、

前記チップ内で前記主面の表層部に形成された第１導電型の第１領域と、

前記チップ内で前記第１領域に対して前記主面側の領域に形成された第２導電型の第２領域と、

前記第２領域の底部から離間して前記主面に形成されたトレンチ型のゲート構造と、

前記第２領域の底部および前記ゲート構造の底壁の間の厚さ範囲に形成された第１導電型のドリフト領域と、

前記第２領域内で前記ゲート構造の側方に形成され、前記第２領域の不純物濃度よりも高い不純物濃度を有する第２導電型の高濃度領域と、を含む、半導体装置。

[請求項20] 前記高濃度領域は、前記主面に沿う方向に前記ドリフト領域に対向する部分を有している、請求項１９に記載の半導体装置。

[図1]

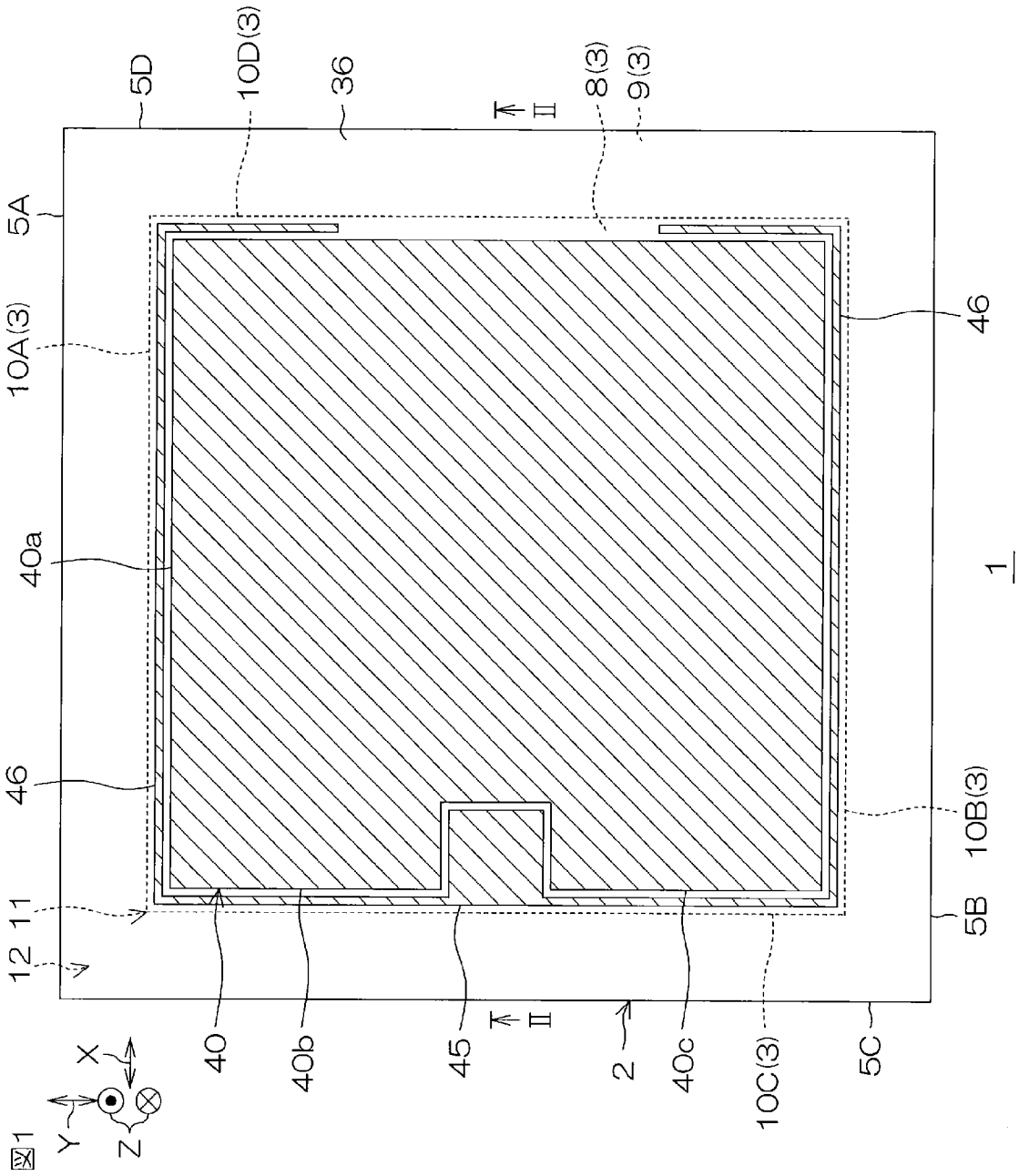

5D
10D(3)
36
II
8(3)
9(3)
5A
10A(3)
40a
46
46
11
12
40
40b
45
II
2
40c
10C(3)
5C
5B
10B(3)
1
X
Y
Z

図1

[図2]

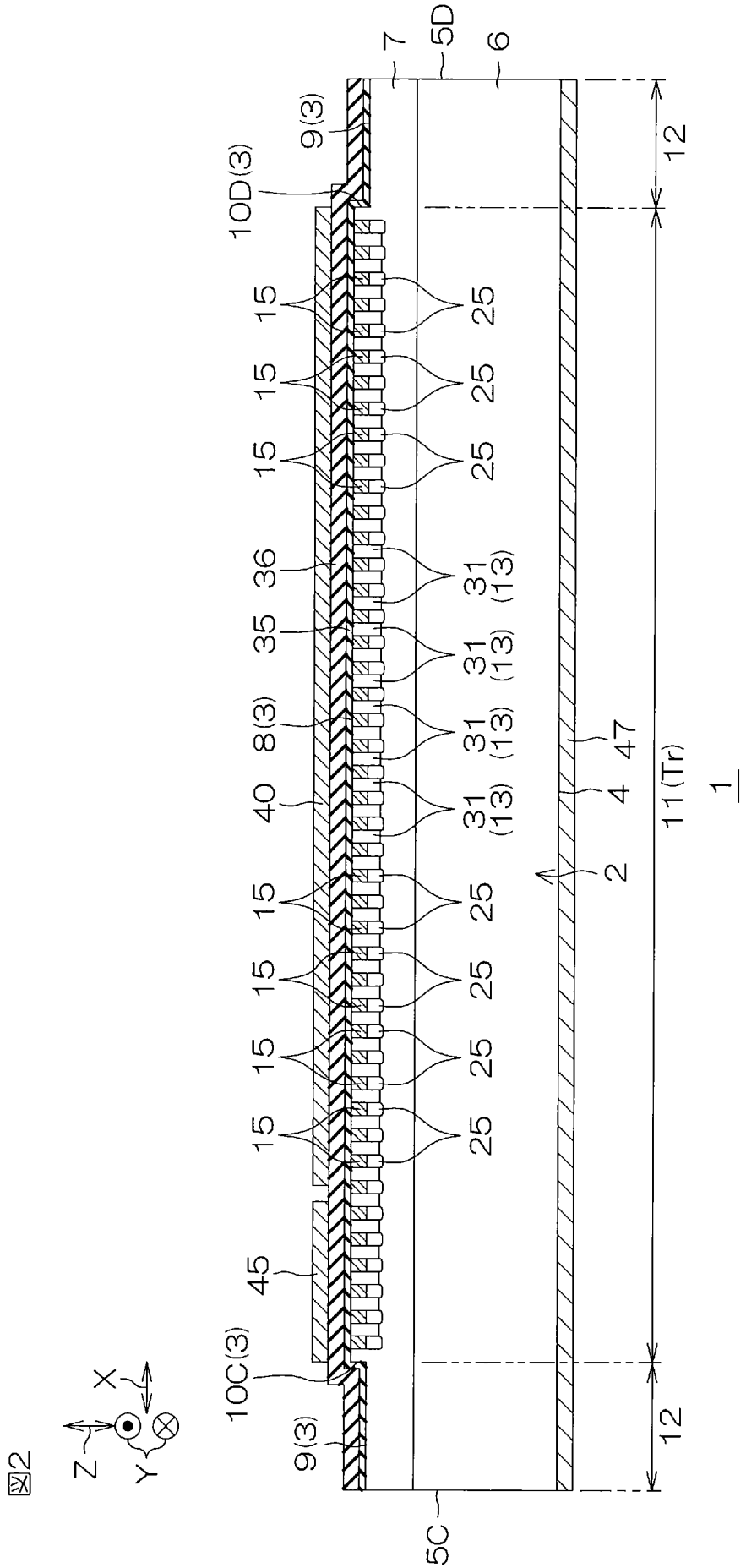

7
5D
6
9(3)
10D(3)
12
15
25
36
31
(13)
35
8(3)
40
47
4
2
11(Tr)
1
45
10C(3)
9(3)
12
5C
X
Z
Y

図2

[図3]

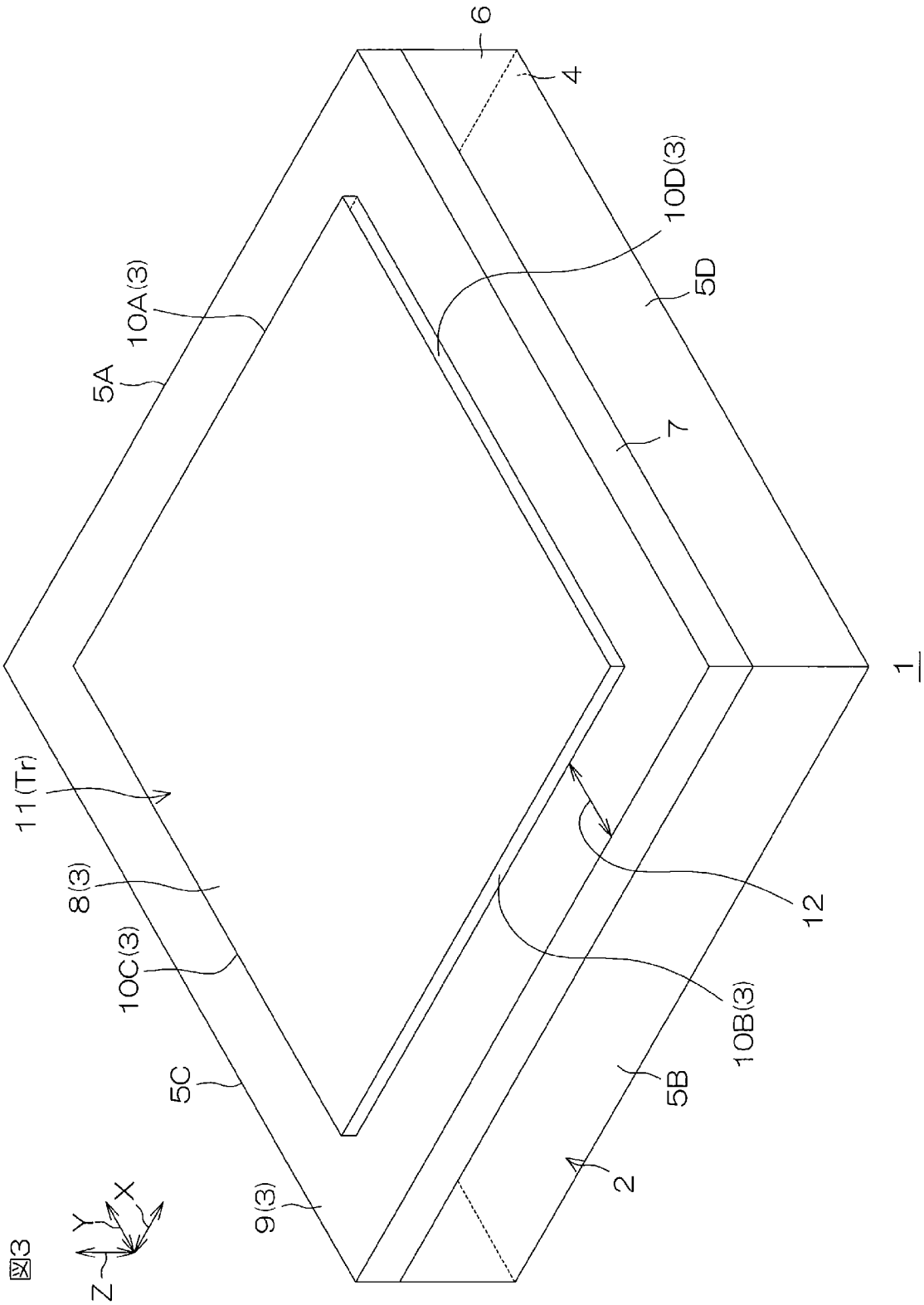


図3

[図4]

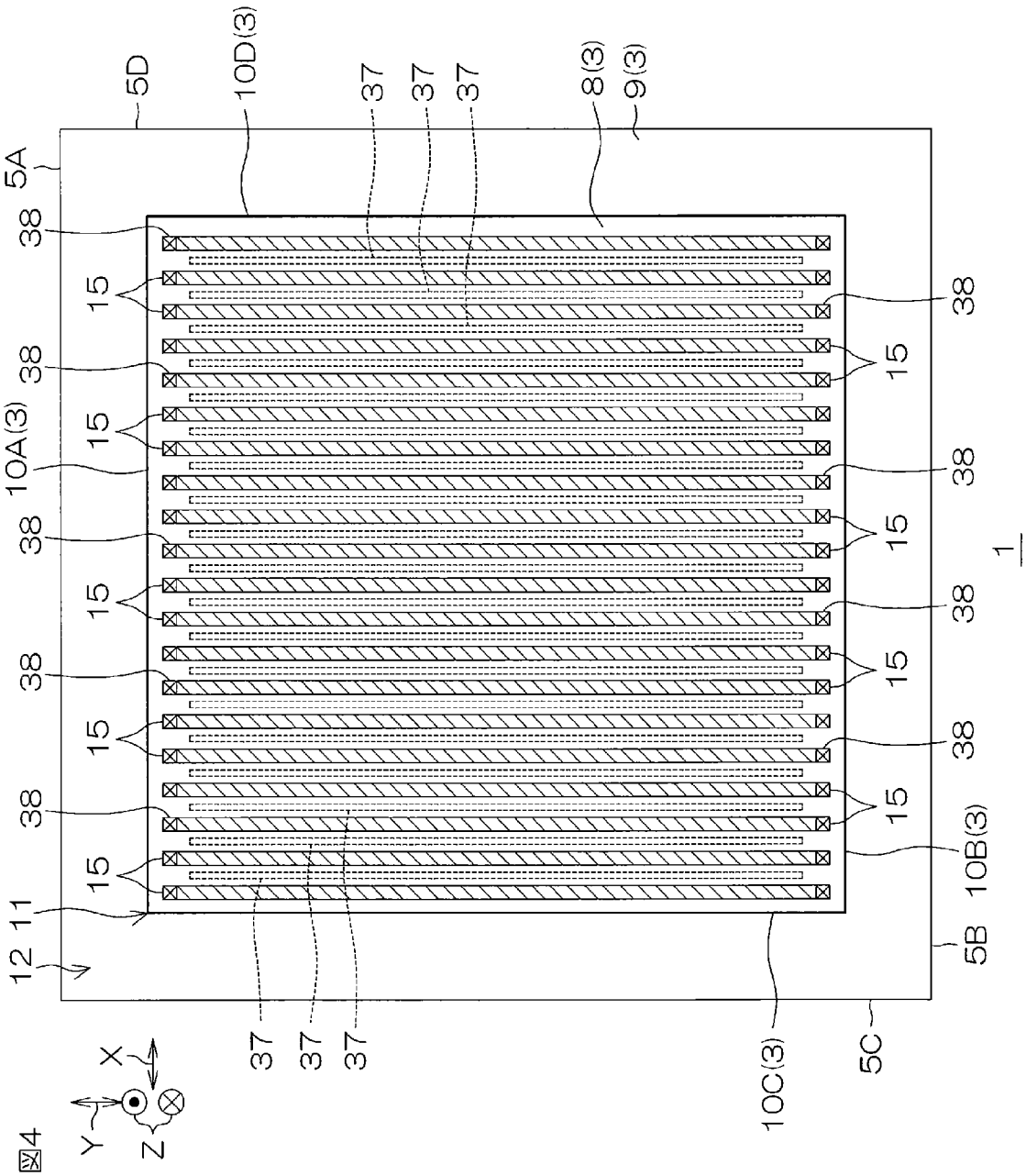

5D
10D(3)
37
37
37
8(3)
9(3)
5A
38
15
10A(3)
1
10B(3)
5B
11
12
37
37
37
10C(3)
5C
X
Y
Z

図4

[図5]

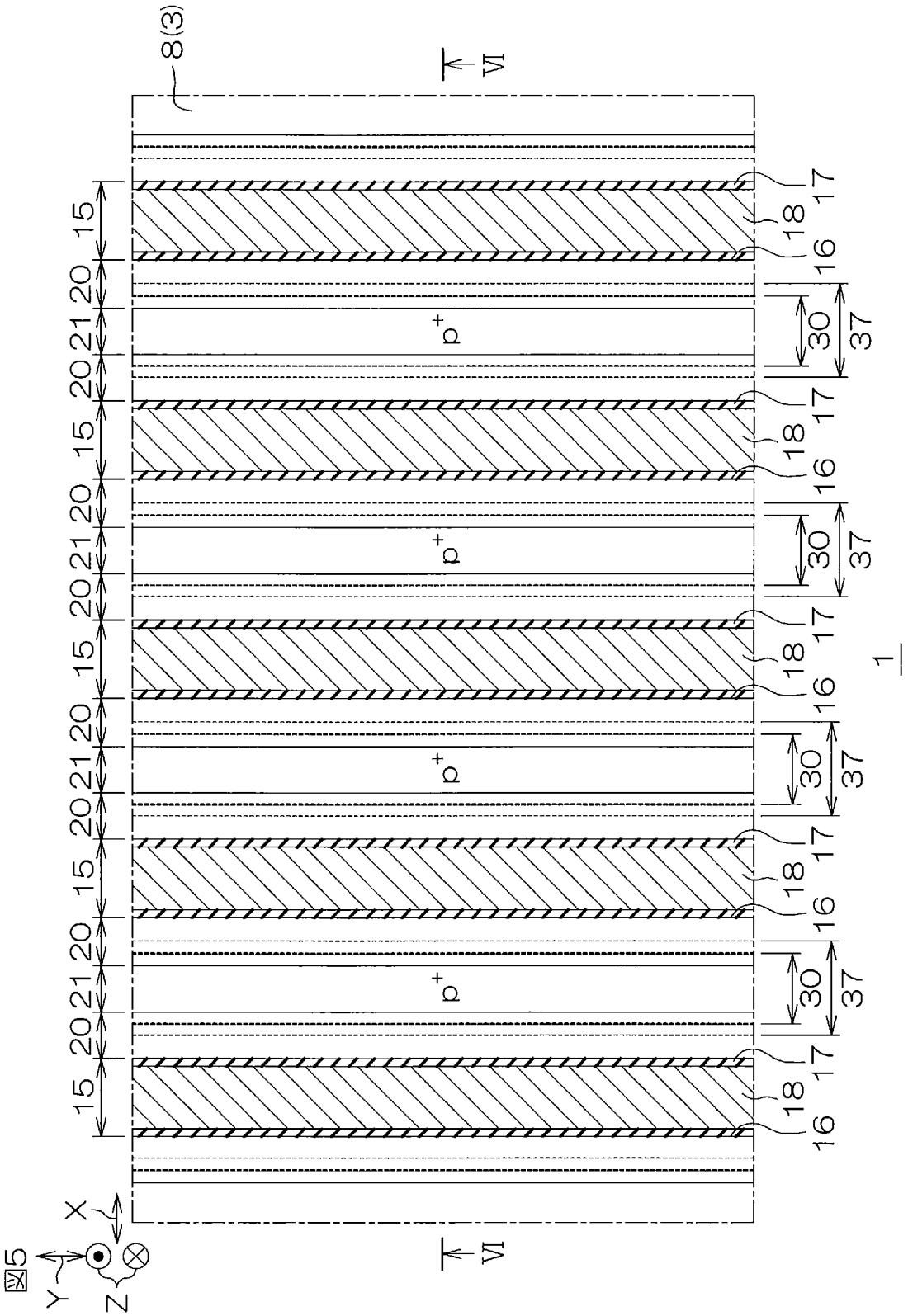

8(3)
VI
VI
15
20
21
20
15
20
21
20
15
20
21
20
15
20
21
20
15
p+
17
18
16
30
37
1
X
Y
Z

図5

[図6]

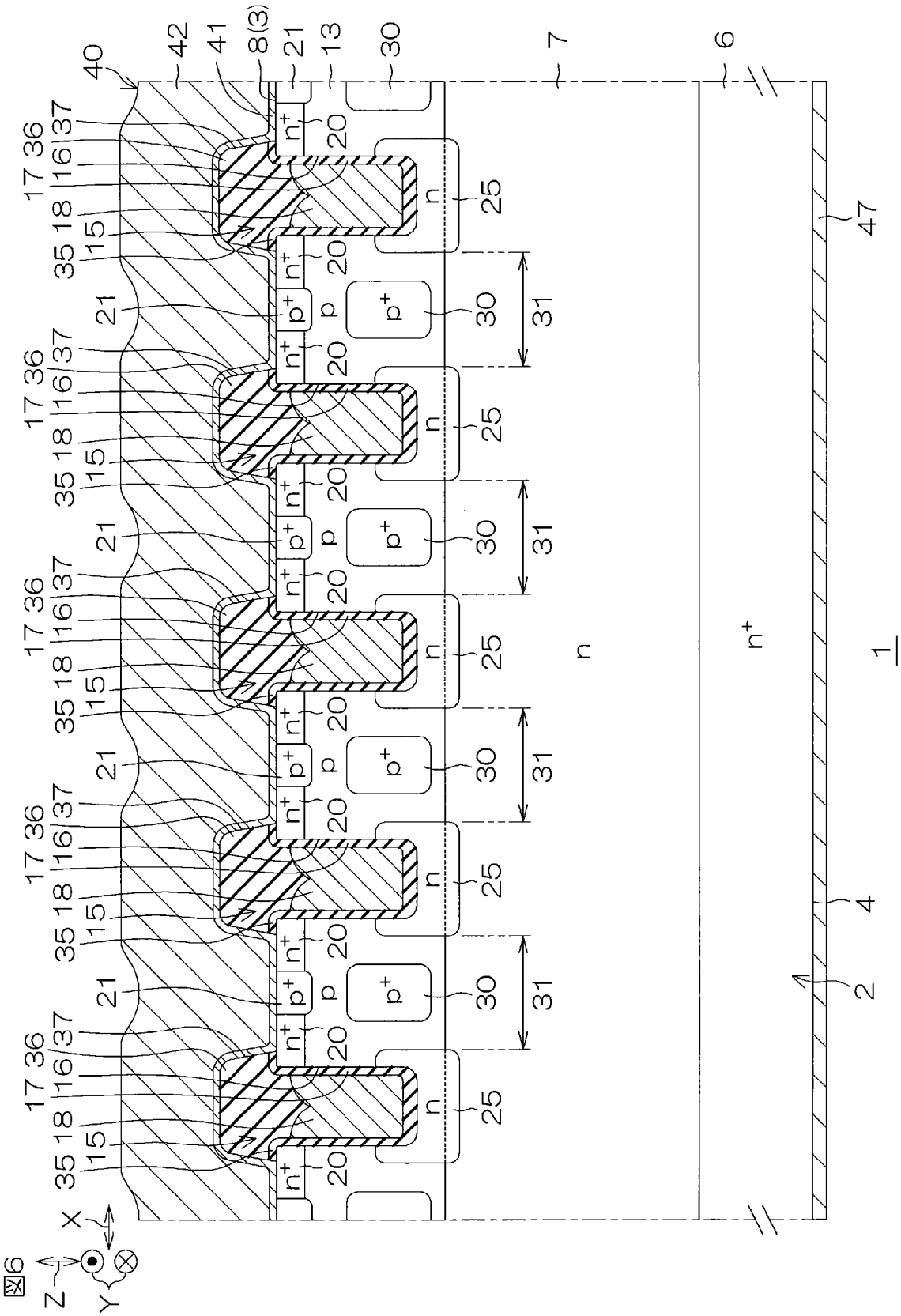
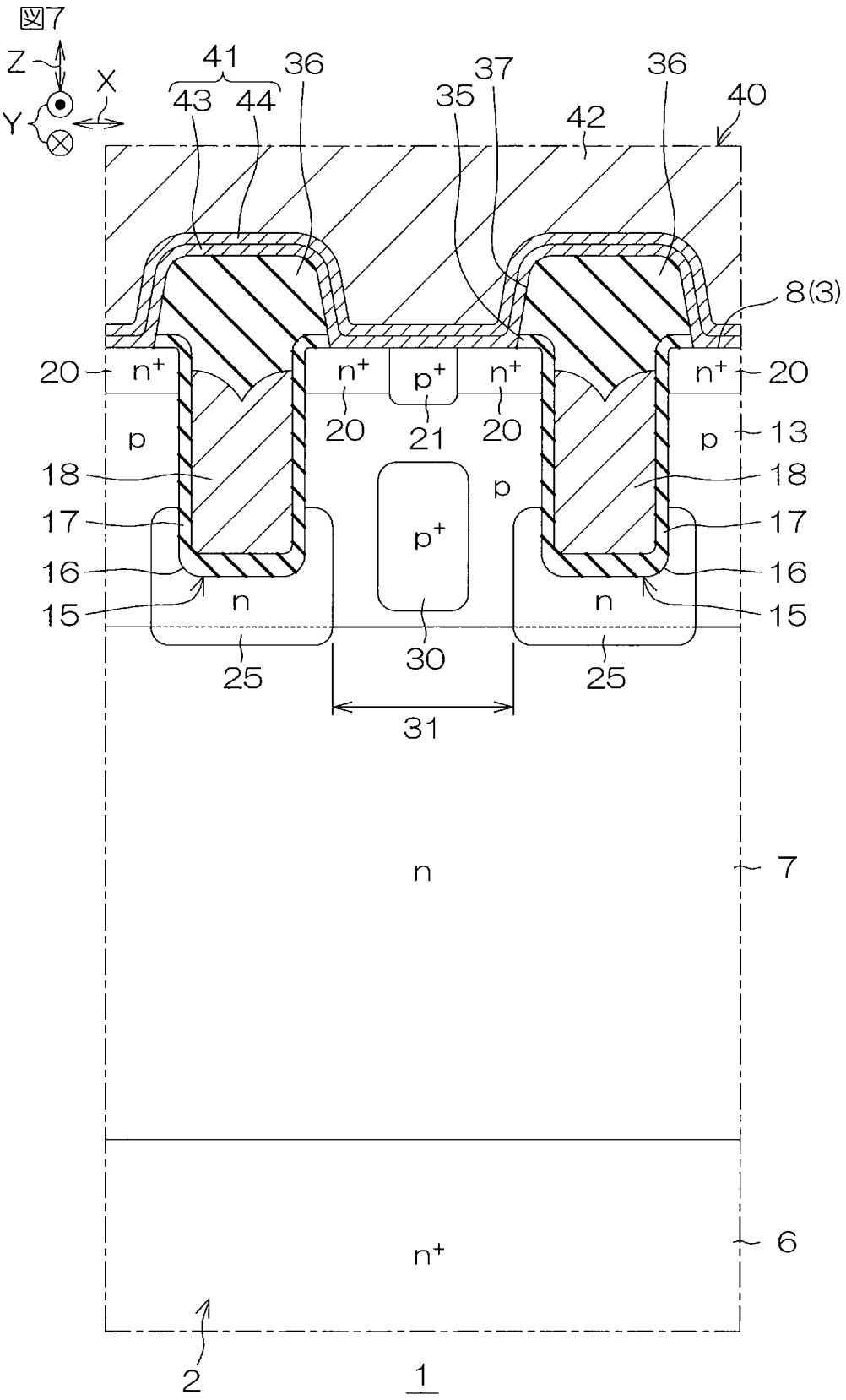
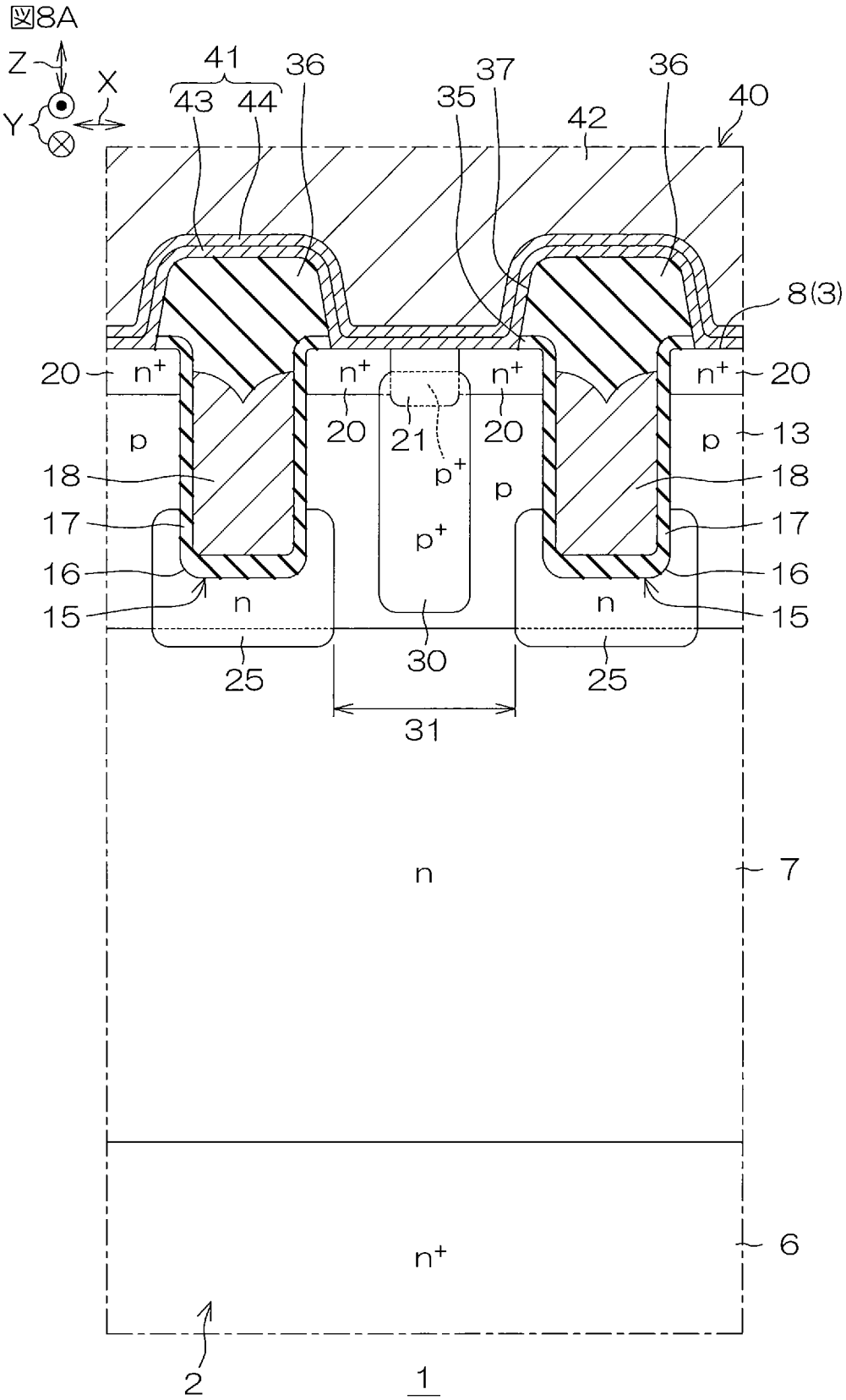


図6

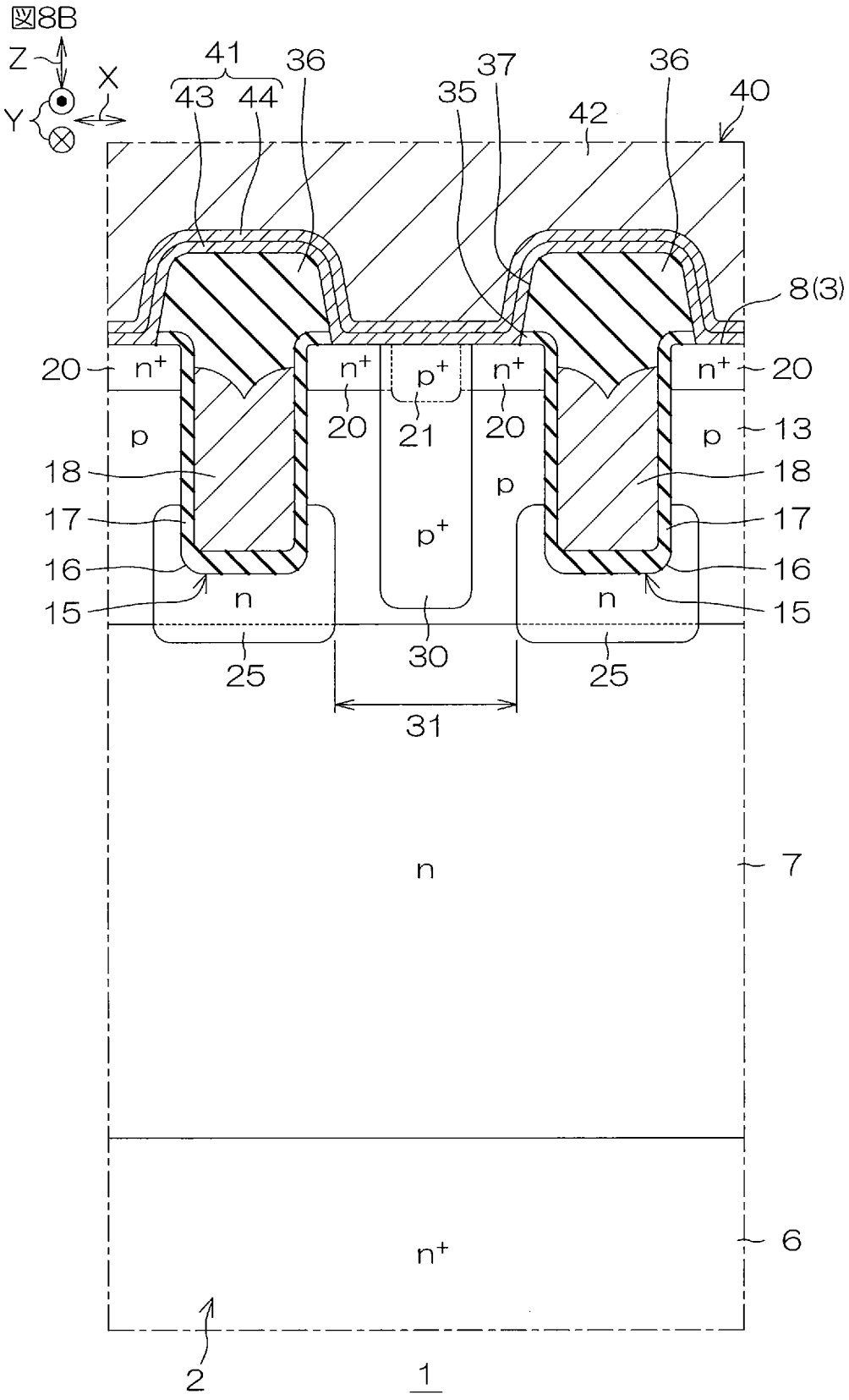
[図7]


図7
Z
X
Y
41
43
44
36
35
37
36
42
40
8(3)
20
n+
n+
p+
n+
n+
20
20
21
20
20
p
p
13
18
18
p
17
17
p+
16
16
15
n
n
15
25
30
25
31
n
7
n+
6
2
1

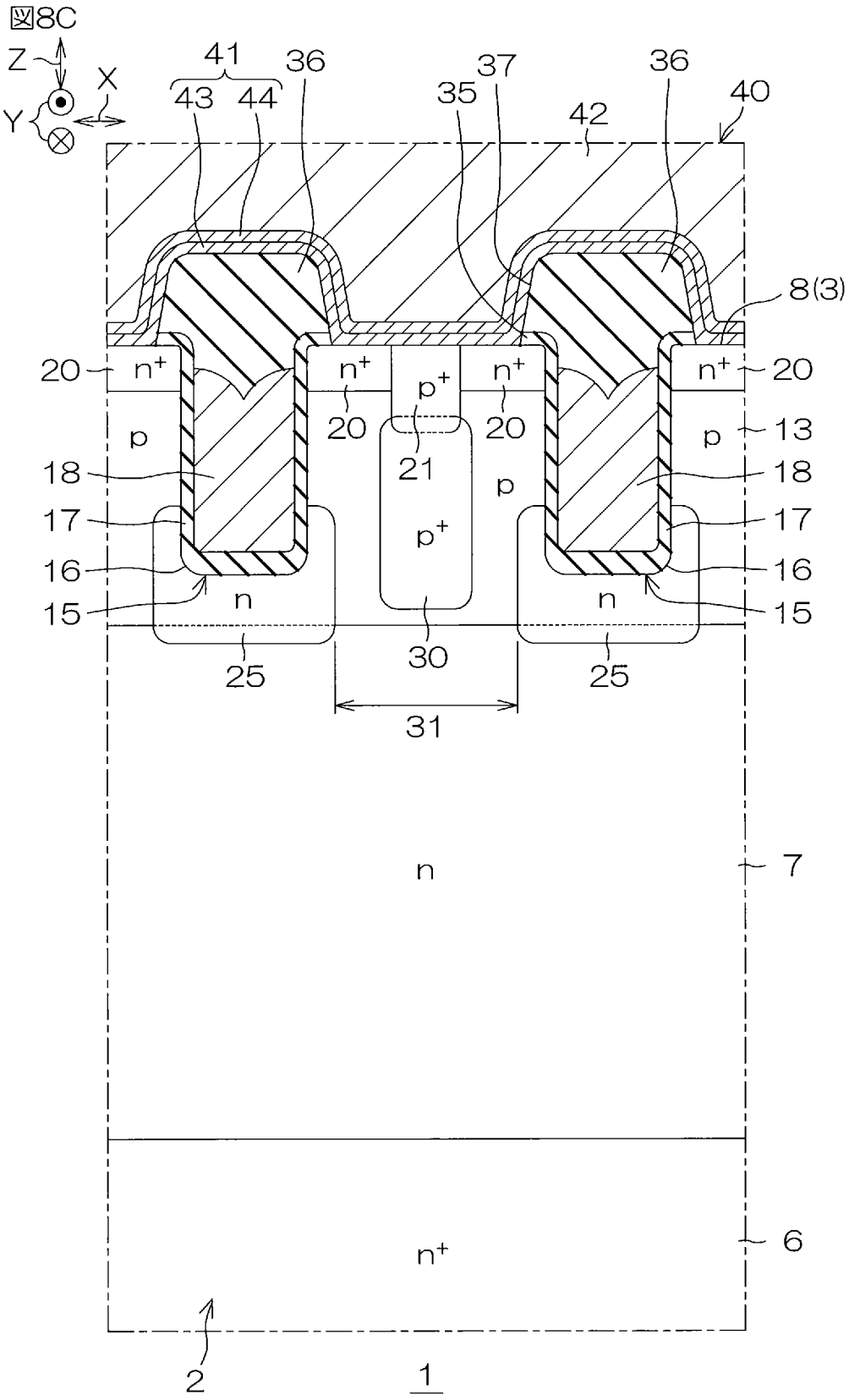
[図8A]


図8A
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
20
n+
20
n+
20
21
p
p+
p
p
13
18
18
17
17
p+
16
16
15
n
n
15
25
30
25
31
n
7
n+
6
2
1

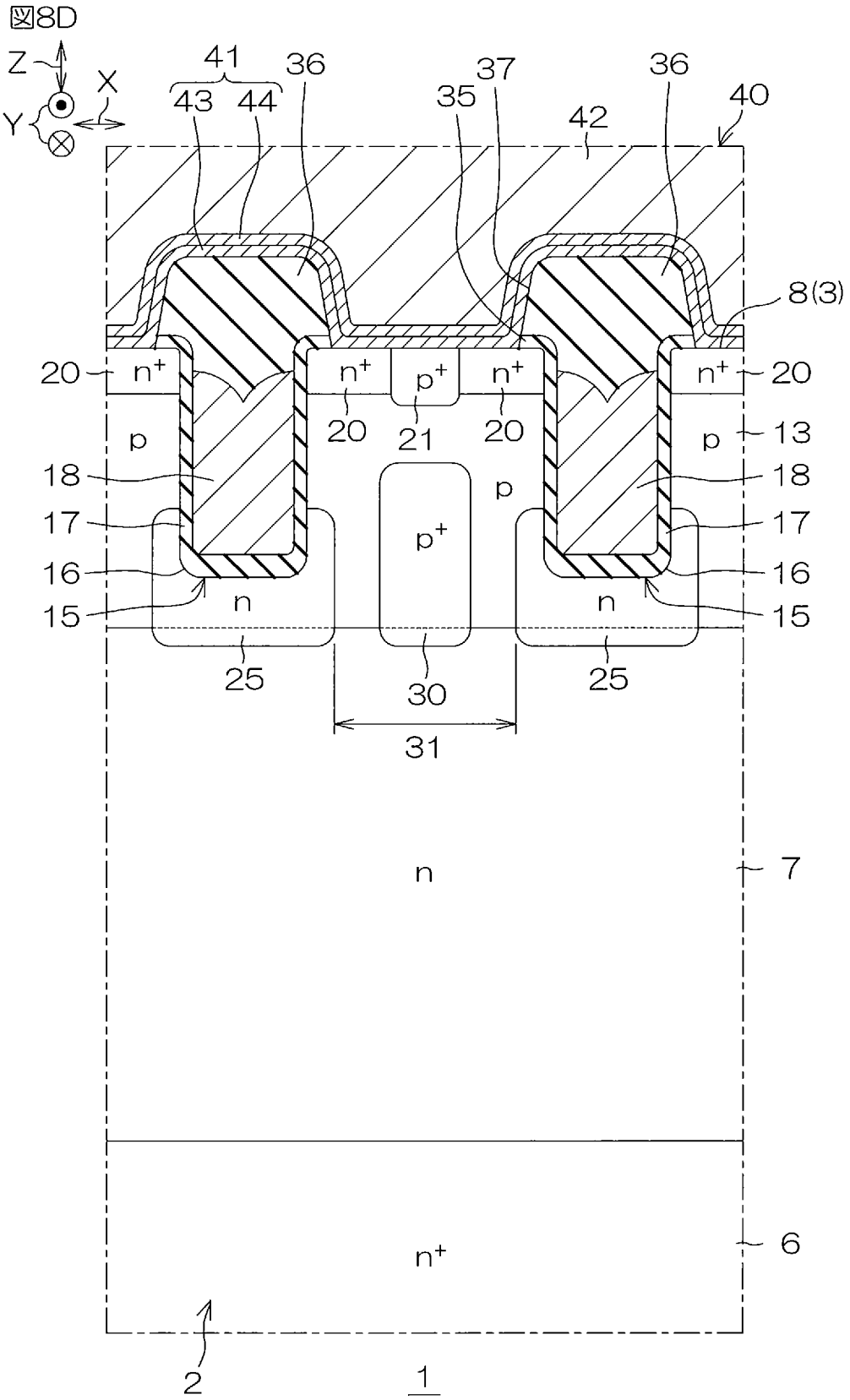
[図8B]


図8B
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
p+
n+
n+
20
p
20
21
20
p
13
18
p
18
17
p+
17
16
16
15
n
n
15
25
30
25
31
n
7
n+
6
2
1

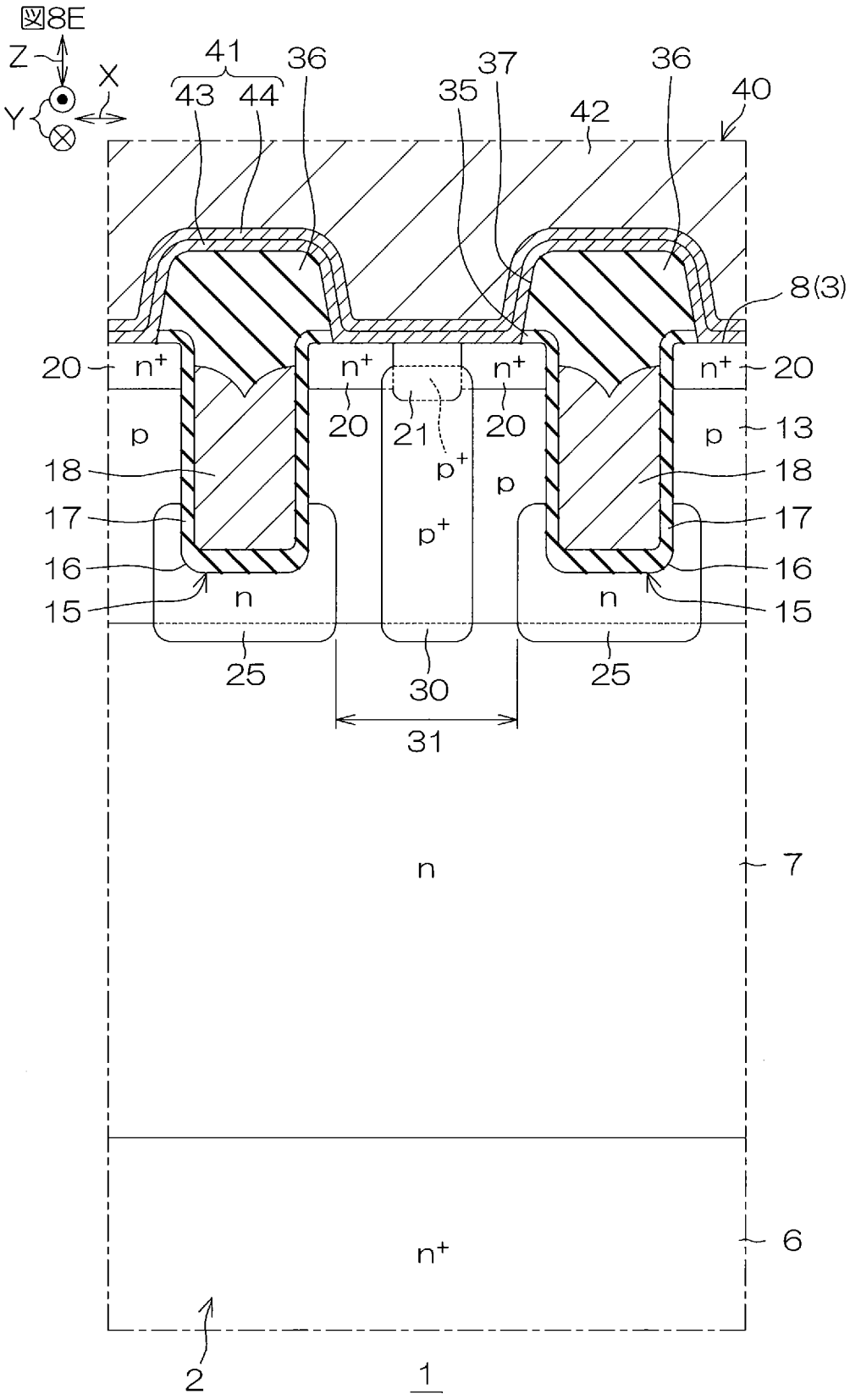
[図8C]


図8C
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
p+
20
20
n+
20
p
13
18
21
p
18
17
p+
17
16
16
15
n
n
15
25
30
25
31
n
7
n+
6
2
1

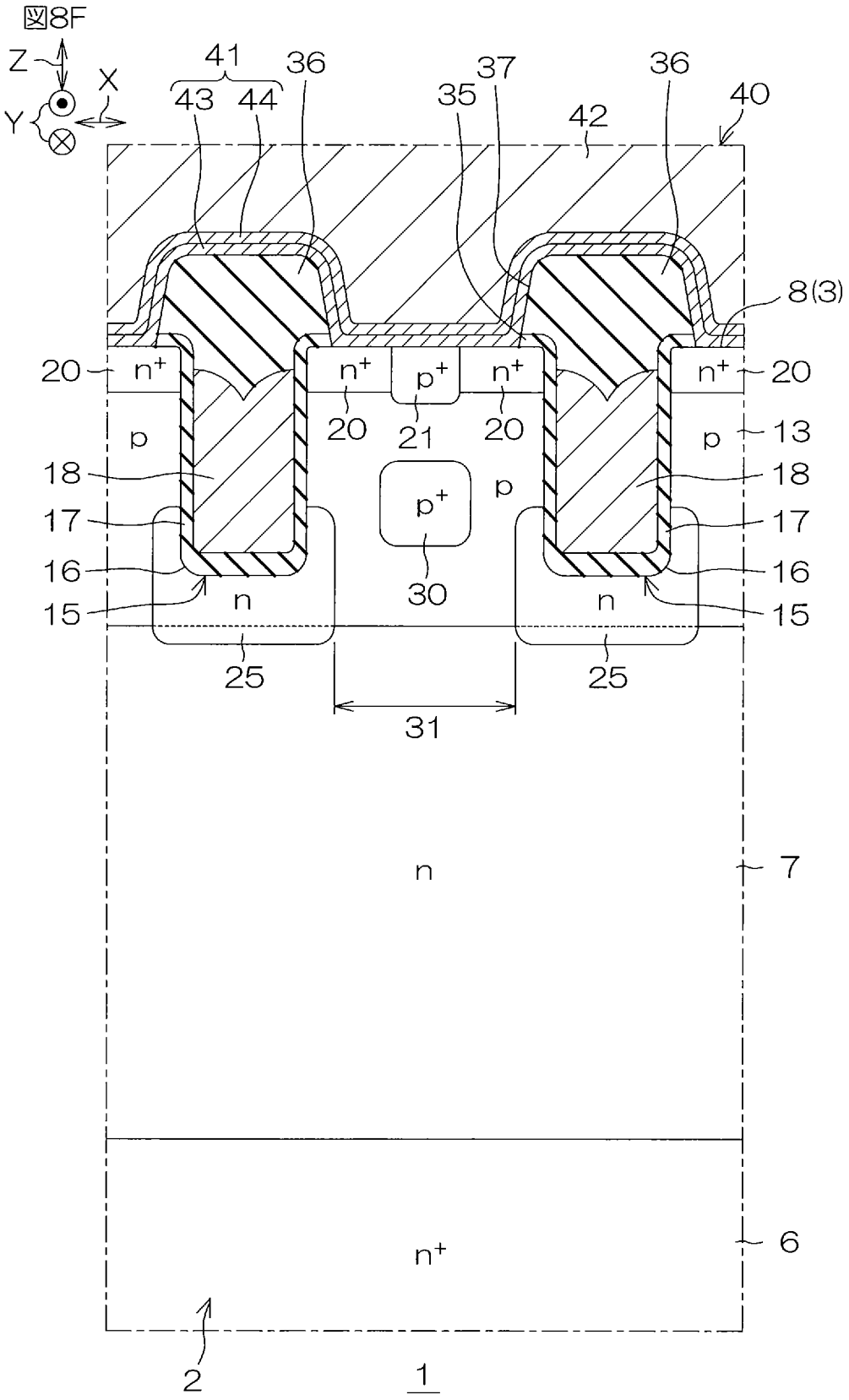
[図8D]


図8D
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
n+
p+
n+
n+
20
20
21
20
p
p
13
18
18
p
17
17
p+
16
16
15
n
n
15
25
30
25
31
n
7
n+
6
2
1

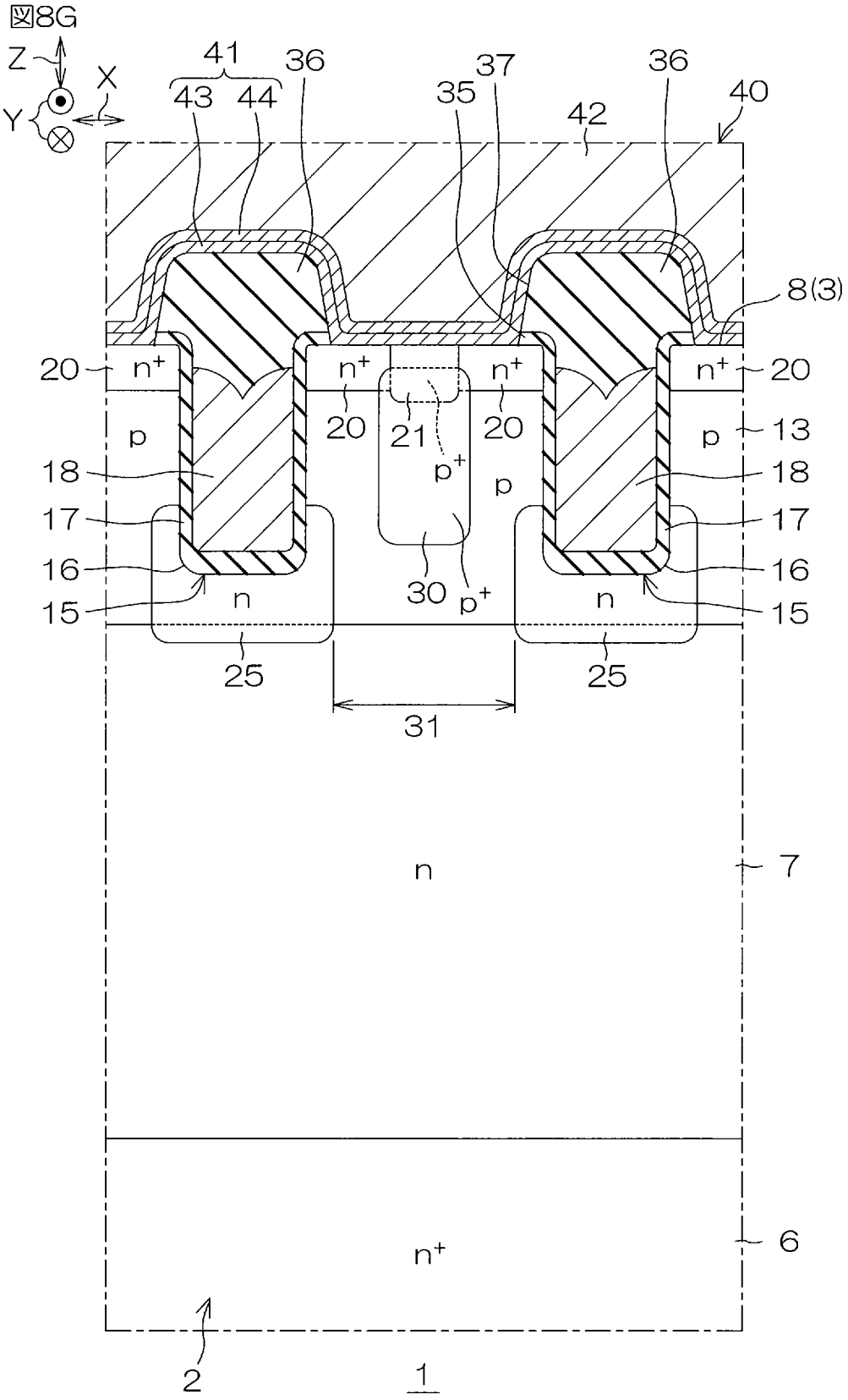
[図8E]


図8E
Z
X
Y
41
43
44
36
37
35
42
36
40
8(3)
20
n+
n+
n+
n+
20
20
21
20
p
p
13
18
p+
p
18
17
p+
17
16
16
15
n
n
15
25
30
25
31
n
7
n+
6
2
1

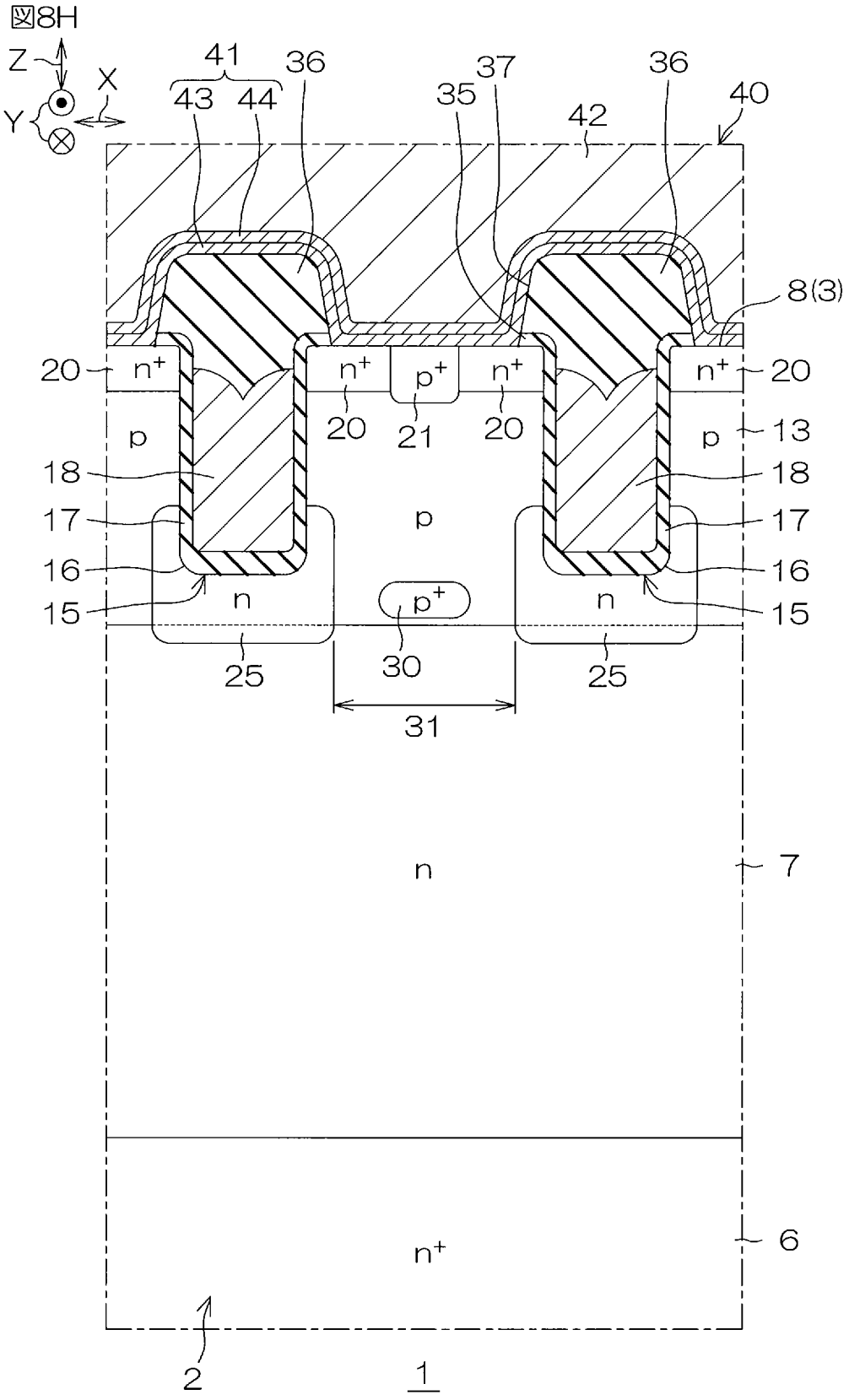
[図8F]


図8F
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
p+
n+
20
20
21
20
n+
20
p
p
13
18
18
p+
p
17
17
16
16
30
15
n
n
15
25
25
31
n
7
n+
6
2
1

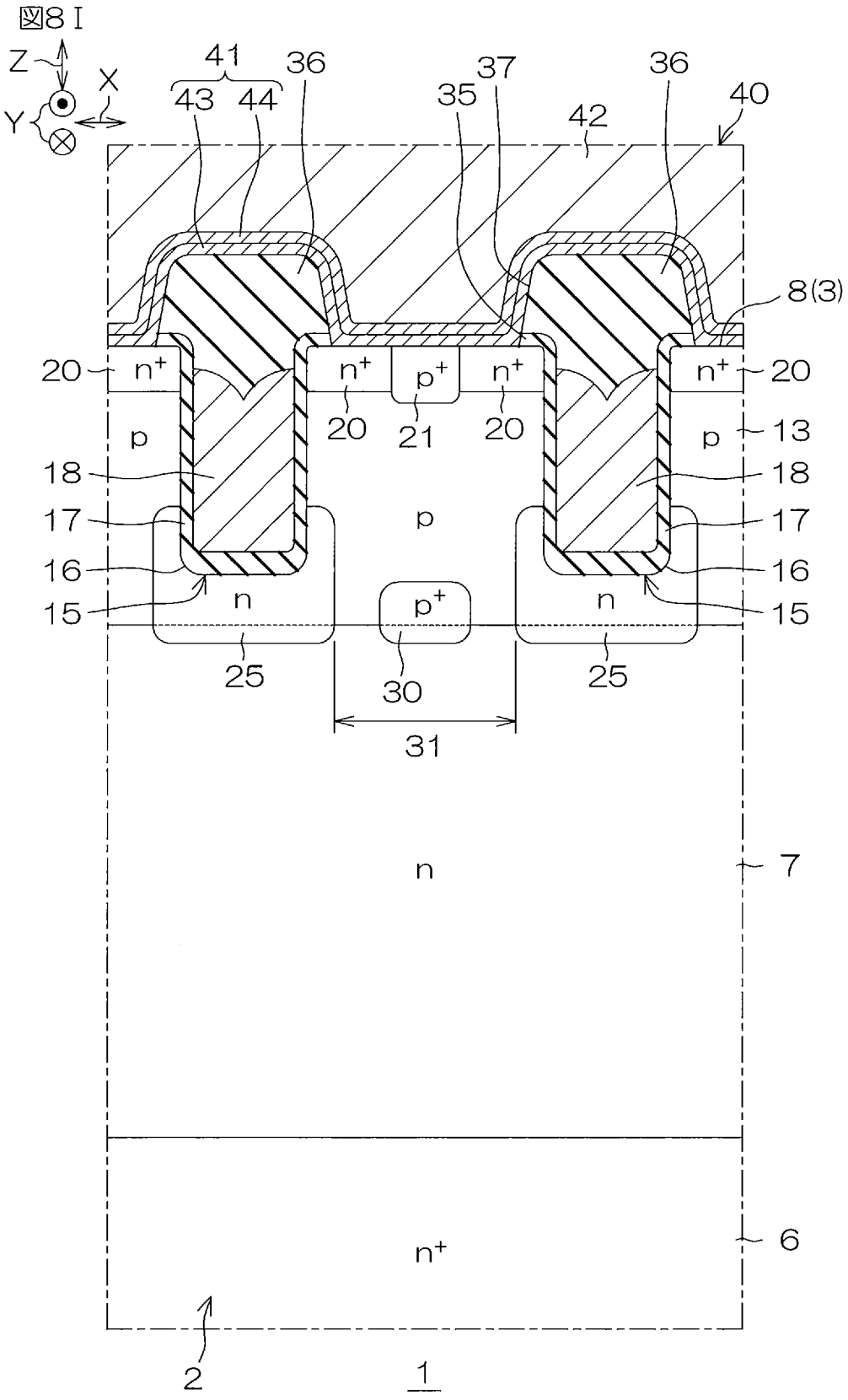
[図8G]


図8G
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
20
n+
21
n+
20
n+
20
p
p
13
18
p+
p
18
17
17
16
16
15
n
30
p+
n
15
25
25
31
n
7
n+
6
2
1

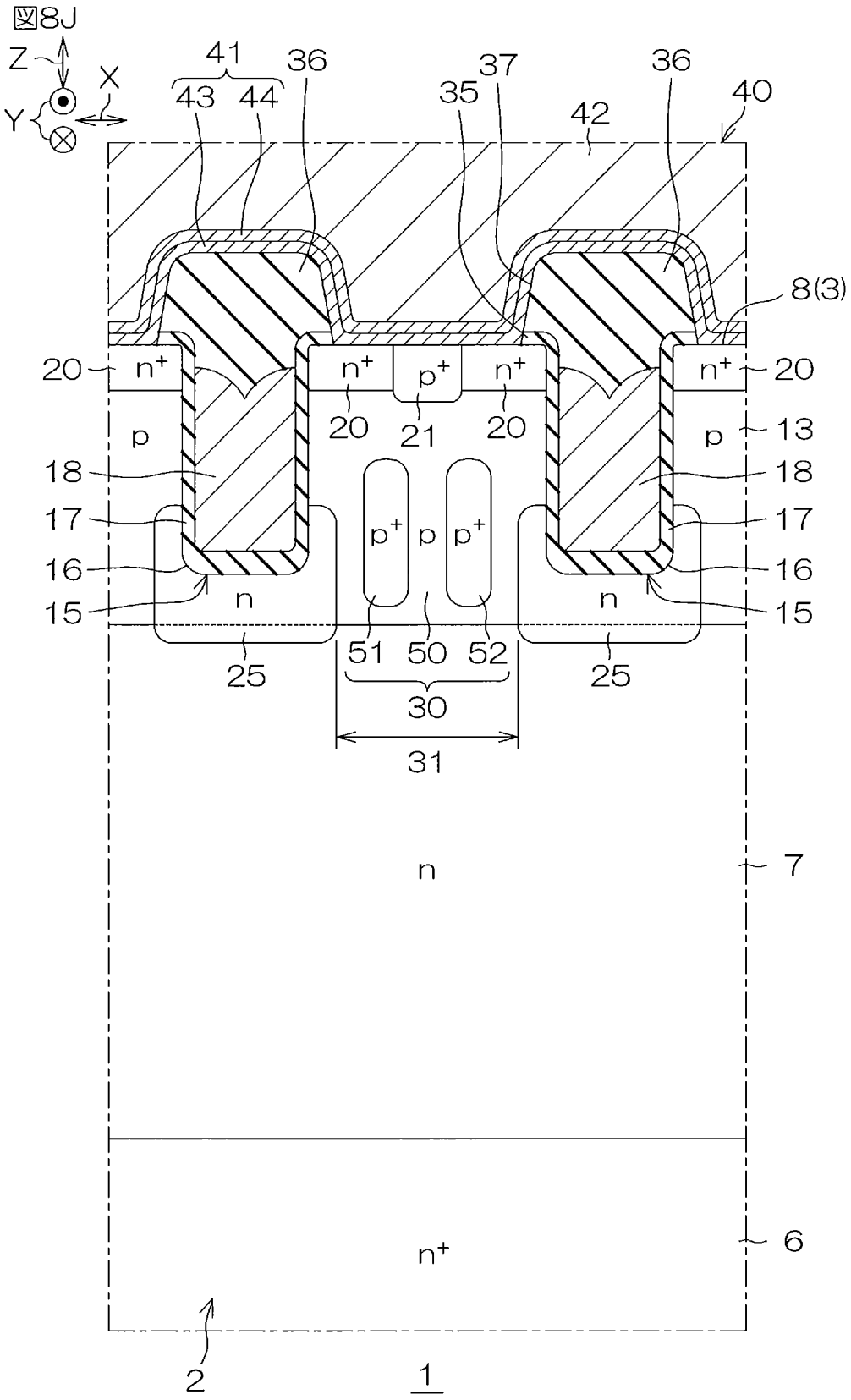
[図8H]


図8H
Z
X
Y
41
43
44
36
37
35
42
36
40
8(3)
20
n+
n+
p+
n+
n+
20
20
21
20
p
p
13
18
18
17
p
17
16
16
15
n
p+
n
15
25
30
25
31
n
7
n+
6
2
1

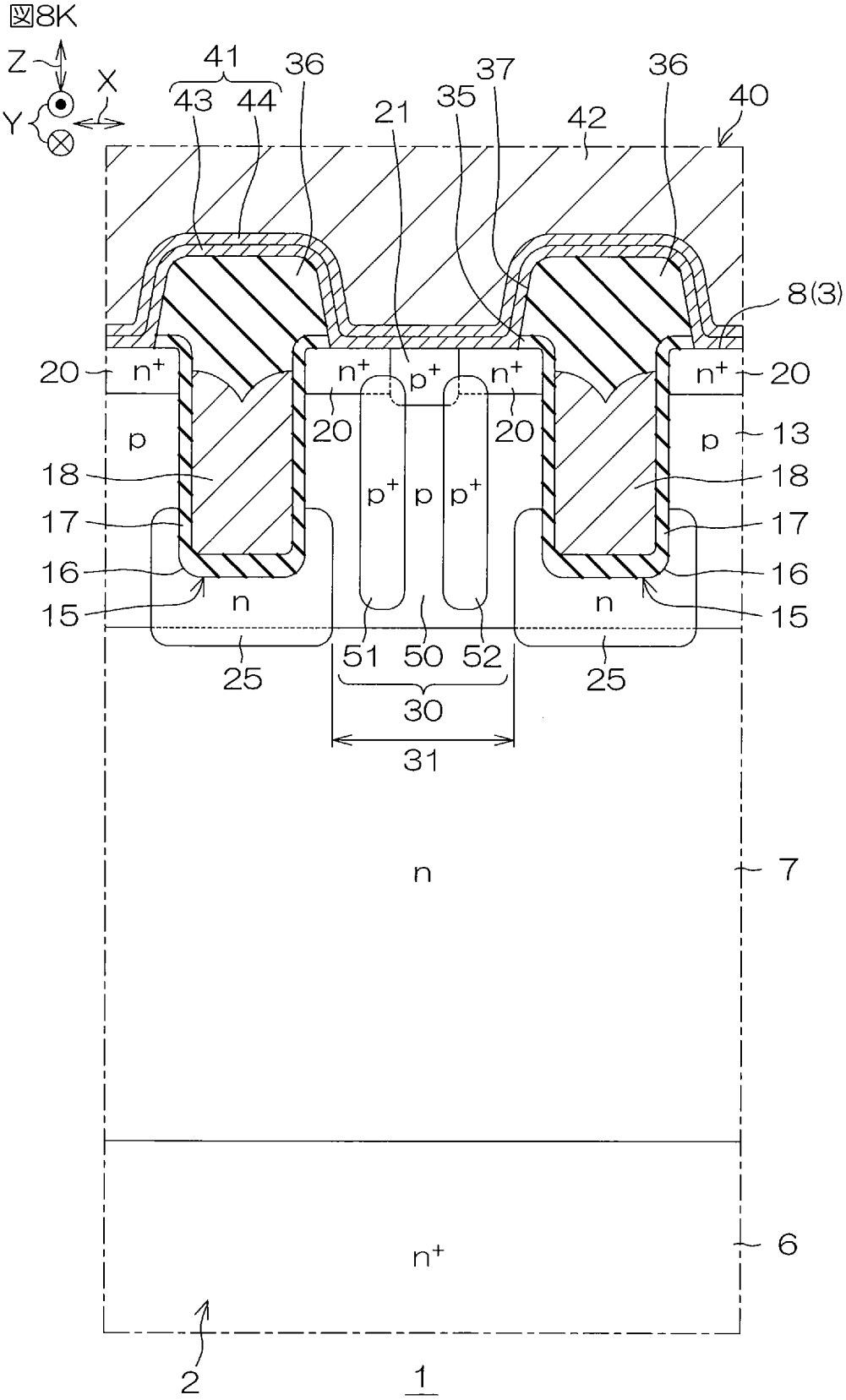
[図8I]


図8 I
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
n+
p+
n+
n+
20
20
21
20
p
p
13
18
18
17
p
17
16
16
15
n
p+
n
15
25
30
25
31
n
7
n+
6
2
1

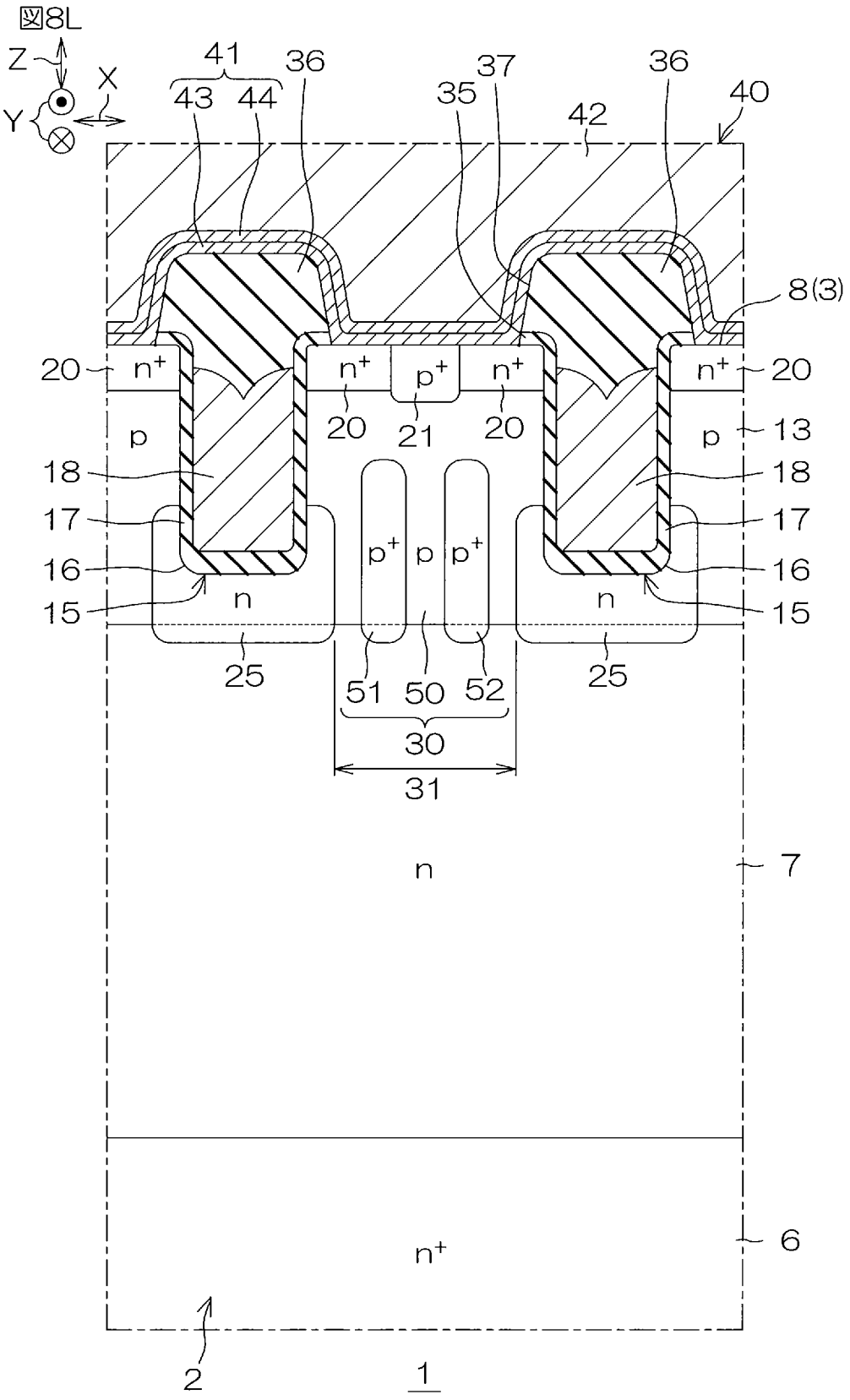
[図8J]


図8J
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
p+
n+
20
20
21
20
n+
20
p
p
13
18
18
17
17
16
16
15
15
p+
p
p+
n
n
51
50
52
25
25
30
31
n
7
n+
6
2
1

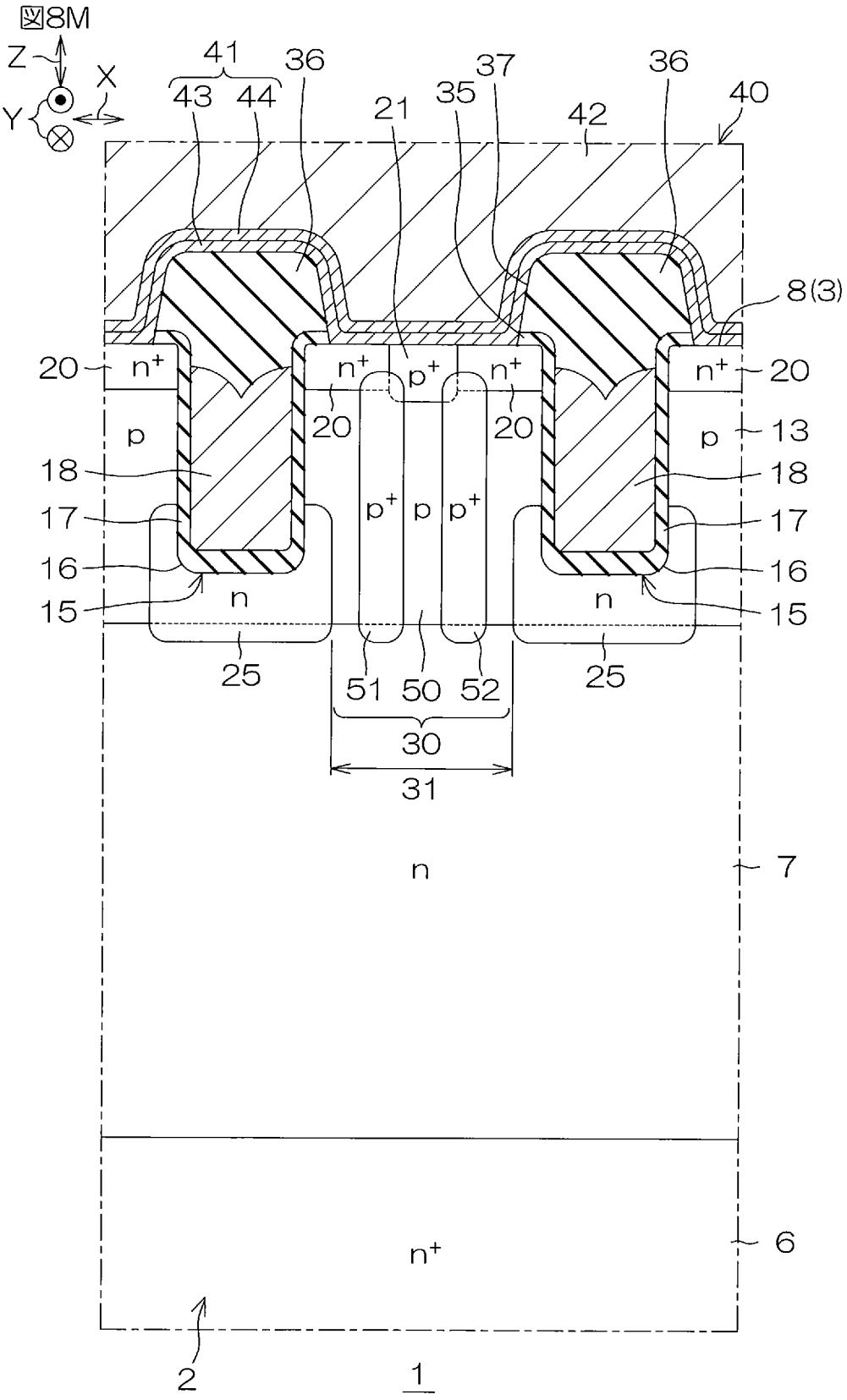
[図8K]


図8K
Z
X
Y
41
43
44
36
21
35
37
42
36
40
8(3)
20
n+
p+
n+
n+
20
20
20
p
p
13
18
18
17
17
16
16
15
15
n
n
p+
p
p+
51
50
52
25
25
30
31
n
7
n+
6
2
1

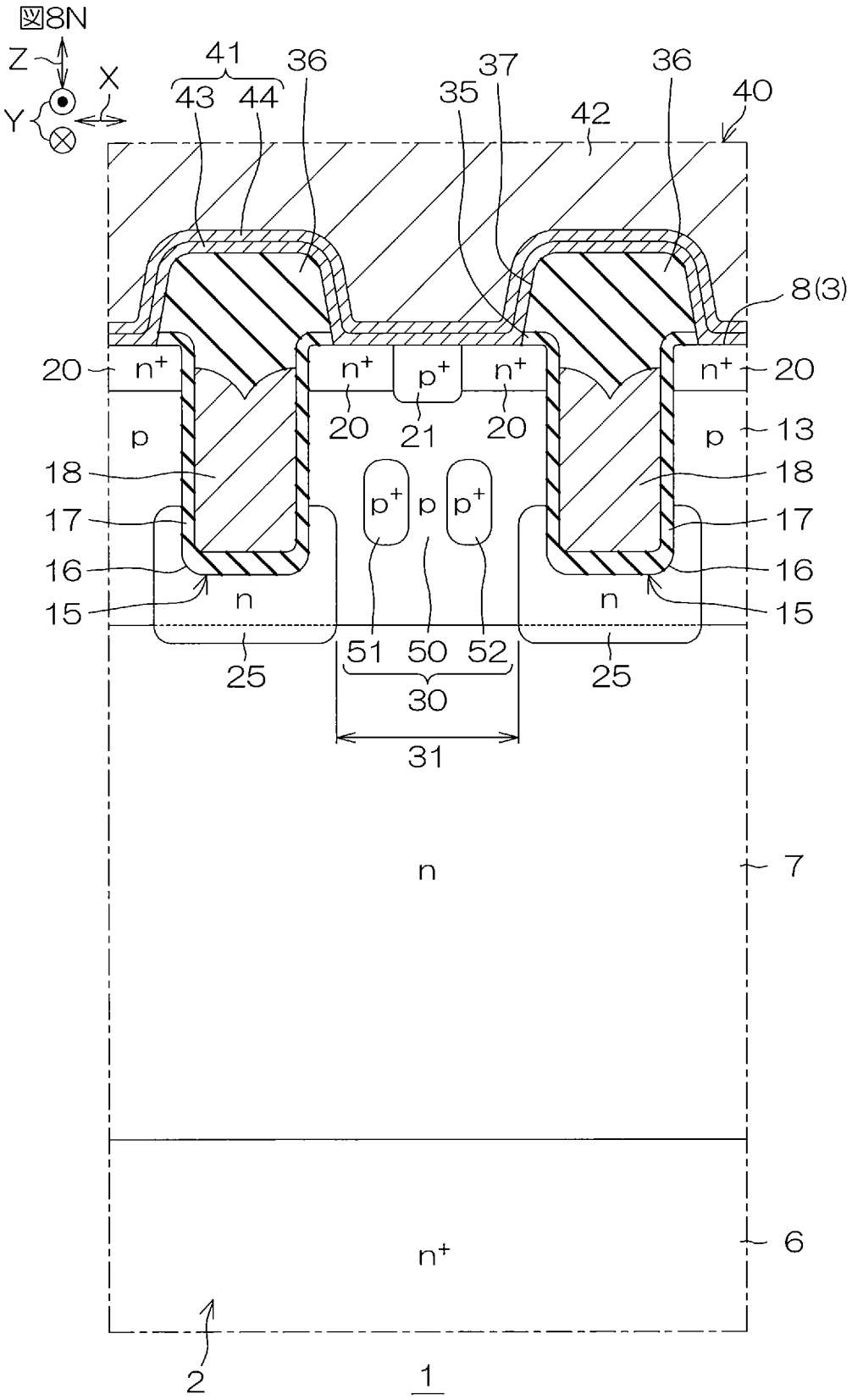
[図8L]


図8L
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
p+
n+
20
21
20
n+
20
p
p
13
18
18
17
17
p+
p
p+
16
16
15
n
n
15
25
25
51
50
52
30
31
n
7
n+
6
2
1

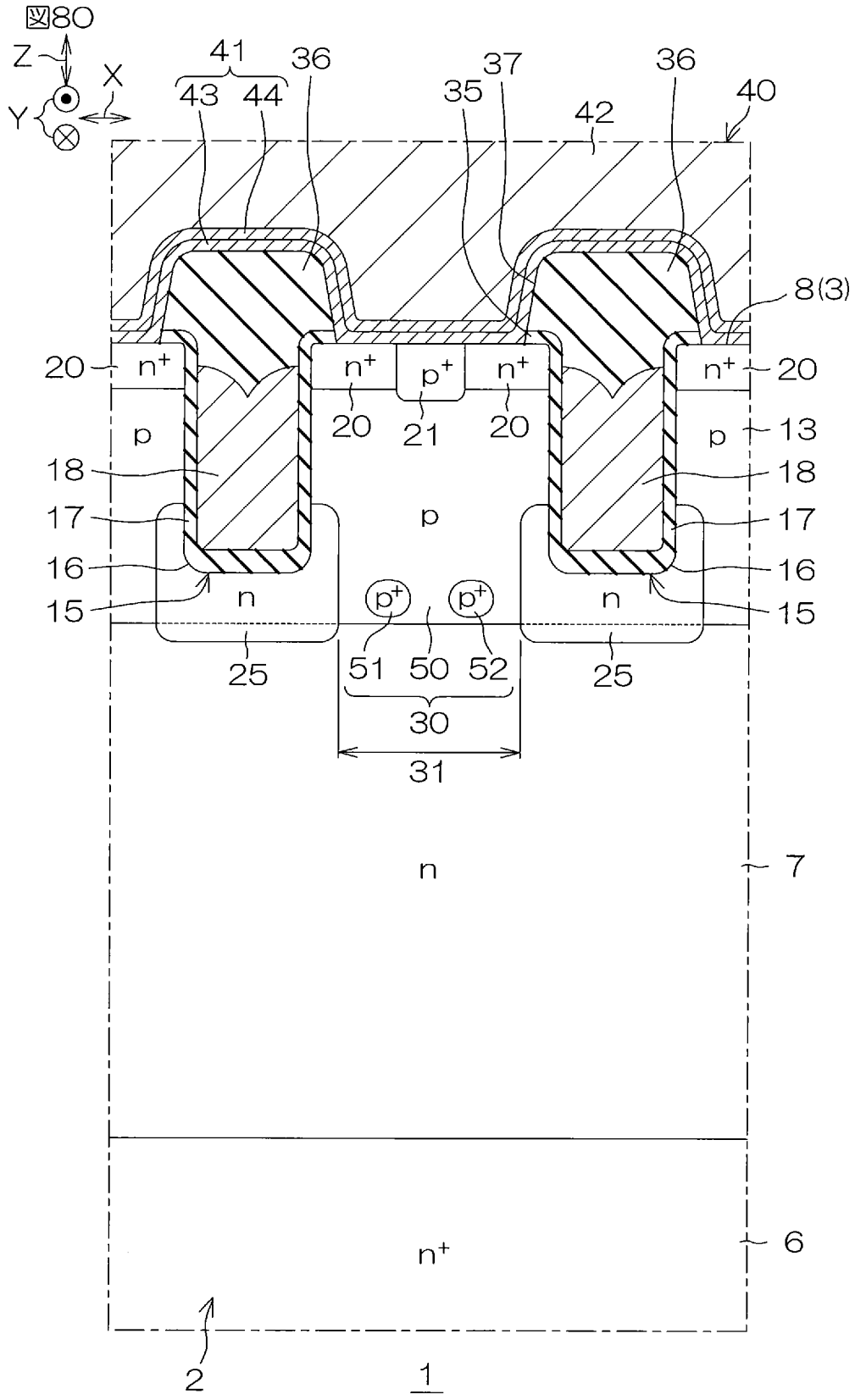
[図8M]


図8M
Z
X
Y
41
43
44
36
21
35
37
42
36
40
8(3)
20
n+
p+
n+
n+
20
20
20
p
p
13
18
18
17
17
16
16
15
15
p+
p
p+
n
n
25
25
51
50
52
30
31
n
7
n+
6
2
1

[図8N]

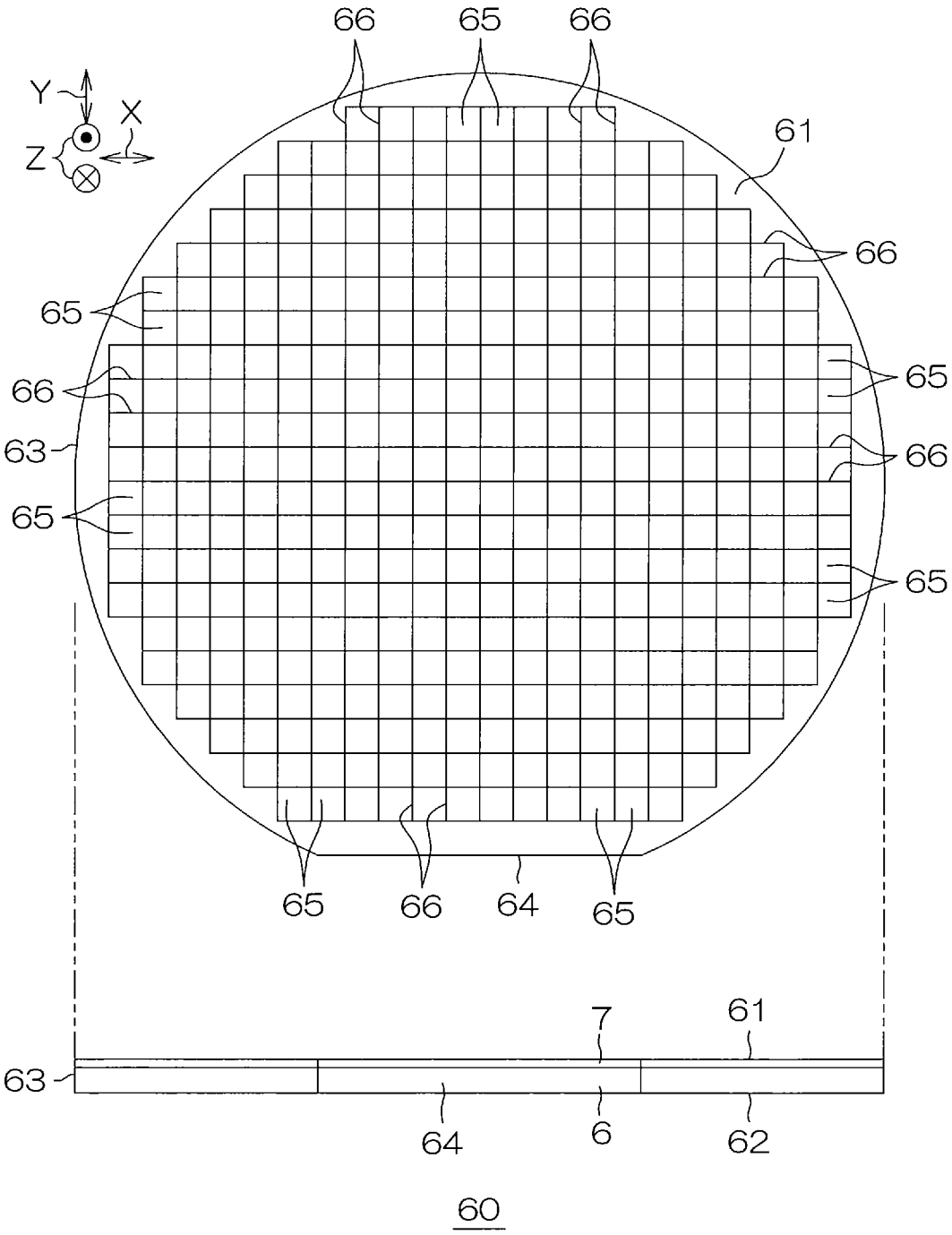

図8N
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
p+
n+
20
21
20
n+
20
p
p
13
18
18
17
17
16
16
15
15
p+
p
p+
n
n
25
51
50
52
25
30
31
n
7
n+
6
2
1

[図80]


図80
Z
X
Y
41
43
44
36
35
37
36
42
40
8(3)
20
n+
n+
p+
n+
n+
20
20
21
20
p
p
13
18
18
17
p
17
16
16
15
n
p+
p+
n
15
25
51
50
52
25
30
31
n
7
n+
6
2
1

[図9]

図9



[図10A]

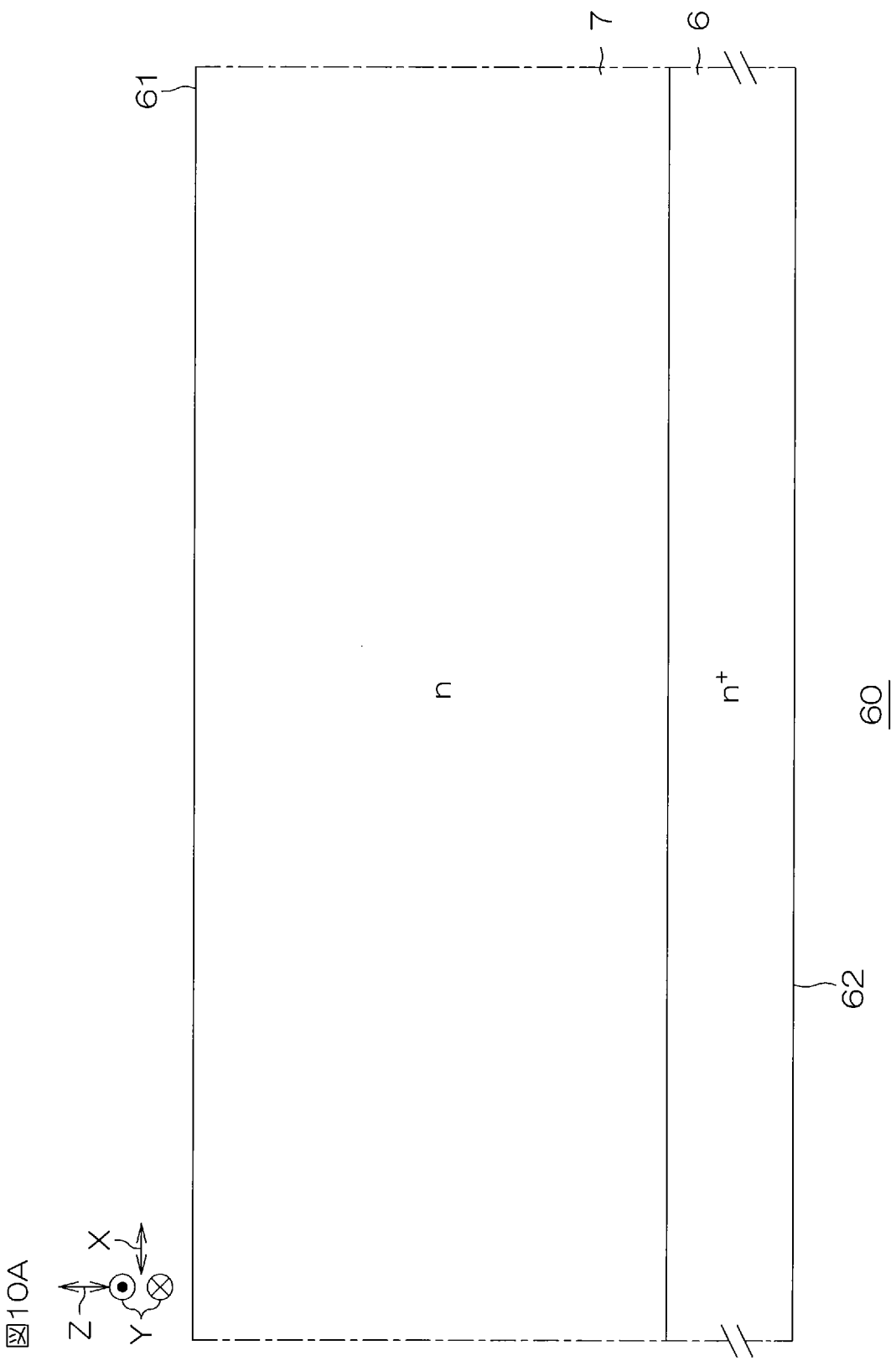


図10A

[図10B]

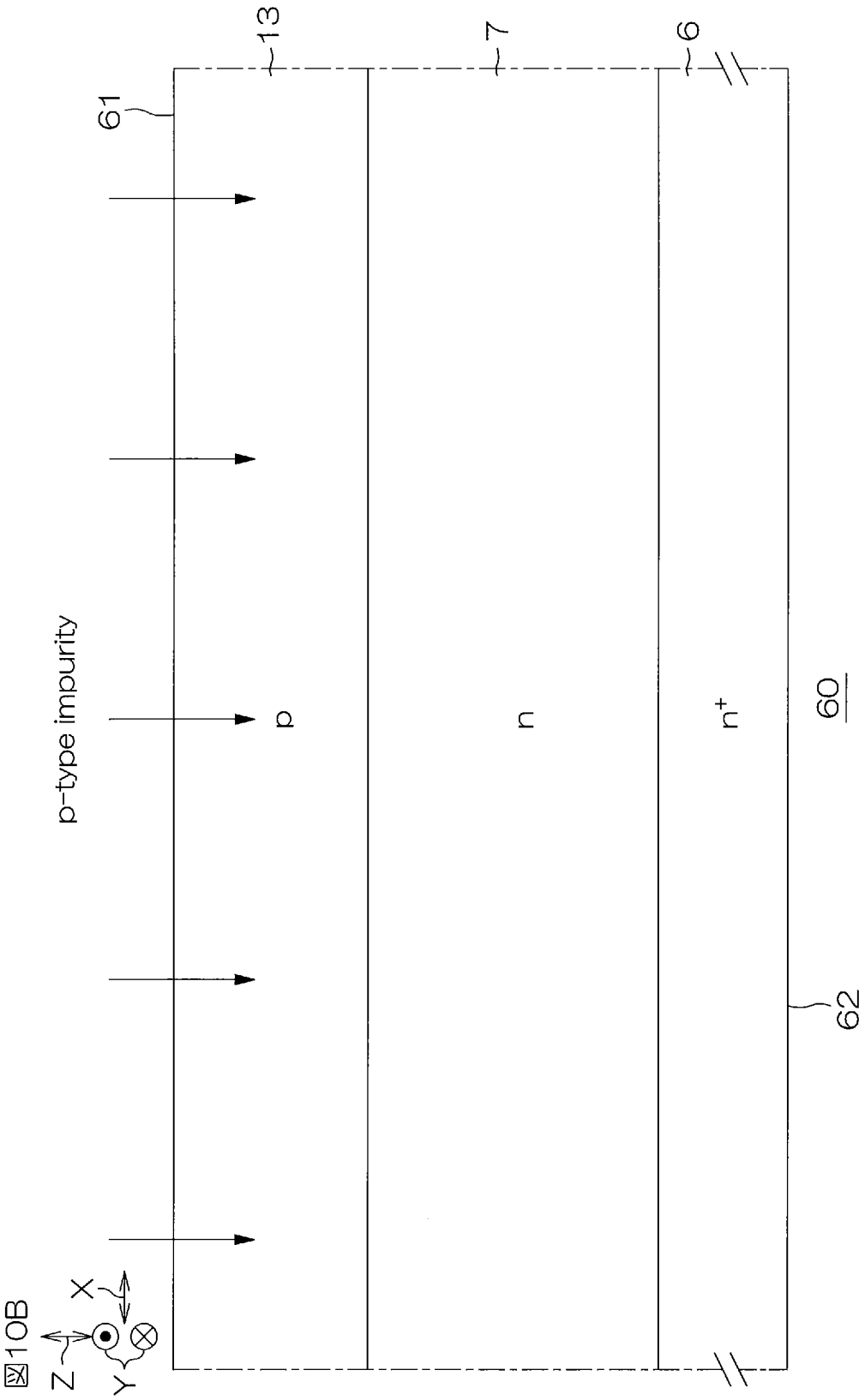


図10B

[図10C]

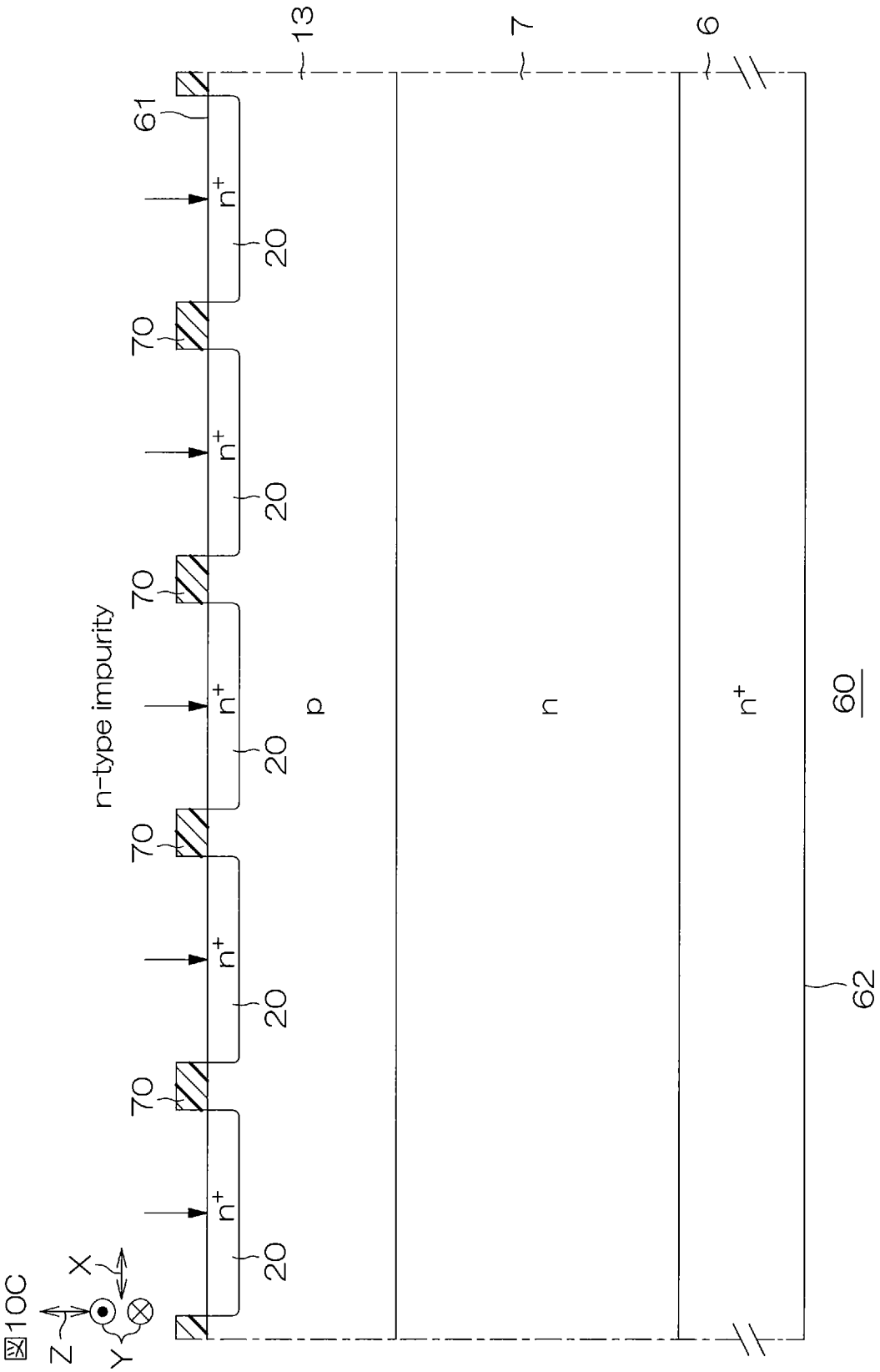


図10C

[図10D]

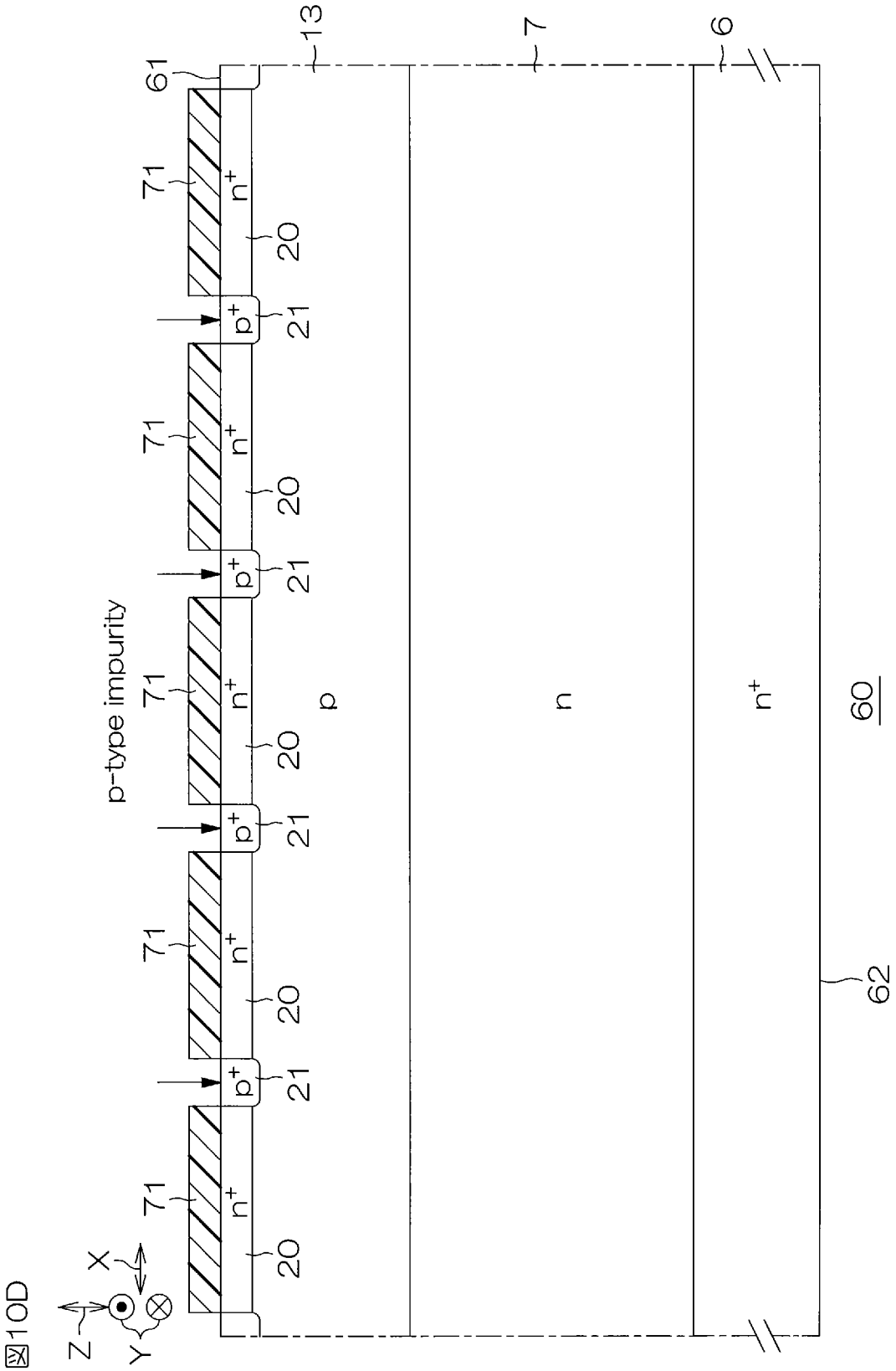


図10D

[図10E]

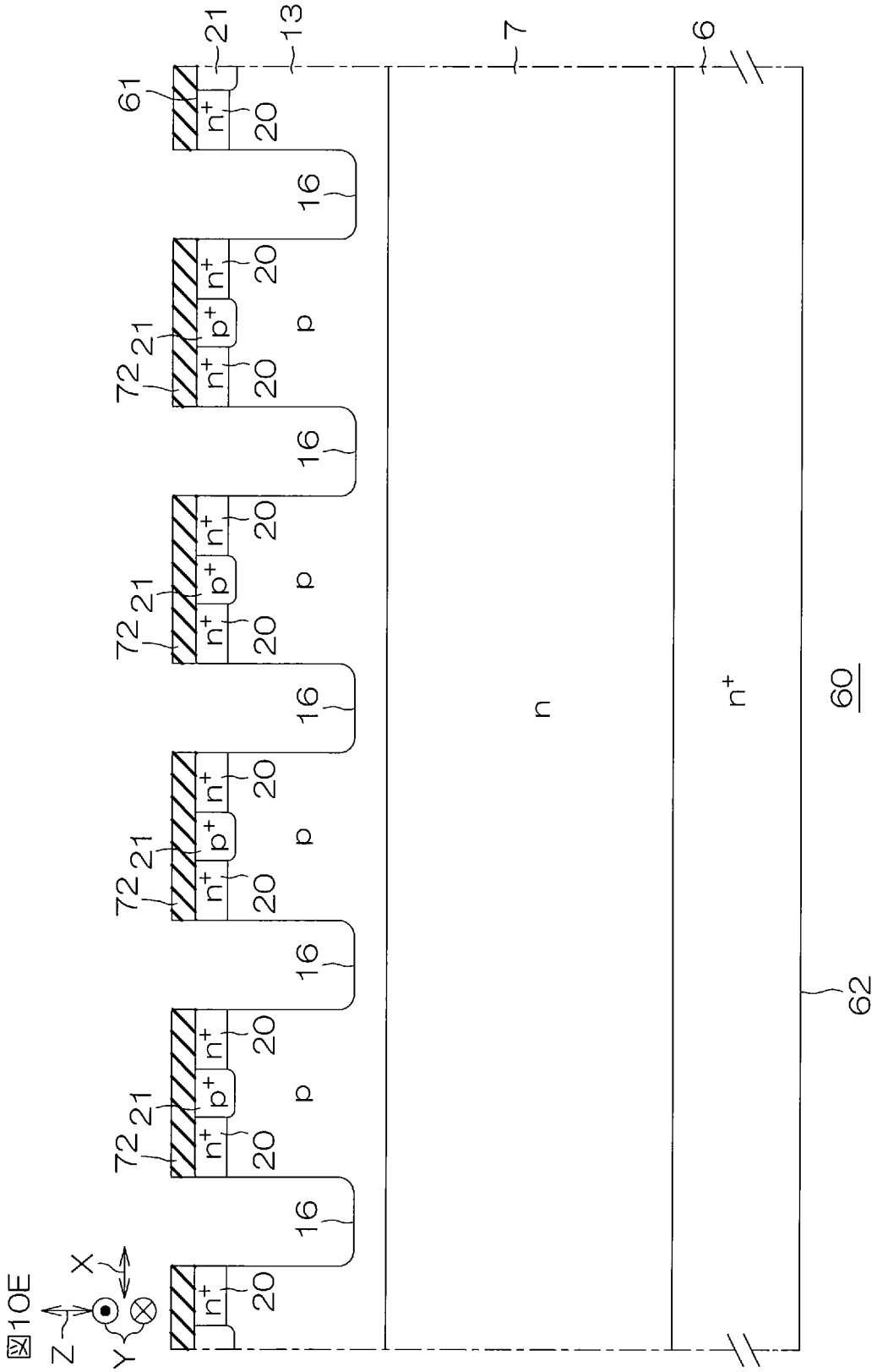


図10E

[図10F]

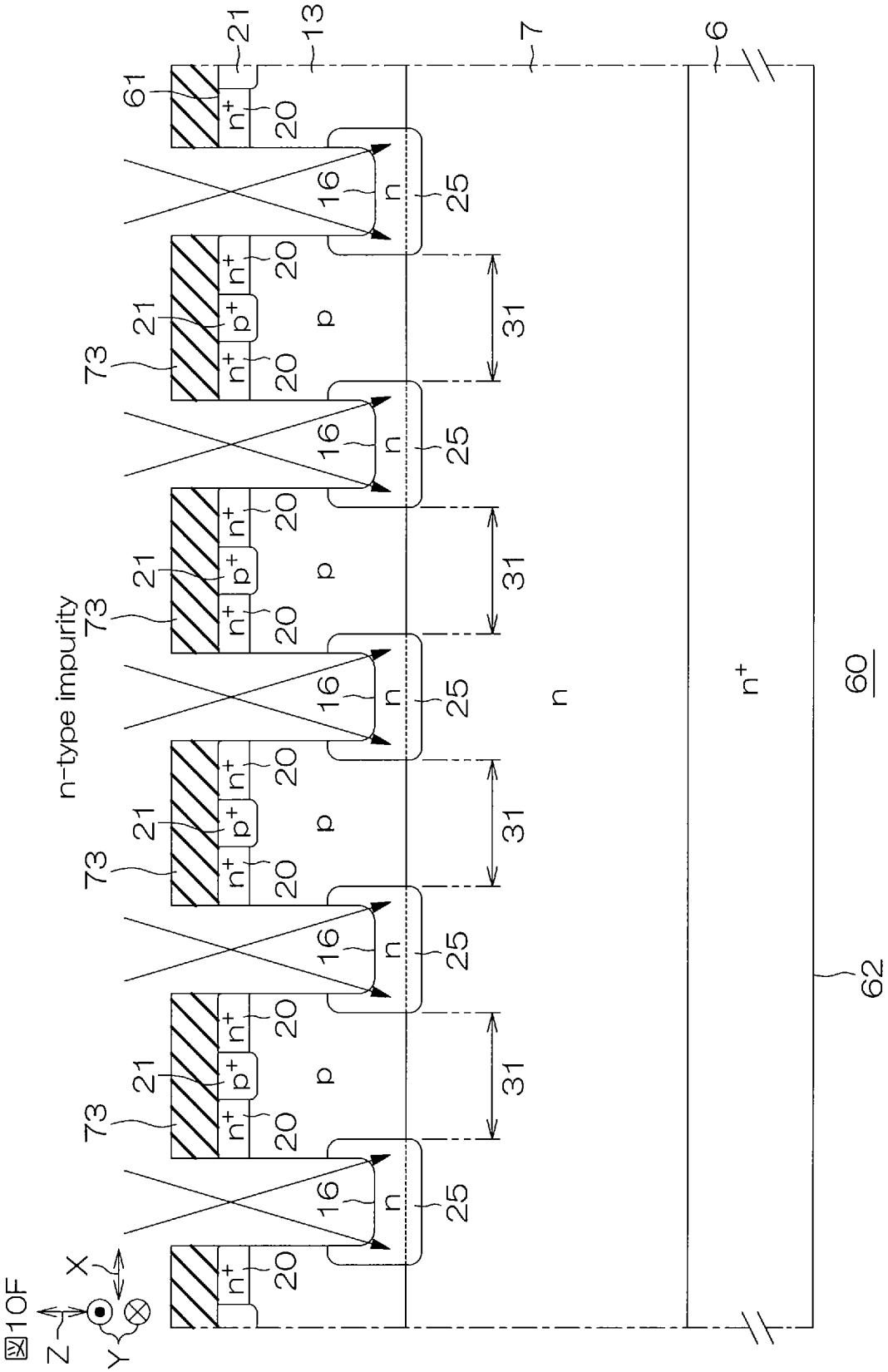


図10F

[図10G]

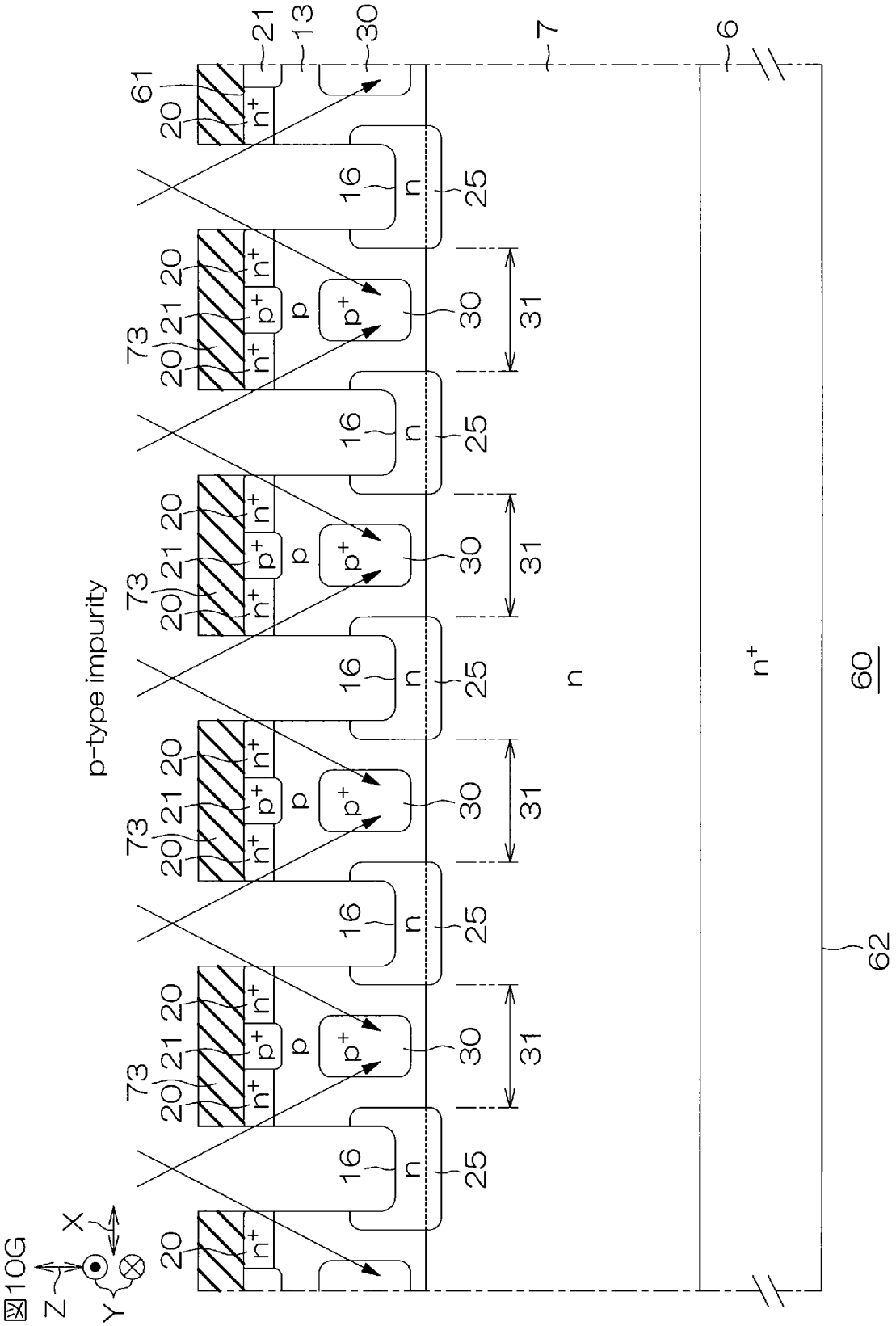


図10G

[図10H]

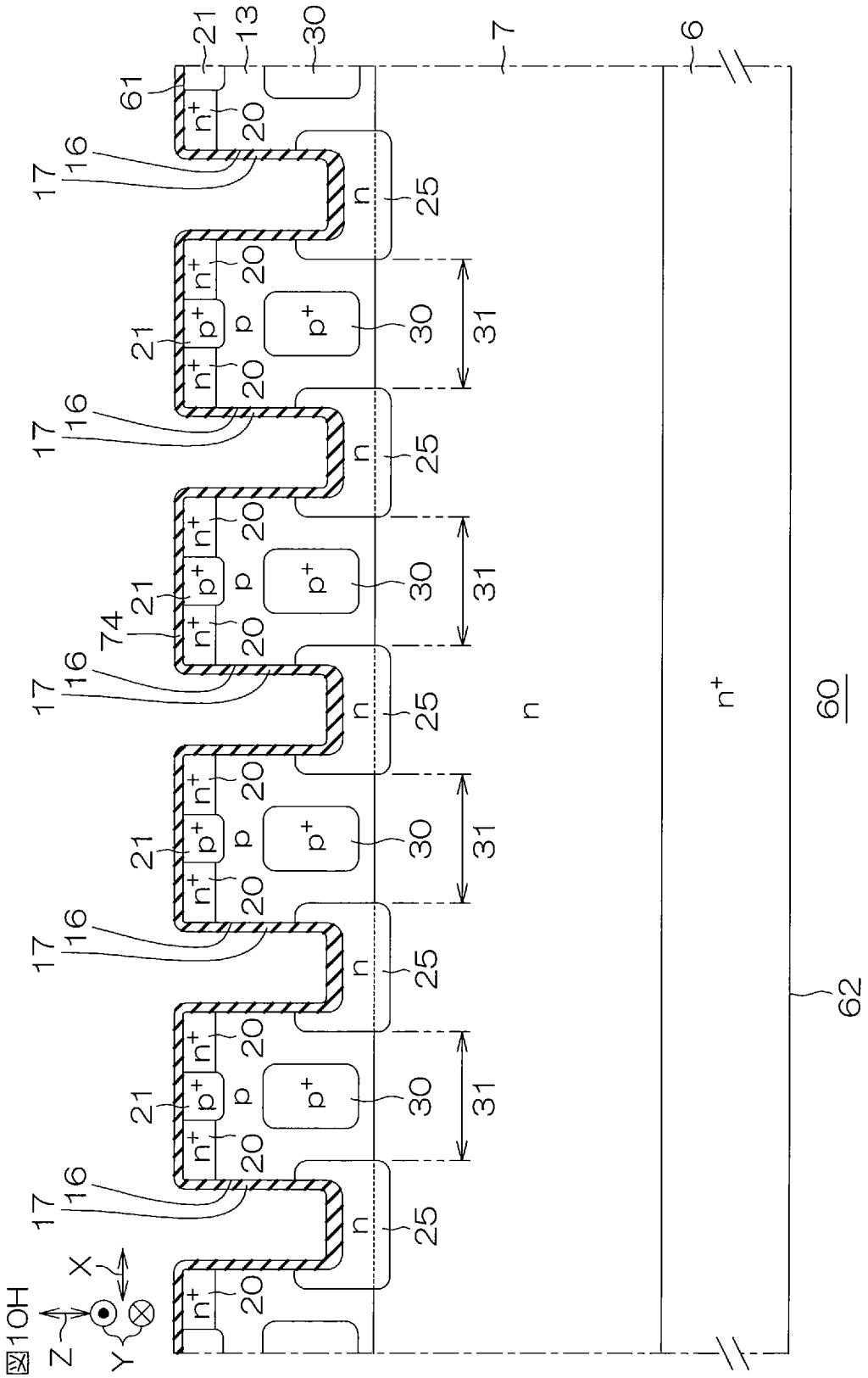


図10H

[図10I]

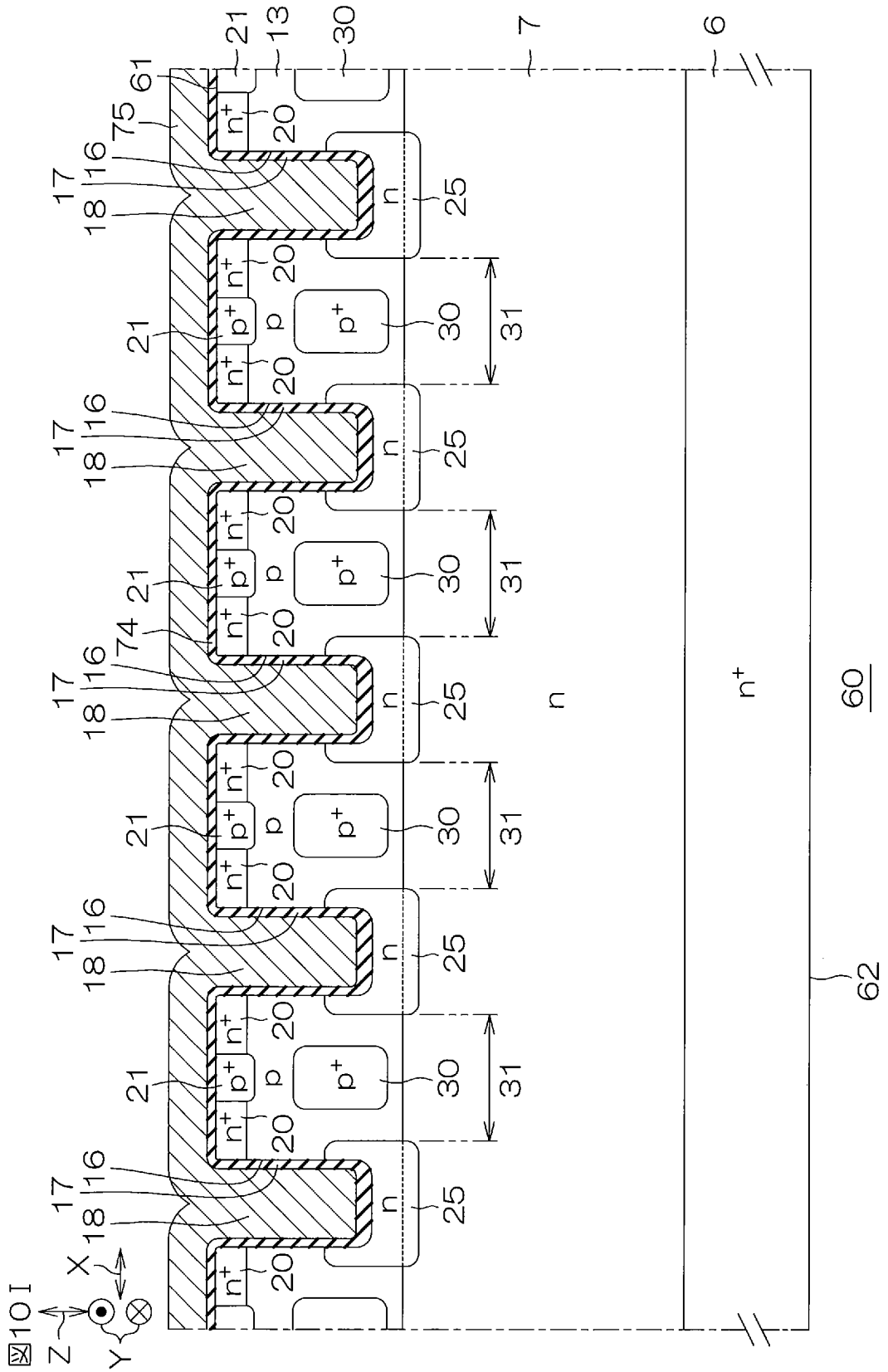


図10I

[図10J]

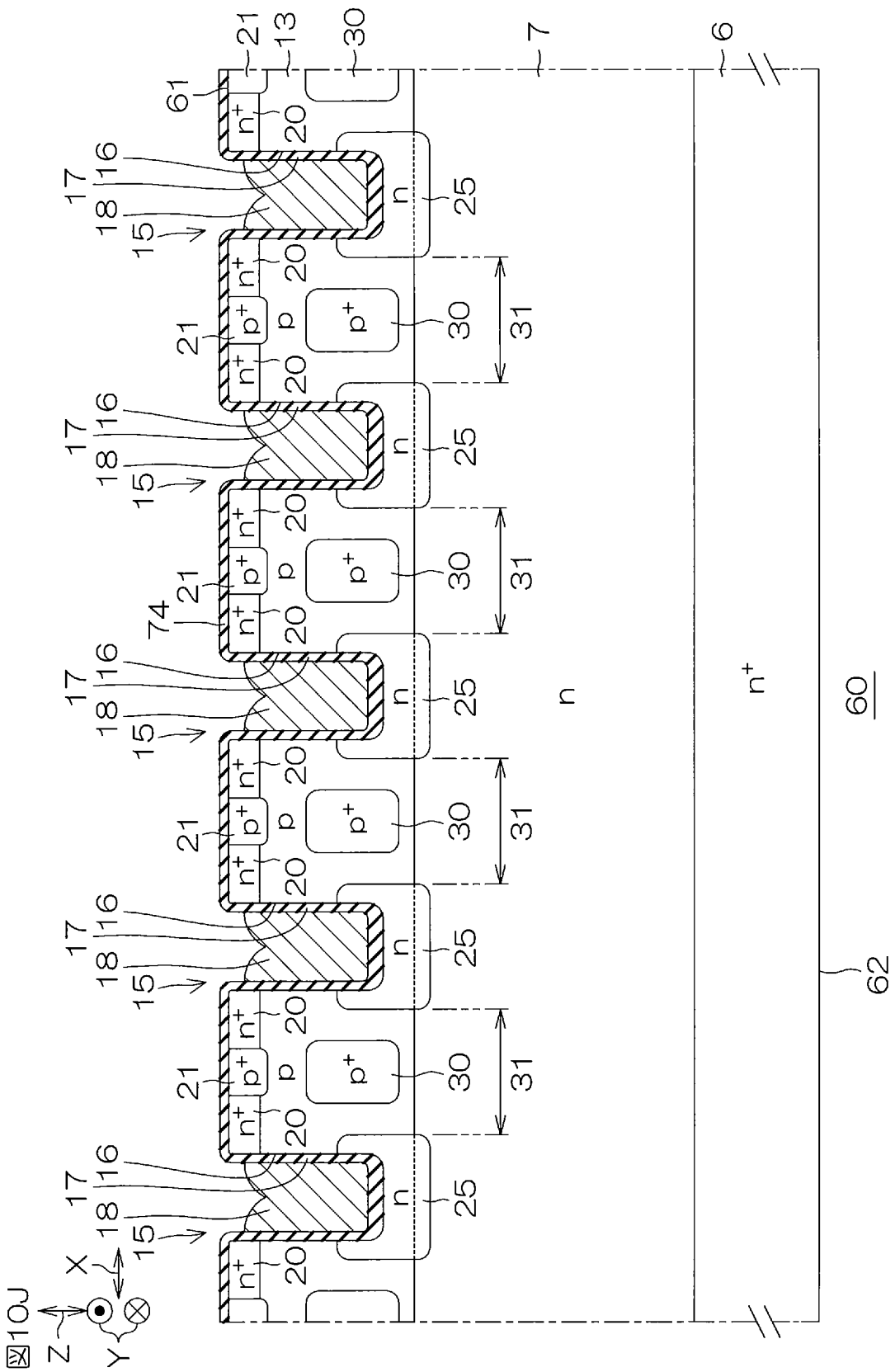


図10J

[図10K]

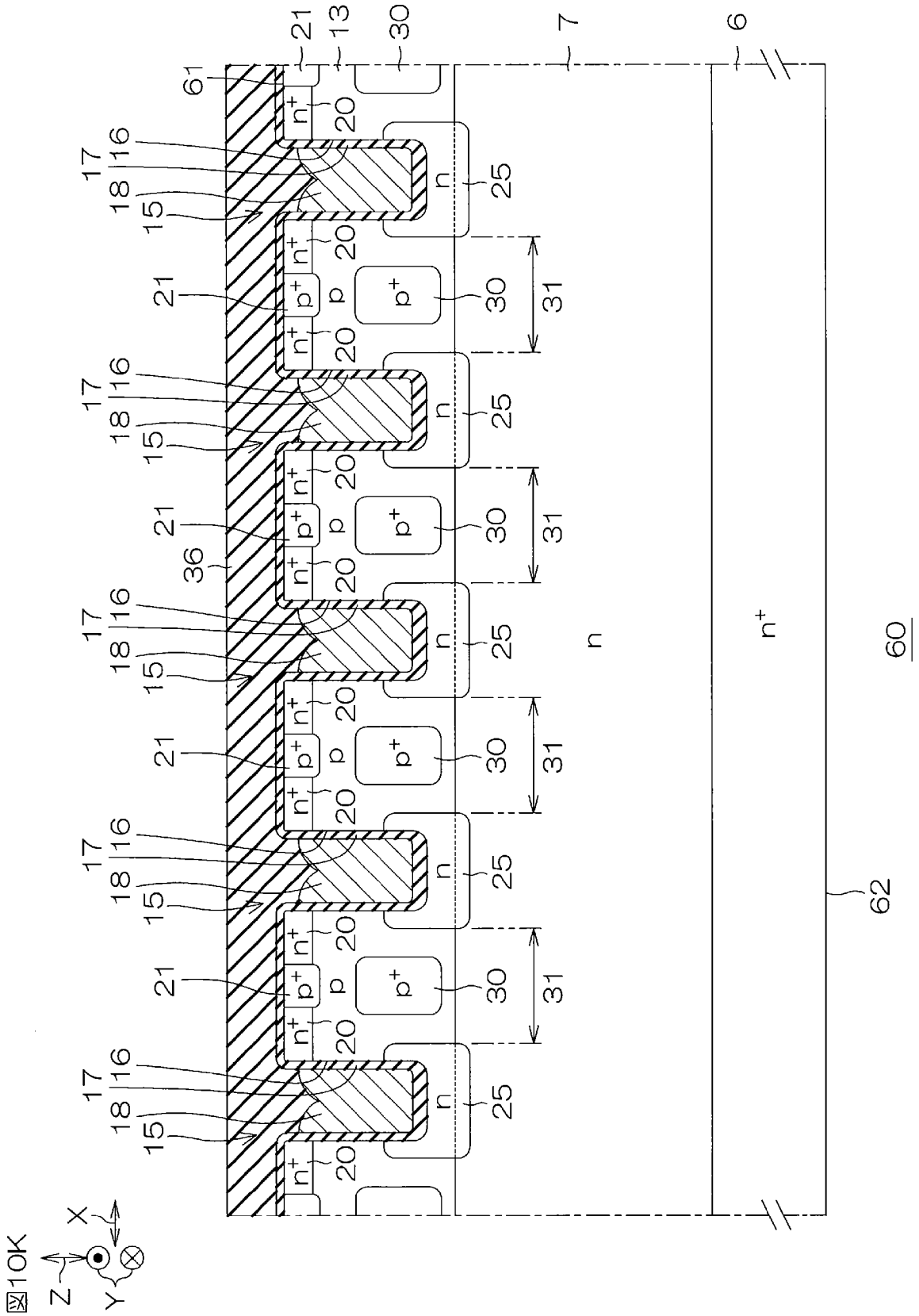


図10K

[図10L]

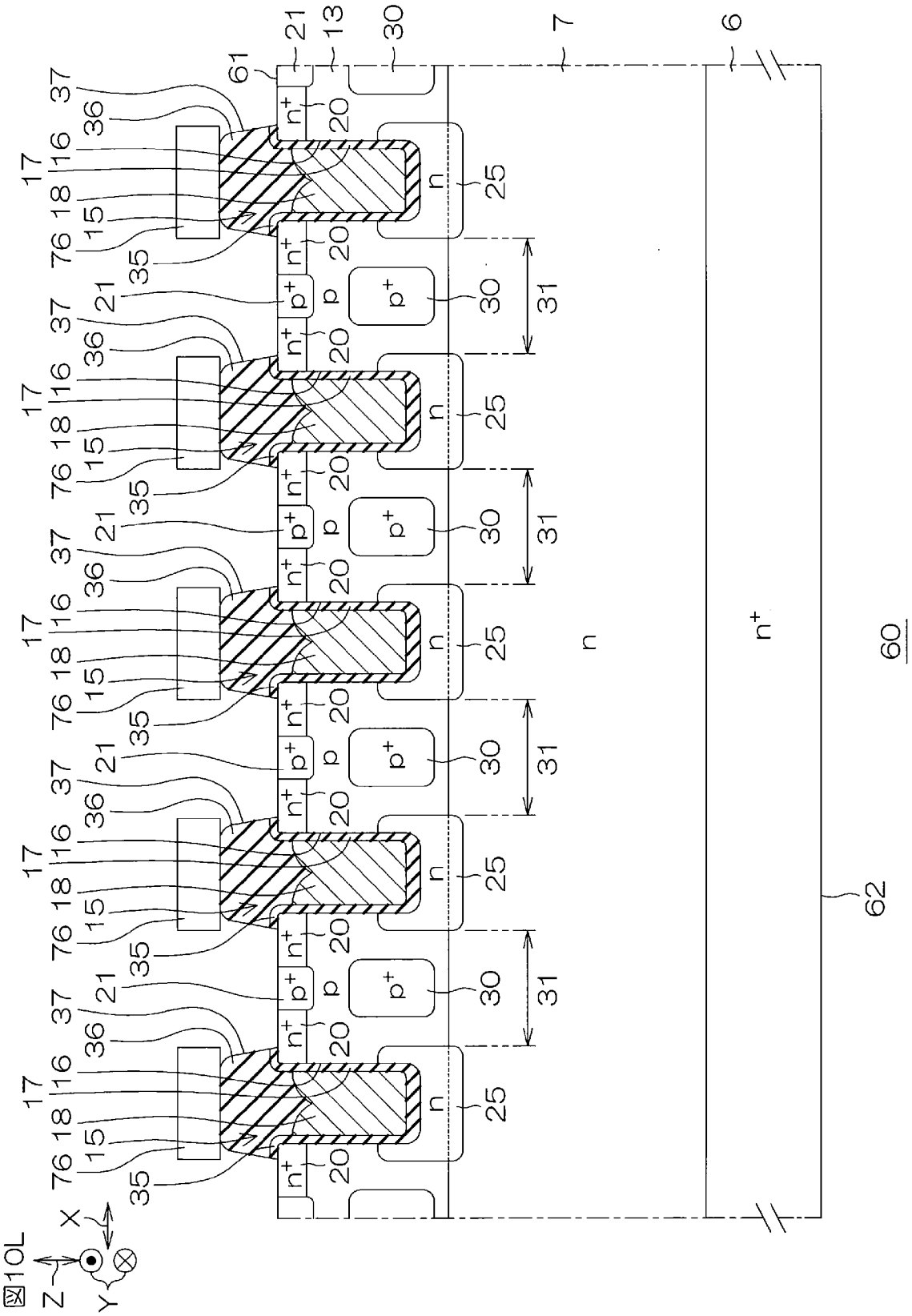


図10L

[図10M]

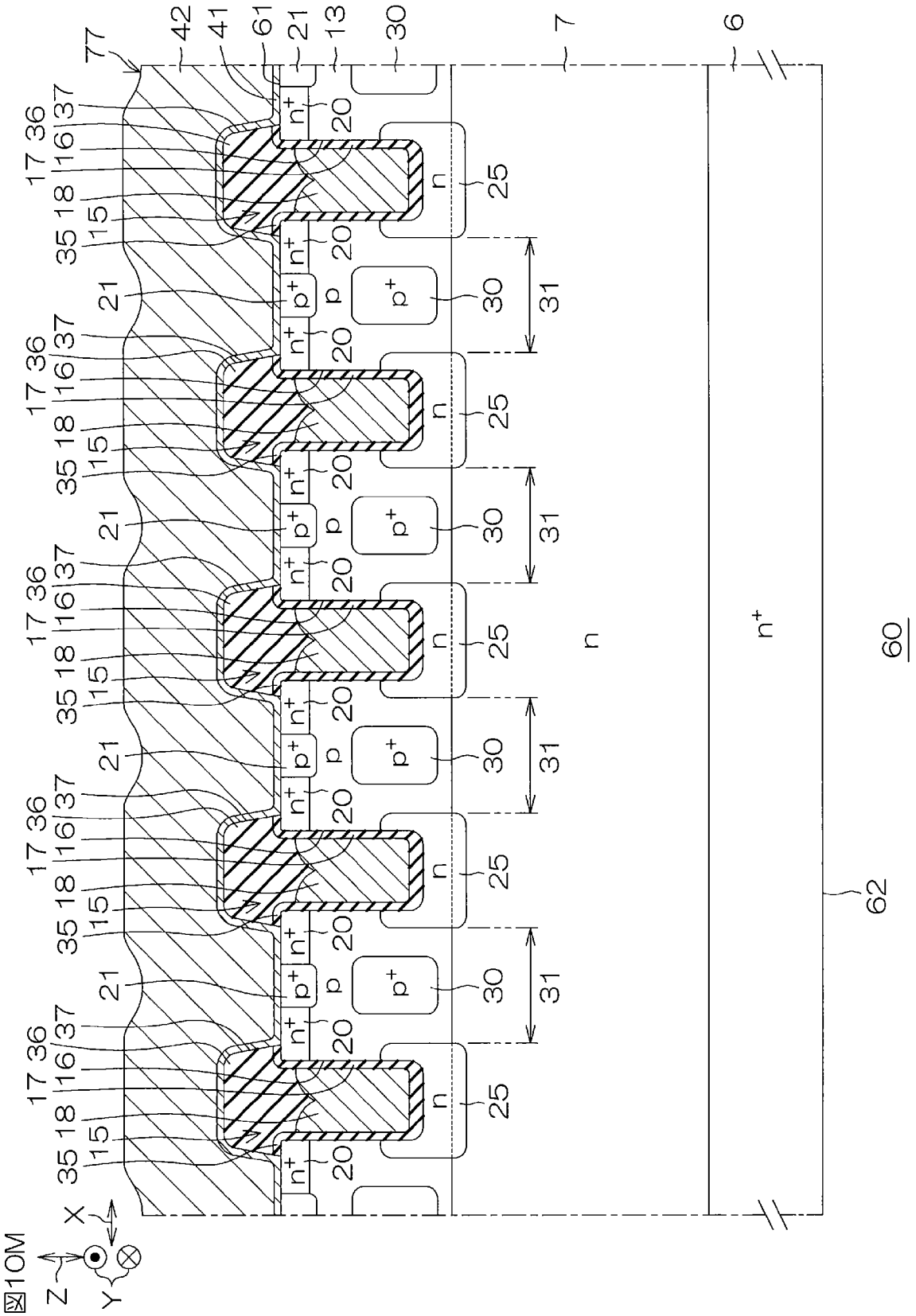


図10M

[図10N]

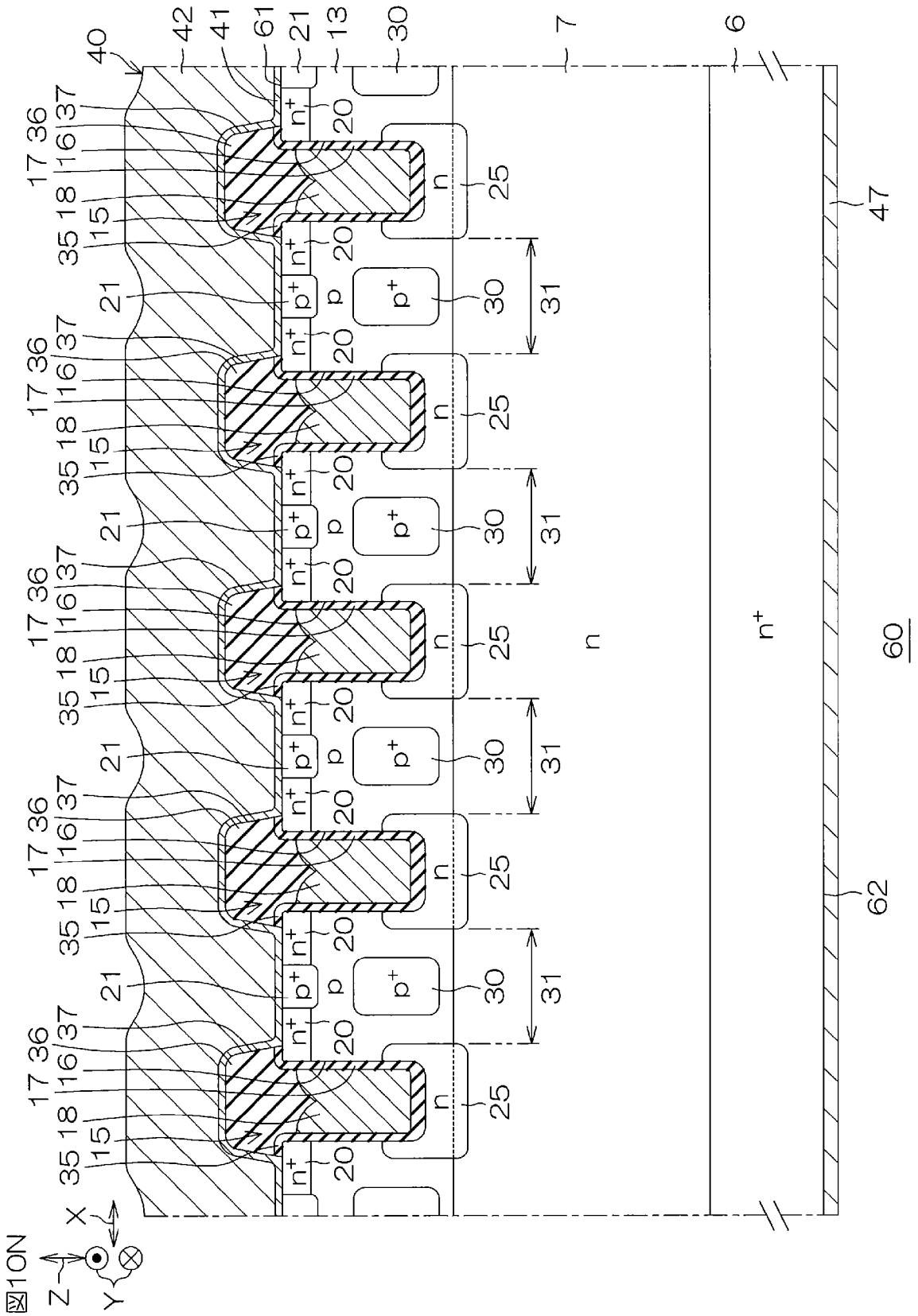
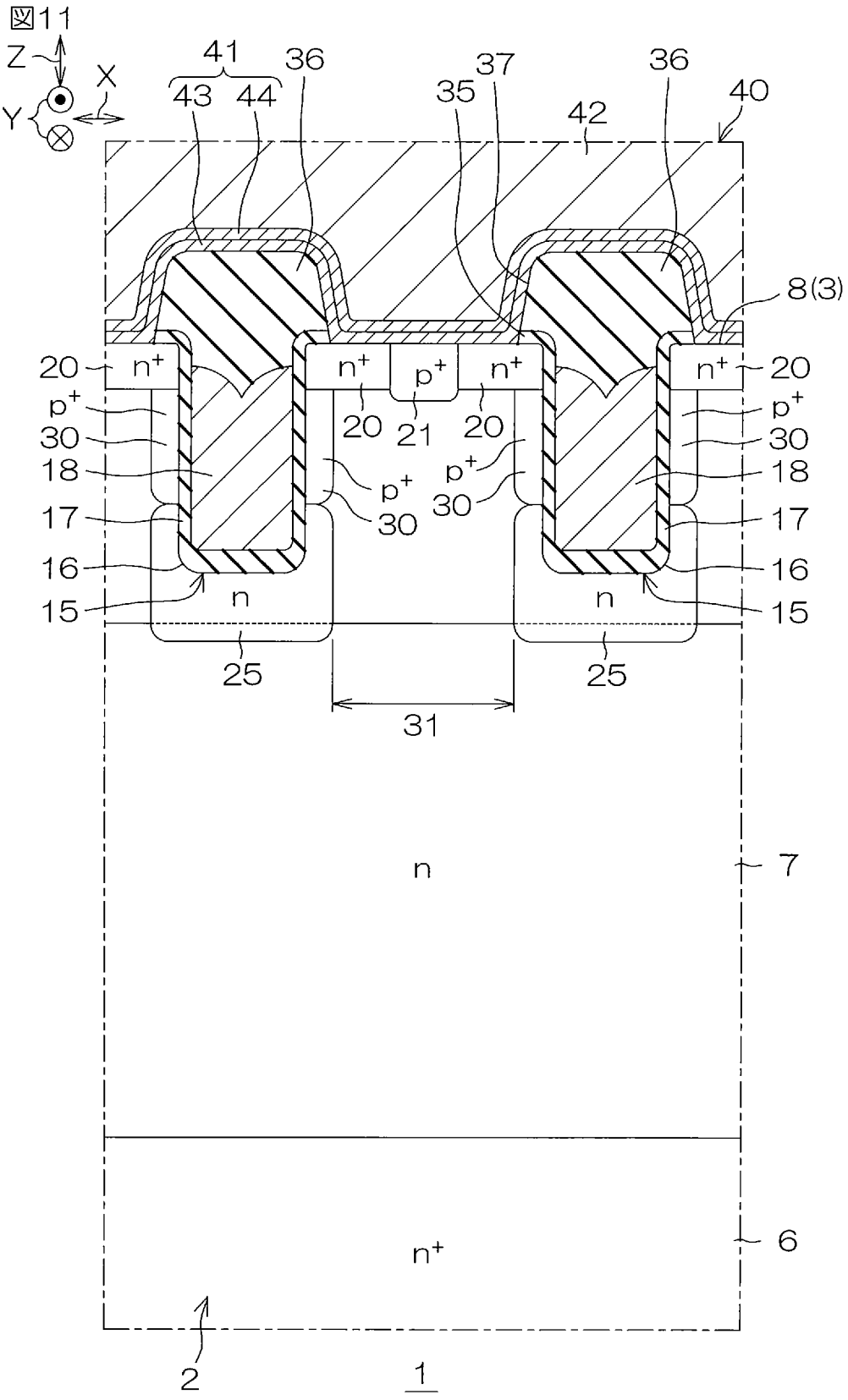

40
42
41
61
21
13
30
7
6
47
60
62
n+
n
p+
p
20
25
30
31
15
16
17
18
35
36
37
X
Y
Z

図10N

[図11]


図11
Z
X
Y
41
43
44
36
35
37
42
36
40
8(3)
20
n+
n+
p+
n+
n+
20
p+
30
18
17
16
15
20
21
20
p+
30
p+
30
n
n
25
25
31
n
7
n+
6
2
1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/025693

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 29/12***(2006.01)i
FI: H01L29/78 652J; H01L29/78 652T; H01L29/78 653C; H01L29/78 652C; H01L29/78 652Q; H01L29/78 652F; H01L29/78 658A; H01L29/78 652D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-216783 A (TOYOTA MOTOR CORP., DENSO CORP., TOYOTA CENTRAL R&D LABS INC.) 27 October 2011 (2011-10-27) paragraphs [0025]-[0037], [0067]-[0077], fig. 4, 8	1-8
Y		9-20
Y	JP 2009-146946 A (ROHM CO., LTD.) 02 July 2009 (2009-07-02) paragraphs [0015]-[0020], fig. 1	9-12, 14-19
A		1-8, 13, 20
Y	JP 2003-505864 A (KONINKLIJKE PHILIPS ELECTRONICS N. V.) 12 February 2003 (2003-02-12) paragraphs [0015]-[0025], fig. 1-4	9-10, 12-14, 19-20
A		1-8, 11, 15-18

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 September 2024	**08 October 2024**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/025693

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2011-216783 A	27 October 2011	(Family: none)	
JP 2009-146946 A	02 July 2009	(Family: none)	
JP 2003-505864 A	12 February 2003	US 6509608 B1 column 3, line 26 - column 5, line 52, fig. 1-4 WO 2001/006568 A2 EP 1145325 A2	

国際調査報告

国際出願番号
PCT/JP2024/025693

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 29/12(2006.01)i
FI: H01L29/78 652J; H01L29/78 652T; H01L29/78 653C; H01L29/78 652C; H01L29/78 652Q; H01L29/78 652F; H01L29/78 658A; H01L29/78 652D

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L21/336; H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2011-216783 A (トヨタ自動車株式会社, 株式会社デンソー, 株式会社豊田中央研究所) 27.10.2011 (2011-10-27) 段落0025-0037,0067-0077, 図4,8	1-8
Y		9-20
Y	JP 2009-146946 A (ローム株式会社) 02.07.2009 (2009-07-02) 段落0015-0020, 図1	9-12,14-19
A		1-8,13,20
Y	JP 2003-505864 A (コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ) 12.02.2003 (2003-02-12) 段落0015-0025, 図1-4	9-10,12-14,19-20
A		1-8,11,15-18

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
27.09.2024	08.10.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

恩田　和彦 5F 5896

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/025693

引用文献	公表日	パテントファミリー文献	公表日
JP 2011-216783 A	27.10.2011	（ファミリーなし）	
JP 2009-146946 A	02.07.2009	（ファミリーなし）	
JP 2003-505864 A	12.02.2003	US 6509608 B1 第3欄第26行-第5欄第52行， 図1-4 WO 2001/006568 A2 EP 1145325 A2	