(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 12/10

(45) 공고일자 2000년02월15일
(11) 등록번호 10-0245660
(24) 등록일자 1999년11월30일

(21) 출원번호	10-1995-0032074	(65) 공개번호	특1996-0011715
(22) 출원일자	1995년09월27일	(43) 공개일자	1996년04월20일
(30) 우선권주장	94-233687 1994년09월28일 일본(JP)		

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 노가미가즈따가
일본국가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바다마가와워크스내
(74) 대리인 구영창, 장수길

심사관 : 김세영

(54) 어드레스변환장치

요약

어드레스 변환에 있어서, 복수의 계층 TLB 회로를 이용하여 어드레스 변환의 히트율의 저하를 방지하여 처리 속도를 확보하고 아울러, TLB 회로의 억세스를 억제하여 소비 전력의 저감을 꾀한다. 마지막으로 억세스한 가상 페이지 번호를 저장해 두는 가상 페이지 번호 레지스터(4)와, 가상 페이지 번호 레지스터(4)의 가상 페이지에 대응하는 물리 페이지 번호를 저장하는 물리 페이지 번호 레지스터(5)와, 가상 페이지 번호에 대응하는 물리 페이지 번호를 복수 계층에 걸쳐 저장하는 TLB 회로(1)를 구비하고, 먼저, 비교기(6)에 의해 가상 페이지 번호 2를 가상 페이지 번호 레지스터(4)의 출력과 비교하여 이들이 일치하는 경우 멀티플렉서(9)를 통하여 물리 페이지 번호 레지스터(5)의 출력을 물리 페이지 번호 3으로서 출력하고, 일치하지 않을 경우, 비교기(6)으로부터 출력되는 불일치 신호(7)에 의해 TLB 회로(1)을 활성화 함과 동시에, 멀티플렉서(9)를 통하여 TLB 회로(1)의 출력을 물리 페이지 번호 3으로서 출력한다.

대표도

도1

명세서

[발명의 명칭]

어드레스 변환 장치

[도면의 간단한 설명]

제 1 도는 본 발명의 제 1 실시예의 어드레스 변환 장치의 블록도.

제 2 도는 본 발명의 제 2 실시예의 어드레스 변환 장치의 블록도.

제 3 도는 일반적인 TLB 회로의 블록도.

제 4 도는 종래 어드레스 변환 장치의 블록도.

제 5 도는 본 발명의 제 1 변형예의 블록도.

* 도면의 주요부분에 대한 부호의 설명

1 : TLB 회로 4 : 가상 페이지 번호 레지스터

5 : 물리 페이지 번호 레지스터

6 : 13a, 13b, 13c, 13d : 비교기

9 : 멀티플렉서

10a, 10b, 10c, 10d : 가상 페이지 어드레스 보유 메모리

11a, 11b, 11c, 11d : 물리 페이지 어드레스 보유 메모리

12 : 메모리 어레이 15a, 15b, 15c, 15d : 트라이 스테이트 버퍼

16 : 컨트롤 회로

[발명의 상세한 설명]

본 발명은 어드레스 변환 장치에 관한 것으로, 특히 가상 기억을 서포트하는 마이크로프로세서에서 어드레스 변환을 저소비 전력으로 신속하게 행하게 한 시스템 구조의 어드레스 변환 장치에 관한 것이다.

일반적으로 마이크로프로세서에서는 주기억 장치에 가상 어드레스와 물리 어드레스의 전(全) 변환표를 구비하고 있다. 그러나, 어드레스 변환시마다 주기억 장치를 억세스하면 시간이 걸려 처리 속도에 영향을 끼치기 때문에, 제 3 도의 블록도에 도시한 어드레스 변환 장치가 이용된다.

도면에 도시된 바와 같이, TLB 회로(1)는 가상 페이지 번호 2가 제공되면, 물리 페이지 번호 3을 출력하도록 구성되어 있다. 이것은 TLB 회로(1)의 가상 어드레스와 물리 어드레스의 대응표를 갖고 있어 테이블을 참조하여 물리 어드레스를 얻도록 하기 위함이다.

일반적인 시스템에서는 이 TLB 회로(1)에 의해 거의 어드레스 변환을 행하고 있다. 그리고, 어드레스 변환이 TLB 회로(1)에 의해 행해지지 않은 경우는 결국 주기억 장치에 있는 어드레스 변환표를 억세스하게 된다.

그런데, 주기억 장치의 어드레스 변환표를 억세스하면, 위에서도 설명한 바와 같이 처리가 대단히 늦기 때문에, 어드레스 변환이 TLB 회로(1)에 의해 행해지는 확률, 즉 히트율을 높이기 위한 시도가 다수 행해지고 있다.

이를 위하여, TLB 회로(1)로서 4 계층의 세트 어소시에이티브 방식 또는 풀어소시에이티브 방식이 이용되게 된다.

제 4 도는 4 계층의 세트 어소시에이티브 방식의 어드레스 변환의 구성을 나타내는 블록도이다. 도면에서 도시된 바와 같이, 메모리 어레이(12)는 가상 페이지 어드레스 보유 메모리(10a, 10b, 10c, 10d)와 물리 페이지 어드레스 보유 메모리(11a, 11b, 11c, 11d)를 각각 4 계통 병렬로 구비하고 있다. 그리고, 가상 페이지 번호 2가 부여되면, 가상 페이지 번호 2와 가상 페이지 어드레스 보유 메모리(10a, 10b, 10c, 10d)의 출력을 각각 비교기(13a, 13b, 13c, 13d)에서 비교하고, 이것이 일치된 경우는 일치 신호(14a, 14b, 14c, 14d)를 얻고, 이에 따라 트라이 스테이트 버퍼(15a, 15b, 15c, 15d)를 동작시켜 물리 페이지 어드레스 보유 메모리(11a, 11b, 11c, 11d)의 출력을 물리 페이지 번호 3으로서 출력하도록 구성된다.

종래의 어드레스 변환 장치는 이상과 같이 구성되어 있기 때문에, 4개의 어드레스 비교를 병렬로 행하게 되어, 히트율을 향상시켜 주기억 장치를 억세스하지 않는 만큼 처리 속도는 상승하지만, 소비 전력은 커지는 문제가 있다. 한편, 풀 어소시에이티브 방식에서는 어드레스 비교가 엔트리의 수만큼 행해지므로, 소비 전력이 더욱 증대해버리는 문제점이 있다.

본 발명은 상기한 종래 기술의 문제점을 해결하고, 어드레스 변환의 히트율의 저하를 방지하여 처리 속도를 확보하고, 소비 전력의 저감을 가능하게 한 어드레스 변환 장치를 얻는 것을 목적으로 한다.

본 발명의 제 1 어드레스 변환 장치는 가상 어드레스와 물리 어드레스의 대응을 복수 계층 기억하는 제 1 어드레스 변환 수단과, 적어도 1개의 가상 어드레스와 이것에 대응하는 물리 어드레스를 기억하는 제 2 어드레스 변환 수단과, 변환 대상이 되는 가상 어드레스와 상기 제 2 어드레스 변환 수단의 가상 어드레스의 대응을 비교하여 어드레스 변환 가능한 경우에는 상기 제 1 어드레스 변환 수단의 활성화를 억제함과 함께 상기 제 2 어드레스 변환 수단으로부터 물리 어드레스를 출력시키고 상기 제 2 어드레스 변환 수단에 의한 어드레스 변환이 가능하지 않은 경우는 상기 제 1 어드레스 변환 수단을 활성화하여 상기 제 1 어드레스 변환 수단으로부터 물리 어드레스를 출력시키는 제어 수단을 구비하여 구성된다.

본 발명의 제 2 어드레스 변환 장치는 가상 어드레스와 물리 어드레스의 대응을 복수 계층 기억하는 어드레스 변환 수단과, 과거의 어드레스 변환 실적에 기초하여 상기 어드레스 변환 수단의 복수의 계층을 선택적으로 억세스하고, 변환 대상이 되는 가상 어드레스에 대응하는 물리 어드레스를 호출하는 제어 수단을 구비하여 구성된다.

본 발명의 제 1 어드레스 변환 장치에서는 변환 대상이 되는 가상 어드레스가 부여되었을 때, 우선, 변환 대상이 되는 가상 어드레스와 제 2 어드레스 변환 수단의 가상 어드레스의 대응을 비교하여 어드레스 변환 가능한 경우는 제 1 어드레스 변환수단을 활성화시키지 않고 제 2 어드레스 변환 수단으로부터 물리 어드레스를 출력시킨다. 제 2 어드레스 변환 수단에 의한 어드레스 변환이 가능하지 않다고 판단된 경우에 한하여, 제 1 어드레스 변환 수단을 활성화하여, 물리 어드레스를 출력시키도록 한다. 이에 따라, 제 1 어드레스 변환 수단의 활성화에 따른 소비 전력이 저감된다.

본 발명의 제 2 어드레스 변환 장치는 과거의 어드레스 변환 실적에 기초하여 어드레스 변환 수단의 복수의 계층을 선택적으로 억세스하여 변환 대상이 되는 가상 어드레스에 대응하는 물리 어드레스를 호출한다. 이에 따라, 어드레스 변환 수단의 전체를 억세스하는 경우와 비교하여 소비 전력이 억제된다.

본 발명의 실시예를 설명하기에 앞서 본 발명이 이루어지게 된 경위에 대하여 설명하기로 한다.

일반적으로 어드레스 변환에 있어서는, 어떤 가상 페이지 및 그 근방의 가상 페이지에 대한 변환이 몇회인가 반복된 후, 페이지 번호가 분리된 가상 페이지에 대해서의 변환이 행해지는 경우가 많다. 즉 동일 가상 페이지에 대해 계속하여 변환이 행해지는 경우도 적지 않다. 본 발명자는 지금까지 아무도 각별히 주의를 기울이지 않았던 이와 같은 사실을 인식함과 동시에 착안하여, 적어도 마지막으로 변환된 가상 페이지를 기억해 두고, 다음에 변환할 때에는 변환하고자 하는 가상 페이지와 이 기억된 전회의 가상 페이지를 비교하여 일치되었을 때에는 TLB 회로를 억세스하지 않고 바로 교환함으로써 TLB 회로를 억세스하는 것에 비하여 전력을 세이브한다는 특징을 갖는 본 발명을 이루기에 이르렀다. 본 발명에 따르면 일반적으로 범용의 장치에 비하여 10～15% 정도의 파워 세이브가 가능하다.

이하, 도면을 참조하면서, 본 발명의 실시예를 설명하기로 한다.

[제 1 실시예]

제 1 도는 본 발명의 제 1 실시예와 관련하는 어드레스 변환 장치의 블록도이다. 도면에 도시한 바와 같이, 최종 어드레스 변환된 가상 페이지 번호를 기억하는 가상 페이지 번호 레지스터(4)와, 최종 어드레스 변환된 물리 페이지 번호를 기억하는 물리 페이지 번호 레지스터(5)를 구비하고 있고, 가상 페이지 번호 2가 부여되었을 때에 이것을 TLB 회로(1)에 제공함과 함께 비교기(6)에도 공급한다. 비교기(6)에는 가장 페이지 번호 레지스터(4)의 출력이 공급되고 있고, 양자가 불일치한 경우에 불일치 신호(7)을 출력한다. TLB 회로(1)은 비교기로부터의 불일치 신호(7)에 의해 활성화되고, 가상 페이지 번호 2에 대한 어드레스 변환을 행하여 물리 페이지 번호 8을 출력한다. 멀티플렉서(9)는 물리 페이지 번호 레지스터(5)의 출력과 TLB 회로(1)의 출력을 불일치 신(7)에 기초하여 선택하여 물리 페이지 번호 3으로서 출력한다.

이상 설명한 바와 같은 구성에 있어서, 다음에 그 동작을 설명하기로 한다.

가상 페이지 번호 2에 대한 어드레스 변환을 행하는 경우, 먼저 가상 페이지 번호 레지스터(4)에 기억된 최종 어드레스 변환된 가상 페이지 번호와, 어드레스 변환하고자 하는 가상 페이지 번호 2를 비교기(6)에서 비교한다.

이 비교 결과, 양자가 일치하고 있는 경우 불일치 신호(7)는 출력되지 않고, 멀티플렉서(9)는 물리 페이지 번호 레지스터(5)의 출력을 선택한다. 그 결과, 물리 페이지 번호 레지스터(5)의 출력이 물리 페이지 번호 3으로서 출력된다.

또, 이 경우, 비교기(6)으로부터는 불일치 신호(7)이 출력되지 않기 때문에 이 불일치 신호(7)을 활성화 신호로 하고 있는 TLB 회로(1)은 활성화되지 않는다.

한편, 비교기(6)에서의 비교 결과, 양자가 불일치한 경우, 불일치 신호(7)이 출력되므로 이것을 활성화 신호로 하는 TLB 회로(1)은 활성화된다. 그 결과, TLB 회로(1)은 어드레스 변환하고자 하는 가상 페이지 번호 2에 기초하여, 대조표를 찾아서 물리 페이지 번호 8을 출력한다. 한편, 멀티플렉서(9)는 불일치 신호(7)에 의해 물리 페이지 번호 8을 선택하기 때문에 TLB 회로(1)로부터의 물리 페이지 번호 8이 물리 페이지 번호 3으로서 출력되게 된다.

이상과 같이, 제 1 실시예에 따르면, 가상 페이지 번호 2가 가상 페이지 번호 레지스터(4)에 저장되어 있는 최종 어드레스 변환된 가상 페이지 번호와 일치하고 있으면, TLB 회로(1)을 활성화하지 않고, 물리적 페이지 번호 레지스터(5)로부터 물리페이지 번호 3을 인출할 수 있으므로, TLB 회로(1)을 활성화하는 것에 따른 소비전력을 저감시킬 수 있다.

그리고, 어드레스 변환시의 가상 페이지 번호 2의 가상 페이지 번호 레지스터(4)에 대한 히트율이 높으면 높을수록 소비 전력 저감에 있어서 효과적이다.

또, 상기 실시예에서는 가상 페이지 번호 레지스터(4)와 물리 페이지 번호 레지스터(5), 비교기(6)을 1계통 설치한 구성을 예시하였지만, 과거로 되돌아가서 생각하면 최후로부터 복수개의 어드레스 변환에 있어서의 가상 페이지 번호와 이것에 대응하는 물리 어드레스 번호를 보유해 두도록 하는 구성으로 할 수도 있다. 제 5 도는 최종과 최종부터 2번째의 어드레스 변환에 이용된 가상 페이지 번호에 대하여 참조하는 경우의 구성을 예시한다.

이와 같은 경우, 어드레스 변환에 있어서, 가상 페이지 번호 2가 부여되었을 때 이것이 가상 페이지 번호 레지스터(4)에 기억되어 있는 과거의 복수의 가상 페이지 번호 중 어느 한 것인가와 일치한 경우에 TLB 회로(1)을 활성화하지 않고, 물리 페이지 번호 레지스터(5)로부터 물리 페이지 번호 3을 인출하도록 구성한다. 그리고, 이들 중 어느 것과도 일치하지 않는 경우에는 비로소 TLB 회로(1)을 활성화시킨다.

이와 같은 구성에 따르면, 가상 페이지 번호 2의 가상 페이지 번호 레지스터(4)에 대한 히트율이 높아지므로, TLB 회로(1)을 활성화시키는 비율이 저하하여 소비전력을 더욱 저감시킬 수 있다.

이와 관련하여, 이 경우에 있어서 비교기(6)의 설치 개수는 TLB 회로(1) 중에 포함되는 비교기의 개수보다도 적기 때문에, 비교기(6)에 의한 소비 전력의 증대는 TLB 회로(1)을 활성화시키는 경우의 소비 전력의 증대보다도 적다.

또, 제 1 실시예의 구성은 풀 어소시에이티브 방식의 TLB 회로에 대하여 효과적으로 적용된다.

[제 2 실시예]

제 2 도는 본 발명의 제 2 실시예와 관련한 어드레스 변환 장치의 블록도로서, 특히 4계층 세트 어소시에이티브 방식의 TLB 회로를 예시한 것이다.

도면에 도시된 바와 같이, 메모리 어레이(12)에는 가상 페이지 어드레스 보유 메모리(10a, 10b, 10c, 10d)와 물리 페이지 어드레스 보유 메모리(11a, 11b, 11c, 11d)가 각각 대응하여 4 계통 병렬로 설치되어 있다. 비교기(13a, 13b, 13c, 13d)는 가상 페이지 번호 2가 부여되면 가상 페이지 번호 2와 가상 페이지 어드레스 보유 메모리(10a, 10b, 10c, 10d)의 출력을 각각 비교한다. 비교기(13a, 13b, 13c, 13d)의 비교 결과 얻어지는 일치 신호(14a, 14b, 14c, 14d)는 트라이 스테이트 버퍼(15a, 15b, 15c, 15d)에 공급되고, 물리 페이지 어드레스 보유 메모리(11a, 11b, 11c, 11d)로부터의 출력을 물리 페이지 번호 3으로서 출력시킨다. 또, 비교기(13a, 13b, 13c, 13d)의 각 출력의 일치 신호(14a, 14b, 14c, 14d)는 컨트롤 회로(16)에 공급된다. 그리고, 컨트롤 회로(16)은 일치 신호(14a, 14b, 14c, 14d)에 기초하여 활성화 신호(17a, 17b, 17c, 17d)를 발생하여 비교기(13a, 13b, 13c, 13d)의 활성화를 제어한다.

이상 설명한 구성에 있어서, 다음에 그 동작을 설명하기로 한다.

가상 페이지 번호 2에 기초한 어드레스 변환을 행하는 경우, 먼저, 컨트롤 회로(16)에 의해 마지막으로 히트하고 또 엔트리를 등록한 계층의 비교기(13a, 13b, 13c 또는 13d)에 대하여 활성화 신호(17a, 17b,

17c 또는 17d)를 출력한다. 그리고, 컨트롤 회로(16)에 의해 선택된 비교기(13a, 13b, 13c 또는 13d)에 의해 대응하는 가상 페이지 어드레스 보유 메모리(10a, 10b, 10c 또는 10d)의 출력과 가상 페이지 번호 2를 비교한다.

이 비교 결과 히트된 경우, 비교기(13a, 13b, 13c 또는 13d)로부터 일치 신호(14a, 14b, 14c, 또는 14d)를 출력시켜 그 계층의 물리 페이지 어드레스 보유 메모리(11a, 11b, 11c 또는 11d)의 출력을 트라이 스테이트 버퍼(15a, 15b, 15c 또는 15d)를 통하여 물리 페이지 번호 3으로서 출력한다.

또, 여기서 히트하지 않은 경우, 컨트롤 회로(16)의 활성화 신호(17a, 17b, 17c, 17d)에 의해 다른 비교기(13a, 13b, 13c 또는 13d)를 활성화하고, 다른 계층에서 히트하는 것이 있다면, 그 계층의 물리 페이지 어드레스 보유 메모리(11a, 11b, 11c 또는 11d)의 출력을 트라이 스테이트 버퍼(15a, 15b, 15c 또는 15d)를 통하여 물리 페이지 번호 3으로서 출력시킨다.

또, 제 2 실시예에서는 4 계층의 구성을 예시하였지만, 본 발명은 계층 수에 관계없이 적용 가능한 것은 물론이다.

또, 제 2 실시예는 종래의 회로 구성에 컨트롤 회로(16)을 추가하는 것 만으로 실시 가능하여 오버헤드를 저감시킬 수 있다.

도, 제 2 실시예의 구성은 풀 어소시에이티브 방식의 TLB 회로에는 적용 가능하지 않지만, 세트 어소시에이티브 방식의 TLB 회로에는 효과적으로 적용 가능한 것이다.

[제 3 실시예]

제 3 실시예의 어드레스 변환 장치는 제 2 실시예의 구성에 제 1 실시예의 고안을 적용한 것이다. 즉, 제 2 실시예에서는 컨트롤 회로(16)에 의해 비교기(13a, 13b, 13c, 13d)의 활성화만을 제어하는 구성을 예시하였지만, 이것에 제 1 실시예의 고안 즉, 컨트롤 회로(16)에 의해 비교기(13a, 13b, 13c, 13d)를 제어하는 대신에 메모리 어레이(12)의 각 계층마다 그 활성화를 제어하도록 한다.

이와 같은 구성에 따르면, 마지막으로 히트하였거나, 엔트리를 등록한 계층의 메모리 엑세스와, 히트 체크를 최초로 행하여 히트한 경우에는 그 계층의 물리 페이지 어드레스 보유 메모리(11a, 11b, 11c 또는 11d)의 출력을 물리 페이지 번호 3으로서 출력한다. 그리고, 히트하지 않은 경우에 다른 계층의 메모리 억세스를 행하여 히트 체크한다.

이상과 같이, 메모리 어레이(12)의 계층마다 활성화되는 가상 페이지 어드레스 보유 메모리(10a, 10b, 10c, 10d)나 물리 페이지 어드레스 보유 메모리(11a, 11b, 11c, 11d)를 제어함으로써 메모리 어레이(12)의 활성화되는 부분을 작게 할 수 있어서, 소비 전력을 저감시킬 수 있다.

이상 설명한 바와 같이, 본 발명의 어드레스 변환 장치는 마지막으로 히트 또는 엔트리 등록한 어드레스 변환과, 다음의 어드레스 변환이 동일할 확률이 대단히 높은 데에 착안하여 TLB 회로 전체의 활성화를 억제시키면서 어드레스 변환을 행하도록 구성하였기 때문에, 통상의 TLB 회로와 같은 엔트리 수나 계층 수를 유지한 채로, 즉 히트율을 저하시킴이 없이 TLB 회로의 활성화에 따른 소비 전력을 저감시킬 수 있다.

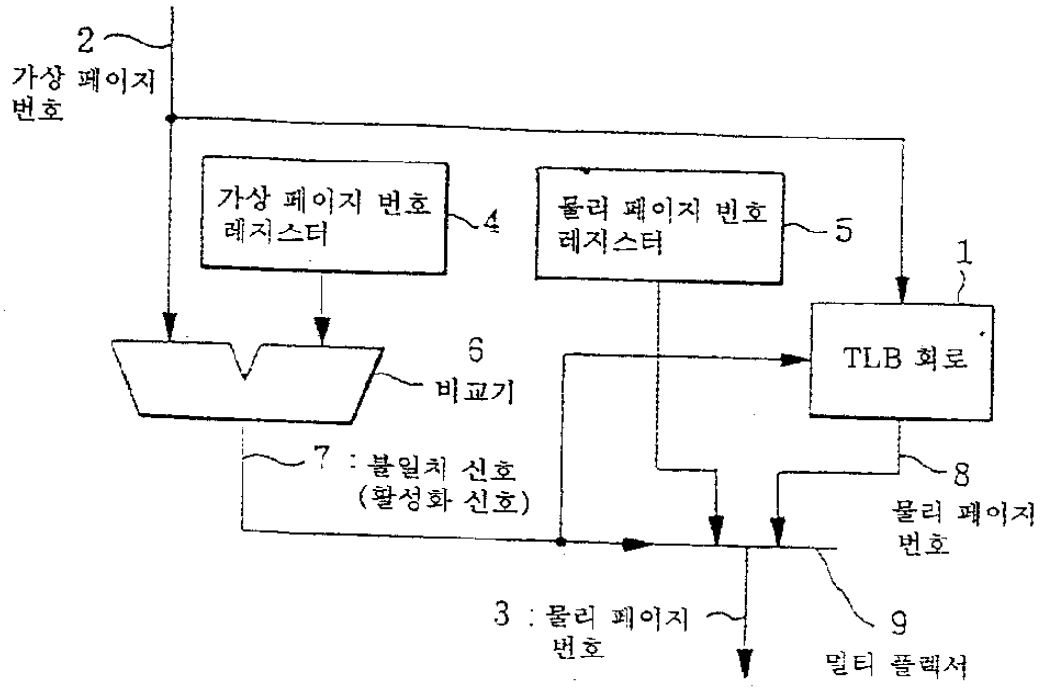
(57) 청구의 범위

청구항 1

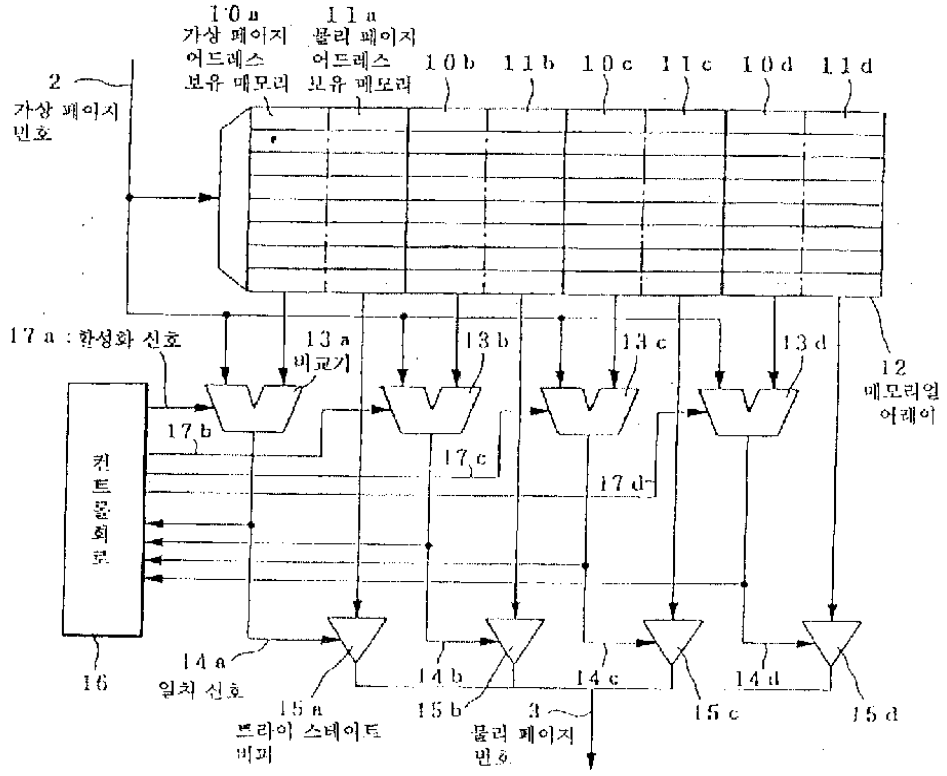
어드레스 변환 장치에 있어서, 복수의 가상 페이지 어드레스 보유 메모리와, 상기 가상 페이지 어드레스 보유 메모리 각각에 대응하는 물리 페이지 어드레스 보유 메모리와, 과거의 어드레스 변환 실적에 기초하여 선택되어, 입력된 가상 페이지 번호와 대응하는 상기 복수의 가상 페이지 어드레스 보유 메모리 중 하나를 비교하여 일치한 경우에는 일치 신호를 출력하는 제 1 비교기와, 상기 비교에서 일치하지 않은 경우, 활성화되어, 입력된 가상 페이지 번호와 대응하는 상기 복수의 가상 페이지 어드레스 보유 메모리를 비교하는 복수의 제 2 비교기와, 상기 일치 신호를 수신하여 대응하는 물리 페이지 어드레스 보유 메모리로부터 물리 페이지 번호를 인출하는 제 1 트라이 스테이트 버퍼와, 상기 복수의 제 2 비교기 중 하나로부터 출력된 일치 신호를 수신하여 대응하는 물리 페이지 어드레스 보유 메모리로부터 물리 페이지 번호를 인출하는 제 2 트라이 스테이트 버퍼를 포함하는 것을 특징으로 하는 어드레스 변환 장치.

도면

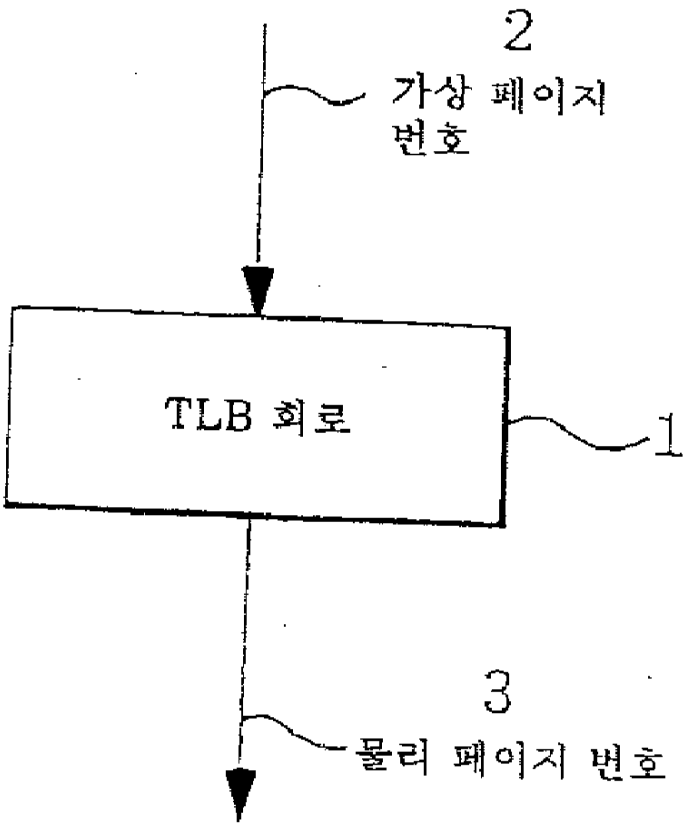
도면1


2
가상 페이지 번호
가상 페이지 번호 레지스터
4
물리 페이지 번호 레지스터
5
1
TLB 회로
6
비교기
7 : 불일치 신호 (활성화 신호)
8
물리 페이지 번호
3 : 물리 페이지 번호
9
멀티 플렉서

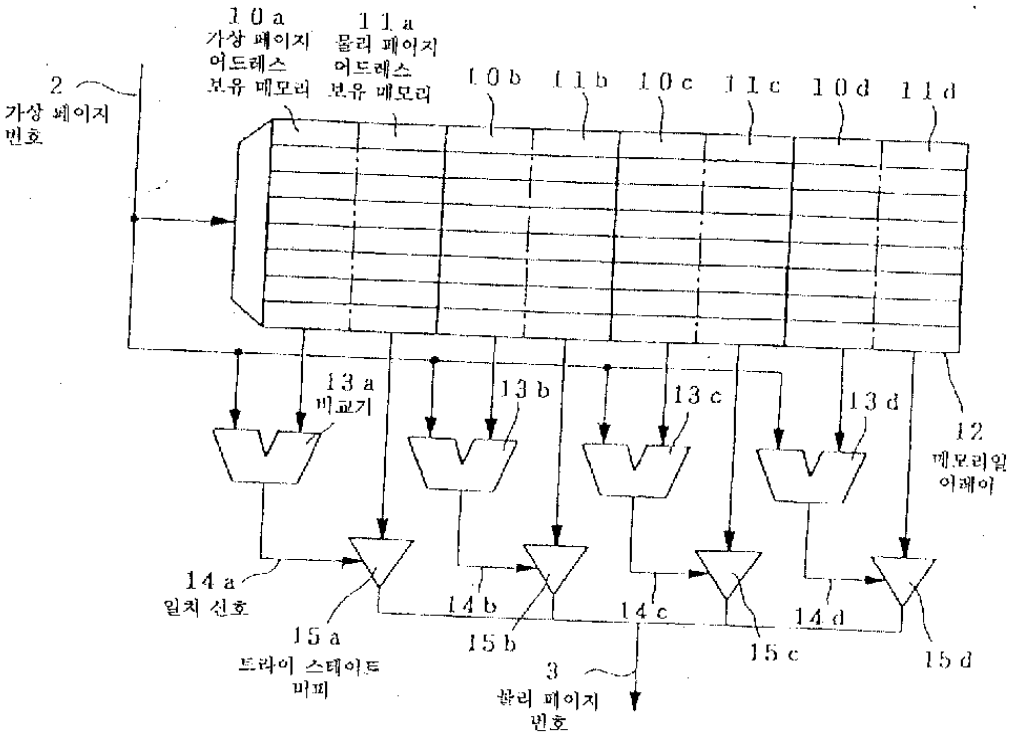
도면2


10a 가상 페이지 어드레스 보유 메모리
11a 물리 페이지 어드레스 보유 메모리
10b 11b 10c 11c 10d 11d
2 가상 페이지 번호
17a : 활성화 신호
13a 비교기
13b
13c
13d
12 메모리열 어레이
17b
17c
17d
컨트롤 회로
16
14a 일치 신호
14b
14c
14d
15a 트라이 스테이트 버퍼
15b
3 물리 페이지 번호
15c
15d

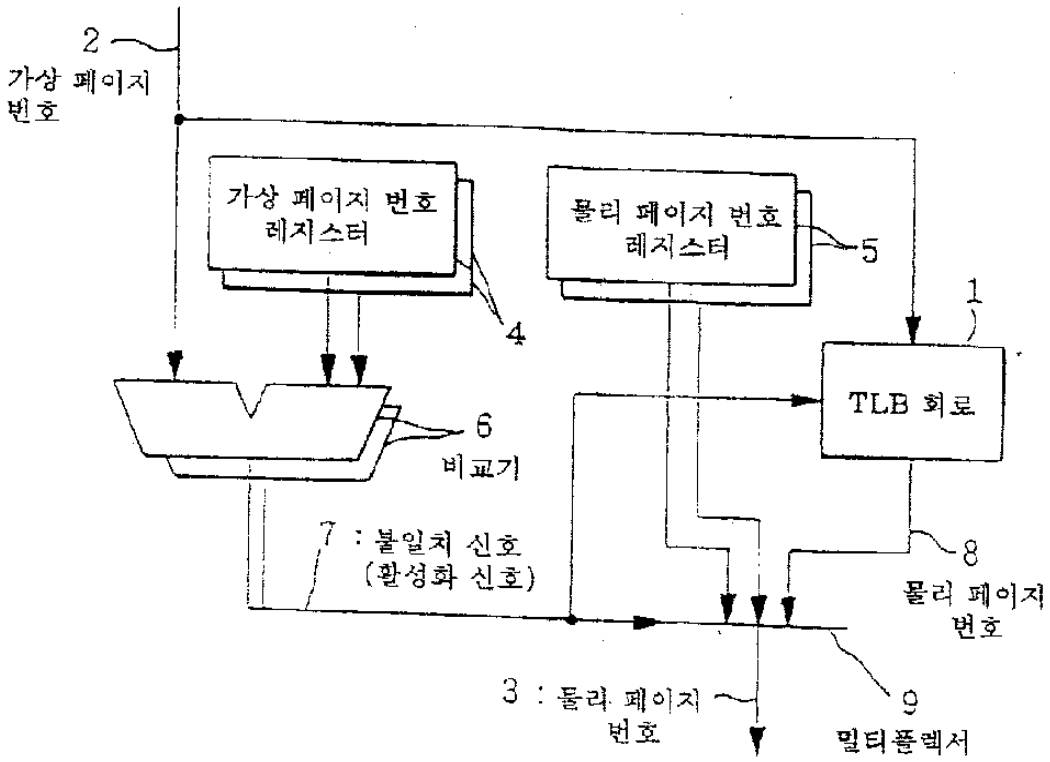
도면3



도면4


10a
가상 페이지 어드레스 보유 메모리
11a
물리 페이지 어드레스 보유 메모리
2
가상 페이지 번호
10b
11b
10c
11c
10d
11d
13a
비교기
13b
13c
13d
12
메모리일 어레이
14a
일치 신호
14b
14c
14d
15a
트라이 스테이트 버퍼
15b
15c
15d
3
물리 페이지 번호

도면5


2
가상 페이지 번호
가상 페이지 번호 레지스터
4
물리 페이지 번호 레지스터
5
1
TLB 회로
6
비교기
7 : 불일치 신호 (활성화 신호)
8
물리 페이지 번호
3 : 물리 페이지 번호
9
멀티플렉서