

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-253268

(P2006-253268A)

(43) 公開日 平成18年9月21日(2006.9.21)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 27/04 (2006.01)	H O 1 L 27/04 C	5 F O 3 8
H O 1 L 21/822 (2006.01)		

審査請求 有 請求項の数 8 O L (全 18 頁)

(21) 出願番号	特願2005-65087 (P2005-65087)	(71) 出願人	000005821
(22) 出願日	平成17年3月9日 (2005.3.9)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100076174
			弁理士 宮井 暎夫
		(74) 代理人	100105979
			弁理士 伊藤 誠
		(72) 発明者	黒川 浩正
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		Fターム(参考)	5F038 AC05 AC15 AC17 AC18 EZ11
			EZ15 EZ20

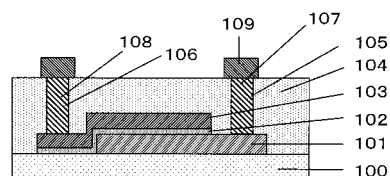
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 上部電極、下部電極へのヴィアホールのドライエッチングマージンの確保を可能とするMIM容量の構造を有する半導体装置およびその製造方法を提供する。

【解決手段】 導電膜（下部電極）101と少なくとも一部分は下部電極101がない領域まで拡張し、膜厚の合計が下部電極101とほぼ同じとなる容量絶縁膜102と導電膜（上部電極）103を有し、下部電極101および容量絶縁膜102の全体を被覆し、上部に上部電極103がない領域の下部電極101上および下部に下部電極101がない領域の上部電極103へのコンタクトプラグ107、108のある層間絶縁膜104を備える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板上に形成された下部電極となる第1の導電膜と、
前記第1の導電膜上に形成された容量絶縁膜と、
前記容量絶縁膜上に形成された上部電極となる第2の導電膜と、
前記第1の導電膜と前記第2の導電膜を被覆する層間絶縁膜と、
前記層間絶縁膜に形成され、前記第1の導電膜と前記第2の導電膜にそれぞれ接続するコンタクトプラグとを備え、
前記第2の導電膜と前記容量絶縁膜は、前記第1の導電膜上の一部に形成され、かつ、
少なくとも一部分が前記第1の導電膜のない領域まで拡張して形成され、
前記第1の導電膜と接続する前記コンタクトプラグは、前記第1の導電膜上の前記第2の導電膜および前記容量絶縁膜のない領域に形成され、
前記第2の導電膜と接続する前記コンタクトプラグは、前記第1の導電膜のない領域に形成されたことを特徴とする半導体装置。

【請求項 2】

容量絶縁膜と第2の導電膜の膜厚の合計が第1の導電膜とほぼ同じである請求項 1 記載の半導体装置。

【請求項 3】

半導体基板と、前記半導体基板上に形成された下部電極引き出し用の第1の導電膜と、
前記第1の導電膜を被覆する第1の層間絶縁膜と、
前記第1の層間絶縁膜に形成され、前記第1の導電膜の異なる領域にそれぞれ接続する複数の第1のコンタクトプラグと、
前記第1の層間絶縁膜上に形成され、前記複数の第1のコンタクトプラグとそれぞれ接続される下部電極および前記下部電極から離れた下部電極用引き回し電極となる第2の導電膜と、
前記第2の導電膜の前記下部電極上に形成された容量絶縁膜と、
前記容量絶縁膜上に形成された上部電極となる第3の導電膜と、
前記第2の導電膜と前記第3の導電膜を被覆する第2の層間絶縁膜と、
前記第2の層間絶縁膜に形成され、前記第2の導電膜の前記下部電極用引き回し電極と前記第3の導電膜にそれぞれ接続する複数の第2のコンタクトプラグとを具備し、
前記第3の導電膜と前記容量絶縁膜は、前記第2の導電膜の前記下部電極のない領域まで拡張して形成され、
前記第3の導電膜と接続する前記第2のコンタクトプラグは前記第2の導電膜のない領域に形成されることを特徴とする半導体装置。

【請求項 4】

容量絶縁膜と第3の導電膜の膜厚の合計が第2の導電膜とほぼ同じである請求項 3 記載の半導体装置。

【請求項 5】

下部電極の側壁にサイドウォールを設けた請求項 1 から請求項 4 までの何れか一項記載の半導体装置。

【請求項 6】

半導体基板上に下部電極となる第1の導電膜を形成する工程と、
前記第1の導電膜と前記半導体基板の上に容量絶縁膜を形成する工程と、
前記容量絶縁膜上に第2の導電膜を形成する工程と、
上部電極となる前記第2の導電膜と前記容量絶縁膜を選択的にエッチングする工程と、
前記第1の導電膜と第2の導電膜を被覆する層間絶縁膜を形成する工程と、
前記層間絶縁膜を平坦化する工程と、
前記層間絶縁膜に前記第1の導電膜と前記第2の導電膜にそれぞれ接続するコンタクトプラグを形成する工程とを含み、

前記第2の導電膜をエッチングする工程では、前記第2の導電膜を前記第1の導電膜上の一部に形成し、かつ、前記第2の導電膜は少なくとも一部分が前記第1の導電膜のない領域まで拡張して形成され、

前記コンタクトプラグを形成する工程では、前記第1の導電膜と接続する前記コンタクトプラグは、前記第1の導電膜上の前記第2の導電膜のない領域に形成され、

前記第2の導電膜と接続するコンタクトプラグは前記第1の導電膜のない領域に形成されることを特徴とする半導体装置の製造方法。

【請求項7】

半導体基板上に下部電極引き出し用の第1の導電膜を形成する工程と、

前記第1の導電膜を被覆する第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜に前記第1の導電膜の異なる領域にそれぞれ接続する複数の第1のコンタクトプラグを形成する工程と、

前記第1の層間絶縁膜上に前記複数の第1のコンタクトプラグとそれぞれ接続される下部電極および前記下部電極から離れた下部電極用引き回し電極となる第2の導電膜を形成する工程と、

前記第2の導電膜の前記下部電極と前記第1の層間絶縁膜の上に容量絶縁膜を形成する工程と、

前記容量絶縁膜上に第3の導電膜を形成する工程と、

上部電極となる前記第3の導電膜と前記容量絶縁膜を選択的にエッチングする工程と、

前記第2の導電膜と第3の導電膜を被覆する第2の層間絶縁膜を形成する工程と、

前記第2の層間絶縁膜を平坦化する工程と、

前記第2の層間絶縁膜に前記第2の導電膜の前記下部電極用引き回し電極と前記第3の導電膜にそれぞれ接続する複数の第2のコンタクトプラグを形成する工程とを含み、

前記第3の導電膜をエッチングする工程では、前記上部電極は前記第2の導電膜のない領域まで拡張して形成され、

前記第2のコンタクトプラグを形成する工程では、前記第3の導電膜と接続する第2のコンタクトプラグは前記第2の導電膜のない領域に形成されることを特徴とする半導体装置の製造方法。

【請求項8】

容量絶縁膜を形成する工程の前に、下部電極の側壁にサイドウォールを形成する工程を含む請求項6または請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板上に容量素子を搭載した半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

近年、半導体装置の多層配線技術は、配線のデザインルールの縮小に伴い、ビアホールの小径化、層間絶縁膜の平坦化技術の導入により微細化の一途を辿っている。

【0003】

移動体通信分野等に用いられる高周波集積回路には高速動作する能動素子と共に、抵抗素子、容量素子等の受動素子が必要とされ、回路の低消費電力化、動作の高速化のため、寄生抵抗、寄生容量の低減が必須である。容量素子ではMOS型の容量に対し、寄生抵抗、寄生容量が著しく小さいMIM(Metal-Insulator-Metal)型の容量(以下、MIM容量と称する)が使用されるようになってきている(例えば、特許文献1参照)。

【0004】

以下、従来の半導体装置の製造方法について、図面を参照しながら説明する。図35～図40は従来の半導体装置の製造工程を示す断面図である。

10

20

30

40

50

【 0 0 0 5 】

まず、図35のようにCMP (Chemical Mechanical Polishing) によって平坦化された第1の層間絶縁膜500上に容量素子の下部電極となる第1の導電膜501を堆積し、フォトリソグラフィとエッチングによりパターンニングする。その上に容量絶縁膜502をCVD (Chemical Vapor Deposition) により堆積し、さらに上部電極となる第2の導電膜503を堆積し、図36のようにフォトリソグラフィとエッチングにより第2の導電膜503と容量絶縁膜502を同時にパターンニングする。このようにしてMIM (Metal-Insulator-Metal) 構造を形成する。

【 0 0 0 6 】

その後、図37のように、CVDとCMPにより平坦化された第2の層間絶縁膜504を形成し、図38のように第1の導電膜501の容量絶縁膜502より拡張した領域および第2の導電膜503上にフォトリソグラフィとドライエッチングにより、ビアホール505および506を形成する。その際、コンタクト抵抗を低減させるため、ビアホール505のドライエッチングでは第1の導電膜501を約100nm程度エッチングする条件を使用する。第1の導電膜501はビアホール505の形成時のドライエッチングにより第1の導電膜501が突き抜けてしまわないように約500nm程度の膜厚が必要であり、同時にビアホール506が形成される第2の導電膜503も第1の導電膜501と同等程度の膜厚が必要となる。

【 0 0 0 7 】

その後、図39のように第1のコンタクトプラグ507、508を形成する。そして図40のように、第3の導電膜509を堆積し、パターンニングすることにより、引き出し電極を形成する。

【特許文献1】特開2001-203329号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

しかしながら、上記従来の半導体装置およびその製造方法では、第1導電膜501と第2の導電膜503とでは段差が発生し、かつビアホール505を形成するドライエッチングでは、コンタクト抵抗を低減するために少なくともMIM容量の下部電極である第1の導電膜501を約100nm程度エッチングする必要があるため、MIM容量の上部電極である第2の導電膜503上のビアホール506と同時に形成する場合には、第2の導電膜503を突き抜けてしまう危険性がある。

【 0 0 0 9 】

さらに、近年の微細化によるビアホールの小径化に伴い、ビアホールを形成するドライエッチングでは、絶縁膜と導電膜とのエッチングの選択比が低下する傾向にあり、第2の導電膜503を突き抜けてしまう危険性が増大する一方である。

【 0 0 1 0 】

また、MIM容量の上部電極となる第2の導電膜503と容量絶縁膜502を同時にパターンニングすることにより、第2の導電膜503と容量絶縁膜502の端が揃う構造となり、MIM容量動作時に電界集中することによって寿命が低下する課題がある。

【 0 0 1 1 】

本発明は上記課題を解決するもので、上部電極および下部電極の引き出しのビアホールを形成する領域の段差をなくし、ビアホールを形成するドライエッチングのマージンを容易に確保することができる半導体装置およびその製造方法を提供することを目的とする。

【 0 0 1 2 】

さらに、本発明は上部電極と容量絶縁膜の端をMIM容量が動作する際に電界がかからないようにし、長寿命が確保できるMIM容量を有する半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

10

20

30

40

50

【0013】

上記目的を達成するために、本発明の半導体装置は、半導体基板と、半導体基板上に形成された下部電極となる第1の導電膜と、第1の導電膜上に形成された容量絶縁膜と、容量絶縁膜上に形成された上部電極となる第2の導電膜と、第1の導電膜と第2の導電膜を被覆する層間絶縁膜と、層間絶縁膜に形成され、第1の導電膜と第2の導電膜にそれぞれ接続するコンタクトプラグとを備え、

上部電極と容量絶縁膜は、少なくとも一部分が第1の導電膜のない領域まで拡張して形成され、

第2の導電膜と接続するコンタクトプラグは、第1の導電膜のない領域に形成されたことを特徴とするものである。

【0014】

上記構成において、容量絶縁膜と第2の導電膜の膜厚の合計が第1の導電膜とほぼ同じである。

【0015】

本発明の別の半導体装置は、半導体基板と、半導体基板上に形成された下部電極引き出し用の第1の導電膜と、

第1の導電膜を被覆する第1の層間絶縁膜と、

第1の層間絶縁膜に形成され、第1の導電膜の異なる領域にそれぞれ接続する複数の第1のコンタクトプラグと、

第1の層間絶縁膜上に形成され、複数の第1のコンタクトプラグとそれぞれ接続される下部電極および下部電極から離れた下部電極用引き回し電極となる第2の導電膜と、

第2の導電膜の下部電極上に形成された容量絶縁膜と、

容量絶縁膜上に形成された上部電極となる第3の導電膜と、

第2の導電膜と第3の導電膜を被覆する第2の層間絶縁膜と、

第2の層間絶縁膜に形成され、第2の導電膜の下部電極用引き回し電極と第3の導電膜にそれぞれ接続する複数の第2のコンタクトプラグとを具備し、

第3の導電膜と容量絶縁膜は、第2の導電膜の下部電極のない領域まで拡張して形成され、

第3の導電膜と接続する第2のコンタクトプラグは第2の導電膜のない領域に形成されることを特徴とするものである。

【0016】

上記構成において、容量絶縁膜と第3の導電膜の膜厚の合計が第2の導電膜とほぼ同じである。

【0017】

上記構成において、下部電極の側壁にサイドウォールを設けている。

【0018】

本発明の半導体装置の製造方法は、半導体基板上に下部電極となる第1の導電膜を形成する工程と、

第1の導電膜と半導体基板の上に容量絶縁膜を形成する工程と、

容量絶縁膜上に第2の導電膜を形成する工程と、

上部電極となる第2の導電膜と容量絶縁膜を選択的にエッチングする工程と、

第1の導電膜と第2の導電膜を被覆する層間絶縁膜を形成する工程と、

層間絶縁膜を平坦化する工程と、

層間絶縁膜に第1の導電膜と第2の導電膜にそれぞれ接続するコンタクトプラグを形成する工程とを含み、

第2の導電膜をエッチングする工程では、第2の導電膜を第1の導電膜上の一部に形成し、かつ、第2の導電膜は少なくとも一部分が第1の導電膜のない領域まで拡張して形成され、

10

20

30

40

50

コンタクトプラグを形成する工程では、第1の導電膜と接続するコンタクトプラグは、第1の導電膜上の第2の導電膜のない領域に形成され、

第2の導電膜と接続するコンタクトプラグは第1の導電膜のない領域に形成されることを特徴とするものである。

【0019】

本発明の別の半導体装置の製造方法は、半導体基板上に下部電極引き出し用の第1の導電膜を形成する工程と、

第1の導電膜を被覆する第1の層間絶縁膜を形成する工程と、

第1の層間絶縁膜に第1の導電膜の異なる領域にそれぞれ接続する複数の第1のコンタクトプラグを形成する工程と、

10

第1の層間絶縁膜上に複数の第1のコンタクトプラグとそれぞれ接続される下部電極および下部電極から離れた下部電極用引き回し電極となる第2の導電膜を形成する工程と、

第2の導電膜の下部電極と第1の層間絶縁膜の上に容量絶縁膜を形成する工程と、

容量絶縁膜上に第3の導電膜を形成する工程と、

上部電極となる第3の導電膜と容量絶縁膜を選択的にエッチングする工程と、

第2の導電膜と第3の導電膜を被覆する第2の層間絶縁膜を形成する工程と、

第2の層間絶縁膜を平坦化する工程と、

第2の層間絶縁膜に第2の導電膜の下部電極用引き回し電極と第3の導電膜にそれぞれ接続する複数の第2のコンタクトプラグを形成する工程とを含み、

第3の導電膜をエッチングする工程では、上部電極は第2の導電膜のない領域まで拡張して形成され、

20

第2のコンタクトプラグを形成する工程では、第3の導電膜と接続する第2のコンタクトプラグは前記第2の導電膜のない領域に形成されることを特徴とするものである。

【0020】

上記構成において、容量絶縁膜を形成する工程の前に、下部電極の側壁にサイドウォールを形成する工程を含む。

【発明の効果】

【0021】

本発明の半導体装置およびその製造方法によれば、第1、第2の導電膜上でコンタクトプラグが形成される領域に段差をなくすことができ、ビアホールのドライエッチングの際にコンタクト抵抗が高くならないように十分にオーバーエッチングをかける条件が使用でき、エッチングのマージン確保ができる効果が得られる。すなわち、MIM容量の上部電極と下部電極のビアホールを形成する領域の段差をなくすことにより、ドライエッチング条件に十分なマージンを確保することが可能となる。

30

【0022】

本発明の別の半導体装置およびその製造方法によれば、第2、第3の導電膜上のコンタクトプラグが形成される領域の段差をなくすことができるため、ビアホールドライエッチング条件のマージンが確保できる。さらに、下部電極の引き回し電極を設けることにより、下部電極の周囲を容量絶縁膜および上部電極で覆うことができるので、MIM容量が動作する際に、上部電極となる第3の導電膜と容量絶縁膜の端に電界がかからないため、同時にパターニングし、第4の導電膜と容量絶縁膜の端が揃っていても長寿命が確保できる効果が得られる。

40

【0023】

また、下部電極の側壁にサイドウォールを形成することにより、下部電極の側壁の急峻な形状が緩和されるため、MIM容量動作時の電界集中や、容量絶縁膜が不均一に堆積されることによる寿命低下を防止し、長寿命を確保することが可能となる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施の形態について図面を用いて説明する。

【0025】

50

(第1の実施形態)

図1は本発明の第1の実施の形態の半導体装置の平面図である。また、図2は図1のA-A'における断面図である。100は半導体基板に形成された第1の層間絶縁膜、101は下部電極となる第1の導電膜、102は容量絶縁膜、103は上部電極となる第2の導電膜、104は第2の層間絶縁膜、105、106はビアホール、107、108はコンタクトプラグ、109は第3の導電膜である。容量絶縁膜102の膜厚は0.1 μ m程度で、第1の導電膜101の膜厚は0.5 μ m、第2の導電膜103の膜厚は0.4 μ m程度である。図2のように下部電極となる第1の導電膜101と上部電極となる第2の導電膜103のビアホール105、106が形成されている領域は段差がないため、ビアホール105、106の深さがほぼ同じになる。

10

【0026】

次に、上記の半導体装置の製造方法について、図面を参照して説明する。

【0027】

図3から図7および図2は本実施形態における半導体装置の製造工程を示す断面図である。まず、図3に示すように、半導体基板に形成された第1の層間絶縁膜100上に0.5 μ m程度のアルミニウム合金からなる導電膜を堆積後、フォトリソグラフィおよびドライエッチングにより下部電極となる第1の導電膜101を形成する。その後、図4に示すように、容量絶縁膜102となる0.1 μ m程度のシリコン窒化膜をCVDで堆積し、続けて、0.4 μ m程度のアルミニウム合金からなる第2の導電膜103を堆積する。次に図5のように、フォトリソグラフィとドライエッチングにより上記第2の導電膜103およびシリコン窒化膜102を同時にパターニングする。この時点で下部電極である第1の導電膜101、シリコン窒化膜からなる容量絶縁膜102、上部電極となる第2の導電膜103が形成され、MIM容量構造に加工されたことになる。すなわち、第2の導電膜103と容量絶縁膜102は、少なくとも一部分が第1の導電膜101のない領域まで拡張して形成されている。また、上部電極および下部電極には後にビアホール105、106が形成される領域が上面に露出したことになる。

20

【0028】

次に、図6に示すように、シリコン酸化膜からなる層間絶縁膜104をCVDで第1、第2の導電膜101、103、容量絶縁膜102の全体を被覆するように堆積した後、CMPにより平坦化し形成する。そして、図7のように、第1の導電膜101上で、容量絶縁膜102および第2の導電膜103が被覆していない領域、および第2の導電膜103上で下部に第1の導電膜101がない領域にフォトリソグラフィとドライエッチングにより、ビアホール105、106を同時に形成する。このドライエッチングはコンタクト抵抗を低減させるために0.1 μ m程度、第1、第2の導電膜101、103がエッチングされるような条件で行う。次に、ビアホール105、106をタングステンからなる導電膜で埋め込み、その後、図2に示すように、第3の導電膜109を形成する。以上の製造工程により、第1の半導体装置が形成される。

30

【0029】

以上のように本実施形態によれば、ビアホール105、106を形成するドライエッチングの条件は、第2の導電膜103および第1の導電膜101の上面でビアホール105、106が形成される領域の段差がなく、ビアホール105とビアホール106はどちらに対しても十分にオーバーエッチングを施すことが可能となる。

40

【0030】

(第2の実施形態)

次に、図8は本発明の第2の実施の形態の半導体装置の平面図である。また、図9は図8のB-B'における断面図である。200は半導体基板に形成された第1の層間絶縁膜、201は下部電極の引き出し電極となる第1の導電膜、202は第2の層間絶縁膜、203は第1のコンタクトプラグ、204、205は下部電極および下部電極の引き出し電極となる第2の導電膜、206は容量絶縁膜、207は上部電極となる第3の導電膜、208は第3の層間絶縁膜、209、210は第2のビアホール、211、212はコンタクトプラグ

50

、 2 1 3 は第4の導電膜である。容量絶縁膜 2 0 6 の膜厚は $0.1\mu\text{m}$ 程度で、第2の導電膜 2 0 4、2 0 5 の膜厚は $0.5\mu\text{m}$ 、第3の導電膜 2 0 7 の膜厚は $0.4\mu\text{m}$ 程度である。

【 0 0 3 1 】

図9のように、上部電極となる第3の導電膜 2 0 7 と下部電極の引き出し電極となる第2の導電膜 2 0 5 のビアホール 2 0 9、2 1 0 が形成されている領域は段差がないため、ビアホールの深さはほぼ同じになる。また、第3の導電膜 2 0 7 と容量絶縁膜 2 0 6 の端は第2の導電膜 2 0 4 のない領域に形成されているためMIM容量動作時に電界集中せず、MIM容量の寿命低下の原因とならない。

【 0 0 3 2 】

次に、上記半導体装置の製造方法を図面を参照して説明する。

10

【 0 0 3 3 】

図10から図17および図9は本実施形態における半導体装置の製造工程を示す断面図である。図10に示すように、半導体基板に形成された層間絶縁膜 2 0 0 上に $0.5\mu\text{m}$ 程度のアルミニウム合金からなる導電膜を堆積後、フォトリソグラフィおよびドライエッチングによりパターニングし、下部電極の引き出し電極となる第1の導電膜 2 0 1 を形成する。

【 0 0 3 4 】

次に、図11に示すように、シリコン酸化膜からなる第1の層間絶縁膜 2 0 2 をCVDで第1の導電膜 2 0 1 全体を被覆するように堆積した後、CMPにより平坦化し形成する。そして、図12のように、第1の導電膜 2 0 1 上にフォトリソグラフィとドライエッチングにより形成したビアホールに、タングステンからなる導電で埋め込み、複数の第1のコンタクトプラグ 2 0 3 を形成する。

20

【 0 0 3 5 】

次に、図13のように $0.5\mu\text{m}$ 程度のアルミニウム合金からなる導電膜を堆積後フォトリソグラフィおよびドライエッチングによりパターニングし、下部電極および下部電極から離れた引き出し電極となる第2の導電膜 2 0 4、2 0 5 を形成する。その後、図14に示すように、容量絶縁膜 2 0 6 となる $0.1\mu\text{m}$ 程度のシリコン窒化膜をCVDで堆積し、続けて、 $0.4\mu\text{m}$ 程度のアルミニウム合金からなる第3の導電膜 2 0 7 を堆積する。次に図15のように、フォトリソグラフィとドライエッチングにより上記第3の導電膜 2 0 7 およびシリコン窒化膜 2 0 6 を同時にパターニングする。

【 0 0 3 6 】

30

この時点で下部電極である第2の導電膜 2 0 4、シリコン窒化膜からなる容量絶縁膜 2 0 6、上部電極となる第3の導電膜 2 0 7 が形成され、MIM容量構造に加工されたことになる。すなわち、第3の導電膜 2 0 7 と容量絶縁膜 2 0 6 は、下部電極となる第2の導電膜 2 0 4 のない第1の層間絶縁膜 2 0 2 上の領域まで拡張して形成されている。下部電極となる第2の導電膜 2 0 4 は、コンタクトプラグ 2 0 3 および第1の導電膜 2 0 1 を介して、引き出し電極となる第2の導電膜 2 0 5 に接続されている。

【 0 0 3 7 】

次に、図16に示すように、シリコン酸化膜からなる第2の層間絶縁膜 2 0 8 をCVDで第3の導電膜 2 0 7 と第2の導電膜 2 0 5 の全体を被覆するように堆積した後、CMPにより平坦化し形成する。そして、図17のように、第3の導電膜 2 0 7 上で下部に第2の導電膜 2 0 4 がない領域および第2の導電膜 2 0 5 上にフォトリソグラフィとドライエッチングにより、ビアホール 2 0 9、2 1 0 を同時に形成する。このドライエッチングはコンタクト抵抗を低減させるために $0.1\mu\text{m}$ 程度、第2、第3の導電膜 2 0 5、2 0 7 をエッチングされるような条件で行う。

40

【 0 0 3 8 】

次に、ビアホール 2 0 9、2 1 0 をタングステンからなる導電膜で埋め込み、複数のコンタクトプラグ 2 1 1、2 1 2 を形成し、その後、図9に示すように、第4の導電膜 2 1 3 を形成する。以上の製造工程により、第2の半導体装置が形成される。

【 0 0 3 9 】

以上のように本実施形態によれば、ビアホール 2 0 9、2 1 0 を形成するドライエッ

50

チングの条件は、第3の導電膜207および第2の導電膜205の上面でヴィアホール209、210が形成される領域の段差がなく、ヴィアホール209とヴィアホール210はどちらに対しても十分にオーバーエッチングを施すことが可能となる。また、第3の導電膜207と容量絶縁膜206の端にMIM容量動作時に電界集中しないため、容量絶縁膜206のサイドエッチングや第3の導電膜207の側壁テーパ角が90度以上となる条件を使用することが可能となる。

【0040】

(第3の実施形態)

図18は本発明の第3の実施の形態の半導体装置の断面構造図である。300は半導体基板に形成された第1の層間絶縁膜、301は下部電極となる第1の導電膜、302は第1の導電膜301の側壁に形成されたサイドウォール、303は容量絶縁膜、304は上部電極となる第2の導電膜、305は第2の層間絶縁膜、306、307はヴィアホール、308、309はコンタクトプラグ、310は第3の導電膜である。容量絶縁膜303の膜厚は $0.1\mu\text{m}$ 程度で、第1の導電膜301の膜厚は $0.5\mu\text{m}$ 程度、第2の導電膜304の膜厚は $0.4\mu\text{m}$ 程度である。下部電極となる第1の導電膜301と上部電極となる第2の導電膜304のヴィアホール306、307が形成されている領域は段差がないため、ヴィアホール306、307の深さがほぼ同じになる。また、第1の導電膜301の側壁にはサイドウォール302が形成されているため急峻な形状が緩和され、MIM容量動作時の電界集中が緩和される。

【0041】

次に、上記の半導体装置の製造方法について、図面を参照して説明する。

【0042】

図19から図24および図18は本実施形態における半導体装置の製造工程を示す断面図である。まず、図19に示すように、半導体基板に形成された第1の層間絶縁膜300上に $0.5\mu\text{m}$ 程度のアルミニウム合金からなる導電膜を堆積後、フォトリソグラフィおよびドライエッチングにより下部電極となる第1の導電膜301を形成する。次に、シリコン酸化膜を $0.2\sim 0.5\mu\text{m}$ 程度CVDで堆積した後、全面異方性のドライエッチングを行い、図20に示すように、第1の導電膜301の側壁にシリコン酸化膜からなるサイドウォール302を形成する。その後、図21に示すように、容量絶縁膜303となる $0.1\mu\text{m}$ 程度のシリコン窒化膜をCVDで堆積し、続けて、 $0.4\mu\text{m}$ 程度のアルミニウム合金からなる第2の導電膜304を堆積する。このとき、第1の導電膜301の側壁にサイドウォール302が形成されているため、シリコン窒化膜303と第2の導電膜304は、第1の導電膜301の端のサイドウォール302に沿った形で均一に堆積することができる。次に図22のように、フォトリソグラフィとドライエッチングにより上記第2の導電膜304およびシリコン窒化膜303を同時にパターニングする。

【0043】

次に、図23に示すように、シリコン酸化膜からなる層間絶縁膜305をCVDで第1、第2の導電膜301、304、サイドウォール302、容量絶縁膜303全体を被覆するように堆積した後、CMPにより平坦化し形成する。そして、図24のように、第1の導電膜301上で、容量絶縁膜303および第2の導電膜304が被覆していない領域および、第2の導電膜304上で下部に第1の導電膜301がない領域にフォトリソグラフィとドライエッチングにより、ヴィアホール306、307を同時に形成する。次に、ヴィアホール306、307をタングステンからなる導電膜で埋め込み、その後、図18に示すように、第3の導電膜310を形成する。

【0044】

以上のように本実施形態によれば、ヴィアホール306、307を形成するドライエッチングの条件は、第2の導電膜304および第1の導電膜301の上面でヴィアホール306、307が形成される領域の段差がなく、ヴィアホール306とヴィアホール307はどちらに対しても十分にオーバーエッチングを施すことが可能となる。また、第1の導電膜301の側壁にサイドウォール302を形成し急峻な形状を緩和することが可能となる

。

【 0 0 4 5 】

(第 4 の実施形態)

図25は本発明の第4の実施の形態の半導体装置の断面構造図である。400は半導体基板に形成された層間絶縁膜、401は下部電極の引き出し電極となる第1の導電膜、402は第1の層間絶縁膜、403は第1のコンタクトプラグ、404、405は下部電極および下部電極の引き回し電極となる第2の導電膜、406は第2の導電膜404、405の側壁に形成したサイドウォール、407は容量絶縁膜、408は上部電極となる第3の導電膜、409は第2の層間絶縁膜、410、411は第2のヴィアホール、412、413はコンタクトプラグ、414は第4の導電膜である。容量絶縁膜407の膜厚は $0.1\mu\text{m}$ 程度で、第2の導電膜404、405の膜厚は $0.5\mu\text{m}$ 、第3の導電膜408の膜厚は $0.4\mu\text{m}$ 程度である。上部電極となる第3の導電膜408と下部電極の引き回し電極となる第2の導電膜405のヴィアホール410、411が形成されている領域は段差がないため、ヴィアホール410、411の深さはほぼ同じになる。また、第3の導電膜408と容量絶縁膜407の端は第2の導電膜404のない領域に形成されているためMIM容量動作時に電界集中せず、MIM容量の寿命低下の原因とならない。また、第2の導電膜404の側壁にはサイドウォール406が形成されているため急峻な形状が緩和され、MIM容量動作時の電界集中が緩和される。

【 0 0 4 6 】

次に、上記半導体装置の製造方法を図面を参照して説明する。

図26から図34および図25は本実施形態における半導体装置の製造工程を示す断面図である。図26に示すように、半導体基板に形成された第1の層間絶縁膜400上に $0.5\mu\text{m}$ 程度のアルミニウム合金からなる導電膜を堆積後、フォトリソグラフィおよびドライエッチングによりパターニングし、下部電極の引き出し電極となる第1の導電膜401を形成する。

【 0 0 4 7 】

次に、図27に示すように、シリコン酸化膜からなる層間絶縁膜402をCVDで第1の導電膜401の全体を被覆するように堆積した後、CMPにより平坦化し形成する。そして、図28のように、第1の導電膜401上にフォトリソグラフィとドライエッチングにより形成したヴィアホールに、タングステンからなる導電で埋め込み、複数の第1のコンタクトプラグ403を形成する。

【 0 0 4 8 】

次に、図29のように $0.5\mu\text{m}$ 程度のアルミニウム合金からなる導電膜を堆積後フォトリソグラフィおよびドライエッチングによりパターニングし、下部電極および下部電極から離れた下部電極用の引き回し電極となる第2の導電体404、405を形成する。次に、シリコン酸化膜を $0.2\sim 0.5\mu\text{m}$ 程度CVDで堆積した後、全面異方性のドライエッチングを行い、図30に示すように、第2の導電膜404の側壁にシリコン酸化膜からなるサイドウォール406を形成する。次に、図31に示すように、容量絶縁膜407となる $0.1\mu\text{m}$ 程度のシリコン窒化膜をCVDで堆積し、続けて、 $0.4\mu\text{m}$ 程度のアルミニウム合金からなる第3の導電膜408を堆積する。このとき、第2の導電膜404の側壁にサイドウォール406が形成されているため、シリコン窒化膜407と第3の導電膜408は、第2の導電膜404の端のサイドウォール406に沿った形で均一に堆積することができる。次に図32のように、フォトリソグラフィとドライエッチングにより上記第3の導電膜408およびシリコン窒化膜407を同時にパターニングする。

【 0 0 4 9 】

この時点で下部電極である第2の導電膜404、シリコン窒化膜からなる容量絶縁膜407、上部電極となる第3の導電膜408が形成され、MIM容量構造に加工されたことになる。すなわち、第3の導電膜408と容量絶縁膜407は、下部電極となる第2の導電膜404のない第1の層間絶縁膜402上の領域まで拡張して形成されている。下部電極となる第2の導電膜404は、コンタクトプラグ403および第1の導電膜401を介して、引き回し電極となる第2の導電膜405に接続されている。

【 0 0 5 0 】

次に、図33に示すように、シリコン酸化膜からなる層間絶縁膜409をCVDで第3の導電膜408と第2の導電膜405およびサイドウォール406の全体を被覆するように堆積した後、CMPにより平坦化し形成する。そして、図34のように、第3の導電膜408上で下部に第2の導電膜404がない領域および第2の導電膜405上にフォトリソグラフィとドライエッチングにより、ビアホール410、411を同時に形成する。このドライエッチングはコンタクト抵抗を低減させるために0.1 μ m程度、第2、第3の導電膜405、408をエッチングされるような条件で行う。次に、ビアホール410、411をタングステンからなる導電膜で埋め込み、コンタクトプラグ412、413を形成し、その後、図25に示すように、第4の導電膜414を形成する。

10

【 0 0 5 1 】

以上のように本実施形態によれば、ビアホール410、411を形成するドライエッチングの条件は、第3の導電膜408および第2の導電膜405の上面でビアホール410、411が形成される領域の段差がなく、ビアホール410とビアホール411はどちらに対しても十分にオーバーエッチングを施すことが可能となる。また、第3の導電膜408と容量絶縁膜407の端がMIM容量動作時に電界集中しないため、容量絶縁膜407のサイドエッチングや第3の導電膜408の側壁テーパ角が90度以上となる条件を使用することが可能となる。また、第2の導電膜404の側壁にサイドウォール406を形成し急峻な形状を緩和することが可能となる。

20

【 0 0 5 2 】

以上、本発明による実施形態について説明してきたが、本発明はこれらの実施形態に限定されるものではない。

【 0 0 5 3 】

上記の実施形態においては、容量絶縁膜はシリコン窒化膜により形成したが、シリコン酸化膜等他の絶縁膜でも良い。

【 0 0 5 4 】

また、上記の実施形態においてはすべての層間絶縁膜の平坦化はCMPにより行ったが、レジストエッチバック法等により行っても良い。

【 0 0 5 5 】

また、上記の第3の半導体装置の実施形態において、下部電極となる導電膜の側壁に形成するサイドウォールはシリコン酸化膜により形成したが、シリコン窒化膜等他の絶縁膜または導電膜でも良い。導電膜を用いた場合、下部電極と導電膜とサイドウォールが電気的に接続されるので、下部電極となる導電膜の表面積が増大することになり、MIM容量の容量値が増加することができる。

30

【産業上の利用可能性】

【 0 0 5 6 】

本発明の半導体装置およびその製造方法は、上部電極および下部電極の引き出しのビアホールを形成する領域の段差をなくし、ビアホールを形成するドライエッチングのマージンを容易に確保することができるとともに、上部電極と容量絶縁膜の端をMIM容量が動作する際に電界がかからないようにし、長寿命が確保できる等の効果を有し、MIM容量を有する半導体装置およびその製造方法等として有用である。

40

【図面の簡単な説明】

【 0 0 5 7 】

【図1】本発明の第1の実施形態における半導体装置を示す平面図である。

【図2】そのA-A'線断面図である。

【図3】本発明の第1の実施形態における半導体装置の製造方法の一部の工程を示す断面図である。

【図4】図3に続く工程を示す断面図である。

【図5】図4に続く工程を示す断面図である。

【図6】図5に続く工程を示す断面図である。

50

【図 7】図 6 に続く工程を示す断面図である。

【図 8】本発明の第 2 の実施の形態における半導体装置を示す平面図である。

【図 9】その B - B' 線断面図である。

【図 10】本発明の実施形態における半導体装置の製造方法の工程の一部を示す断面図である。

【図 11】図 10 に続く工程を示す断面図である。

【図 12】図 11 に続く工程を示す断面図である。

【図 13】図 12 に続く工程を示す断面図である。

【図 14】図 13 に続く工程を示す断面図である。

【図 15】図 14 に続く工程を示す断面図である。

10

【図 16】図 15 に続く工程を示す断面図である。

【図 17】図 16 に続く工程を示す断面図である。

【図 18】本発明の第 3 の実施形態における半導体装置を示す断面図である。

【図 19】本発明の第 3 の実施形態における半導体装置の製造方法の一部の工程を示す断面図である。

【図 20】本発明の実施形態における半導体装置の製造方法を示す断面図である。

【図 21】図 20 に続く工程を示す断面図である。

【図 22】図 21 に続く工程を示す断面図である。

【図 23】図 22 に続く工程を示す断面図である。

【図 24】図 23 に続く工程を示す断面図である。

20

【図 25】本発明の第 4 の実施形態における半導体装置を示す断面図である。

【図 26】本発明の実施形態における半導体装置の製造方法の一部の工程を示す断面図である。

【図 27】図 26 に続く工程を示す断面図である。

【図 28】図 27 に続く工程を示す断面図である。

【図 29】図 28 に続く工程を示す断面図である。

【図 30】図 29 に続く工程を示す断面図である。

【図 31】図 30 に続く工程を示す断面図である。

【図 32】図 31 に続く工程を示す断面図である。

【図 33】図 32 に続く工程を示す断面図である。

30

【図 34】図 33 に続く工程を示す断面図である。

【図 35】従来例の半導体装置の製造方法の一部の工程を示す断面図である。

【図 36】図 35 に続く工程を示す断面図である。

【図 37】図 36 に続く工程を示す断面図である。

【図 38】図 37 に続く工程を示す断面図である。

【図 39】図 38 に続く工程を示す断面図である。

【図 40】図 39 に続く工程を示す断面図である。

【符号の説明】

【0058】

100、300 第1の層間絶縁膜

40

101、301 第1の導電膜

302 サイドウォール

102、303 容量絶縁膜

103、304 第2の導電膜

104、305 第2の層間絶縁膜

105、106、306、307 ヴィアホール

107、108、308、309 コンタクトプラグ

109、310 第3の導電膜

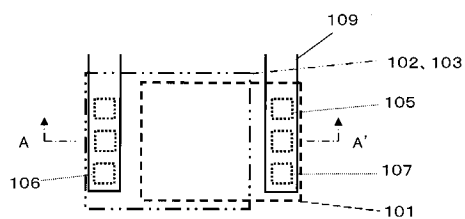
200、400 層間絶縁膜

201、401 第1の導電膜

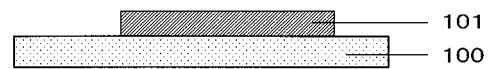
50

- | | | | | |
|--------|---------|-------------|-------|-------------|
| 2 0 2、 | 4 0 2 | 第 1 の層間絶縁膜 | | |
| 2 0 3、 | 4 0 3 | 第1のコンタクトプラグ | | |
| 2 0 4、 | 2 0 5、 | 4 0 4、 | 4 0 5 | 第2の導電膜 |
| 4 0 6 | サイドウォール | | | |
| 2 0 6、 | 4 0 7 | 容量絶縁膜 | | |
| 2 0 7、 | 4 0 8 | 第3の導電膜 | | |
| 2 0 8、 | 4 0 9 | 第 2 の層間絶縁膜 | | |
| 2 0 9、 | 2 1 0、 | 4 1 0、 | 4 1 1 | 第2のヴィアホール |
| 2 1 1、 | 2 1 2、 | 4 1 2、 | 4 1 3 | 第2のコンタクトプラグ |
| 2 1 3、 | 4 1 4 | 第4の導電膜 | | |

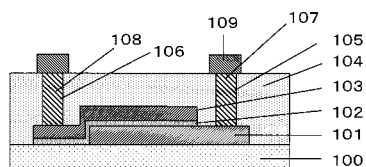
【 図 1 】



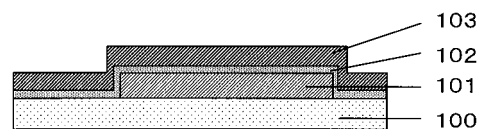
【 図 3 】



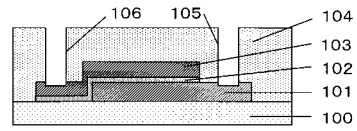
【 図 2 】



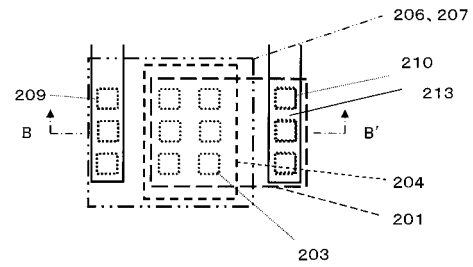
【 図 4 】



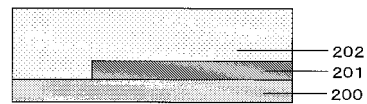
【 図 7 】



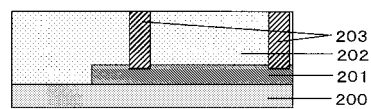
【 図 8 】



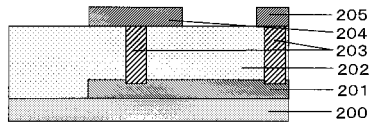
【 図 1 1 】



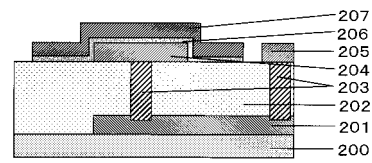
【 ㊦ 1 2 】



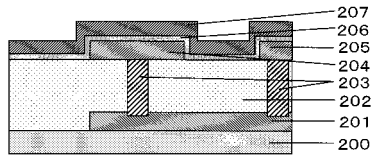
【図 13】



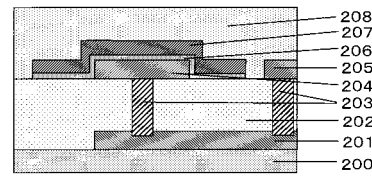
【図 15】



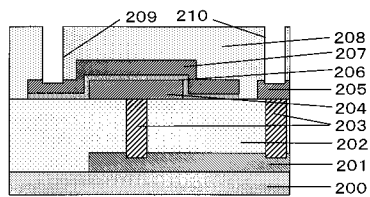
【図 14】



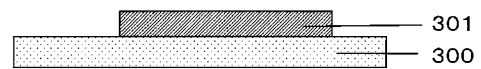
【図 16】



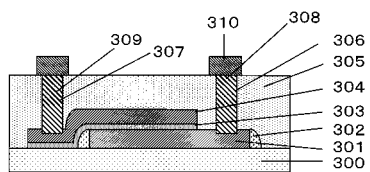
【図 17】



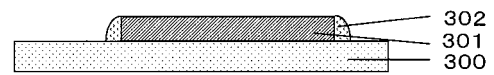
【図 19】



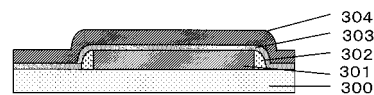
【図 18】



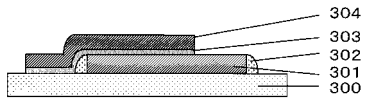
【図 20】



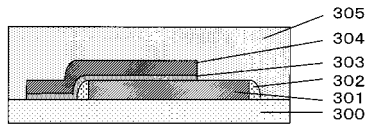
【図 21】



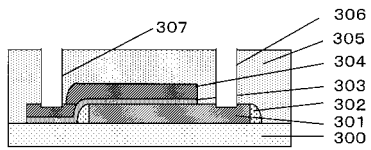
【図 2 2】



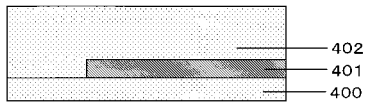
【図 2 3】



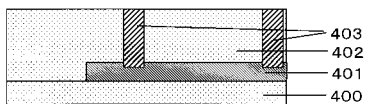
【図 2 4】



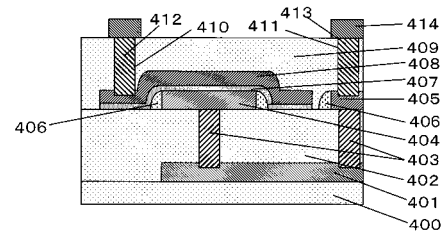
【図 2 7】



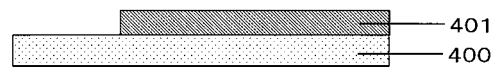
【図 2 8】



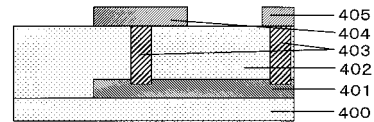
【図 2 5】



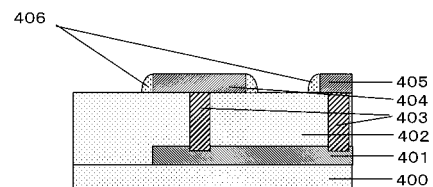
【図 2 6】



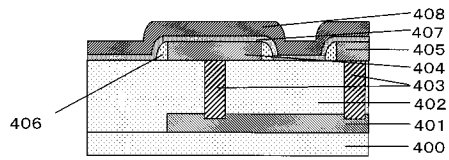
【図 2 9】



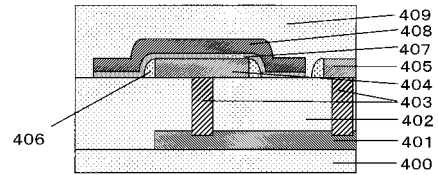
【図 3 0】



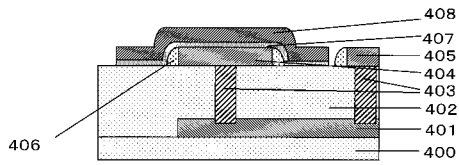
【図 3 1】



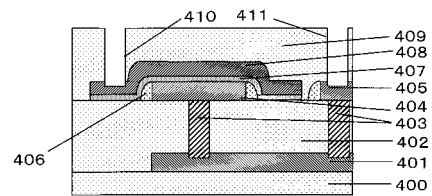
【図 3 3】



【図 3 2】



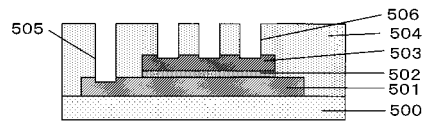
【図 3 4】



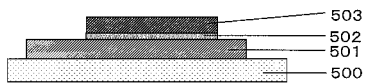
【図 3 5】



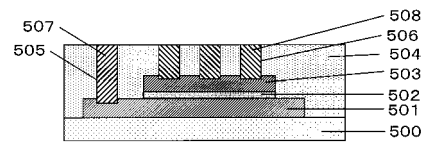
【図 3 8】



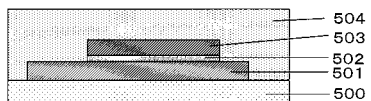
【図 3 6】



【図 3 9】



【図 3 7】



【図 40】

