

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl.⁷
 G11C 7/00
 H01L 27/108

(11) 공개번호 10-2005-0086362
 (43) 공개일자 2005년08월30일

(21) 출원번호 10-2004-0113742
 (22) 출원일자 2004년12월28일

(30) 우선권주장 JP-P-2004-00047508 2004년02월24일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
 일본 100-6334 도쿄도 지요다구 마루노우찌 2-초메 4-1

(72) 발명자 애트우드브라이안
 일본국 도쿄토 세타가야쿠 다이자와 2-18-14 FLATAN103
 와타나베타카오
 일본국 도쿄토 후추시 수미요시초 1-84-1-809

(74) 대리인 특허법인 원전

심사청구 : 없음

(54) 반도체 집적회로

요약

3트랜ジ스터형 다이내믹 셀에서의 축적 트랜ジ스터를 통해서 흐르는 리크전류 등에 따른 전력을 대기시에 저감하는 것이다.

메모리 어레이를 구성하는 복수의 3트랜ジ스터형 다이내믹 셀 내의 축적 트랜ジ스터의 소스전극을 접속하고, 전원단자와의 사이에 스위치를 설치한다. 동작시에는 상기 스위치를 도통하고, 대기시에는 비도통으로 하는 것에 의해 대기시의 리크전류를 차단한다.

대표도

도 1

색인어

3트랜ジ스터, 축적 트랜ジ스터, 선택 트랜ジ스터, 기록 트랜ジ스터

명세서

도면의 간단한 설명

도1은 본 발명의 반도체 집적회로의 메모리 부분의 기본적인 구성을 나타내는 실시예의 도면이다.

도2는 도1의 실시예에 있어서의 메모리 셀(MC)의 등가회로를 나타내는 실시예이다.

도3은 리크전류 차단회로(LC)의 제1의 실시예를 나타내는 도면이다.

도4는 도3의 실시예의 타이밍 차트의 실시예를 나타내는 도면이다.

도5는 리크전류 차단회로(LC)의 제2의 실시예를 나타내는 도면이다.

도6은 도5의 실시예의 타이밍 차트의 실시예를 나타내는 도면이다.

도7은 판독 비트선의 프리차지 회로의 실시예를 나타내는 도면이다.

도8은 도7의 실시예의 타이밍 차트의 실시예를 나타내는 도면이다.

도9는 3T셀의 리텐션 특성을 개선하기 위한 기록 트랜지스터의 단면도를 나타내는 실시예이다.

도10은 소스전극(S2)의 배선을 비트선과 평행한 방향으로 한 실시예이다.

도11은 도3의 실시예의 상세한 동작을 나타내는 타이밍 차트의 실시예이다.

도12는 도5의 실시예의 상세한 동작을 나타내는 타이밍 차트의 실시예이다.

도13은 도7의 실시예의 상세한 동작을 나타내는 타이밍 차트의 실시예이다.

도14는 복수의 더미 셀을 이용해서 판독시의 참조전압을 고정밀도로 발생하는 방법의 원리를 나타내는 실시예이다.

도15는 도14의 원리를 1교점의 레이아웃에 대하여 적용한 실시예이다.

도16은 도14의 원리를 2교점의 레이아웃에 대하여 적용한 실시예다.

도17은 로컬 비트선을 구동할 뿐이며 리프레시를 행하기 위한 메모리 어레이의 구성을 나타내는 실시예다.

도18은 도17의 동작을 나타내는 타이밍 차트의 실시예이다.

(부호의 설명)

MC 3트랜지스터형 다이내믹 셀 MR1 선택 트랜지스터

MR2 축적 트랜지스터 MW 기록 트랜지스터

S2, S2-x 축적 트랜지스터의 소스전극

SN 정보 기억노드(축적노드)

LC, LC-x 리크전류 차단회로

XDEC X디코더 XDRV X드라이버

YDEC Y디코더 YDRV Y드라이버

IO 입출력 회로 RSA, RSAX 판독 센스앰프

WA 기록앰프 RBL, RBLx 판독 비트선

WBL, WBLx 기록 비트선, RWL, RWLx, RWLx-y 판독 워드선

WWL, WWLx, WWLx-y 기록 워드선 VBP 판독 비트선 프리차지 전압

CH 채널부 OX 산화막

ISO 소자분리 영역

MSW, MSW1, MSW2 리크전류 차단회로를 구성하는 MOS 트랜지스터

MPR 판독 비트선 프리차지를 위한 MOS 트랜지스터

SPR MOS 트랜지스터(MPR)의 소스전극

GPR, GPRx MOS 트랜지스터(MPR)의 게이트전극

MPW 기록 비트선 프리차지를 위한 MOS 트랜지스터

SPW MOS 트랜지스터(MPW)의 소스전극

GPW, GPWx MOS 트랜지스터(MPW)의 게이트전극

GSW 리크전류 차단회로의 제어신호

RFCLK 리프레시 제어클록, ACT, Active 동작상태

ST, Standby 대기상태, READ, Read 판독동작

WRITE, Write 기록동작 Refresh 리프레시 동작

DMC-H, DMC-Hx 1신호발생 더미셀,

DMC-L, DMC-Lx 0신호발생 더미셀

VDH 1신호발생 더미셀의 기록전압

VDL 0신호발생 더미셀의 기록전압,

DRWL, DRWL-x 더미 판독 워드선

DWWL, DWWL-x 더미 기록 워드선

MDx 더미 제어신호가 입력되는 MOS 트랜지스터

DCTL, DCTL-x 더미 제어신호

SIGO 0이 판독되는 경우의 판독 비트선 전위

SIG1 1이 판독되는 경우의 판독 비트선 전위

LBLKx-y 로컬블록 LCTL 로컬 제어회로

LBLKx-y 로컬블록 LSA 로컬앰프

MWa, MWb, MRa, MRb 로컬 제어회로 내부의 MOS 트랜지스터

LRBLx-y 로컬 판독 비트선 LWBLx-y 로컬 기록 비트선

GRBLx 글로벌 판독 비트선 GWBLx 글로벌 기록 비트선

Rx MOS 트랜지스터(MRa)의 게이트 단자 Cx 로컬앰프 기동신호

Fx MOS 트랜지스터(MWa)의 게이트 단자

Wx MOS 트랜지스터(MWb)의 게이트 단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로, 특히 리크전류가 적은 3트랜지스터형 다이내믹 셀을 이용한 반도체 집적회로에 관한 것이다.

3트랜지스터형의 다이내믹 셀 및 그것을 이용한 반도체 집적회로는 옛날부터 알려져 있다. 6개의 트랜지스터를 사용하는 스탠디얼 셀(이하 6T 셀)과 비교해서 소자수가 적으므로 고집적이고, 1트랜지스터형 다이내믹 셀(1T 셀)과 다르게 판독할 때 이득(gain)이 있으므로 고속동작이 가능한 것이 특징이다.

3트랜지스터 셀(이하 3T 셀)에 관한 문헌의 예로서, 특허문헌1이 있다. 이 발명은 3T 셀의 판독시에, 축적 Tr의 소스를 OV로부터 마이너스 전위로 하는 것에 의해, 판독동작의 고속화를 실현하는 것을 의도한 것이다.

채널에 극히 얇은 반도체를 이용하는 것에 의해 막두께 방향의 양자 역학적인 감금효과를 이용해서 리크전류를 저감한 트랜지스터에 대해서는, 특허문헌2에 개시되어 있다.

(특허문헌 1) 특개2000-11642호 공보

(특허문헌 2) USP6576943

발명이 이루고자 하는 기술적 과제

상기 종래예에서는, 판독동작의 고속화에 대한 고려는 되어있지만, 대기시의 소비전력에 대해서는 고려되어 있지 않다.

3T 셀은, 그 특징인 고집적성이나 고속성을 살린 이용이 행해져 왔다. 이 때문에 소비전력의 저감에 대해서는 연구가 되어 있지 않고, 예컨대 휴대기기 등 소비전력 특히 대기전력이 낮은 것을 요구하는 분야에는 적합하지 않았다.

3T 셀에서는, 판독동작의 시에, 선택 트랜지스터가 온상태가 되고, 축적트랜지스터가 온상태가 오프상태에 의존한 전류가 흐르고, 판독 비트선에 전위변화가 나타난다. 이것을 검지하는 것에 의해 판독동작이 행해진다. 대기시에는, 모든 셀의 선택 트랜지스터가 오프하므로, 축적 트랜지스터의 상태에 관계없이, 판독 비트선으로부터 축적 트랜지스터의 소스전극에 흐르는 전류는 거의 차단된다.

그러나, 선택 트랜지스터는 MOS 트랜지스터이므로 오프상태이라도 미소한 리크전류가 존재한다. 메모리의 용량이 수메가비트라도 되면 예를 들어 하나의 셀의 리크전류가 작아도 합계의 전류값은 커져버린다. 본 발명이 해결하려고 하는 과제는, 3T 셀에서 대기시에 흐르는 리크전류의 저감이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 하기와 같다.

복수의 3트랜지스터 메모리셀에서의 축적 트랜지스터의 소스전극을 접속하고, 상기 소스전극과 전원 사이에 스위치 수단을 설치한다. 동작시에는 상기 스위치 수단을 도통하고, 축적 트랜지스터의 소스전극을 소망의 전압값으로 바이어스한다. 한편, 대기시에는 상기 스위치 수단을 오프하는 것에 의해 메모리셀을 흐르는 리크전류 패스를 차단한다.

또, 3트랜지스터 메모리셀의 기록 트랜지스터로서, 채널영역의 막두께가 5nm 정도 이하의 막으로 형성된 트랜지스터를 이용한다.

이하, 도면을 이용해서 본 발명의 실시예를 설명한다.

도1은, 3T셀(MC)을 이용해서 구성한 본 발명에 의한 메모리의 기본적인 구성을 나타낸 것이다. 3T셀(MC)의 회로구성을 도2에 나타낸다.

도2에 도시한 바와 같이 본 셀(MC)은, 선택 트랜지스터(MR1), 축적 트랜지스터(MR2), 기록트랜지스터(MW)의 3개의 트랜지스터로 구성된다. 메모리셀의 기록 트랜지스터(MW)의 게이트는 기록 워드선(WL)에 접속되고, 기록 트랜지스터(MW)의 소스·드레인의 한쪽은 기록 비트선(WBL)에 접속되며, 선택 트랜지스터(MR1)의 게이트는 판독 워드선(RWL)에 접속되고, 선택 트랜지스터(MR1)의 소스·드레인의 한쪽은 판독 비트선(RBL)에 접속되고, 기록 트랜지스터(MW)의 소스·드레인의 다른쪽은 축적 트랜지스터(MR2)의 게이트 전극과 접속되며, 축적 트랜지스터(MR2)의 드레인은 선택 트랜지스터(MR1)의 소스·드레인의 다른쪽과 접속된다. 메모리셀에 이용되고 있는 트랜지스터는 어느 것이나 N채널형 트랜지스터이다. 도1에서는, 메모리 어레이의 구성과 메모리 어레이에 가까운 주변회로만을 나타내고 있다. 리프레시 제어회로, 제어 펄스 발생회로 등은 생략했다. 또, 여기에서는 메모리의 구성을 나타냈지만, 본 발명은 단체의 메모리로서 동작하는 반도체 집적회로에서도, 메모리 이외에 마이크로프로세서나 논리회로 등을 탑재한 반도체 집적회로라도 적용할 수 있는 것은 물론이다.

도1에 있어서, 3T셀(MC)은 2차원 상에 배치되고, 판독 워드선(RWL), 기록 워드선(WWL), 판독 비트선(RBL), 기록 비트선(WBL)이 접속되어 있다. 또한, 복수의 기록 비트선과 복수의 기록 워드선과 접속되는 복수의 메모리셀의 축적 트랜지스터(MR2)의 소스전극(S2)은 공통배선에 의해 리크 차단회로(LC)에 접속된다.

기록, 판독 워드선은, X디코더(XDEC), X드라이버(XDRV)에 의해 선택 제어되고, 제1방향으로 연장한다. 판독 비트선과 기록 비트선은, 제1방향과 교차하는 제2방향으로 연장한다. 또한, 기록 비트선을 기록하는 정보에 따른 전위로 구동하는 기록앰프(WA), 판독 비트선으로 판독된 신호를 검지 증폭하는 센스앰프(SA)는 Y디코더 및 입출력 회로(IO)로 제어된다. 본 실시예의 판독 기록동작에 대해서는, 통상의 메모리와 같은 제어이므로 설명을 생략하고, 리크차단에 대해 서술한다.

도1의 실시예에서는, 소스전극(S2)이 리크 차단회로에 접속되어 있다. 이 때문에, 예컨대 동작시간에 리크 차단회로를 저임피던스 상태로 해서 S2의 진위를 접지진위에 고정하고, 대기시에는 LC를 고임피던스 상태로 변화시켜서 S2를 플로팅 상태로 하는 것에 의해, 모든 메모리셀의 리크전류를 효과적으로 차단할 수 있다. 또, 도2에서 알 수 있는 바와 같이, 축적 트랜지스터(MR2)의 소스전극(S2)이 플로팅 상태로 되어도, 기억정보는 게이트 용량에 기억한 채 유지하는 것이 가능하다.

도3에 리크전류 차단회로(LC)의 구체적인 실시예를 나타낸다. 도3은 리크전류 차단회로(LC)으로서 N채널형 MOS트랜지스터(MSW)를 이용한 것이다. 3T셀의 소스전극(S2)을 트랜지스터(MSW)의 드레인에 접속하고, MSW의 소스전위를 접지전원에 접속하고 있다. 이것에 의해 MSW의 게이트 전극(GSW)의 전위를 바꾸는 것으로 리크전류 차단회로(LC)의 임피던스를 제어할 수 있다. 도4는, 도3의 실시예에서의 게이트 전극(GSW)의 전위제어의 방법을 나타낸 실시예이다. 도1의 메모리가 동작상태(ACT)에 있는 경우에는, GSW를 고전위로, 대기상태(ST)에 있을 때에는 GSW를 저전위로 구동한다. 이것에 의해, 동작상태에서는 S2가 접지진위가 되기 때문에 3T셀의 판독동작을 행하는 것이 가능해지고, 대기상태에서는 S2가 플로팅 상태가 되므로, 3T셀의 소스전극(S2)에 흐르는 리크전류를 효과적으로 차단할 수 있다. 트랜지스터(MSW)의 사이즈는, 판독시에 동시에 선택되는 3T셀의 수에 따라, 판독에 충분한 전류를 얻을 수 있도록 결정한다. 도3, 4에 나타낸 실시예에 의하면, MOS 트랜지스터로 구성한 간단한 스위치에 의해 효과적으로 3T셀의 리크전류를 차단할 수 있다. 또, 3T셀은 다이내믹 셀이므로 대기시에서도 리프레시 동작이 필요하다. 3T셀의 리프레시는, 일단 셀로부터 정보를 판독해서 재차 기록하는 것으로 행해진다. 따라서, 대기시라도 리프레시 동작을 하는 경우에는, 상기 리크전류 차단회로(LC)를

저임피던스 상태로 해서 리프레시를 행한다. 따라서 리프레시 동안은 리크전류가 흐르지만, 그 시간은 짧으므로 대기전류 저감효과를 손상시키는 일은 없다. 또한, 상기에서는 대기시에만 리크전류를 차단했지만, 필요에 따라서 기록동작시에도 차단해도 된다. 그 경우에는, 메모리가 동작상태에 있을 때의 전력저감이 가능해진다.

도5은 리크전류 차단회로(LC)의 다른 실시예이며, 도6은 그 동작을 나타내는 실시예이다. 도4의 실시예에서는, 소스전극(S2)을 플로팅 상태로 하는 것으로 리크전류를 차단했지만, 도5의 실시예에서는, 고정전위로 하는 것으로 리크전류를 차단한다. 구체적으로는, 도6의 실시예에 나타낸 바와 같이 동작시에는 게이트 전극(GSW)을 고전위로 하는 것에 의해, N 채널형 트랜지스터(MSW1)를 온상태, P채널형 트랜지스터(MSW2)를 오프상태로 해서 S2를 접지전위로 유지한다. 또한, 대기시에는 GSW를 저전위로 하는 것에 의해, MSW1을 오프상태, MSW2를 온상태로 하여 S2의 전위를 판독 비트선의 프리차지 전압과 같은 전위(VBP)로 유지한다. S2에 흐르는 리크전류의 주성분은, 고전위로 프리차지된 판독 비트선(RBL)으로부터, 축적 트랜지스터(MR2)의 게이트 전압이 고전위 상태에 있는 셀을 통해서 흐르는 서브 드레시홀드 전류이다. 따라서, 소스전극(S2)을 판독 비트선(RBL)의 프리차지 전압과 같은 전압으로 유지하면, 리크전류를 차단하는 것이 가능하다. 이상 설명한 도5의 실시예에서는, 리크전류 차단회로(LC)를 구성하는 트랜지스터의 수는 증가하지만, S2를 고정전위로 제어하기 때문에, 플로팅 상태로 하는 경우와 비교해서 S2의 전위가 커플링 등의 영향으로 변동하는 것에 의해 리크전류가 증가하는 것이 걱정되는 경우에 유효하다.

이상의 실시예에서는, 축적 트랜지스터(MR2)의 소스전극(S2)을 제어하는 것으로 리크전류를 차단하는 실시예를 설명했다. 계속해서 도7과 8을 이용하여, 판독 비트선의 프리차지 회로의 제어에 의해 리크를 저감하는 실시예를 설명한다. 도7은 판독 비트선의 프리차지 회로의 실시예이며, 복수의 메모리셀(MC)이 접속된 판독 비트선(RBL)에 프리차지용의 p채널 트랜지스터(MPR)를 접속하고 있다. 게이트 전극(GPR)을 저전위로 하면 트랜지스터(MPR)가 온하고, 판독 비트선은 전극(SPR)의 전위에 프리차지 된다. 도8(a), (b)는 도7의 회로의 동작을 설명하는 타이밍 차트의 실시예이다. 도8(a)는, 소스전극(S2)의 제어의 실시예인 도3, 4의 실시예와 조합하는 것으로 리크전류의 차단효과를 높이는 실시예이며, 도8(b)는, 소스측의 전류 스위치를 이용하지 않고 프리차지 회로측에서 리크전류를 차단하기 위한 실시예이다.

우선, 도8(a)의 실시예를 설명한다. 동작시(ACT)에는, 판독동작(READ)시에 메모리셀로부터의 신호를 판독하는 기간을 제외하고, MPR의 게이트 전극(GPR)을 저전위로 하며, 트랜지스터(MPR)를 온시킨다. 이것에 의해 판독 비트선(RBL)은 MPR의 소스전극(SPR)와 같은 고전위로 프리차지 된다. 한편, 대기시(ST)에는 MPR의 게이트 전극(GPR)을 고전위로 해서 MPR을 오프한다. 또, 도3, 4의 실시예를 병용하므로, 대기시에는 소스전극(S2)에 설치한 트랜지스터(MSW)도 오프한다. 이 결과, 리크전류가 차단된다. 본 실시예에 의하면, 소스전극(S2)측과 프리차지 회로측의 양쪽의 트랜지스터가 오프하므로, 한쪽의 트랜지스터를 오프할 경우에 비교해서 리크전류의 차단효과를 높게 할 수 있다.

다음에 도8(b)의 동작을 설명한다. 메모리셀의 레이아웃이나 구조 혹은 이용할 수 있는 배선 수에 따라서는, S2의 배선이 곤란한 경우가 있을 수 있다. 또한, 메모리셀 어레이의 레이아웃 등에 따라서는, 소스전극(S2)에 설치하는 스위치 트랜지스터나 그 제어회로의 면적, 전력의 오버헤드가 문제가 되는 경우도 생각할 수 있다. 그러한 경우에는, 이 실시예가 유효하다. 도8(b)에 나타낸 바와 같이, 동작시(ACT)에는, 판독동작(READ)시에 셀로부터의 신호를 판독하는 기간을 제외하고, MPR의 게이트 전극(GPR)을 저전위로 하여 트랜지스터(MPR)를 온시킨다. 또한, 대기시에도 마찬가지로 GPR를 저전위로 하여 트랜지스터(MPR)를 온시킨다. 이것에 의해, 판독 비트선(RBL)은 프리차지 된다. 동작시(ACT)에는 SPR의 전위는 고전위(VBP)로 되어 있으며, 판독 비트선(RBL)은 고전위(VBP)로 프리차지 된다. 한편, 대기시에는 SPR의 전위는 접지전위(GM)로 제어되므로, 판독 비트선이 트랜지스터(MPR)의 문턱치전압의 절대치에 가까운 전위까지 방전되고, 그 후, MPR의 리크전류나 접지되어 있는 소스전극(S2)에의 리크전류로 서서히 접지전위에 근접하고, 리크전류는 차단된다. 이와 같이 본 실시예에 의하면, 축적 트랜지스터(MR2)의 소스전극(S2)에 스위치 트랜지스터를 설치하지 않아도, 대기시에 판독 비트선(RBL)으로부터 정상적으로 리크전류가 흐르는 일은 없다. 또, 도8(b)에서는, 프리차지 회로의 소스전극(SPR)의 전위를 대기시에 접지전위로 했지만, 전극(SPR)의 배선용량이 큰 등의 이유에 의해 경우에 따라서는, SPR의 전위를 구동하는 회로의 오버헤드가 문제가 되는 경우도 있을 수 있다. 그러한 경우에는, SPR의 전위는 동작시도 대기시도 같이 고전위로 한 채, 대기시에 프리차지용의 트랜지스터(MPR)의 게이트 전극(GPR)의 전위를 고전위로 하는 방법이 유효하다. 이와 같이 하면, 대기시에는 트랜지스터(MPR)가 오프 하므로 전극(SPR)으로부터의 전류는, 거의 흐르지 않는다. 대기시에는 판독 워드선(RWL)이 저전위이며, 메모리셀의 트랜지스터(MR1)도 오프하고 있다. 이 때문에, SPR이 고전위라도, S2로의 리크전류는 차단된다. 이 방법은 전극(SPR)의 구동회로도 불필요하므로 면적이나 전력의 오버헤드가 적다고 하는 특징이 있다. 또, 이 방법의 동작에 대해서는 상기의 설명으로부터 용이하게 알 수 있으므로 타이밍 차트는 생략한다. 이상과 같이, 비트선 프리차지 회로측의 연구에 의해 리크전류를 차단하는 것이 가능하다. 또, 상기 도8(a), (b)의 실시예에 있어서도 대기시의 리프레시 동작시에는 판독동작을 행하기 위해서, 판독 비트선(RBL)을 필요한 전위로 프리차지하는 등의 필요가 있는 것은 물론이다. 또한, 센스앰프 등의 구성에 따라서는 새로운 리크전류의 경로가 생길 가능성도 있지만, 그러한 경우는 적당히 리크전류 차단을 위한 스위치를 설치해서 대기시에 오프상태로하거나, 리크의 원인이 되는 전극의 전위를 대기시에 제어하는 것에 의해, 상기와 같이 리크전류를 차단할 수 있는 것은 말할 필요도 없다.

이상 3T셀의 리크전류를 차단하는 방법을 서술해 왔다. 이들의 실시예에 의하면, 대기시의 소비전류를 대폭 삭감하는 것이 가능하며, 3T셀을 이용한 메모리를 지금까지 적용할 수 없었던 저전력 분야에 활용하는 것이 가능해진다.

그런데, 전술한 바와 같이, 3T셀은 다이내믹 셀의 일종이며, 리프레시 동작이 필요하다. 이 때문에, 대기시의 소비전력은 셀의 리크전류 이외에 리프레시에 따른 전류가 소비되게 된다. 3T셀에서는, 정보를 유지하는 축적 트랜지스터(MR2)의 게이트 용량이 작으므로, 일반적으로 리텐션 특성이 나쁜 것이 많다. 이 때문에, 리프레시를 빈번하게 행할 필요가 있으며 그를 위한 전력을 무시할 수 없는 경우가 있다. 이 경우에는, 축적용량으로부터의 리크전류를 감소하기 위해서, 축적 트랜지스터(MR2)의 절연막으로서 게이트 전류를 무시할 수 있는 재료를 이용하거나, 혹은 절연막 두께를 충분히 두껍게 하면 된다. 예컨대 4.5nm정도 이상의 산화막을 이용하는 것이 유효하다. 이 경우, 트랜지스터(MR1, MR2) 모두 공통의 절연막 두께로 하면 면적이나 제조 프로세스의 오버헤드를 적게 할 수 있다. 또, 기록 트랜지스터로부터의 리크전류를 작게 하기 위해서, 도9(a), (b)에 나타낸 바와 같은 채널의 막두께가 5nm 이하로 대단히 얇은 폴리실리콘 TFT트랜지스터를 사용하는 것이 효과적이다.

도9(a)에 나타내는 실시예에서는, 트랜지스터(MW)를 반도체기판(SUB) 내에 형성된 소자분리 영역(ISO) 위에 평면적으로 형성하고 있다. 본 실시예에 있어서, CH는 두께가 5nm 정도 이하의 박막 폴리실리콘으로 형성한 채널부이며, 후술과 같이 이것에 의해 리크전류를 대단히 적게 해서 리텐션 특성을 향상할 수 있다. OX는 절연막, WWL은 기록 워드선이 되는 트랜지스터(MW)의 게이트전극, WBL은 기록 비트선이 되는 소스전극, SN은 축적전극이며, 트랜지스터(MW)의 드레인에 상당한다. 본 실시예에서는, 트랜지스터(MW)가 통상의 트랜지스터와 동일하게 기판상에 평면적으로 형성되어 있다. 이 때문에, 트랜지스터(MW)가 형성되어 있는 곳과 없는 곳에서 큰 단차가 없다. 따라서, 트랜지스터(MW)와 통상의 트랜지스터를 접속하기 위한, 배선, 콘택트 등의 공정이 용이하게 된다는 이점이 있다.

도9(b)에 나타낸 것은, 리텐션 특성을 개선한 후에 또 3T셀을 고집적으로 실현하기 위한 알맞은 실시예이며, 상기 평면형의 구조에서는 면적의 증가가 문제가 되는 경우에 특히 유효하다. 본 실시예는, 3T셀의 축적 트랜지스터(MR2)의 게이트전극상에 열린 구멍의 내부에 종형의 구조를 가진 트랜지스터(MW)를 형성한 것이다. CH는 트랜지스터(MW)의 채널부이며, 5nm 정도 이하의 두께를 가지는 다결정 실리콘 등의 박막에 의해 형성되어 있다. 트랜지스터(MW)의 게이트 전극은 원통모양이며, 그 주위를 산화막(OX)과 채널부(CH)가 둘러싸고 있다. WBL은 기록 비트선에 상당하는 부분이다. 트랜지스터의 MW의 소스·드레인 영역의 한쪽(SN)은 트랜지스터(MW2)의 게이트 전극이 되고, 게이트 절연막(OX)을 통해서 반도체기판(SUB) 내에 형성된 반도체영역(S2, D2) 사이에 흐르는 전류를 제어한다.

도9(a), (b) 어느 경우도, 게이트 전극에 상당하는 WWL의 전위가 고전위로 되면 채널부(CH)가 도통하고, 저전위가 되면 비도통상태가 된다. 채널(CH)의 두께는 5nm 정도 이하로 대단히 얇기 때문에, 오프시의 리크전류를 통상의 트랜지스터에 비교해서 극단적으로 작게 할 수가 있다. 통상의 트랜지스터의 오프시의 리크전류가, 10의 마이너스 10승에서 12승 암페어 정도인 것에 대해서, 본 실시예와 같이 채널이 5nm 정도 이하의 박막 트랜지스터에서는, 막두께 방향의 양자 역학적인 감금효과 때문에, 리크전류를 10의 마이너스 19승 정도로 하는 것도 가능하다. 이러한 구조의 박막채널을 가지는 전계효과형 트랜지스터에 대해서는, 예를 들면 반도체소자 및 반도체 집적회로로 제목을 붙인 발명은 특허문헌2에 기재되어 있다. 본 실시예에 의하면, 트랜지스터(MW)의 리크전류가 대단히 작으므로 축적노드(SN)에 유지된 정보를 장시간 유지하는 것이 가능해진다. SN에 상당하는 게이트 전극에 축적 가능한 전하량은 약 10의 마이너스 15승C(콜롱)의 오더이기 때문에, MW의 리크전류를 10의 마이너스 19승으로 가정하면, 10%의 전하가 리크할 때까지의 시간은 약 1000초가 된다. 트랜지스터(MW)의 리크전류의 변동이나 고온에서의 동작을 고려하면 설계상의 보증치는 아주 작게 설정할 필요가 있는 경우도 생각되지만, 어느 것으로 하든, 대기전류를 저감하는데 충분한 효과를 기대할 수 있다. 따라서, 먼저 서술한 3T셀에 리크전류 저감을 위한 실시예와 병용하는 것에 의해, 대기전류가 매우 적은 메모리를 포함하는 반도체 집적회로를 실현할 수 있다.

이하에서는, 지금까지 서술한 실시예를 변형한 실시예나, 실시예의 상세한 동작, 또 도2와 같은 메모리셀을 이용한 메모리에 유효하며, 또 지금까지 서술한 실시예와 조합하는 것으로 실시예의 효과가 더욱 상승하는 실시예에 대해서 서술한다.

도10은, 축적 트랜지스터의 소스전극(S2)의 배선을 비트선과 평행하게 배치한 실시예이다. 도1의 실시예에서는 S2를 판독 워드선과 평행한 배선으로 어레이의 밖으로 연장해 리크 차단회로에 접속했지만, 본 실시예에서는, 판독 비트선과 평행한 배선으로 한 후에, 판독 비트선마다 설치한 리크 차단회로 LC-1로부터 LC-n에 접속하고 있다. 일반적으로 메모리 어레이를 액세스할 때에는 판독 워드선을 1개만 선택한다. 따라서, 본 실시예의 구성에서는, 리크 차단회로(LCi)(i는 1부터 n)는, 하나의 메모리셀의 판독전류를 공급할 수 있으면 된다. 따라서 LCi를 구성하는 스위치 회로의 규모를 작게 할 수가 있다. 따라서, LCi를 제어하는 주변회로까지 포함한 메모리 회로 전체의 면적을 경우에 따라서는 작게 할 수 있다. 도1의 실시예에 있어서도 리크 차단회로를 워드선마다 분할해서 배치하는 것은 가능하지만, 본 실시예에서는 또, 다음의 효과가

있다. 도2의 3트랜지스터 셀은 판독 워드선을 선택해서 트랜지스터(MR1)를 온해도, MR2의 게이트 전극에 축적된 정보가 파괴되지 않는다. 즉 비파괴 판독이 가능하다. 따라서, 본 실시예에서는 선택된 판독 워드선 상의 메모리셀 중, 정보를 판독하고 싶은 셀에 접속되는 리크 차단회로만을 활성화하는 것이 가능해진다. 이러한 제어는 Y디코더의 신호를 이용하면 용이하게 실현하는 것이 가능하다. 이 결과, 본 실시예에 의하면, 판독시의 리크전류도 필요 최소한으로 하는 것이 가능하다.

다음에, 도11, 12, 13을 이용하여, 도3, 5, 7에 나타낸 리크차단에 관한 실시예의 동작을 설명한다. 이미 원리적인 동작에 대해서는 도4, 6, 8에서 설명했지만, 여기에서는 메모리의 동작상태에 대응해서 설명한다. 도11, 12, 13에 있어서, 메모리의 동작모드를 Active(동작상태), Stanby(대기상태), Refresh(리프레시상태)로서 나타내고 있다. 도3, 5, 7의 기본동작을 나타낸 도4, 6, 8에서는 기록동작도 설명했지만, 여기에서는 간단하게 하기 위해 판독동작만을 나타냈다. 또, 도13(a), (b)은, 각각 도8(a), (b)에 대응하는 실시예이다. 리프레시는, 여기에서는 대기상태 동안에 행해지고 있지만, 필요에 따라서 동작상태 동안에 있어서 행해지는 것은, 물론이다. 도11, 12, 13에 있어서, RFCLK는 리프레시 동작에 따른 판독, 기록을 행하기 위한 리프레시 제어클록을 나타낸다. 도3의 메모리셀의 리프레시에는 판독한 정보를 재차 기록할 필요가 있지만, 간단하게 하기 위해 도13(a), (b)에서는 판독 비트선의 과정만을 나타냈다. 또, 도3의 메모리셀에서는, 판독용과 기록용의 비트선이 분리되어 있으므로, 리프레시 동작을 고속으로 행할 수 있다. 또한, 여기에서는 신호의 전위레벨을 OV로부터 1V로 가정해서 나타냈지만 이것에 한정되는 것이 아닌 것은 물론이다. 또한, S2가 플로팅 상태에 있는 경우의 전위를 0.3V로 하여 나타냈지만, 이것도 일례이며, 회로구성이나 트랜지스터 정수에 의해 0.3V로 된다고 한정하지 않는 것을 물론이다.

우선, 도11을 이용해서 도3의 동작을 설명한다. 메모리가 동작상태에 있는 경우와 리프레시 중에는, 게이트 전극(GSW)의 전위가 1V가 되고, 도3의 트랜지스터(MSW)가 온하고, 이것에 의해 축적 트랜지스터의 소스전극(S2)이 OV가 된다. 이 결과 메모리셀의 판독동작이 가능해진다. 또, 리프레시 상태에 있어서는, 리프레시 제어클록(RFCLK)이 입력되는 것에 의해, 메모리셀로부터 정보를 판독하고, 재차 반전 기록하는 것에 의해 3트랜지스터의 리프레시가 행해진다. 한편, 대기상태에 있어서는, GSW가 OV가 되고, 도3의 트랜지스터(MSW)가 오프한다. 이 결과, 축적 트랜지스터의 소스전극(S2)이 플로팅 상태가 되고, 축적 트랜지스터를 통해서 흐르는 리크전류가 차단된다. 이 결과, 대기상태에서의 소비전류를 저감하는 것이 가능해진다.

계속해서 도12를 이용해서 도5의 동작을 메모리의 상태와 대응시켜서 설명한다. 동작상태와 리프레시 동작상태에는 게이트 전극(GSW)을 1V로 하는 것에 의해, 트랜지스터(MSW1)을 온상태, 트랜지스터(MSW2)를 오프상태로 한다. 이것에 의해, 도11의 실시예와 같이 S2를 접지전위로 유지한다. 한편, 대기시에는 GSW를 저전위로 하는 것에 의해, MSW1을 오프상태, MSW2를 온상태로 하여 S2의 전위를 판독 비트선의 프리차지 전압과 같은 전위(VBP)로 유지한다. 도5의 설명에서 기록한 바와 같이 S2에 흐르는 리크전류의 주성분은, 고전위로 프리차지된 판독 비트선(RBL)으로부터, 축적 트랜지스터(MR2)의 게이트 전압이 고전위 상태에 있는 셀을 통해 흐르는 서브드레시홀드 전류이다. 따라서, 소스전극(S2)을 판독 비트선(RBL)의 프리차지 전압과 같은 전압으로 유지하면, 리크전류를 차단 할 수 있다.

도11의 실시예에서는, 도12와 비교해서 대기상태에서 동작상태로 이행할 때의 S2의 전위변동이 작으므로 속도의 점에서 유리해질 경우가 있다. 한편, S2를 플로팅 상태로 한 경우에는, 동일 칩상에 있는 논리회로가 동작한 경우의 노이즈 등에 의해 S2의 전위가 변동해서 예기하지 않는 리크전류가 흐르는 경우도 있다. 그러한 우려가 있을 경우에는, S2를 고정전위로 하는 도5와 도12의 실시예를 이용하면 된다.

최후에 도13을 이용해서 도7의 동작을 메모리의 상태와 대응해서 설명한다. 도7의 실시예의 동작방법으로서 도8(a)와 (b)의 2개의 실시예를 먼저 나타냈다. 여기에서는, 도8(a)에 대응하는 실시예를 도13(a)에, 도8(b)에 대응하는 실시예를 도13(b)에 나타낸다. 도13(a)의 실시예에서는, 도7의 트랜지스터(MPR)의 소스전극(SPR)의 전위를, 고전위(여기서는 1V)로 설정한다. MPR의 게이트 전극(GPR)의 전위는, 동작시(Active)중의 판독동작 혹은 리프레시 동작(Refresh) 중의 판독동작에 있어서, 판독 비트선에 메모리셀의 정보를 판독할 때에는 1V로 하는 것은 물론이지만, 그 이외에 대기시(Standby)에 있어서도 1V로 한다. 이것에 의해, 대기시에는 프리차지용의 트랜지스터(MPR)는 오프상태가 된다. 또한, 대기상태에서는, 소스전극(S2)에 설치한 도3의 트랜지스터(MSW)의 게이트 전극(GSW)이 OV가 되어서 MSW가 오프한다. 이것에 의해 도8(a)에서 설명한 바와 같이 리크전류가 효과적으로 차단된다. 대기시에는 판독 비트선, 소스전극(S2) 모두 플로팅 상태가 되므로, 도13(a)에 나타낸 바와 같이 점차로 양자의 전위가 점근(漸近)한다(도에서는 예로서 0.3V라고 했다). 이와 같이 본 실시예에 의하면, 소스전극(S2)측과 프리차지 회로측의 트랜지스터를 병용해서 리크를 차단하므로 효과적인 대기전류의 저감이 가능해진다.

또, 판독동작 시마다, 판독 비트선의 전위는 프리차지 전위로부터 메모리셀에 축적된 정보에 의해 변동한다. 메모리셀의 축적노드의 전위가 고전위라면 저하하고, 저전위라면 저하하지 않는다. 도13(a), (b)에서는, 판독시마다 저하하는 예를 나타내고 있다. 또한, 이 판독 비트선(RBL)이 저하한 경우의 전위를 0.7V로 가정했지만, 이것은 일례로서 센스앰프 등의 설계에 의해 이것이 한정되는 것이 아니라는 것은 물론이다.

도13(b)의 실시예에서는, 도7의 트랜지스터(MPR)의 소스전극(SPR)의 전위를, 메모리가 동작상태 혹은 리프레시 상태에 있을 때에는 1V로 설정하고, 대기상태에 있을 때에는 OV로 설정한다. 이것에 의해, 트랜지스터(MPR)의 게이트 전극(GPR)이 OV로 되는 것에 의해 설정되는 판독 비트선(RBL)의 프리차지 전위는 동작상태, 리프레시 상태에서는 1V로 고전위가 된다. 한편 대기상태에서는, 게이트 전극(GPR)이 OV로 되면 소스전위(SPR)가 OV이기 때문에, 판독 비트선의 전위는 저하하고, p채널 트랜지스터(MPR)의 문턱치전압의 절대치(Vtp)의 레벨까지 저하하고, 그 후 OV를 향해서 천천히 저하한다. 이와 같이, 판독 비트선(RBL)의 전위가 거의 OV로 되면 판독 비트선(RBL)으로부터 메모리셀의 축적 트랜지스터의 소스전극에 흐르는 리크가 차단된다. 이와 같이 본 실시예에 의하면, 프리차지 회로측에 연구에 의해 리크를 차단할 수 있으므로, 메모리셀의 축적 트랜지스터의 소스전위의 배선이 어떠한 사정으로 곤란한 경우에 적합하다. 또, 상기에서 서술한 이외에도, 도8의 설명에 부수되어 기록한 바와 같이, SPR의 전위는 고전위로 유지하지만, 대기시에는 프리차지용의 트랜지스터(MPR)를 오프시켜서 프리차지를 행하지 않는 방법도 유효하고, 또한 MPR의 소스전극에 더 스위치를 설치해서 그 스위치로 리크를 차단하는 등 여러가지 변형이 가능한 것은 물론이지만, 지금까지의 실시예를 참고로 하면 구성은 용이하므로 설명은 생략한다.

지금까지 대기상태에서의 리크전류의 차단방법을 중심으로 실시예를 설명해 왔다. 다음에 판독동작에 필요한 참조전압의 발생방법에 관한 실시예에 대해서 서술한다. 본 발명은 주로 3트랜지스터 셀을 전제로 하고 있지만, 이 타입의 셀은, 판독 비트선이 1개이므로, 일반적인 차동형의 센스앰프를 이용해서 판독동작을 행하는 경우에는, 참조전압을 발생하는 회로가 필요하게 된다. 판독시에 센스앰프가 오동작하지 않기 위해서는, 참조전압은 선택된 셀의 내용이 0인 경우에 판독 비트선에 나타나는 신호전압과 1의 경우의 신호전압의 사이의 전압이 아니면 안된다. 차동형의 센스앰프는 통상 수10mV에서 수100mV의 신호를 검지하는 것이 가능하므로, 참조전압을 발생하는 회로에는, 발생전압의 변동을 억제할 연구가 필요하게 된다. 이하, 도14에서 17을 이용해서 참조전압을 고정밀도로 발생하는데 적합한 실시예를 나타낸다.

도14는, 참조전압을 발생하는 회로의 원리를 나타낸 실시예이다. 이 도면을 이용해서 동작원리를 설명하고, 도15 내지 도16을 이용해서 메모리 어레이에 적용하는 방법을 구체적으로 나타낸다. 또, 여기에서 서술하는 참조전압의 발생방법은, 지금까지 서술한 리크전류차단을 위한 실시예나, 기록 트랜지스터에 채널이 얇은 트랜지스터를 이용하는 실시예 등과 적절하게 조합시켜 사용할 수 있는 것은 물론이지만, 단독으로, 3트랜지스터형의 메모리셀 등과 조합시켜 사용해도, 고정밀도의 참조전압의 발생방법으로서 유효하다.

도14(a)에 있어서, DMC-H, DMC-L은, 1신호발생 더미셀과 0신호발생 더미셀이다. 이들의 더미셀의 레이아웃 및 더미셀을 구성하는 트랜지스터(MR1, MR2, MW)의 치수정수는 메모리셀의 것으로 될 수 있는 한 동일하게 한다. 또한, 판독 비트선(RBL1, RBL2) 및 도시하고 있지 않은 센스앰프에 접속되는 판독 비트선에 접속되는 메모리셀(MC)의 수를 동일하게 해서, 센스앰프에 접속되는 비트선의 용량을 동일하게 설계하는 것으로 한다. DWWL은 더미 기록 워드선이다. RBL1, RBL2는 판독 비트선이다. 판독 비트선(RBL1, RBL2)에는 각각 복수의 메모리셀과 차동형의 센스앰프 등이 접속되지만, 도14에서는 생략했다.

도14(b)를 이용해서 동작을 설명한다. 우선, 더미 기록 워드선(DWWL)을 상승시키는 것에 의해, 더미셀의 리프레시, D-REF를 행한다. 도14(a)로부터 알 수 있듯이, 더미 기록 워드선(DWWL)을 상승시키면 더미셀 내의 기록 트랜지스터(MW)가 온상태가 되고, 1신호발생 더미셀(MC-H)에는 고전압(VDH)이, 0신호발생 더미셀(DMC-L)에는 저전위(VDL)가 기록된다. 더미셀은 메모리셀과 같은 정수를 가지므로, 메모리셀과 동일한 주기로 리프레시를 행한다. 다음에 참조신호의 발생을 행하는 더미셀의 판독동작(D-READ)을 설명한다. 도14(b)에 나타낸 바와 같이, 더미 제어신호(DCTL)를 고전위로 상승시킨다. 이 결과, 트랜지스터(MD1, MD2)는 온상태로 되고, 판독 비트선(RBL1, RBL2)은 단락되며, 고전위로 유지되어 있는 트랜지스터(MPR)의 소스전극(SPR)로부터의 전류에 의해 동전위가 된다. 여기에서, SPR의 전위, 즉 프리차지 전위가 높은 경우에는, 트랜지스터(MD1, MD2)가 충분히 온하지 않은 경우도 있을 수 있지만, 그 경우에는, DCTL의 전위를 SPR보다 높은 전압으로 승압하거나, 혹은 P채널 트랜지스터를 사용하면 된다. P채널 트랜지스터를 이용하는 경우는 신호(DCTL)의 전위관계를 역전하는 것은 물론이다. 계속해서, 판독 비트선을 프리차지하기 위한 트랜지스터(MPR)의 게이트 전극(GPR)을 고전위로 하며 트랜지스터(MPR)를 오프상태로 하고, 더미 판독 워드선(DRWL)을 고전위로 상승시킨다. 이 결과, 단락되어 있는 판독 비트선(RBL1, RBL2)은 동시에 2개의 더미셀(DMC-H, DMC-L)로부터의 판독전류로 구동된다. 상기한 바와 같이 이들의 더미셀은 메모리셀(MC)과 동일한 치수정수, 레이아웃 형상을 하고 있다. 이 때문에, 1신호발생 더미셀(DMC-H)의 판독전류는, 1이 기억된 메모리셀(MC)로부터의 전류에 거의 동일하게 되며, 0신호발생 더미셀

(DMC-L)의 판독전류는, 0이 기억된 메모리셀(MC)로부터의 전류에 거의 동일하게 된다. 또 상기한 바와 같이, 판독 비트선(RBL1, RBL2)의 용량은, 도시하고 있지 않은 센스앰프의 한쪽의 입력에 접속되는 판독 비트선과 동일하게 되도록 설계되어 있으므로, 판독 비트선(RBL1, RBL2)에 생기는 전위 즉 참조전위는, 1이 판독되는 경우의 판독 비트선 전위(SIG1)와 0이 판독되는 경우의 판독 비트선 전위(SIG0)의 중간전위가 된다. 본 실시예에서는 더미셀로서 메모리셀(MC)과 동일 치수정수와 동일 레이아웃 형상의 것을 사용하기 위해서, 트랜지스터의 제조 프로세스의 변동 등으로 본 실시예를 사용하는 칩상의 메모리셀(MC)의 특성이 변동해도, 더미셀의 판독신호도 동일하게 변동하므로 매우 안정한 판독동작을 기대할 수 있다.

도15는, 상기 실시예의 원리에 의거해서 메모리셀 어레이를 구성한 실시예이다. MC는 지금까지 실시예에서 설명한 3트랜지스터형의 메모리셀이다. 또, 도면이 번잡해지는 것을 피하기 위해서, 기록 워드선이나 기록 비트선, 기록 트랜지스터의 소스전극(S2)의 배선, 리크전류 차단회로(LC), 디코더, 입출력 회로, 판독 비트선의 프리차지용의 회로 등을 생략했지만, 이들은 지금까지 설명한 실시예를 참조하면, 용이하게 구성할 수 있다. 또, 더미셀에 관해서도 메모리셀과 같이 리크전류차단의 수단을 적용할 수 있는 것은 물론이다. 도15에 있어서는, 판독용의 센스앰프(RSA1, RSA2, …RSA_n)를 끼워서 도면의 상(上)과 하(下)에 메모리 어레이를 구성하고 있다. 상의 어레이와 하의 어레이를 구별하기 위해서, 메모리셀(MC) 이외에는 첨자 a와 b를 붙인다. 또 DMC-La, DMC-Lb는, 도14의 실시예에서 설명한 0신호발생 더미셀이며, DMC-Ha, DMC-Hb은 도14의 실시예에서 설명한 1신호발생 더미셀이다. 도면에 나타낸 바와 같이 이들의 더미셀은 이웃하는 비트선에 교대로 0신호발생 더미셀과 1신호발생 더미셀이 나란히 배치되어 있다. 즉, 개개의 메모리 어레이에서 n/2개(n은 판독 비트선의 개수)씩 0신호발생 더미셀과 1신호발생 더미셀이 있다.

이하, 본 실시예에 있어서의 판독동작을 설명한다.

본 실시예에서는, 센스앰프에 대하여 도면상에서 상측에 있는 메모리셀을 선택할 때에는 도면의 하측에 있는 더미셀(DMC-Lb, DMC-Hb)을 동작시켜서 참조전압을 발생하고, 도면상에서 하측에 있는 메모리셀을 선택할 때에는 도면의 상측에 있는 더미셀(DMC-La, DMC-Ha)을 동작시켜서 참조전압을 발생한다. 예로서, 판독 워드선(RWL-a1)에 접속되어 있는 메모리셀(MC)을 선택하는 경우에 대해서 설명한다. 기본적인 동작은 도14(b)에 나타낸 순서로 행한다. 우선, 판독 비트선의 프리차지용의 트랜지스터(MPR)(도15에는 도시하고 있지 않다)가 온상태에 있을 때에 더미 제어신호(DCTL-b)를 상승시켜 판독 비트선(RBL-b₁, …, RBL-b_n)을 단락한다. 그 다음에, 도시하고 있지 않은 프리차지용의 트랜지스터(MPR)를 오프상태로 하고 나서 판독 워드선(RWL-a1)과 더미 판독 워드선(DRWL-b)을 선택하고, 고전위로 상승시킨다. 이 결과, 도면의 상측의 메모리셀 어레이의 판독 비트선(RBL-a₁, …, RBL-a_n)에는, 각각의 판독 비트선에 접속된 메모리셀에 기억되어 있는 정보를 따라, 전위변화가 나타난다. 메모리셀의 정보가 1인 경우는 도14(b)의 SIG1, 0인 경우는 SIG0과 같은 전위변화가 된다. 한편, 하측의 메모리셀 어레이에서는, n/2개의 1신호발생 더미셀(DMC-Hb)과 n/2개의 0신호발생 더미셀(DMC-Lb)에 의해, 단락된 판독 비트선이 구동되어 참조전위가 발생한다. 1신호발생 더미셀(DMC-Hb)과 0신호발생 더미셀(DMC-Lb)의 수가 같으므로, 참조전압은 1이 기억된 메모리셀(MC)로부터의 판독신호(판독 비트선의 전위변화)와 0이 기억된 메모리셀(MC)로부터의 판독신호와의 중간의 전위가 된다. 이 결과, 각각의 판독용의 센스앰프에는, 상의 메모리셀 어레이로부터의 메모리셀의 판독신호와 하의 메모리셀 어레이로부터의 참조전압이 입력되어 증폭되고, 그 전위차가 증폭되어서, 도시하고 있지 않은 입출력 회로를 통해서 외부로 판독된다. 판독 동작 사이클의 최후에는, 판독 워드선(RWL-a1)과 더미 판독 워드선(DRWL-b)의 전위를 저전위로 내리고, 판독 비트선을 프리차지 하고 나서, 더미 제어신호(DCTL-b)의 전위를 저전위로 내린다. 본 실시예에서는, n/2개씩의 더미셀을 이용해서 참조전압을 발생하고 있다. 여기서 n은 판독 비트선의 수이며, 통상의 설계에서는 수10에서 수1000 정도로 된다. 이 때문에 개개의 더미셀의 변동의 영향을 작게 할 수가 있고, 보다 안정한 판독동작을 기대할 수 있다. 더미셀의 전류의 변동을 가우스 분포라고 하면, 그 변동은 더미셀의 수의 평방근($\sqrt{n/2}$)에 반비례해서 감소하는 것을 기대할 수 있다. 또, 상기에서는 0신호발생 더미셀과 1신호발생 더미셀의 수를 동일하게 했지만, 메모리셀의 리텐션 특성에 따라서는, 0신호(SIG0)인지 1신호(SIG1) 어느쪽인지의 판독의 마진을 여분으로 취하는 것이 바람직할 경우도 있을 수 있다. 그러한 경우에는, 필요에 따라서 1신호발생 더미셀과 0신호발생 더미셀의 수를 바꾸는 것에 의해 참조전위의 값을 조정할 수 있다. 이 경우도 n이 크므로, 미묘한 조정이 가능하게 된다는 이점이 있다. 도15의 실시예는, 소위 1교점형의 구성의 예이지만, 판독 동작시에 판독 워드선과 더미 판독 워드선이 동시에 상승하므로, 센스앰프에 입력되는 2개의 판독 비트선에 동상이고 또 거의 같은 량의 노이즈가 실린다. 이 때문에, 판독시의 노이즈에 의한 악영향을 피할 수 있다는 이점도 있다. 그러나, 경우에 따라서는 또 노이즈의 영향을 작게 하거나, 레이아웃의 사정으로 소위 2교점의 구성이 바람직한 경우도 있다. 그 경우는 도16의 실시예에 나타낸 구성으로 하면 된다. 본 도면에서는, 센스앰프의 좌측에 입력되는 판독 비트선이나 그것에 접속되는 더미셀 등에는 첨자 c를, 센스앰프의 우측에 입력되는 판독 비트선이나 그것에 접속되는 더미셀 등에는 첨자 d를 붙여서 나타내고 있다. 도15의 설명에서 용이하게 유추할 수 있도록 센스앰프의 좌측에 입력되는 판독 비트선에 접속된 메모리셀을 선택하는 경우는, 센스앰프의 우측에 입력되는 판독 비트선에 접속된 더미셀의 더미 워드선, 더미 제어신호(DCTLd)를 구동하고, 반대로, 센스앰프의 우측에 입력되는 판독 비트선에 접속된 메모리셀을 선택하는 경우는, 센스앰프의 좌측에 입력되는 판독 비트선에 접속된 더미셀의 더미 워드선, 더미 제어신호(DCTLc)를 구동한다. 본 실시예의 특징은, 판독 워드선과 더미 판독 워드선이, 모든 판독

비트선과 교차하고 있는 점이다. 따라서, 판독 워드선, 더미 판독 워드선의 전위변화에 따라 판독 비트선에 실린 노이즈는 동일량이 된다. 상기한 바와 같이 앞선 1교점의 실시예라도 센스앰프에 입력되는 판독 비트선에 실린 노이즈는 거의 같게 할 수 있지만, 판독 비트선을 구성하는 배선의 저항이 큰 경우 등에서는 센스앰프로부터, 선택된 판독 워드선까지의 거리와 센스앰프로부터 더미 판독 워드선까지의 거리의 차이에 의해, 노이즈의 량에 미묘한 차이가 생길 경우도 있을 수 있다. 그러한 것이 문제가 되는 경우에는, 본 실시예가 유효하다.

도17은, 리프레시에 따른 전력을 삭감하는데 적합한 실시예이다. 메모리셀의 소스에 흐르는 리크전류를 차단함으로써 대기시의 전류를 삭감할 수 있는 실시예는 이미 소개했다. 3트랜지스터 셀은 다이내믹 셀이므로 리프레시가 필요하다. 따라서 소스 전류의 삭감에 대해서 리프레시에 따른 전력을 삭감할 수 있으면 매우 대기전력이 낮은 메모리를 실현할 수 있다. 도9, 10의 실시예에서 설명한 바와 같이, 기록 트랜지스터에 채널이 얇은 트랜지스터를 이용하는 것에 의해 리텐션 시간을 개선할 수 있다. 본 실시예는, 또 리프레시의 전력을 삭감하기 위해서 적합한 방법이다. 본 실시예에서는 비트선을 분할하는 것에 의해 리프레시에 따른 충방전 전류를 삭감한다. 단, 3트랜지스터 셀에서는, 1트랜지스터 셀과 달리, 리프레시 때문에 판독동작과 기록동작을 행할 필요가 있다. 그 때문에, 이하에 서술한 바와 같이, 센스회로 등에 연구가 필요하게 된다.

도17에 있어서, $LBLKi-j$ (첨자 i, j는 각각 1부터 q, 1부터 m의 정수)는 로컬블록이며, 내부에 로컬 판독 비트선($LRBLi-j$)과 로컬 기록 비트선($LwBLi-j$)과 그것에 접속된 p개의 메모리셀(MC) 및 로컬 센스앰프(LSA)나 로컬 비트선을 프리차지하기 위한 MOS트랜지스터(MPR, MPW) 등을 구비하고 있다. 상기 로컬 블록($LBLKi-j$)은 2차원 모양으로 배치되고, 글로벌 판독 비트선($GRBL1 \dots, GRBLm$), 글로벌 기록 비트선($GWBL1 \dots, GWBLm$) 및 판독 워드선($RWLj-j$), 기록 워드선($WWLi-j$)(첨자 i, j는 각각 1부터 q, 1로부터 p의 정수) 등에 의해 도시한 바와 같이 접속되어 있다. LCTL은 로컬 제어회로이다. 후술하는 바와 같이 이 회로는 판독, 기록, 리프레시의 각 동작에 따라 데이터의 흐름을 제어하기 위한 것이다. 또 상기 로컬 센스앰프(LSA)는, 입출력이 반전관계에 있는 인버터로 구성되며, 전원단자(Cj)(첨자 j는 1부터 q의 정수)의 전위가 고전위가 되면 활성화된다. 또한 도면을 번잡하게 하지 않기 위해서 소스전극(S2) 등의 접속배선이나 상기 프리차지용의 MOS 트랜지스터의 게이트 전극의 접속을 나타내는 선은 생략하고 있다. 글로벌 비트선의 일단에 있는 MRSAs, MWA는 각각 메인 판독 센스앰프, 메인 기록 앰프이며, 글로벌 판독 비트선상에 판독된 신호를 메모리 어레이 밖에 출력하는 회로와 글로벌 기록 비트선에 기록 데이터를 출력하기 위한 회로이다. 또 본 도면에서는 디코더나 공통 입출력선 등은 생략하고 있다. 이하, 도18을 이용해서 본 실시예의 동작을 로컬 제어회로(LCTL)의 동작을 중심으로 설명한다. 도18에는, 판독(Read), 기록(Write), 리프레시(Refresh)의 각 동작에서의 주된 부분의 동작파형을 나타내고 있다. 또, 상기의 실시예와 같이 횡축은 시간의 추이이며, 종축은 전위의 변화를 나타내고 있다. 여기에서는, 로컬블록($LBLkj-k$)(첨자 k는 1부터 m의 정수)에서의 i번째의 판독, 기록 워드선에 접속된 메모리셀의 동작을 예로 해서 나타내고 있다. 메모리 어레이의 성질로부터, 동일 워드선상의 셀은 병렬로 선택된다. 또, 실제의 동작에서는 전위의 변화는 본 도면과 같이 구형(矩形)이 아니라 상승, 하강에 유한한 시간을 요하고, 모서리도 매끄러워지지만, 여기에서는 이해를 쉽게 하기 위해서 구형으로 나타냈다. 또 전위의 변화도 고전위(High), 저전위(Low)의 차이만을 나타내고 있다. 구체적인 전압레벨은 나타내고 있지 않지만, 예를 들면, nMOS 트랜지스터의 게이트에 인가되는 전압에서는, 그 고전위 레벨을 소스전위의 최대치로, 문턱치전압을 가산한 전압 이상으로 설정하는 등 필요에 따라서 개개에 최적화하는 것은 물론이다.

우선, 판독동작(Read)부터 설명한다. 도18에 나타낸 바와 같이 단자($GPRj$)를 고전위로 해서 프리차지용의 pMOS 트랜지스터(MPR)를 오프하고, 판독 워드선($RWLj-i$)을 고전위로 하면, 로컬 판독 비트선($LRBLj-k$)(첨자 k는 1로부터 m의 정수)에 메모리셀(MC)에서 신호가 판독된다. 선택된 메모리셀(MC)의 축적노드의 전위가 고전위라면 로컬 비트선의 전위는 저하하고, 축적노드의 전위가 저전위라면 프리차지 전위인채 고전위가 유지된다. 도면에서는 전자의 예를 '1', 후자의 예를 '0'으로 나타냈다. 계속해서 단자(Cj 와 Rj)의 전위를 고전위로 하는 것에 의해, 로컬 센스앰프(LSA)를 활성화하고, 트랜지스터(MRa)를 온시킨다. 그 결과, 로컬 센스앰프(LSA)에 의해 반전된 신호가 트랜지스터(MRb)의 게이트에 전해진다. 로컬 판독 비트선의 전위가 저전위인 경우는, 로컬 센스앰프의 출력은 고전위가 되어 트랜지스터(MRb)가 온한다. 이 결과, 글로벌 판독 비트선($GRBLk$)(첨자 k는 1부터 m의 정수)의 전위가 저전위가 된다. 반대로 로컬 비트선의 전위가 고전위인 경우는, 로컬 센스앰프의 출력은 저전위가 되어 트랜지스터(MRb)가 오프한다. 이 경우는, 글로벌 판독 비트선($GRBLk$)(첨자 k는 1부터 m의 정수)의 전위는 프리차지 전위(고전위)인 채로 변화되지 않는다(도17에서는, 글로벌 판독 비트선의 프리차지 회로는 생략하고 있다). 이와 같이 하여 생기는 글로벌 비트선의 전위변화를 메인 판독 센스앰프(MRSA)에서 검지증폭하고, 메모리 어레이 밖으로 판독한다.

계속해서, 기록동작(Write)에 대해서 설명한다. 단자($GPWj$)를 고전위로 해서 프리차지용의 pMOS 트랜지스터(MPW)를 오프하고, 기록 워드선($WWLj-i$) 및 단자(Wj)의 전위를 고전위로 한다. 이 결과, 메모리셀의 기록 트랜지스터(도17에서는 생략)와 트랜지스터(MWb)가 온하고, 글로벌 기록 비트선($GWBLj-k$)(첨자 k는 1부터 m의 정수)에 기록앰프(WA)에 의해 설정된 전위가, 로컬 기록 비트선($LWBLj-k$)(첨자 k는 1부터 m의 정수)을 전해서 메모리셀에 기록된다.

최후에 리프레시 동작에 대해서 설명한다. 리프레시는 로컬 판독 비트선에 판독한 정보를 로컬 센스앰프에 의해 반전하고, 로컬 기록 비트선을 통해서 메모리셀(MC)에 되돌려 씀으로써 달성한다. 우선, 단자(GPRj)를 고전위로 해서 프리차지 용의 pMOS 트랜지스터(MPR)를 오프하고, 판독 워드선(RWLj-i)을 고전위로 하면, 로컬 판독 비트선(LRBLj-k)(첨자 k는 1부터 m의 정수)에 메모리셀(MC)에서 신호가 판독된다. 이 때, 상기한 판독동작과 달리 단자(Rj)의 전위는 저전위인채로 해 둔다. 이 상태에서 로컬 센스앰프(LSA)의 입력전압은 메모리셀에 축적된 정보에 따른 전압으로 설정된다. 계속해서 메모리셀에 되돌려 쓰는 동작에 들어 간다. 단자(GPRj)를 고전위로 유지하고, 프리차지용의 트랜지스터(MPR)를 오프로 한채, 단자(GPWj)의 전위를 고전위로 해서, 로컬 기록 비트선용의 프리차지 트랜지스터(MPW)를 오프하고, 단자(Cj, Fj) 및 기록 워드선(WWLj-i)의 전위를 고전위로 한다. 이 결과, 로컬 센스앰프가 활성화되며, 트랜지스터(MWa)를 통해서 로컬 판독 비트선(LRBLj-k)(첨자 k는 1부터 m의 정수)의 전위가 반전되어 로컬 기록 비트선(LWBLj-k)(첨자 k는 1부터 m의 정수)에 전달되어 메모리셀(MC)에 기록된다. 이러한 동작을, 모든 메모리셀에 대해서 리텐션 시간내에 행하면 된다. 또, 도15, 16의 실시예에서는, 차동형의 센스앰프와 더미셀을 이용했다. 같은 회로를 도17의 실시예에서의 로컬 센스앰프에 적용하는 것도, 물론 가능하지만, 도17의 실시예에서는, 차동형이 아닌 입력이 1개인 것을 이용했다. 이 경우, 판독 비트선의 전위가 인버터 회로의 논리 문턱치보다 내려가면 출력이 변화하므로, 더미셀을 이용할 필요가 없다. 또한, 로컬 센스앰프의 출력이 크게 얻어지므로, 리프레시시에 로컬 센스앰프에서 직접 로컬 기록 비트선을 구동할 수 있다. 따라서, 로컬 센스앰프 부분의 점유면적을 작게 할 수 있다는 이점이 있다. 도17과 같이 비트선을 분할하는 경우에는 면적의 증가가 문제가 되는 경우가 있으므로, 그러한 경우에는, 이러한 로컬 센스앰프가 바람직하다. 또, 상기 논리 문턱치는 인버터를 구성하는 트랜지스터의 정수나 문턱치를 바꾸는 것으로 용이하게 변경가능하다. 예를 들면, 상기 실시예에서는 로컬 비트선을 고전위로 프리차지 하므로, 논리 문턱치를 높게 설정하면 속도의 점에서 유리하게 된다.

이상 설명한 바와 같이, 도17, 18에 나타낸 실시예에 의하면, 비트선을 분할한 메모리셀 어레이에 있어서, 판독, 기록, 리프레시 동작을 행할 수 있다. 메모리의 소비전류는, 구동하는 비트선의 용량이 작을수록 삭감할 수 있으므로, 본 실시예에 의하면 저소비 전력의 메모리를 실현할 수 있다. 특히, 로컬 비트선만을 구동함으로써 리프레시 동작이 가능해지므로, 대기전류의 삭감에 유효하다. 본 실시예는, 3트랜지스터형의 메모리셀 등을 이용한 메모리에 단독으로 사용해도, 리프레시 시의 소비전류 삭감의 효과를 얻을 수 있는 것은 물론이지만, 지금까지 서술한 리크전류 삭감을 위한 실시예와의 조합시키는 것에 의해, 대기전류를 대폭 삭감할 수 있다.

예컨대, 도9(a), (b)에서 메모리셀의 리텐션을 향상하기 위해서 기록 트랜지스터에 박막채널의 것을 사용하는 실시예를 서술했다. 이들의 실시예와 조합시키면, 리프레시를 행하는 빈도가 감소하므로, 도17, 18의 실시예에 의한 리프레시시에 구동하는 비트선 용량의 삭감효과와 합쳐, 리프레시에 의한 소비전류를 매우 작게 하는 것이 가능해진다. 또한, 도1부터 도8 등의 도면에서 설명한 3트랜지스터 셀의 소스전극과 판독 비트선 사이에 흐르는 리크전류를 삭감하는 실시예와 조합시키면 리프레시 이외의 대기전류의 성분이 삭감되므로, 대기전류가 적은 메모리를 실현할 수 있다. 물론, 상기한 리텐션 향상을 위한 실시예와, 판독 비트선과 소스전극간의 리크전류방지를 위한 실시예와 도17, 18의 실시예의 3개를 동시에 조합시키는 것도 물론 가능하다. 그 경우에는 대기전력이 극단적으로 작은 메모리를 실현할 수가 있다.

발명의 효과

본 발명에서는, 3트랜지스터 메모리셀로 구성되는 메모리를 포함하는 반도체 집적회로에 있어서, 그 대기상태에서의 전력을 대폭 삭감하는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

게이트 용량에 전하를 축적하는 축적 트랜지스터와, 상기 축적 트랜지스터의 게이트 전극에 기록 비트선으로부터 전하를 기록하기 위한 기록 트랜지스터와, 판독 비트선과 축적 트랜지스터의 드레인과의 도통을 제어하기 위한 선택 트랜지스터로 이루어지는 메모리셀과,

상기 축적 트랜지스터의 소스전극과 전원과의 사이에 스위칭 소자를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 2.

제 1 항에 있어서,

제1방향으로 연장되는 복수의 기록 워드선과,

상기 제1방향으로 연장되는 복수의 판독 워드선과,

제1방향과 교차하는 제2방향으로 연장되는 복수의 판독 비트선과,

상기 제2방향으로 연장되는 복수의 기록 비트선을 더 구비하고,

상기 메모리셀은 복수이며, 상기 복수의 메모리셀의 상기 기록 트랜지스터의 게이트는 상기 복수의 기록 워드선에 접속되고, 상기 기록 트랜지스터의 소스·드레인의 한쪽은 상기 복수의 기록 비트선에 접속되며, 상기 선택 트랜지스터의 게이트는 복수의 판독 워드선에 접속되고, 상기 선택 트랜지스터의 소스·드레인의 한쪽은 상기 복수의 판독 비트선에 접속되며, 상기 기록 트랜지스터의 소스·드레인의 다른쪽은 각각 상기 축적 트랜지스터의 게이트 전극과 접속되고, 상기 축적 트랜지스터의 드레인은 각각 상기 선택 트랜지스터의 소스·드레인의 다른쪽과 접속되는 것을 특징으로 하는 반도체 집적회로.

청구항 3.

제 2 항에 있어서,

상기 기록 트랜지스터의 채널영역은, 막두께가 5nm정도 이하의 막으로 형성되며, 상기 기록 트랜지스터의 게이트 전극을 절연막을 통해서 둘러싸도록 형성되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 4.

제 3 항에 있어서,

상기 기록 트랜지스터의 소스·드레인 경로는, 상기 축적 트랜지스터의 소스·드레인 경로가 형성되는 방향과 수직한 방향으로 형성되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 5.

제 3 항에 있어서,

상기 스위칭 소자는, 전원전위와 상기 축적 트랜지스터의 소스전극과의 사이에 소스·드레인 경로를 가지는 N채널형 MOS 트랜지스터를 구비하고, 상기 축적 트랜지스터의 소스전극을 제1상태에서는 플로팅상태, 제2상태에서는 전위가 전원전위가 되도록 제어하는 것을 특징으로 하는 반도체 집적회로.

청구항 6.

제 2 항에 있어서,

상기 스위칭 소자는, 상기 복수의 기록 비트선과 복수의 기록 워드선과 접속된 복수의 메모리셀에 공통으로 설치되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 7.

게이트 용량에 전하를 축적하는 축적 트랜지스터와, 상기 축적 트랜지스터의 게이트 전극에 기록 비트선으로부터 전하를 기록하기 위한 기록 트랜지스터와, 판독 비트선과 축적 트랜지스터의 드레인과의 도통을 제어하기 위한 선택 트랜지스터로 이루어지는 메모리셀을 포함하여 구성되는 반도체 집적회로에 있어서,

상기 축적 트랜지스터의 소스전극의 전위를 상기 반도체 집적회로가 동작상태에 있는 때와 대기상태에 있는 때로 변화시키는 제1회로를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 8.

제 7 항에 있어서,

제1방향으로 연장되는 복수의 기록 워드선과,

상기 제1방향으로 연장되는 복수의 판독 워드선과,

제1방향과 교차하는 제2방향으로 연장되는 복수의 판독 비트선과,

상기 제2방향으로 연장되는 복수의 기록 비트선을 더 구비하고,

상기 메모리셀은 복수이며, 상기 복수의 메모리셀의 상기 기록 트랜지스터의 게이트는 상기 복수의 기록 워드선에 접속되고, 상기 기록 트랜지스터의 소스·드레인의 한쪽은 상기 복수의 기록 비트선에 접속되며, 상기 선택 트랜지스터의 게이트는 복수의 판독 워드선에 접속되고, 상기 선택 트랜지스터의 소스·드레인의 한쪽은 상기 복수의 판독 비트선에 접속되며, 상기 기록 트랜지스터의 소스·드레인의 다른쪽은 각각 상기 축적 트랜지스터의 게이트 전극과 접속되고, 상기 축적 트랜지스터의 드레인은 각각 상기 선택 트랜지스터의 소스·드레인의 다른쪽과 접속되는 것을 특징으로 하는 반도체 집적회로.

청구항 9.

제 8 항에 있어서,

상기 기록 트랜지스터의 채널영역은, 막두께가 5nm정도 이하의 막으로 형성되며, 상기 기록 트랜지스터의 게이트 전극을 절연막을 통해서 둘러싸도록 형성되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 10.

제 9 항에 있어서,

상기 기록 트랜지스터의 소스·드레인 경로는, 상기 축적 트랜지스터의 소스·드레인 경로가 형성되는 방향과 수직한 방향으로 형성되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 11.

제 8 항에 있어서,

상기 제1회로는, 전원전위와 상기 축적 트랜지스터의 소스전극과의 사이에 소스·드레인 경로를 가지는 N채널형 MOS 트랜지스터를 구비하고, 상기 축적 트랜지스터의 소스전극을 제1상태에서는 플로팅상태, 제2상태에서는 전위가 전원전위가 되도록 제어하는 것을 특징으로 하는 반도체 집적회로.

청구항 12.

제 11 항에 있어서,

상기 제1회로는, 상기 복수의 기록 비트선과 복수의 기록 워드선과 접속된 복수의 메모리셀에 공통으로 설치되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 13.

케이트 용량에 전하를 축적하는 축적 트랜지스터와, 상기 축적 트랜지스터의 케이트 전극에 기록 비트선으로부터 전하를 기록하기 위한 기록 트랜지스터와, 판독 비트선과 축적 트랜지스터의 드레인과의 도통을 제어하기 위한 선택 트랜지스터로 이루어지는 메모리셀을 포함하여 구성되는 반도체 집적회로에 있어서,

판독 비트선을 소망의 전위로 하기 위한 프리차지 트랜지스터를 구비하고,

상기 프리차지 트랜지스터의 드레인, 혹은 소스전극이 판독 비트선에 접속되고, 타단의 소스 혹은 드레인 전극의 전위를 상기 반도체 집적회로가 동작상태에 있는 경우와 대기상태에 있는 경우로 변화시키는 것을 특징으로 하는 반도체 집적회로.

청구항 14.

제 13 항에 있어서,

제1방향으로 연장되는 복수의 기록 워드선과,

상기 제1방향으로 연장되는 복수의 판독 워드선과,

제1방향과 교차하는 제2방향으로 연장되는 복수의 판독 비트선과,

상기 제2방향으로 연장되는 복수의 기록 비트선과,

상기 복수의 판독 워드선과 상기 복수의 기록 워드선을 선택하는 X디코더와,

상기 복수의 판독 비트선과 상기 복수의 기록 비트선을 선택하는 Y디코더를 더 구비하고,

상기 메모리셀은 복수이며, 상기 복수의 메모리셀의 상기 기록 트랜지스터의 케이트는 상기 복수의 기록 워드선에 접속되고, 상기 기록 트랜지스터의 소스·드레인의 한쪽은 상기 복수의 기록 비트선에 접속되며, 상기 선택 트랜지스터의 케이트는 복수의 판독 워드선에 접속되고, 상기 선택 트랜지스터의 소스·드레인의 한쪽은 상기 복수의 판독 비트선에 접속되며, 상기 기록 트랜지스터의 소스·드레인의 다른쪽은 각각 상기 축적 트랜지스터의 케이트 전극과 접속되고, 상기 축적 트랜지스터의 드레인은 각각 상기 선택 트랜지스터의 소스·드레인의 다른쪽과 접속되는 것을 특징으로 하는 반도체 집적회로.

청구항 15.

제 14 항에 있어서,

상기 기록 트랜지스터의 채널영역은, 막두께가 5nm정도 이하의 막으로 형성되며, 상기 기록 트랜지스터의 게이트 전극을 절연막을 통해서 둘러싸도록 형성되어 있는 것을 특징으로 하는 반도체 집적회로.

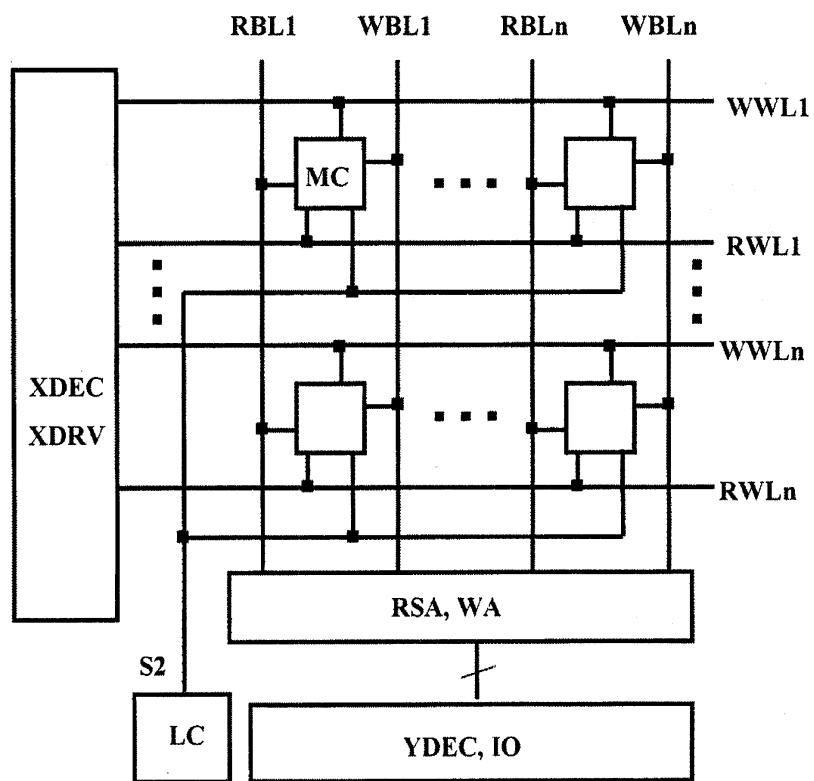
청구항 16.

제 15 항에 있어서,

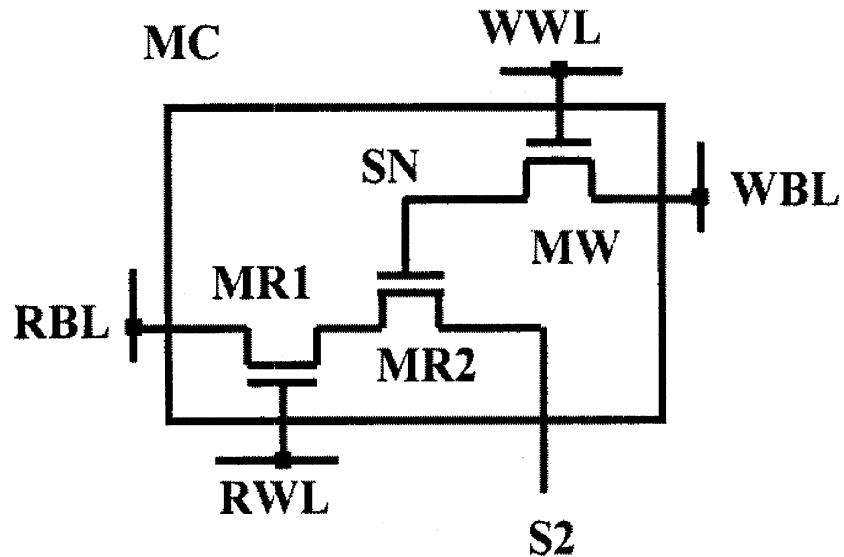
상기 기록 트랜지스터의 소스·드레인 경로는, 상기 축적 트랜지스터의 소스·드레인 경로가 형성되는 방향과 수직한 방향으로 형성되어 있는 것을 특징으로 하는 반도체 집적회로.

도면

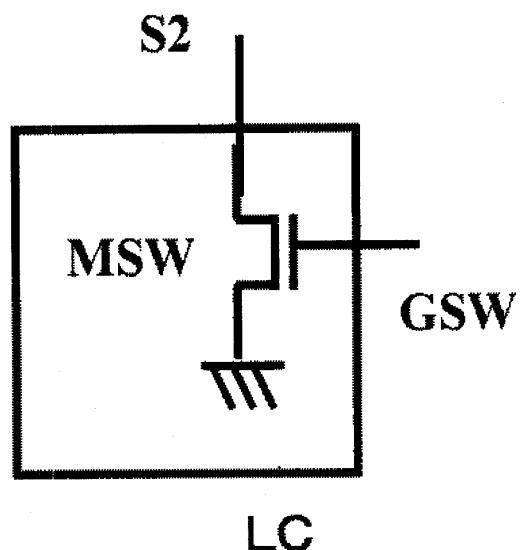
도면1



도면2

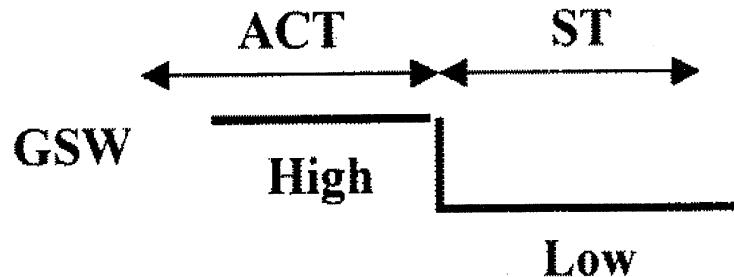


도면3

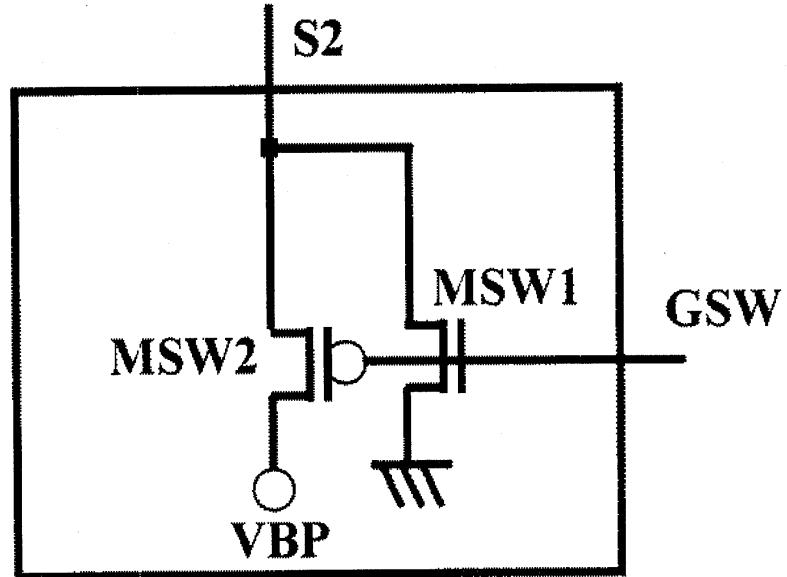


LC

도면4

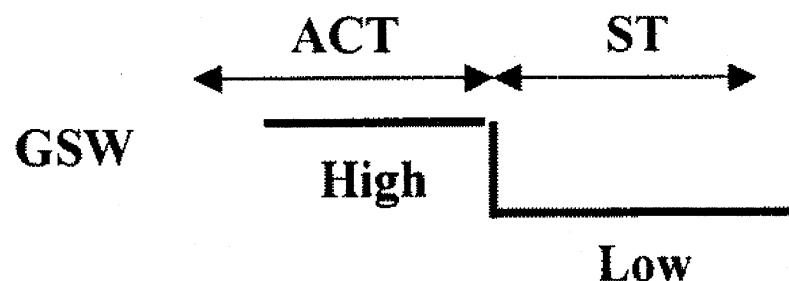


도면5



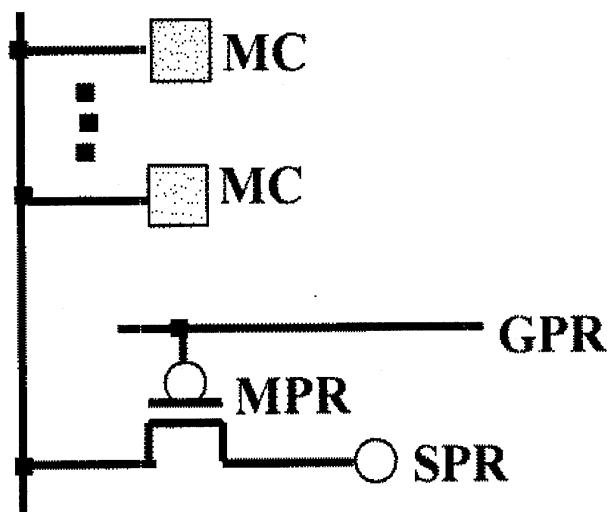
LC

도면6

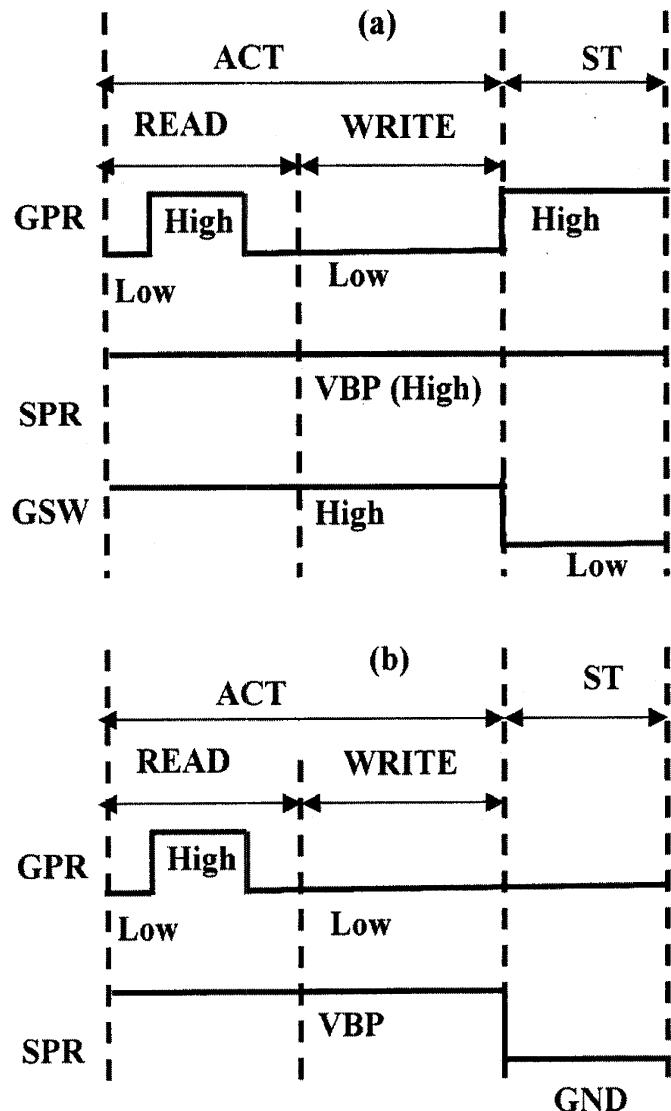


도면7

RBL

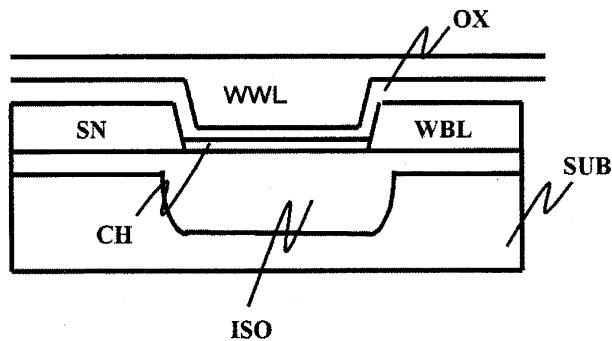


도면8

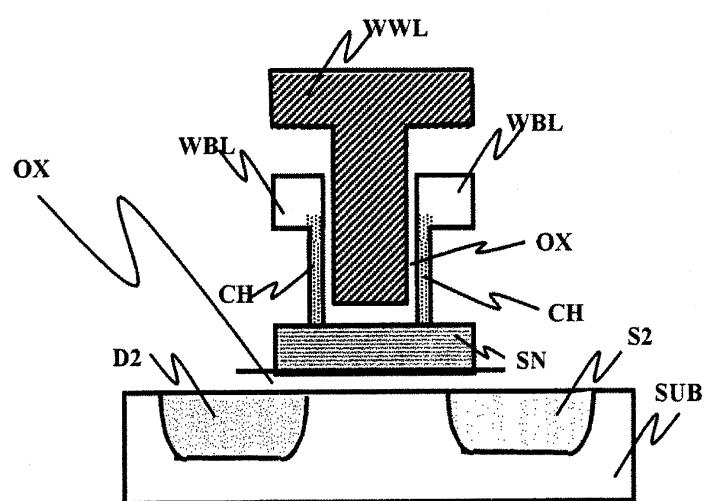


도면9

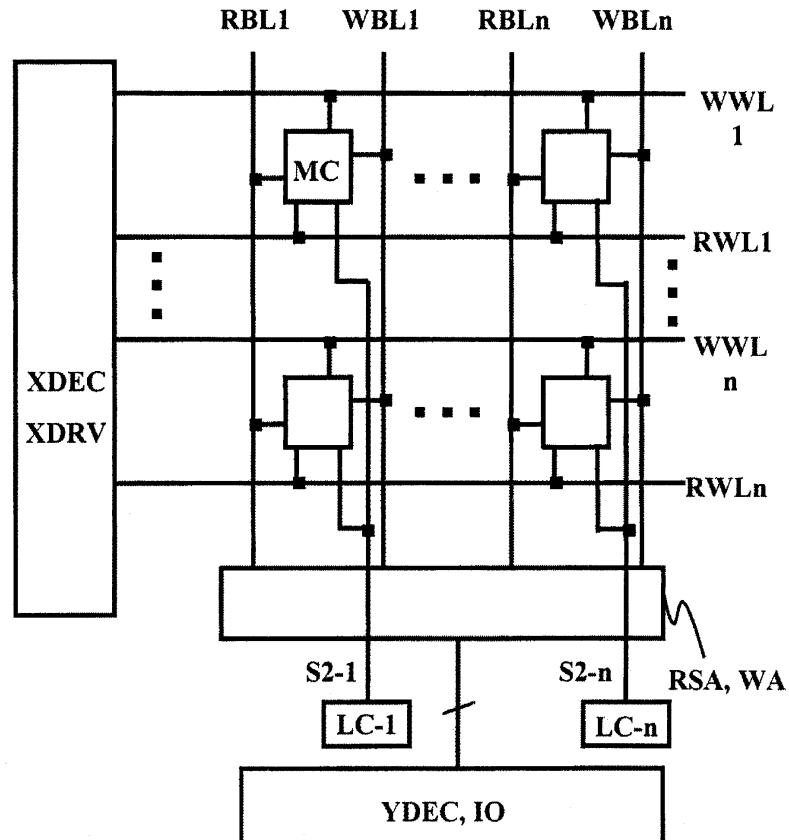
(a)



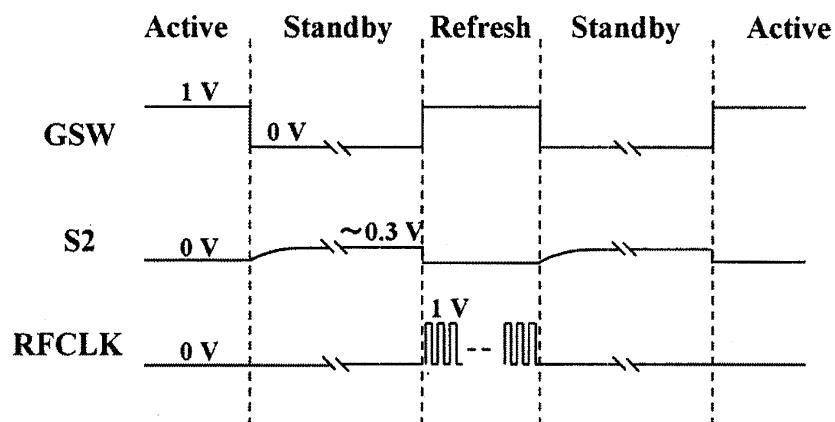
(b)



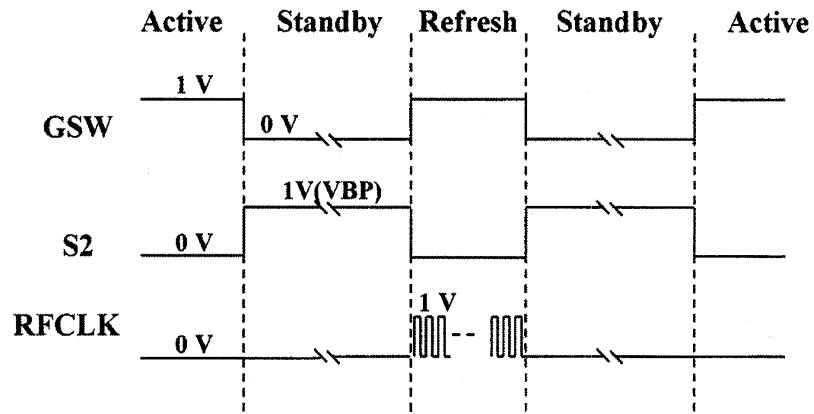
도면10



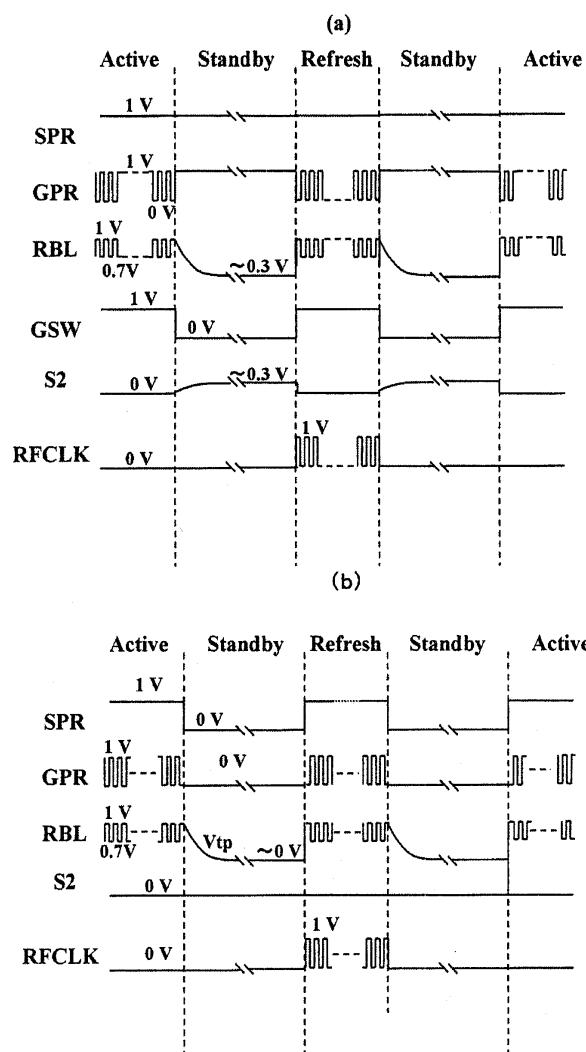
도면11



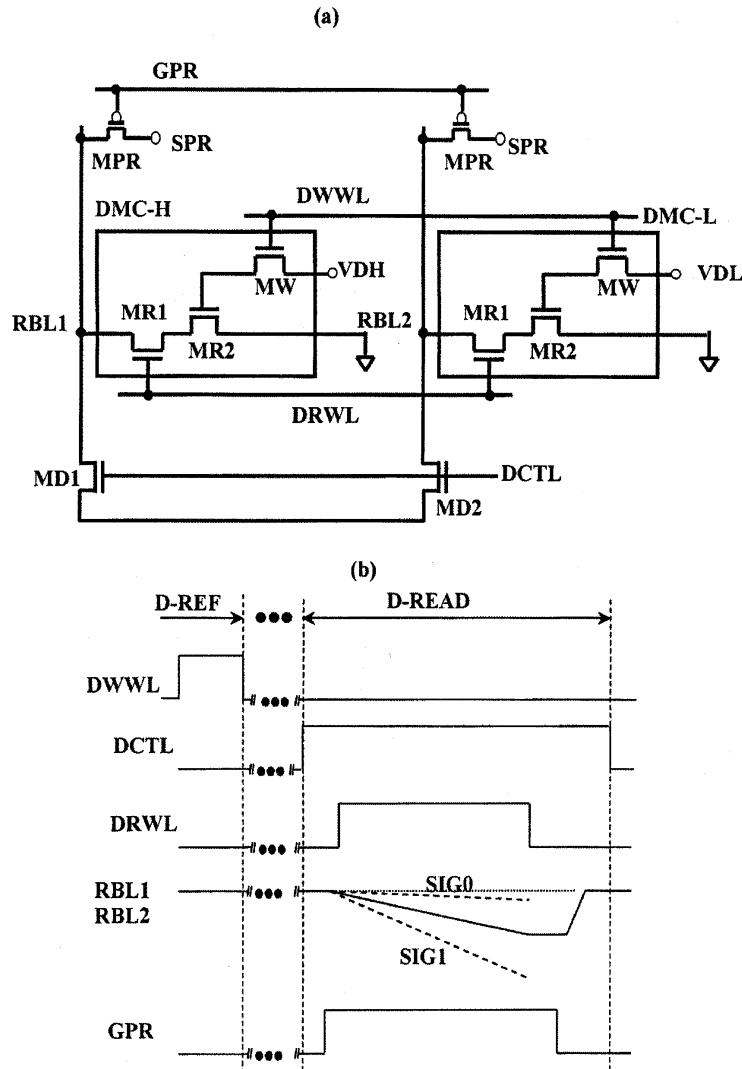
도면12



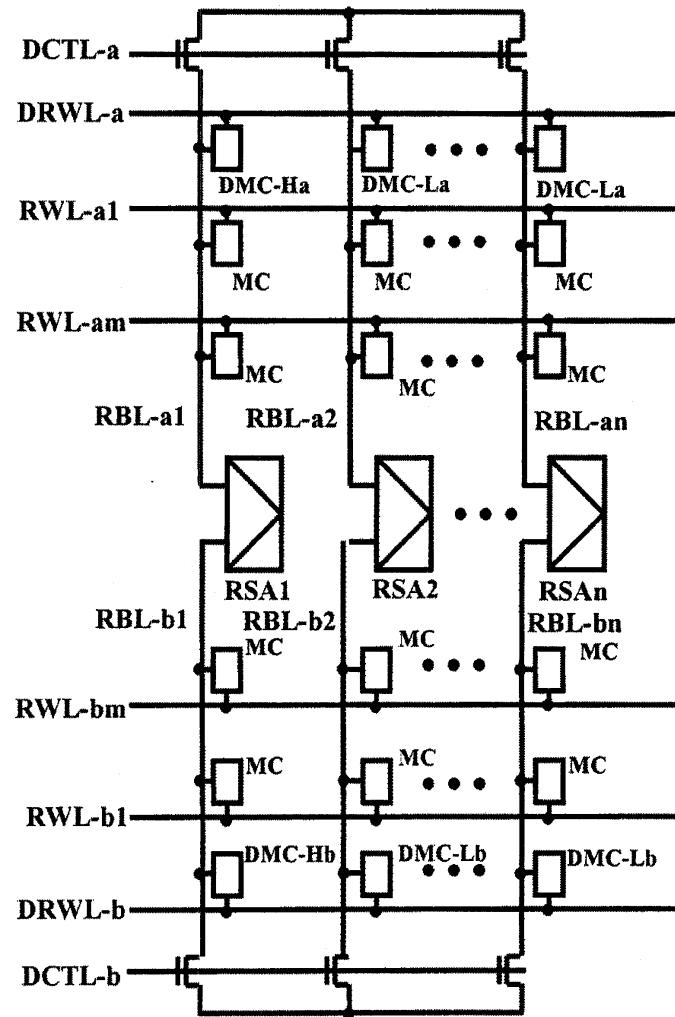
도면13



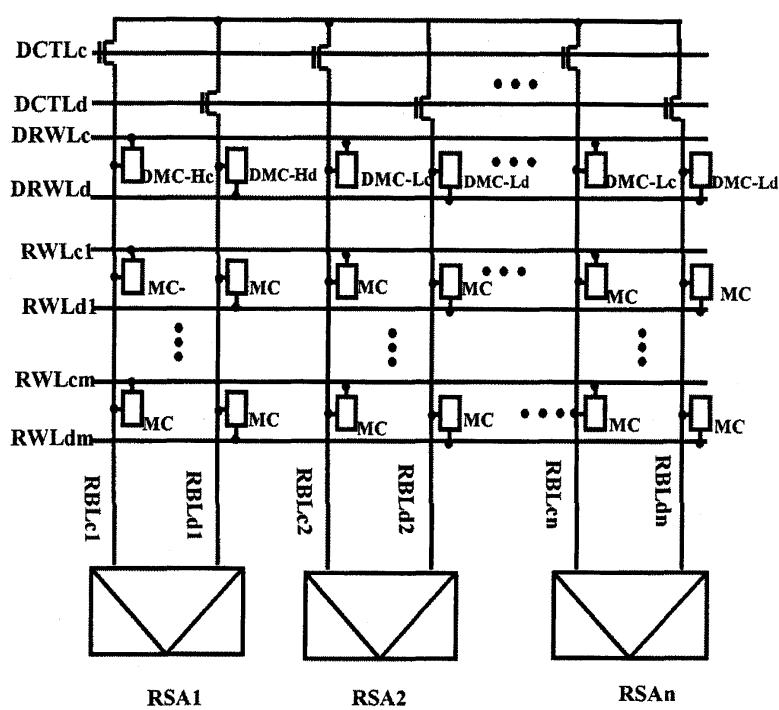
도면14



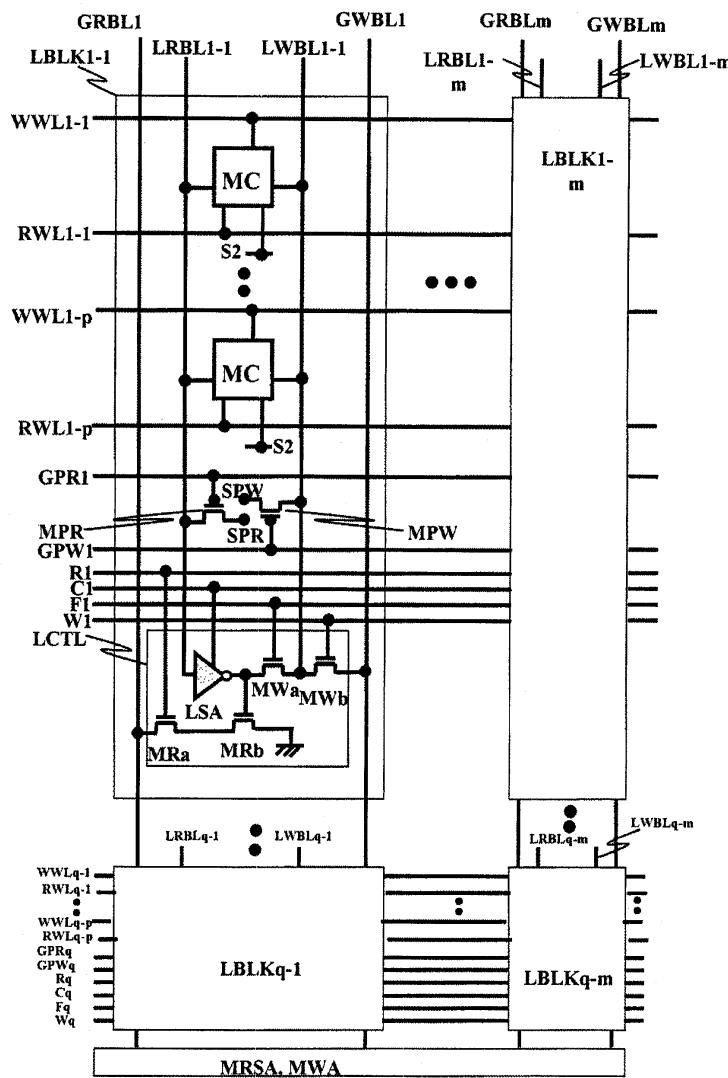
도면15



도면16



도면17



도면18

