RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 475 779**
(A n'utiliser que pour les commandes de reproduction).

A1

# DEMANDE DE BREVET D'INVENTION

(21) **N° 81 02331**

(54) **Circuit et procédé d'alimentation de secours pour polariser les lignes binaires d'une mémoire statique à semi-conducteur.**

(51) Classification internationale (Int. Cl.³). **G 11 C 11/34, 5/00.**

(22) Date de dépôt..... 6 février 1981.
(33) (32) (31) Priorité revendiquée : *EUA, 7 février 1980, n° 119,538.*

(41) Date de la mise à la disposition du public de la demande..... B.O.P.I. — « Listes » n° 33 du 14-8-1981.

(71) Déposant : Société dite : MOSTEK CORPORATION, résidant aux EUA.

(72) Invention de : Ward Douglas Parkinson.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Lavoix,
2, place d'Estienne-d'Orves, 75441 Paris Cedex 09.

La présente invention se rapporte d'une façon générale aux circuits intégrés de mémoires à semi-conducteurs comportant des transistors à effet de champ et concerne, plus particulièrement, un circuit de polarisation automatique des lignes binaires des cellules de mémoire statique à la disparition de la source d'alimentation principale pour préserver le profil binaire mémorisé dans la matrice de mémoire.

Jusqu'à présent, les mémoires de masse des ordinateurs mettaient fréquemment en oeuvre la technologie des tores magnétiques, selon laquelle un grand nombre de perles sont utilisées, chaque perle servant d'élément de mémorisation. L'état de la donnée de la perle dépend de la direction d'aimantation de cette dernière. Un avantage principal des mémoires de ce genre est que les informations qui y sont mémorisées ne sont pas perdues quand l'alimentation est coupée. Les perles restent magnétisées dans les états sélectionnés même si l'unité de mémoire ne reçoit aucun courant d'alimentation. Une mémoire à tores magnétiques peut être remise en marche immédiatement au retour de l'alimentation électrique. Il n'est pas nécessaire de recharger les programmes et les données dans la mémoire chaque fois que l'alimentation est coupée.

Dans les grands ordinateurs, des programmes et des données sont fréquemment mémorisés sur des mémoires à disques, de sorte que le dispositif peut être initialisé à partir d'un disque, même après une panne d'alimentation. Mais, dans les plus petits calculateurs, les programmes et les données sont souvent introduits manuellement et ne sont pas mémorisés d'une manière facilement accessible. Par conséquent, une perte d'alimentation qui entraîne une perte du profil binaire en mémoire est un dérangement sérieux du dispositif, auquel il ne peut être remédié simplement en rétablissant l'alimentation.

Des mémoires à accès direct à semi-conducteurs ont été récemment de plus en plus utilisées et elles ont des avantages notables sur les mémoires à tores plus anciennes.

En particulier, les nouvelles mémoires sont plus rapides, consomment moins de courant et occupent moins de place. Mais un sérieux inconvénient de l'utilisation des mémoires à semi-conducteurs est que les éléments de mémoire ne sont pas rémanents, c'est-à-dire que les informations qui y sont mémorisées sont perdues quand l'alimentation du circuit de mémoire est coupée. Avec un dispositif de ce genre, les programmes et les données mémorisés dans la mémoire sont perdus lorsque l'alimentation est coupée de l'unité de mémoire. La coupure d'alimentation ne produit aucun dommage des circuits mais la perte des informations mémorisées peut imposer que le système soit rechargé avec des programmes et des données avant que le traitement puisse reprendre. La recharge des programmes est une opération longue qui réduit l'utilisation efficace d'un ordinateur. Dans certains types de systèmes, des dispositions sont prises pour transférer le contenu de la mémoire sur un disque lorsqu'une panne est d'abord indiquée. Mais dans de nombreux calculateurs, une panne d'alimentation apparaît si rapidement que l'ensemble du contenu de la mémoire ne peut être transféré sur disque. Cela est particulièrement vrai pour les systèmes de contrôle de processus.

Il a été proposé pour l'utilisation des mémoires statiques à semi-conducteurs qu'une alimentation de secours soit fournie automatiquement au circuit de mémoire à la détection d'une panne de l'alimentation principale. Quand le circuit de mémoire reçoit l'alimentation de secours, les lignes binaires qui transfèrent des données vers et depuis les cellules de mémoire peuvent passer à un niveau bas. A ce niveau bas, il est très possible que des cellules individuelles de mémoire puissent être déchargées en raison de la conduction au-dessous du seuil si la mémoire reste en mode de secours pendant une période prolongée. En outre, quand l'alimentation est éventuellement rétablie, un couplage capacitif substantiel est présent avec le substrat de la mémoire en raison de la capacité entre les lignes binaires, d'autres points

intérieurs et le substrat. Il est probable qu'une tension transitoire importante appliquée au substrat entraîne une modification des données dans les cellules de mémoire.

Le besoin existe donc d'un circuit de protection du profil binaire mémorisé dans les cellules d'une mémoire statique quand la mémoire elle-même est connectée pour fonctionner avec une source d'alimentation de secours après la disparition de la source d'alimentation principale.

L'invention concerne donc un circuit destiné à éviter la perte du profil binaire mémorisé dans des cellules d'une mémoire statique à semi-conducteur à la disparition de l'alimentation principale fournie à la mémoire, tandis qu'une source d'alimentation de secours est connectée aux cellules. Les cellules de la mémoire comportent des lignes binaires pour le transfert d'informations sous forme d'états de tension vers et depuis les cellules. Le circuit selon l'invention comporte un circuit de détection d'une disparition de l'alimentation principale de la mémoire et un autre circuit qui applique une tension prédéterminée à chacune des lignes binaires à la détection de la disparition de l'alimentation principale.

D'autres caractéristiques et avantages de l'invention apparaîtront au cours de la description qui va suivre.

Au dessin annexé, donné uniquement à titre d'exemple nullement limitatif :

La fig. 1 est un schéma d'un circuit de secours de mémoire selon l'invention,

La fig. 2 est un schéma d'un générateur auxiliaire de pompage avec un circuit de sélection de source d'alimentation, et

La fig. 3 est un schéma d'une cellule de mémoire statique utilisée selon l'invention.

La plupart des ordinateurs comportent des sources d'alimentation qui assurent non seulement la transformation et le redressement du courant alternatif du secteur, mais comportent également des circuits pour contrôler le courant du secteur et détecter une panne. Dans ces sour-

ces d'alimentation, les filtres ont une capacité suffisante d'emmagasinage d'énergie pour qu'une panne de secteur puisse être détectée et une alarme donnée au calculateur, en laissant un temps suffisant à ce dernier pour entreprendre des actions évitant la perte des données et évitant les dommages à des systèmes périphériques, par exemple des lecteurs de disques. Quand le courant alternatif du secteur disparaît, la source d'alimentation peut continuer à fournir du courant pendant une période de quelques millisecondes. A la réception d'une alarme indiquant que le courant du secteur disparaît, le commutateur peut passer sur une source d'alimentation de secours afin que les données en mémoire puissent être préservées.

Selon l'invention, une source d'alimentation de secours est connectée à une borne multiplexée pour chaque circuit de mémoire, de sorte que la matrice de mémoire dans le circuit puisse rester alimentée pour préserver les données qui y sont mémorisées jusqu'au retour de l'alimentation totale. Un circuit est prévu pour faire passer l'alimentation de la matrice de mémoire de la borne d'alimentation normale à une broche sélectionnée à la perte de l'alimentation principale. La broche sélectionnée est normalement utilisée pour recevoir un signal de commande du circuit de mémoire. Le circuit interdit en outre toute lecture ou écriture dans la matrice de mémoire dans le mode de secours et assure également un passage progressif du mode de secours au mode normal de fonctionnement quand l'alimentation principale est rétablie. L'alimentation secondaire n'est fournie qu'à la matrice de mémoire et non aux circuits supports périphériques qui ne peuvent en aucun cas être utilisés en mode de secours. Si des charges à haute impédance sont utilisées dans les cellules de la matrice, une consommation de courant extrêmement faible peut être obtenue dans le mode de secours.

La fig. 1 est donc un schéma du circuit d'alimentation de secours comprenant le circuit selon l'invention. L'alimentation principale $V_{cc}$ est fournie à une borne

d'alimentation principale du circuit de mémoire par l'intermédiaire d'une broche extérieure déterminée. L'alimentation de secours est fournie au circuit par le multiplexage d'une broche particulière qui, dans ce mode de réalisation, est la broche d'autorisation d'écriture. Pendant des opérations de routine du circuit de mémoire, un signal d'autorisation d'écriture $\overline{WE}$ détermine si le circuit fonctionne en mode de lecture ou d'écriture. Mais, à la disparition de l'alimentation principale, un circuit extérieur déconnecte le signal d'autorisation d'écriture et le remplace sur la broche $\overline{WE}$ par une source d'alimentation secondaire ou de secours, généralement une batterie.

Un comparateur de tension 10 est connecté à la borne d'alimentation principale qui reçoit $V_{cc}$ et à la borne $\overline{WE}$ recevant le signal $\overline{WE}$. Le comparateur de tension 10 délivre un niveau haut au point 12, c'est-à-dire la sortie du comparateur de tension, lorsque $V_{cc}$ est supérieure à la tension à la borne $\overline{WE}$. Le point 12 passe au niveau bas lorsque $V_{cc}$ est inférieure à la tension à la borne $\overline{WE}$. Le comparateur de tension 10 peut en outre fonctionner de manière qu'une tension haute soit produite au point 12 quand la tension à la borne $\overline{WE}$ n'est pas supérieure à la tension d'alimentation $V_{cc}$ d'un décalage de tension prédéterminé, et une tension basse à ce point 12 quand la tension à la borne $\overline{WE}$ est supérieure à la tension d'alimentation $V_{cc}$ d'un décalage de tension prédéterminé. Ainsi, si $\overline{WE}$ est maintenue au niveau haut, le point de sortie 12 du comparateur de tension 10 passe du niveau haut au niveau bas quand $V_{cc}$ passe au-dessous de sa plage normale de fonctionnement.

Le point 12 est connecté à la grille d'un transistor 14 qui est débloqué quand la tension à ce point 12 est élevée, mais qui est bloqué quand la tension au point 12 est basse. Le transistor 14 est donc bloqué quand $V_{cc}$ est inférieure à la tension à la borne $\overline{WE}$ diminuée du décalage prédéterminé. Le drain du transistor 14 est connecté à un point 16 qui est au niveau haut quand le transistor

14 est bloqué. Quand le transistor 14 est débloqué, le point 16 passe au niveau bas.

Le point 16 est connecté à la grille et à la source d'un transistor à effet de champ 18 en mode appauvri. Le drain du transistor 18 est connecté à $V_{cc}$. Le transistor 18 constitue une charge résistive qui limite l'intensité du courant dans le transistor 14.

Le point 16 est en outre connecté à la grille d'un transistor 20 dont le drain est connecté à $V_{cc}$. Quand le point 16 passe du niveau bas au niveau haut, le transistor 20 est débloqué faisant passer le point 22 au niveau haut, c'est-à-dire $V_{cc}$ diminuée de la tension seuil $V_t$ du transistor 20. Le point 22 est connecté à la source du transistor 20 et au drain du transistor 24. La source du transistor 24 est connectée à une masse commune. Le point 22 est un point d'état d'alimentation et il est connecté à une borne de sortie désignée par $\overline{POK}$. Le signal représenté par $\overline{POK}$ est un signal d'état qui indique que l'alimentation principale du circuit se trouve dans la plage normale. Ce signal est un niveau bas actif, ce qui veut dire que l'état acceptable est indiqué par un niveau bas tandis qu'un niveau inacceptable est indiqué par un niveau haut. Le niveau du signal au point 22 dépend des connexions de plusieurs points dans le circuit.

Le point 12 à la sortie du comparateur de tension 10 est en outre connecté à la grille d'un transistor 26 qui est débloqué quand le point 12 est au niveau haut. Le drain du transistor 26 est connecté à un point 28, connecté en outre à la grille d'un transistor 30. Une résistance 32 est connectée entre la borne $\overline{WE}$ et la grille du transistor 30. Le drain de ce dernier est également connecté à la borne $\overline{WE}$ tandis que sa source est connectée au point 22.

Une résistance 34 est connectée entre la borne $\overline{WE}$ et le point 22. La grille d'un transistor 36 est connectée au point 22 tandis que son drain est connecté à la borne $\overline{WE}$ et sa source au point 40 d'alimentation $V_{cc}$ de la mémoire. La tension de matrice $V_{cc}$ est la tension d'alimen-

tation des cellules du circuit de mémoire.

Comme cela a été indiqué ci-dessus, l'alimentation principale de l'ensemble du circuit est fournie par $V_{cc}$. Cette source d'alimentation principale est en outre connectée à la grille et au drain d'un transistor 38 dont la source est connectée pour fournir la tension de matrice $V_{cc}$, au point 40.

La borne $\overline{WE}$ est connectée à un commutateur 42 qui est commandé par une ligne de sortie 43 de la source d'alimentation 44. L'alimentation du secteur 45, généralement 120 volts à 60 Hz, est appliquée à la source d'alimentation 44 pour fournir la tension $V_{cc}$ qui alimente le circuit de mémoire. Le commutateur 42 connecte la borne $\overline{WE}$ à un circuit de commande 46 qui produit un signal d'autorisation d'écriture ou à une source 48 d'alimentation secondaire, par exemple une batterie. Le signal d'autorisation d'écriture est transmis du circuit de commande 46 sur une ligne de commande 47 qui est connectée à une borne d'entrée du commutateur 42.

La source d'alimentation 44 comporte des circuits qui contrôlent la tension entrante du secteur et qui détermine si cette tension disparaît. Une source d'alimentation qui remplit cette fonction est le modèle H7100 fabriqué par Digital Equipment Corporation. A la détection de cette disparition, la source d'alimentation 44 par la ligne 43 fait passer le commutateur 42 de sa connexion normale avec le circuit de commande 46 à la connexion avec la source d'alimentation secondaire 48. Les condensateurs de filtrage de la source d'alimentation 44 ont une capacité suffisante pour permettre à la source d'alimentation de fournir un courant suffisant pour son propre fonctionnement et un courant suffisant pour maintenir $V_{cc}$ pendant une période de quelques millisecondes. Ainsi, le commutateur 42 sert à multiplexer le fonctionnement de la borne $\overline{WE}$ de manière que, dans le cas d'une panne d'alimentation principale, cette borne $\overline{WE}$ soit connectée pour recevoir l'alimentation de secours et alimenter le circuit de mémoire. Dans le présent mode de réalisation,

la source d'alimentation secondaire 48 est une batterie ou une source alimentée par batterie. Le commutateur 42 est de préférence un commutateur logique ou à semi-conducteur plutôt qu'un commutateur mécanique.

La tension de matrice $V_{cc}$ au point 40 est connectée pour alimenter les cellules de mémoire 50 en fonctionnement normal et pour la protection des données dans le mode de secours. Le circuit des cellules de mémoire 50 est décrit et illustré dans le brevet des Etats-Unis d'Amérique n° 3 967 252. Les cellules de mémoire 50 comportent plusieurs lignes binaires 52 connectées chacune à plusieurs cellules individuelles dans le circuit 50. Chacune des lignes binaires est connectée à la source d'un transistor correspondant 54a, 54b,... Les drains des transistors 54 sont connectés en commun à la tension de matrice $V_{cc}$ au point 40. Les grilles des transistors 54 sont connectées en commun au point 22 qui indique l'état de l'alimentation fournie au circuit de mémoire.

La partie inférieure de la fig. 1 montre que la tension d'alimentation principale $V_{cc}$ est fournie à plusieurs transistors qui sont utilisés pour produire un signal d'inhibition au point 68 qui, lorsqu'il est marqué, interdit l'écriture de données dans la matrice de mémoire après que le courant du secteur ait disparu et lorsque la mémoire fonctionne dans le mode de secours. Le point 68 est connecté pour fournir le signal d'inhibition aux circuits périphériques 70 qui commandent et accèdent à la matrice de mémoire 50 par un circuit de communication 72. Quand les circuits 70 sont inhibés, aucune opération ne peut être exécutée pour lire ou écrire des données dans la matrice de mémoire 50, préservant ainsi le profil binaire qui y est mémorisé.

Une tension $V_{BB}$ de polarisation de substrat est transmise par un point 78 à la grille d'un transistor 80 en mode appauvri. La source du transistor 80 est à la masse et son drain est connecté à un point 82 qui sert de point de contrôle de polarisation de substrat.

Le drain d'un transistor 84 en mode appauvri est

connecté à $V_{cc}$ tandis que sa grille et sa source sont connectées au point 82. Le transistor 84 constitue essentiellement une impédance de charge du transistor 80. Le point 82 est en outre connecté à la grille d'un transistor 86 dont la source est à la masse. Le drain du transistor 86 est connecté à un point 88, également connecté à la source d'un transistor 90 en mode appauvri. La grille et le drain du transistor 90 sont connectés à $V_{cc}$ de sorte que le transistor 90 fonctionne comme une impédance de charge du transistor 86.

Le point 88 est en outre connecté à la grille d'un transistor 92 dont la source est à la masse. Le drain du transistor 92 est connecté à un point 94 qui, à son tour, est connecté à la grille et à la source d'un transistor 96 en mode appauvri. Le drain du transistor 96 est également connecté à $V_{cc}$. Le transistor 96 est une impédance de charge du transistor 92.

Le point 94 est en outre relié à la grille d'un transistor 98 dont la source est à la masse. Le drain du transistor 98 est connecté à un point 100. La grille et la source d'un transistor 102 en mode appauvri sont connectées au point 100 tandis que le drain du transistor 102 est connecté à $V_{cc}$. Le transistor 102 fonctionne en impédance de charge du transistor 98.

Le point 100 est connecté à la grille d'un transistor 104 dont le drain est connecté au point 12. La source du transistor 104 est à la masse. Quand le point 100 passe au niveau haut, le transistor 104 est débloqué et fait passer le point 12 au niveau bas.

Le point 100 est en outre connecté à la grille d'un transistor 106 dont la source est à la masse. Le drain du transistor 106 est connecté à un point 108 relié à la grille et à la source d'un transistor 110 en mode appauvri. Le drain du transistor 110 est connecté à $V_{cc}$. Le point 108 est connecté en outre à la grille d'un transistor 112 dont la source est à la masse. Le drain du transistor 112 est connecté au point 68. Le point 108 est en outre connecté au drain d'un transistor 114 dont la

grille est connectée au point 22 et dont la source est à la masse.

Le point 68 qui transmet le signal d'inhibition aux circuits 70 est en outre relié à la grille et la source d'un transistor 116 dont le drain est connecté au point 30. Le transistor 116 limite l'intensité du courant dans le transistor 112.

La fig. 3 représente un exemple de cellule de mémoire faisant partie de la matrice de mémoire 50. Une cellule de mémoire statique 150 est constituée par plusieurs transistors à effet de champ avec des résistances de charge. La cellule comporte des transistors 152 et 154 dont les sources sont à la masse. Le drain du transistor 152 est connecté à un point 156 connecté lui-même à la grille du transistor 154. Le drain du transistor 154 est connecté à un point 158, connecté à la grille du transistor 152. Une résistance de charge 160 est connectée entre le point d'alimentation 40 de la matrice de mémoire et le point 156. Une résistance de charge 162 est connectée entre le point 40 et le point 158. La cellule 50 comporte en outre un premier transistor d'accès 164 dont le drain et la source sont connectés entre une ligne binaire 168 et le point 156. Le drain et la source d'un second transistor d'accès 168 sont connectés entre une ligne binaire 170 et le point 158. Les grilles des transistors 164 et 168 sont connectées à une ligne de mots 1 qui reçoit un signal de ligne de mots pour connecter le point 156 à la ligne binaire 166 et le point 158 à la ligne binaire 170. Les lignes binaires 166 et 170 sont deux exemples des lignes binaires du groupe 52 de la fig. 1.

En ce qui concerne maintenant la description du fonctionnement du dispositif selon l'invention, faite en regard de la fig. 1, la fonction de ce circuit est de fournir une alimentation de secours suffisante aux cellules 50 du circuit de mémoire pour que le profil de données qui y réside soit préservé malgré la disparition de l'alimentation principale. Le circuit doit en outre inhiber les circuits périphériques 70 pour les empêcher d'écrire

des données éventuellement erronées dans les cellules de mémoire 50 après une disparition de l'alimentation principale. Le circuit délivre en outre un signal indiquant l'état de l'alimentation du secteur, à savoir le signal $\overline{POK}$ au point 22.

Dans des conditions normales de fonctionnement, $\overline{POK}$ est au niveau bas de sorte que le transistor 36 est bloqué. $V_{cc}$ est normalement à 5 volts, $\pm$10 %. Le transistor 38 fonctionne comme une diode et il est débloqué de manière que la tension de matrice $V_{cc}$ au point 40 soit à la tension $V_{cc}$ diminuée d'une tension seuil $V_t$.

Quand la source principale fournissant $V_{cc}$ est défaillante, la tension au point 22 augmente pas à pas. Quand le comparateur de tension 10 détecte que la tension à la borne $\overline{WE}$ dépasse $V_{cc}$, ou en option dépasse $V_{cc}$ de plus d'un décalage prédéterminé de tension, le point 12 passe au niveau bas de sorte que les transistors 14, 24 et 26 sont bloqués. Quand $V_{cc}$ passe au-dessous de 5 volts, le point 16 s'élève rapidement au potentiel $V_{cc}$ qui peut alors être de l'ordre de 4 volts. Etant donné que le point 16 est connecté à la grille du transistor 20, la tension au point 16 le débloque, élevant ainsi la tension au point 22 à une valeur inférieure d'un seuil $V_t$ à $V_{cc}$. Dans ce mode de réalisation, $V_t$ est de l'ordre de 1 volt. Ainsi, quand $V_{cc}$ commence à diminuer, le point 22 s'élève rapidement jusqu'à environ 3 volts. Mais quand $V_{cc}$ continue à diminuer, le transistor 20 n'amène plus à zéro la tension au point 22. Quand $V_{cc}$ descend dans la plage de 1 à 2 volts, la polarisation de grille du transistor 20 est insuffisante pour le maintenir débloqué. Il se bloque donc et isole le point 22 de la borne $V_{cc}$.

Quand le point de sortie 12 du comparateur 10 passe du niveau haut au niveau bas, le point 22 est bloqué à $V_{cc}-V_t$. Cette tension au point 22 est suffisante pour débloquer le transistor 114 qui, à son tour, bloque le transistor 112, appliquant ainsi le signal d'inhibition aux circuits 70 pour protéger les données dans les cellules de mémoire 50.

La phase suivante de charge du point 22 est assurée par le transistor 30 dont la grille est chargée rapidement jusqu'au potentiel à la borne $\overline{WE}$ quand le transistor 26 est bloqué. Cela élève le point 22 à la tension de la borne $\overline{WE}$ diminuée d'une tension seuil $V_t$, celle du transistor 30. La phase finale de charge du point 22 est assurée par la résistance 34. Cette résistance charge le point 22 jusqu'au potentiel total à la borne $\overline{WE}$. Ainsi, le point 22 qui correspond au signal $\overline{POK}$ passe du niveau bas au niveau haut quand $V_{cc}$ devient inférieure d'un décalage spécifique à la tension à la borne $\overline{WE}$.

Quand $V_{cc}$ passe du niveau haut au niveau bas, le transistor 38 est bloqué tandis que le passage du point 22 du niveau bas au niveau haut débloque le transistor 36, connectant ainsi la borne $\overline{WE}$ au point 40 d'alimentation de matrice $V_{cc}$. Ainsi, dans le mode de secours, la tension de matrice $V_{cc}$ est égale à la tension à la borne $\overline{WE}$ diminuée d'une tension seuil aux bornes du transistor 36.

Dans le mode d'alimentation normale, la borne $\overline{WE}$ est connectée à un circuit de très haute impédance qui prélève peu de courant et qui permet au signal de commande à cette borne de fonctionner de sa manière normale en fournissant un signal d'écriture au circuit de mémoire. Mais, dans le mode de secours, le signal d'écriture n'est pas utilisé et la borne $\overline{WE}$ est connectée pour fournir l'alimentation de secours aux cellules de mémoire par le point 40 d'alimentation $V_{cc}$ de matrice.

Le signal d'inhibition au point 68 est produit pour interdire aux circuits périphériques 70 d'écrire des données dans les cellules de mémoire. Quand le point 22 passe du niveau bas à un niveau de quelques volts, le transistor 114 est débloqué, abaissant la tension au point 108. La tension basse au point 108 bloque le transistor 112, faisant passer le point 68 au potentiel du point 40, $V_{cc}$ de matrice.

Il faut noter que, lorsque $V_{cc}$ disparaît, les circuits périphériques ne prélèvent aucun courant à la source d'alimentation secondaire 48 car ils ne sont alimentés

que par $V_{cc}$.

Chacune des cellules de mémoire 50 est connectée à deux lignes binaires 52 comme les lignes 166 et 170. Les lignes binaires sont utilisées pour transférer des informations d'état de données vers et depuis les cellules individuelles comme le montre la fig. 3. Les transistors 54 sont connectés de manière que chaque ligne binaire reçoive la tension de matrice $V_{cc}$ moins une tension seuil $V_t$. Il importe que cette tension soit maintenue sur les lignes binaires car, pendant une période, les tensions aux points 156 et 158 peuvent se décharger par les transistors d'accès 164 et 168, sous l'effet d'une conduction au-dessous du seuil. Les lignes binaires d'une mémoire à semi-conducteur aboutissent à toutes les cellules de mémoire et forment ainsi un réseau conducteur très développé sur le circuit intégré. Un effet substantiel de capacité est développé entre les lignes binaires et le substrat en raison de la géométrie et des capacités de jonction PN.

Pendant le mode de secours, aucun signal n'est appliqué par l'extérieur aux lignes binaires de la mémoire à semi-conducteur. En l'absence de signaux appliqués par l'extérieur, ces lignes passent à peu près au niveau de la masse. Quand l'alimentation principale est rétablie sur le calculateur, toutes les lignes binaires reçoivent immédiatement des niveaux hauts. En raison du couplage capacitif de ces lignes avec le substrat, la tension sur le substrat est élevée brusquement par ce couplage capacitif. Si la tension du substrat est amenée au-dessus de 0 volt, il est probable que le fonctionnement de nombreuses cellules individuelles de mémoire est modifié et que les données qui y sont mémorisées sont perdues. La fonction du générateur de pompage interne décrit ici est de maintenir le substrat à une tension négative pour éviter ce problème. Mais pendant le fonctionnement de secours, le pompage auxiliaire du substrat peut fournir seulement une faible tension négative à ce dernier.

Le circuit selon l'invention offre un moyen d'éviter

la perte de données par les fuites au-dessous du seuil dans les transistors d'accès et la perte de données par le couplage capacitif avec le substrat sous l'effet d'une tension positive excessive. Ce résultat est obtenu en polarisant les lignes binaires de chacune des cellules individuelles de mémoire à une tension élevée. Cette tension élevée est fournie aux lignes binaires 52 par les transistors 54. La fig. 3 montre que la tension élevée est appliquée aux lignes individuelles 166 et 170. Une tension haute est présente sur l'un des points 156, 158 et c'est cette tension haute qui doit être protégée des fuites au-dessous du seuil. Si les deux lignes binaires sont maintenues à la tension haute, il n'y a aucune fuite par le transistor d'accès connecté au point de niveau haut car il n'y a aucune différence de tension aux bornes de ce transistor. En ce qui concerne le transistor connecté au point de niveau bas, les fuites peuvent être évitées par les transistors d'abaissement 152, 154. En outre, la polarisation de niveau haut sur les lignes binaires réduit l'amplitude de la transition brusque de tension au niveau haut sur le substrat quand l'alimentation principale est rétablie au circuit de mémoire.

Selon la fig. 2, une autre caractéristique de l'invention concerne une tension de polarisation de substrat $V_{BB}$. Dans les circuits MOS (métal-oxyde-semi-conducteur), il est souhaitable de maintenir le substrat à une tension de polarisation négative. En fonctionnement normal, un pompage principal du substrat lui fournit une tension régulée de -4 volts pour obtenir des performances optimales du circuit. Ce pompage est inhibé quand $V_{cc}$ disparaît.

La tension de polarisation du substrat est également importante en ce qui concerne le passage du mode de secours au mode d'alimentation principale. La borne d'alimentation principale est couplée par capacité avec le substrat et tend à le rendre négatif quand $V_{cc}$ est rétablie. Si le substrat passe d'une tension négative à 0 volt ou à une tension positive, comme décrit ci-dessus, il y

une forte probabilité pour que des données soient perdues. Par conséquent, la tension de polarisation $V_{BB}$ doit être suffisamment négative pour éviter que le substrat passe à un potentiel positif par le couplage capacitif avec la borne d'alimentation principale.

Le circuit de la fig. 2 est un circuit de pompage auxiliaire du substrat qui fournit une polarisation négative suffisante à ce dernier pour maintenir le profil de données dans les cellules de mémoire. Le circuit de pompage auxiliaire 122 est connecté à la source d'alimentation principale $V_{cc}$ et à la borne $\overline{WE}$ d'alimentation de secours. Les bornes $V_{cc}$ et $\overline{WE}$ sont connectées pour alimenter le circuit 122 de pompage du substrat par un circuit de porte constitué par les transistors 124, 126, 128 et 130. La grille de chacun de ces transistors est connectée à son drain de sorte qu'il fonctionne essentiellement comme une diode. Quand $V_{cc}$ dépasse la tension à la borne $\overline{WE}$ diminuée de $V_T$, les transistors 128 et 130 sont débloqués, connectant $V_{cc}$ à un point 132 avec une chute de tension seuil. Dans ces conditions, les transistors 124 et 126 sont bloqués, isolant la borne $\overline{WE}$ de $V_{cc}$ et du circuit 122 par une forte impédance.

Quand la tension à la borne $\overline{WE}$ dépasse $V_{cc}$ augmentée de $V_T$, les transistors 124 et 126 sont débloqués tandis que les transistors 128 et 130 sont bloqués. Cela connecte la borne $\overline{WE}$ au point 132 tout en isolant $V_{cc}$ de la borne $\overline{WE}$ et du point 132. Le point 132 est ainsi connecté à la borne de tension la plus haute, soit $V_{cc}$, soit $\overline{WE}$.

Le point 132 est connecté pour alimenter un oscillateur 134 à basse puissance et un transistor 136. L'oscillateur 134 produit un signal en phase désigné par $\phi$ et l'inverse de $\phi$, désigné par $\overline{\phi}$. Le signal $\phi$ est appliqué à la grille du transistor 136 tandis que le signal $\overline{\phi}$ est appliqué à l'entrée d'un transistor 138. La source du transistor 136 est connectée à un point 140 connecté à son tour au drain du transistor 138. La source du transistor 138 est à la masse. Les signaux d'entrée déphasés des transistors 136 et 138 produisent un signal

rectangulaire au point 140. Le signal au point 140 est transmis à la grille d'un transistor 142 connecté pour fonctionner en condensateur. La source et le drain du transistor 142 sont interconnectés à un point 144. Le drain et la grille d'un transistor 146 sont connectés au point 144 tandis que sa source est à la masse de sorte que ce transistor 146 fonctionne comme une diode polarisée vers la masse. Le point 144 est en outre connecté à la source d'un transistor 148 dont la grille et le drain sont interconnectés de sorte que ce transistor 148 fonctionne comme une diode polarisée vers le point 144.

Toujours en regard de la fig. 2, l'oscillateur 134 fournit des signaux qui sont déphasés et produit un signal rectangulaire au point 140. Le signal rectangulaire est transmis du point 140 au point 144 par le transistor 142 qui fonctionne comme un condensateur et bloque la composante continue. Quand le point 144 passe au niveau haut, le transistor 146 est débloqué de sorte que le point 144 est déchargé par le transistor 146. Quand le point 144 devient négatif, le transistor 146 est bloqué et le point 144 est amené à une tension négative. Une tension positive au point 144 est bloquée par le transistor 148 tandis qu'une tension négative à ce point est transmise par ce transistor vers le point 78 (voir également fig. 1). Le point 78 fournit la polarisation de substrat $V_{BB}$ au substrat 150 du circuit intégré faisant partie des circuits des fig. 1 et 2.

Pour en revenir à la fig. 1, le circuit contrôle également la tension $V_{BB}$ de polarisation de substrat de sorte que le signal $\overline{POK}$ passe au niveau haut quand la polarisation du substrat est insuffisante. Si $V_{BB}$ est suffisamment négative, environ -2 à -3 volts, le transistor 80 en mode appauvri est bloqué. Cela fait passer au niveau haut le point 82 qui débloque le transistor 86, abaissant le point 88. La tension basse au point 88 bloque le transistor 92, faisant passer le point 94 au niveau haut. Le niveau haut au point 94 débloque le transistor 98, faisant passer le point 100 au niveau bas et

bloquant le transistor 104. Quand le transistor 104 est bloqué, le point 112 passe au niveau haut pour indiquer que $V_{cc}$ dépasse la tension à la borne $\overline{WE}$. Quand le point 12 est au niveau haut, le point 22 est au niveau bas indiquant par le signal $\overline{POK}$ que la tension principale $V_{cc}$ et la tension de polarisation $V_{BB}$ sont satisfaisantes.

Si $V_{BB}$ n'est pas suffisamment négative, et par conséquent de l'ordre de 0 volt, le transistor 80 est débloqué, faisant passer le point 82 au niveau bas. Cela bloque le transistor 86 en élevant au niveau haut la tension au point 88. Un niveau haut au point 88 débloque le transistor 92, faisant passer le point 94 au niveau bas. Le niveau bas au point 94 bloque le transistor 98, faisant passer le point 100 au niveau haut et débloquant le transistor 104 qui fait passer le point 12 au niveau bas, en déclenchant ainsi la même séquence d'événements que lorsque $V_{cc}$ est inférieure à la tension à la borne $\overline{WE}$. Il résulte d'une tension $V_{BB}$ insuffisamment négative la production du signal $\overline{POK}$ au niveau haut indiquant la perte d'alimentation, et la production d'un signal d'inhibition qui interdit aux circuits périphériques d'écrire des données dans les cellules de mémoire. Cela maintient également les circuits périphériques inhibés quant à la consommation de courant et évite les problèmes de conflit sur ligne omnibus.

En résumé, le circuit selon l'invention offre un moyen de polariser les lignes binaires des cellules d'une mémoire statique à semi-conducteur. Cela évite la perte du profil binaire dans les cellules quand ces dernières reçoivent une alimentation de secours. Une perte de données pourrait être due à une décharge d'un point de niveau haut par conduction au-dessous du seuil ou par le passage à une tension positive du substrat par suite du couplage capacitif entre les lignes binaires et le substrat.

Il est bien entendu que de nombreuses modifications peuvent être apportées au mode de réalisation décrit et illustré à titre d'exemple nullement limitatif sans sortir du cadre de l'invention.

REVENDICATIONS

1 - Circuit d'utilisation d'une source d'alimentation de secours pour éviter la perte d'un profil binaire mémorisé dans des cellules de mémoire statique à semi-conducteur à la disparition de l'alimentation principale qui lui est fournie, le circuit de mémoire comportant plusieurs bornes de commande pour recevoir des signaux de commande et les cellules de mémoire comportant des lignes binaires (52) destinées à transférer des informations sous forme d'états de tension vers et depuis les cellules de mémoire (50), circuit caractérisé en ce qu'il comporte un dispositif (44) de détection d'une disparition de l'alimentation principale du circuit de mémoire, un dispositif (42) de connexion de la source d'alimentation de secours (48) aux cellules de mémoire par l'une sélectionnée $\overline{WE}$ des bornes de commande à la détection de la disparition de l'alimentation principale, et un dispositif (54) d'application d'une tension prédéterminée à chacune des lignes binaires à la détection de la disparition de l'alimentation principale, ladite tension prédéterminée étant produite par ladite source d'alimentation de secours par l'intermédiaire de ladite borne de commande sélectionnée.

2 - Circuit selon la revendication 1, caractérisé en ce que ledit dispositif d'application d'une tension prédéterminée à chacune des lignes binaires (52) consiste en un transistor à effet de champ (54) pour chacune des lignes binaires, les drains de ces transistors étant connectés en commun à ladite borne de commande sélectionnée $\overline{WE}$, les sources desdits transistors étant connectées aux lignes binaires respectives (52) et les grilles étant connectées pour recevoir une tension qui rend les transistors conducteurs à la détection de la disparition de l'alimentation principale.

3 - Procédé d'utilisation d'une source d'alimentation de secours pour éviter la perte du profil binaire mémorisé dans les cellules de mémoire statique à semi-conducteur à la disparition de l'alimentation principale

qui lui est fournie, le circuit de mémoire comportant des bornes de commande destinées à recevoir des signaux de commande et les cellules de mémoire comportant des lignes binaires (52) pour transférer des informations sous forme d'états de tension vers et depuis les cellules de mémoire (50), procédé caractérisé en ce qu'il consiste essentiellement à détecter (44) une disparition de l'alimentation principale du circuit de mémoire, à connecter (42) la source d'alimentation de secours (48) aux cellules de mémoire par l'une sélectionnée $\overline{WE}$ desdites bornes de commande à la détection de la disparition de l'alimentation principale, et à appliquer (54) une tension prédéterminée à chacune des lignes binaires à la détection de la disparition de l'alimentation principale, ladite tension prédéterminée étant produite par la source d'alimentation de secours par ladite borne de commande sélectionnée.

2475779

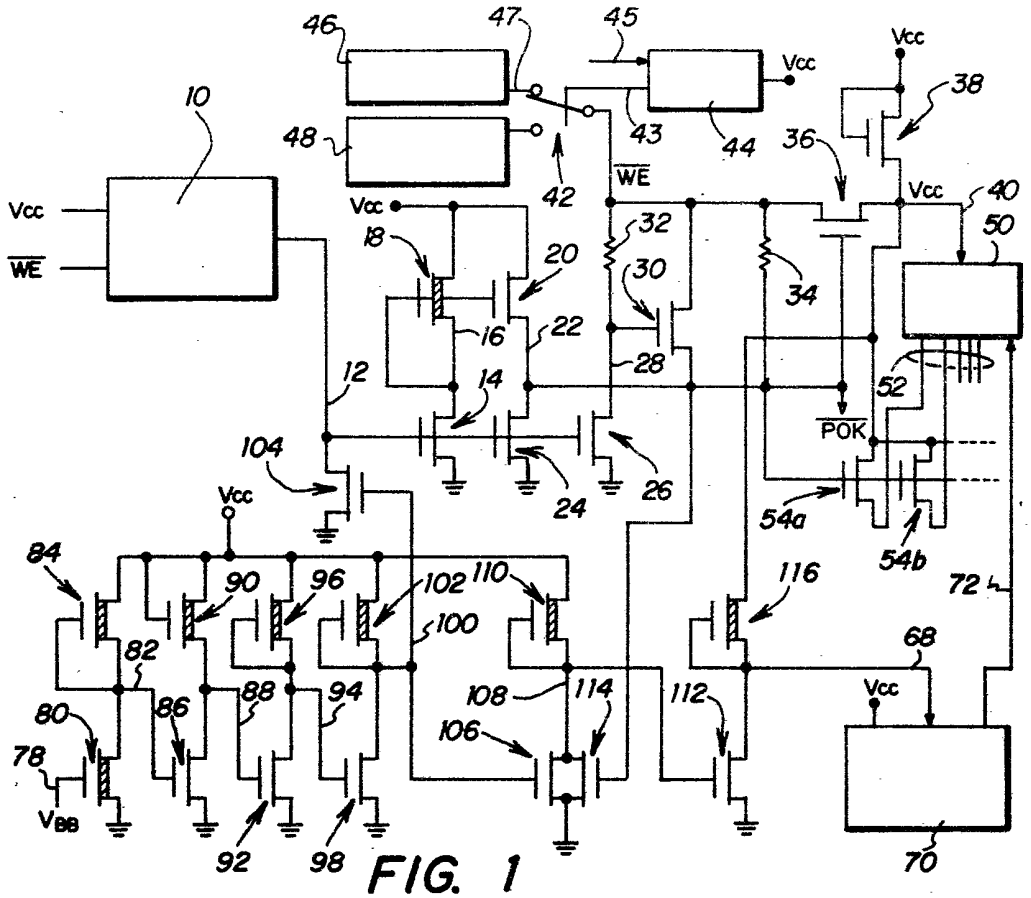


FIG. 1

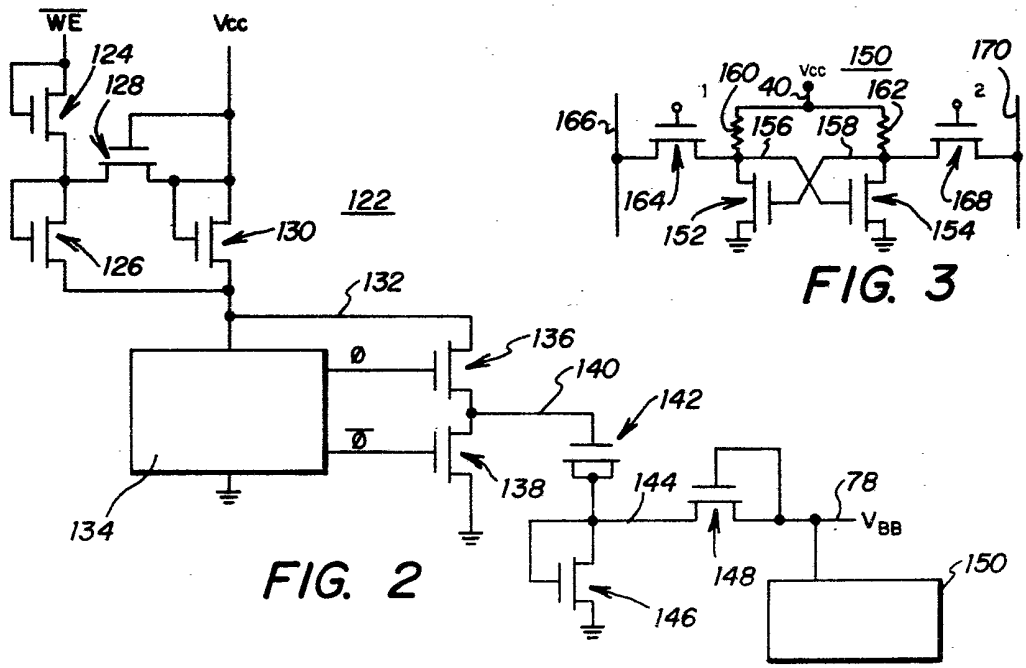


FIG. 2




FIG. 3