

---

**Octrooiraad**



**⑫ A Terinzagelegging ⑪ 8800860**

**Nederland**

**⑲ NL**

---

- ⑤4 Logisch netwerk met overdrachtssignaalbesturing.**
- ⑤1** Int.Cl<sup>4</sup>: H03K 23/58.
- ⑦1** Aanvrager: N.V. Philips' Gloeilampenfabrieken te Eindhoven.
- ⑦4** Gem.: Ir. P.J.P.G. Simons c.s.  
Internationaal Octrooibureau B.V.  
Prof. Holstlaan 6  
5656 AA Eindhoven.

- 
- ②1** Aanvraag Nr. 8800860.
- ②2** Ingediend 5 april 1988.
- ③2** --
- ③3** --
- ③1** --
- ⑥2** --

- 
- ④3** Ter inzage gelegd 1 november 1989.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

---

N.V. Philips' Gloeilampenfabrieken te Eindhoven  
Logisch netwerk met overdrachtssignaalbesturing.

De uitvinding heeft betrekking op een logisch netwerk samengesteld uit  $m$  in cascode geschakelde (niet noodzakelijkerwijze identieke) logische modules voor het bewerken van digitale signalen, waarbij  $m$  groter of gelijk is aan 8 en waarbij de werking van een

5 logische module  $i$  afhankelijk is van ten minste een overdrachtssignaal, dat in ten minste een van de module  $i$  voorafgaande modules 1, 2, ...,  $i-1$  of in ten minste een van de module  $i$  navolgende modules  $i+1$ ,  $i+2$ , ...  $m$  wordt opgewekt, waarbij in transportmiddelen is voorzien voor het transporteren van het ten minste ene overdrachtssignaal.

10 Een dergelijk netwerk met verscheidene modules is bekend uit het Amerikaanse octrooi nr. 4,679,216. In het octrooi is een synchrone teller beschreven die is opgebouwd uit een aantal in cascode geschakelde JK-flipfloppe, die alle een kloksignaal  $ck$  ontvangen. Om de telsnelheid van deze synchrone teller te verhogen, zijn de uitgangen van

15 de aan een flipflop voorgaande flipfloppe via een logische EN-poort met diens ingang verbonden. Met zulk een maatregel wordt bereikt dat een overdrachtssignaal dat ontstaat door een teloperatie van een flipflop en dat op diens uitgang optreedt, niet eerst een aantal flipfloppe in sekwentie moet aktiveren voordat uiteindelijk een flipflop verderop in

20 de cascodeschakeling wordt geaktiveerd. Zonder toepassingen van de logische EN-poorten zou het overdrachtssignaal zich als een rimpelsignaal door de cascodeschakeling van de flipfloppe moeten voortplanten. Derhalve zou een aktivering van een flipflop aan het einde van de cascodeschakeling vertraagd worden met evenzovele reaktietijden

25 als er flipfloppe aan hem voorafgaan. Het voorgaande betekent dat pas na bereiken van de laatste flipflop in de serieschakeling door het rimpelsignaal alle uitgangen van de flipfloppe in een stationaire gewenste toestand verkeren. Pas na het optreden van deze gewenste toestand mag een volgende telpuls worden toegevoerd om een

30 volgende teloperatie door de cascoding van flipfloppe in een logisch netwerk van modules om in afhankelijkheid van in een voorgaande module

. 8800860

uitgevoerde operatie uitvoeren van een verdere operatie in een daaropvolgende module brengt een substantiële beperking van de operatiesnelheid van het logisch netwerk met zich mee en derhalve ook een beperking van een klokpulsfrekwentie indien zulk een netwerk wordt  
5 toegepast in een synchroon funktionerend digitaal signaal verwerkend systeem.

In het genoemde Amerikaanse octrooi worden om een hoge operatiesnelheid (= telsnelheid) te behouden de uitgangen van elke voorafgaande flipflop via een logische poortschakeling met de ingang van  
10 een daaropvolgende flipflop verbonden, zodat de laatste flipflop in de cascodeschakeling als het ware tegelijkertijd met de voorgaande flipfloppen wordt aangestuurd. Deze maatregel blijkt zeer effectief te werken en geeft een tellerschakeling die met een hoge telsnelheid pulsen kan tellen. Indien nu echter zo een teller uit een zeer groot aantal in  
15 cascode geschakelde flipfloppe bestaat, is ook de poortschakeling die per flipflop moet worden toegevoegd zeer uitgebreid. De poortschakeling blijkt uiteindelijk als een nadeel te werken daar deze voor de laatste flipfloppe in de rij zeer omvangrijk wordt hetgeen bezwaarlijk is, omdat daarbij elk aan de telcapaciteit toe te voegen bit een ten  
20 opzichte van de telflipflop steeds groter integratie-oppervlak op een halfgeleidersubstraat nodig heeft en zo een beperkende faktor gaat vormen voor de telsnelheid van de teller, daar een logische poort langzamer wordt naarmate het aantal ingangen ervan toeneemt.

Het is het doel van de uitvinding om in een logisch  
25 netwerk samengesteld uit verscheidene in cascode geschakelde logische modules te voorzien waarbij voor het bewerken van de hogere orde bits geen uitgebreide logische poortschakelingen nodig zijn en het optreden van rimpelsignalen wordt geaccepteerd, waarbij desondanks door het logisch netwerk geen substantiële beperkingen aan een  
30 klokpulsfrekwentie wordt opgelegd.

Een netwerk volgens de uitvinding heeft daartoe tot kenmerk, dat de transportmiddelen een cascodeschakeling van logische elementen, die een rimpelsignaalpad vormen, en ten minste een geheugenelement bevatten, waarbij het rimpelsignaalpad in ten minste  
35 twee delen is verdeeld, tussen welke delen steeds een geheugenelement is geplaatst voor het blokkeren van een rimpelsignaal, dat door een verandering van de logische toestand in het logisch netwerk is

8800860

opgewekt, en voor het doorgeven van het rimpelsignaal aan het op de  
uitgang van het geheugenelement aangesloten deel van het rimpelpad bij  
ontvangst van een volgende klokpulssignaal. Door het toevoegen van  
geheugenelementen aan de transportmiddelen, zodanig dat bijvoorbeeld na  
5 het optreden van een klokpuls voor de besturing van de logische modules  
een rimpelsignaal na gedeeltelijk afleggen van het rimpelpad wordt  
geblokkeerd, wordt ondanks het accepteren van overdrachtsmiddelen,  
waarin overdrachtssignalen met vertraging als een rimpelsignaal zich van  
module tot module voortplanten, toch steeds een stationaire toestand  
10 gerealiseerd, hetgeen het logisch netwerk geschikt maakt voor toepassing  
in een met klokpulsen gesynchroniseerd systeem. De klokfrekwentie is  
daarbij wezenlijk hoger dan bij een netwerk, waarbij het  
overdrachtssignaal zich als een rimpelsignaal ongehinderd door alle  
delen van de overdrachtsmiddelen mag voortplanten.

15 Een uitvoeringsvorm van een logisch netwerk volgens de  
uitvinding heeft het kenmerk, dat de logische modules een reeks in serie  
geschakelde flipfopschakelingen bevatten, die een asynchrone teller  
vormen, waarbij het ten minste ene geheugenelement tussen twee delen van  
de serieschakeling is geplaatst, waarbij de frekwentie van aan de  
20 asynchrone teller toe te voeren pulsen gelijk is aan of lager is dan de  
frekwentie van het kloksignaal, en dat bij het optreden van het  
kloksignaal de op de ingang van het geheugenelement aangesloten uitgang  
van een in een deel van de serieschakeling laatst zijnde flipflop in een  
stabiele toestand verkeert. Met de genoemde maatregel is de telsnelheid  
25 van de asynchrone teller verhoogd, waarbij tevens de asynchrone teller  
in een met klokpulsen gesynchroniseerd digitaal systeem kan worden  
toegepast.

Een voorkeursuitvoeringsvorm van een logisch netwerk  
volgens de uitvinding heeft het kenmerk, dat de logische modules een  
30 serieschakeling van met het kloksignaal bestuurde  
telflipflopschakelingen bevatten, waarbij de transportmiddelen een  
seriepoortschakeling van een aantal poortschakelingen bevatten, waarbij  
van elke poortschakeling een ingang is verbonden met een uitgang van een  
telflipflopschakeling en een verdere ingang is verbonden met de uitgang  
35 van een voorgaande poortschakeling hetzij op direkte wijze hetzij via  
een geheugenelement. Door het toevoegen van een minimaal aantal  
komponenten wordt de maximale telfrekwentie van een synchrone teller

. 880 086 0

substantieel verhoogd.

Een overdrachtssignaal in de zin van de uitvinding kan zich voortplanten vanuit de componenten die de minst significante bits bewerken naar die componenten, die de hogere significante bits bewerken 5 maar ook visa versa. Een simpel voorbeeld is een komparator, die multibitwoorden met elkaar vergelijkt, waarbij de vergelijking van twee bits met eenzelfde significantie een overdrachtssignaal kan opwekken, dat zich naar keuze in de richting van de lagere orde bits of van de hogere orde bits voortplant (bijvoorbeeld voor het verkrijgen van een 10 sneller uitsluitel van de vergelijking).

De uitvinding zal nu verder worden toegelicht aan de hand van in een tekening weergegeven voorbeelden, in welke tekening

figuur 1 een asynchrone teller volgens de uitvinding weergeeft,

15        figuur 2 een synchrone teller volgens de uitvinding toont en

figuur 3 een flipflopschakeling, die in de teller volgens figuur 2 is toegepast, toont.

In figuur 1 is een asynchrone teller volgens de 20 uitvinding weergegeven. Deze teller bevat een aantal in cascode geschakelde flipfloppe FF1, FF2, ..., FFN en een tweede aantal in cascode geschakelde flipfloppe FF21, FF22, ..., FF2M. De hiervoor genoemde flipfloppe kunnen elk een als toggle-geschakelde flipflop zijn waarbij de geïnverteerde uitgang is verbonden met de toggle-ingang van 25 de volgende flipflop. De niet-geïnverteerde uitgangen Q11, Q12, ..., Q1N van de flipfloppe vormen een eerste gedeelte van de uitgangen van de teller en de niet-geïnverteerde uitgangen Q21, Q22, ..., Q2M van de flipfloppe FF21, FF22, ..., FF2M vormen een tweede deel van de uitgangen. De geïnverteerde uitgang van de flipflop FFN is verbonden 30 met de D-ingang van een D-flipflop DFF waarvan de niet-geïnverteerde uitgang is verbonden met de toggle-ingang van flipflop FF21. Op de klokingang c van de flipflop DFF wordt een kloksignaal clk1 aangeboden. De in figuur 1 getoonde teller is een normale asynchrone teller waaraan een D-flipflop DFF is toegevoegd. Hierna zal de functie van de D- 35 flipflop DFF worden toegelicht. Om een en ander duidelijk te kunnen verklaren, wordt in het eerstvolgende ervan uitgegaan dat de D-flipflop DFF niet aanwezig is.

8800860

Bij het toevoeren van telpulsen op de ingang P van de flipflop FF1 zal na elke tweede puls op de ingang P een signaal op de geïnverteerde uitgang van FF1 verschijnen die de flipflop FF2 zal besturen. Naar gelang de toestand van de flipfloppe FF2 tot en met FFN en de flipfloppe FF21 tot en met FF2M zal het genoemde overdrachtssignaal zich als een rimpelsignaal meer of minder ver in cascode geschakelde flipfloppe voortplanten. Uiteraard zal dit voortplanten van het overdrachtssignaal enige tijd vergen. Deze tijd zal langer duren naar mate er meer flipfloppe in cascode geschakeld zijn.

10 Indien nu gesteld wordt dat elke flipflop een vertragingstijd  $\Delta t$  veroorzaakt dan zal in het meest nadelige geval na optreden van een puls op de ingang P elk uitgangssignaal Q11 tot en met Q2M stabiel en in een nieuwe logische toestand verkeren na een tijdsvertraging van  $N \cdot \Delta t + M \cdot \Delta t$ . De uitgangen van de asynchrone teller zijn dus stabiel bij de

15 eerstvolgende op de ingang P optredende puls alleen dan als het informatietransport tussen de onderlinge flipfloppe binnen een pulsperiode  $T > N \cdot \Delta t + M \cdot \Delta t$  op de ingang P optreedt. Dit heeft als konsekwentie dat indien het aantal in cascode geschakelde flipfloppe toeneemt de telfrekwentie af zal nemen.

20 Volgens de uitvinding wordt in de cascodeschakeling van de flipfloppe aan de transportmiddelen, die in figuur 1 door de verbindingen tussen de flipflopschakelingen worden gevormd, een geheugenelement toegevoegd. Het geheugenelement is een D-flipflop DFF en wordt door een kloksignaal bediend, zodanig dat bij het optreden van de

25 eerstvolgende puls P het overdrachtssignaal dat door de tellers FF1 tot en met FFN is gelopen door de D-flipflop DFF wordt overgenomen. Bij het optreden van de volgende puls op ingang P zijn dus alle uitgangen Q11 tot en met Q1N en de uitgangen Q21 tot en met Q2M stabiel. Echter dient er wel rekening mee gehouden te worden dat de voorgaande puls op ingang

30 P nog niet in de tellerstand van de flipfloppe FF21 tot en met FF2M is verdiskonteerd. Echter van de logische toestand van de flipflop DFF is af te leiden dat in de logische toestanden van de flipfloppe FF21 tot en met FF2M nog een puls verdiskonteerd dient te worden. Bij het

35 eerstvolgend kloksignaal op ingang clk1 van de flipflop DFF zal van de flipflop FFN het overdrachtssignaal overgenomen worden en aan de cascodeschakeling van de flipfloppe FF21 tot en met FF2M worden doorgegeven.

**8800860**

De asynchrone teller die in figuur 1 is weergegeven, is door uitbreiding met de flipflop DFF geschikt gemaakt om in een synchroon-werkend digitaal systeem toegepast te worden. De asynchrone teller is namelijk door het toepassen van deze flipflop DFF steeds op  
5 bepaalde vastgezette tijdstippen in een stabiele toestand. Verder is door het toepassen van de flipflop DFF de maximale klokfrekwentie van de pulsen die op de ingang P toe te voeren zijn sterk verhoogd. Indien in een cascodeschakeling van een aantal flipfloppe zoals in figuur 1 is weergegeven, de flipflop DFF precies midden in de cascodeschakeling  
10 wordt gezet, zodat voor de flipflop DFF als na de flipflop DFF eenzelfde aantal verdere flipfloppe in cascode geschakeld zijn dan zal de maximale klokfrekwentie voor deze asynchrone teller globaal met een faktor twee zijn verhoogd. Het zal duidelijk zijn dat een asynchrone teller door het in drieën of in vieren delen ervan waarbij steeds  
15 tussen de verschillende delen een flipflop DFF zoals in figuur 1 is weergegeven, wordt opgenomen dat dan de klokfrekwentie met globaal een faktor drie respektievelijk vier wordt verhoogd.

De aan de telingang P van de asynchrone teller uit figuur 1 toe te voeren pulsen kunnen zijn gekonditioneerd met het aan de D-  
20 flipflop DFF toe te voeren kloksignaal. De te tellen pulssignalen zouden via een EN-poort, waarvan een tweede ingang het eveneens aan de D-flipflop DFF toe te voeren kloksignaal ontvangt, aan de eerste telflipflop FF1 kunnen worden toegevoerd. Het is echter voldoende, indien de relatie tussen de pulsen op de P-ingang en de klokpulsen clk1  
25 zodanig is, dat de uitgangen van flipfloppe FF1 tot en met FFN in een stabiele toestand zijn, indien de D-flipflop DFF een kloksignaal clk1 ontvangt.

In figuur 2 is een synchrone teller volgens de uitvinding weergegeven, die als adresgenerator voor een halfgeleidergeheugen kan  
30 fungeren. De teller bevat een aantal telflipfloppe TF0, TF1, ... tot en met TF14 evenals een aantal EN-poorten EE1, EE2, EE3 tot en met EE14 en een verder aantal EN-poorten TE3, TE4 tot en met TE14. De teller uit figuur 2 bevat een ingang I die met de ingang van de telflipflop TF0 is verbonden evenals met een ingang van de EN-poorten EE1 en EE2. De  
35 uitgang van de telflipflop TF0 is verbonden met zowel een verdere ingang van de EN-poort EE1 als van de EN-poort EE2. De uitgang van de telflipflop TF0 vormt verder een adresbit A0. De uitgang van de EN-poort

8800860

EE1 is verbonden met de ingang van de tweede telflipflop TF1. De uitgang van de telflipflop TF1 vormt het adresbit A1 en is ook verbonden met de derde ingang van de EN-poort EE2. De uitgang van de EN-poort EE2 is verbonden met de ingang van de telflipflop TF2 en met een

5 vrijgeeflijn EP, waarop alle verdere EN-poorten EE3, EE4 enzovoorts tot en met EE14 zijn aangesloten met een eerste ingang. De uitgang van telflipflop TF2 vormt het adresbit A2 en een overdrachtssignaal ET voor de volgende telflipflop TF3. Dit overdrachtssignaal ET wordt via de EN-poort EE3 aan de ingang van telflipflop TF3 toegevoerd. De schakeling is

10 verder zodanig regelmatig opgebouwd dat de uitgang van de telflipflop  $TF_i$  het adresbit  $A_i$  vormt. Verder is de uitgang van de telflipflop  $TF_i$  via een overdracht-EN-poort  $TE_i$  en een vrijgeef-EN-poort  $EE_{i+1}$  verbonden met de ingang van de telflipflop  $TF_{i+1}$ . De variabele  $i$  kan in deze schakeling de waarden 3, 4 ... tot en met 14 aannemen. Bij het

15 voorgaande dient opgemerkt te worden dat niet alle uitgangen van de overdracht-EN-poorten  $TE_i$  van de transportmiddelen direkt verbonden zijn met de ingangen van de overdrachtspoort  $TE_{i+1}$ . Zoals in de figuur is aangegeven wordt het uitgangssignaal van de overdracht-EN-poort  $TE_5$  via een geheugenelement in de vorm van flipflop DF1 toegevoerd aan de

20 overdracht-EN-poort  $TE_6$ . Evenzo wordt de uitgang van de EN-poort  $TE_8$  via eenzelfde geheugenelement, te weten flipflop DF2, toegevoerd aan de EN-poort  $TE_9$  en de uitgang van de EN-poort  $TE_{11}$  wordt via eenzelfde geheugenelement, namelijk flipflop DF3, toegevoerd aan de ingang van de EN-poort  $TE_{12}$ . De toegepaste flipflopschakelingen in figuur 2 te weten

25 de telflipflop TF0 tot en met TF14 zullen aan de hand van figuur 3 verderop worden toegelicht.

De werking van de in figuur 2 weergegeven synchrone teller is als volgt. De in figuur 2 toegepaste flipfloppe ontvangen alle een kloksignaal clk. De tellerflipfloppe TF0 tot en met TF14 zijn

30 zogenaamde toggle-flipfloppe, de pijplijnflipfloppe DF1, DF2 en DF3 zijn zogenaamde D-flipfloppe. Zolang het ingangssignaal op de ingang  $i$  hoog is, zal de uitgang van flipflop TF0 bij elke klokpuls van logische waarde veranderen. De flipflop TF0 is dus een één-bit-teller. De

kombinatie van de flipfloppe TF0, TF1, TF2 en de EN-poorten EE1 en EE2

35 vormen samen een acht-bit-teller. De ingang I is direkt of via een enkele EN-poort EE1 of EE2 verbonden met de ingangen van de flipflop TF0, TF1 en TF2, zodat de teloperaties in deze flipfloppe nagenoeg

parallel plaatsvinden. Een telflipflop  $TF_i$  (met  $i=3, 4, 5, 6$ ) zal bij ontvangst van een kloksignaal zijn uitgangssignaal in logische waarde veranderen indien het uitgangssignaal van de EN-poort  $EE_i$  logisch hoog is. Het uitgangssignaal van de EN-poort  $EE_2$  dient daarbij logisch hoog te zijn, waarbij de uitgangssignalen van de voorgaande telflipflop-  
5  $TF_3, \dots, TF_{i-1}$  eveneens logisch hoog moeten zijn evenals de uitgang van de telflipflop  $TF_2$ . De uitgang van de EN-poort  $EE_2$  wordt namelijk aan alle EN-poorten  $EE_3$  tot en met  $EE_{14}$  toegevoerd evenals het uitgangssignaal van de telflipflop  $TF_2$  zij het dat dit signaal via de  
10 serieschakeling van de EN-poorten  $TE_3, TE_4$  enzovoorts aan de betreffende EN-poorten  $EE_4, EE_5$  enzovoorts wordt toegevoerd. In het ongunstigste geval zal via de transportmiddelen, die alle EN-poorten bevatten een overdrachtssignaal zich voortplanten via de serieschakeling van de EN-poorten  $TE_3$  tot en met  $TE_{14}$ , indien geen D-flipflop-  
15  $DF_1, DF_2, DF_3$  in deze serieschakeling zouden zijn opgenomen. Om geen ongewenste logische toestanden op de teluitgangen  $A_0$  tot en met  $A_{14}$  te laten optreden bij een volgende klokpuls zou een eerstvolgend kloksignaal pas mogen optreden, nadat het uitgangssignaal van telflipflop  $TF_2$  alle EN-poorten  $TE_3$  tot en met  $TE_{14}$  heeft doorlopen. Dit is een substantiële  
20 beperking van de telsnelheid van de synchrone teller. Nu wordt door de D-flipflop  $DF_1$  een overdrachtssignaal dat als een rimpelsignaal door de EN-poorten  $TE_3, TE_4, TE_5$  heen loopt bij het eerstvolgende kloksignaal opgenomen en pas dan aan de daarachter geschakelde EN-poorten  $TE_6, TE_7$  enzovoorts toegevoerd. Bij het daarna volgende kloksignaal wordt het  
25 overdrachtssignaal in de D-flipflop  $DF_2$  opgeslagen zodat pas daarna dit overdrachtssignaal aan de daarachter geschakelde EN-poort  $TE_9$  tot en met  $TE_{11}$  wordt toegevoerd enzovoorts.

Door het toevoegen van geheugenelementen, in de vorm van D-flipflop-  
30  $DF_1, DF_2$  en  $DF_3$  aan de transportmiddelen wordt ondanks de hoge frekwentie van een kloksignaal steeds een stationaire gewenste logische toestand op de adresuitgangsklemmen  $A_0$  tot en met  $A_{14}$  verzekerd. Door de voorgaande maatregel wordt de vertraging die overdrachtssignalen ondervinden bij het doorlopen van de EN-poorten  $TE_3$  tot en met  $TE_{14}$  verdeeld over een aantal klokperioden. Hierdoor is een  
35 hoge klokfrekwentie mogelijk. Bij de teller volgens figuur 2 zijn verschillende groepen te onderscheiden. Een eerste groep werkt in feite parallel en bevat de telflipflop-  
 $TF_0, TF_1$  en  $TF_2$ , die slechts met

één poortvertraging de telsnelheid nauwelijks beïnvloeden. In een tweede deel is er sprake van een seriële schakeling van een aantal telflipfloppe TF3 tot en met TF14 en van een aantal EN-poorten TE3 tot en met TE14, waarlangs een overdrachtssignaal zich moet voortplanten.

5 Een overdrachtssignaal wordt tot een volgende telflipflop TFi toegelaten via een poort EEi door een vrijgeefsignaal op vrijgeeflijn EP, dat parallel aan alle toegangs-EN-poorten EE3 tot en met EE14 wordt toegevoerd. De uitvoering van de synchrone teller zoals weergegeven, heeft de volgende konsekwenties. De teller zelf past uitstekend in een

10 synchrone timing-organisatie. Er is een zeer hoge telfrekwentie gelijk aan de klokfrekwentie mogelijk, zolang de tijdvertraging die overdrachtssignalen ondervinden in de verscheidene delen TE3,4,5 en DF1, EE3,4,5,6; TE6,7,8 en DF2, EE7,8,9; TE9,10,11 en DF3, EE10,11,12 van de transportmiddelen, kleiner is dan de klokpulsperiode. Er is buiten de

15 serieschakeling van de telflipfloppe TFi nauwelijks extra hardware in de vorm van logische poorten en verdere flipfloppe nodig en het aantal onderlinge verbindingen is beperkt. Derhalve is het ook mogelijk de teller uit te breiden tot een teller voor een groter aantal bits. De verschillende stukken in de teller te onderscheiden het parallelle stuk,

20 het seriële stuk, die onderling gescheiden worden door de pijplijnflipfloppe DF1, DF2, DF3, bevatten altijd een korrekte telkode. Er is op eenvoudige manier aan te geven dat de teller het volledige bereik van zijn telkapaciteit heeft bereikt en dus in een overflow-toestand is geraakt. De pijplijnflipfloppe DF1, DF2, DF3

25 hebben geen reset-faciliteiten nodig. De telprocedure kan naar believen gestopt worden en zonder enig probleem daarna willekeurig voortgezet worden. De verandering van telrichting is zonder veel problemen mogelijk zoals verderop wordt toegelicht en het instellen van een willekeurige teltoestand in de teller moet door een wachtperiode worden gevolgd ter

30 grootte van een aantal klokperioden gelijk aan het aantal pijplijnflipfloppe, in dit geval DF1 tot en met DF3. Deze voorwaarde geldt niet indien de nieuwe toestand van de teller inhoudt dat de modules van de eerste groep waarvan het overdrachtssignaal na de tweede groep wordt opgewekt, beginnen in de allereerste toestand van de

35 telcyclus. Dit geldt daarom omdat het vrijgeefsignaal EP het seriële transport in de seriële groep domineert. Het aantal flipfloppe in de parallelle sektie dient zodanig te zijn dat de telcyclus van de

. 8800860

parallele sekte groter is dan of gelijk is aan het getal van de pijplijnflipfloppe DF van de transportmiddelen.

In figuur 3 is een flipflop TFi uit figuur 2 weergegeven. Deze flipflop TFi bevat een eerste EXCLUSIEF-OF-poort E01, een tweede  
5 EXCLUSIEF-OF-poort E02 en een D-flipflop DF. Een eerste ingang van de EXCLUSIEF-OF-poort E01 vormt de ingang van de flipflop TFi. De uitgang van de EXCLUSIEF-OF-poort E01 is verbonden met de D-ingang van de flipflop DF. De uitgang van de flipflop DF is verbonden met een eerste ingang van de EXCLUSIEF-OF-poort E02 evenals met de tweede ingang van de  
10 EXCLUSIEF-OF-poort E01. De weergegeven D-flipflop DF vormt samen met de EXCLUSIEF-OF-poort E01 een als toggle geschakelde flipflop. De uitgang van de EXCLUSIEF-OF-poort E02 vormt de uitgang van de flipflop TFi. De tweede ingang van de EXCLUSIEF-OF-poort E02 bepaalt de telrichting van de in figuur 2 weergegeven synchrone teller. Deze tweede ingang van de  
15 EXCLUSIEF-OF-poort E02 van de flipflop TFi is uiteraard verbonden met ingangen van de EXCLUSIEF-OF-poorten E02 van de overige flipfloppe TFi van de teller uit figuur 2.

In de hiervoor weergegeven voorbeelden zijn ter toelichting van de uitvinding asynchrone en synchrone telschakelingen  
20 gebruikt. Echter de uitvinding is eveneens toepasbaar in logische schakelingen waarin andere dan alleen teloperaties worden uitgevoerd: zoals optel- en vermenigvuldigoperaties (parallel adders, multipliers, etcetera). Indien de uitvinding wordt toegepast in dergelijke schakelingen zal de effectieve operatiesnelheid lager liggen dan de met  
25 de klokpulsfrequentie maximaal haalbare. Echter de effectieve operatiesnelheid zal wel substantieel boven een operatiesnelheid liggen, die in bijvoorbeeld parallel-optelschakeling (adder), waarin overdrachtssignalen als een rimpelsignaal alle optelmodules kunnen doorlopen. Een optelschakeling volgens de uitvinding zou de volgende  
30 organisatie kunnen hebben. De parallel-opteller zou onder besturing van klokpulsen een optelling in drie stappen kunnen uitvoeren, waarbij een eerste deel van de opteller twee groepen (bijvoorbeeld 8-bit breed) minst significante bits optelt, welk deel transportmiddelen bevat voor het zich laten voortplanten van overdrachtssignalen. De duur van het  
35 zich voortplanten van de overdrachtssignalen dient kleiner te zijn als de inverse van de klokpulsfrequentie. Een eventueel optredend overdrachtssignaal dat aan een hoger significant bit toegewezen moet

8800860

gaan worden, wordt bij een volgende klokpuls in een geheugenelement opgeslagen, dat dat overdrachtssignaal aan de transportmiddelen van een tweede deel van de opteller toevoert. Bij dit volgend kloksignaal worden dan ook in dat tweede deel twee groepen bits van een hogere  
5 significantie optelt (bijvoorbeeld bit 9 tot 16 van 24-bit-brede woorden). Evenzo wordt een in het tweede deel van de opteller eventueel gegenereerd overdrachtssignaal bij de daarnavolgende klokpuls aan een derde deel van de opteller toegevoerd, die de groepen van hoogst  
10 stabiele, gewenste toestand op de uitgangen van de drie delen optreedt maar dat het volledige resultaat van de optelling pas na de derde klokpuls beschikbaar is. Echter bij kumulatieve optelling kan het eerste deel van de opteller reeds een deel van een volgend 24-bit woord bij zijn inhoud optellen, waarbij het tweede deel van de opteller het  
15 middelste deel van het voorgaande op te tellen woord optelt. Met deze pijplijnverwerking wordt de effectieve operatiesnelheid weer verhoogd.

. 8800860

## Konklusies:

1. Logisch netwerk samengesteld uit  $m$  in cascode geschakelde (niet noodzakelijkerwijze identieke) logische modules voor het bewerken van digitale signalen, waarbij  $m$  groter is dan of gelijk is aan 8 en waarbij de werking van een logische module  $i$  afhankelijk is van ten  
5 minste een overdrachtssignaal, dat in ten minste een van de module  $i$  voorafgaande modules 1, 2, ...,  $i-1$  of in ten minste een van de module  $i$  navolgende modules  $i+1$ ,  $i+2$ , ...  $m$  wordt opgewekt, waarbij in transportmiddelen is voorzien voor het transporteren van het ten minste ene overdrachtssignaal, met het kenmerk, dat de transportmiddelen een  
10 cascodeschakeling van logische elementen, die een rimpelsignaalpad vormen, en ten minste een geheugenelement bevatten, waarbij het rimpelsignaalpad in ten minste twee delen is verdeeld, tussen welke delen steeds een geheugenelement is geplaatst voor het blokkeren van een rimpelsignaal, dat door een verandering in de logische toestand van het  
15 logisch netwerk is opgewekt, en voor het doorgeven van het rimpelsignaal aan het op de uitgang van het geheugenelement aangesloten deel van het rimpelpad bij ontvangst van een volgende klokpulssignaal.
2. Logisch netwerk volgens konklusie 1, met het kenmerk, dat het ten minste ene geheugenelement een met klokpulssignalen bestuurd  
20 fliplfopschakeling is.
3. Logisch netwerk volgens konklusie 2, met het kenmerk, dat de logische modules een reeks in serie geschakelde fliplfopschakelingen bevatten, die een asynchrone teller vormen, waarbij het ten minste ene geheugenelement tussen twee delen van de serieschakeling is geplaatst,  
25 waarbij de frekwentie van aan de asynchrone teller toe te voeren pulsen gelijk is aan of lager is dan de frekwentie van het kloksignaal, en dat bij het optreden van het kloksignaal de op de ingang van het geheugenelement aangesloten uitgang van een in een deel van de serieschakeling laatst zijnde flipflop in een stabiele toestand  
30 verkeert.
4. Logisch netwerk volgens konklusie 2, met het kenmerk, dat de logische modules een serieschakeling van met het kloksignaal bestuurd telflipflopschakelingen bevatten, waarbij de transportmiddelen een seriepoortschakeling van een aantal poortschakelingen bevatten,  
35 waarbij van elke poortschakeling een ingang is verbonden met een uitgang van een telflipflopschakeling en een verdere ingang is verbonden met de uitgang van een voorgaande poortschakeling hetzij op direkte wijze

8800860

hetzij via een geheugenelement.

5. Logisch netwerk volgens konklusie 4, met het kenmerk, dat de uitgang van een telflipflop via een poortschakeling uit de seriepoortschakeling en via een verdere poortschakeling is verbonden met
- 5 een eerstvolgende in de serieschakeling gerangschikte telflipflop, van welke verdere poortschakelingen een tweede ingang is verbonden met de ingang van die telflipflopschakeling, waarvan de uitgang met de eerste poort van de seriepoortschakeling van poortschakelingen is verbonden.
6. Logisch netwerk volgens konklusie 5, met het kenmerk, dat
- 10 de logische poortschakelingen een EN-functie uitvoeren.
7. Logisch netwerk volgens konklusie 4, 5 of 6, met het kenmerk, dat elke telflipflopschakeling een toggle-flipflop en een EXCLUSIEF-OF-poort bevat, waarbij een ingang van de toggle-flipflop de ingang van de telflipflop vormt, de uitgang van de EXCLUSIEF-OF-poort de
- 15 uitgang van de telflipflop vormt en de uitgang van de toggle-flipflop met een ingang van de EXCLUSIEF-OF-poort is verbonden, waarbij alle tweede ingangen van de EXCLUSIEF-OF-poorten met elkaar zijn verbonden.

8800860

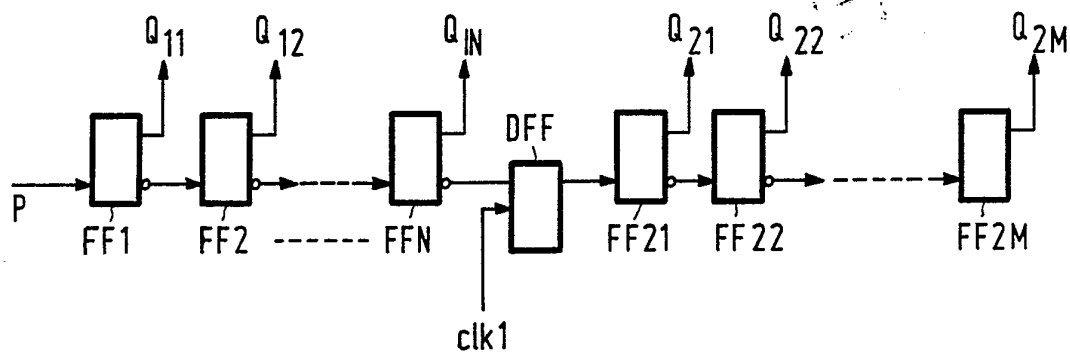


FIG. 1

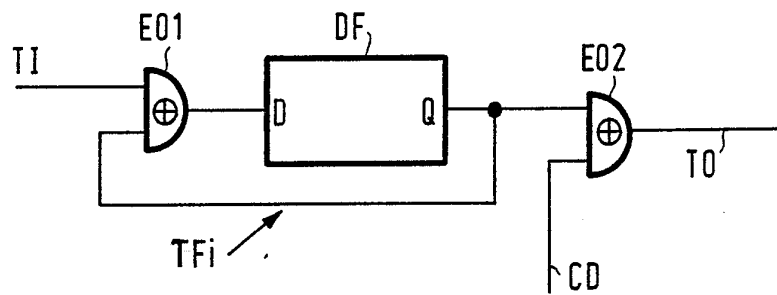


FIG. 3

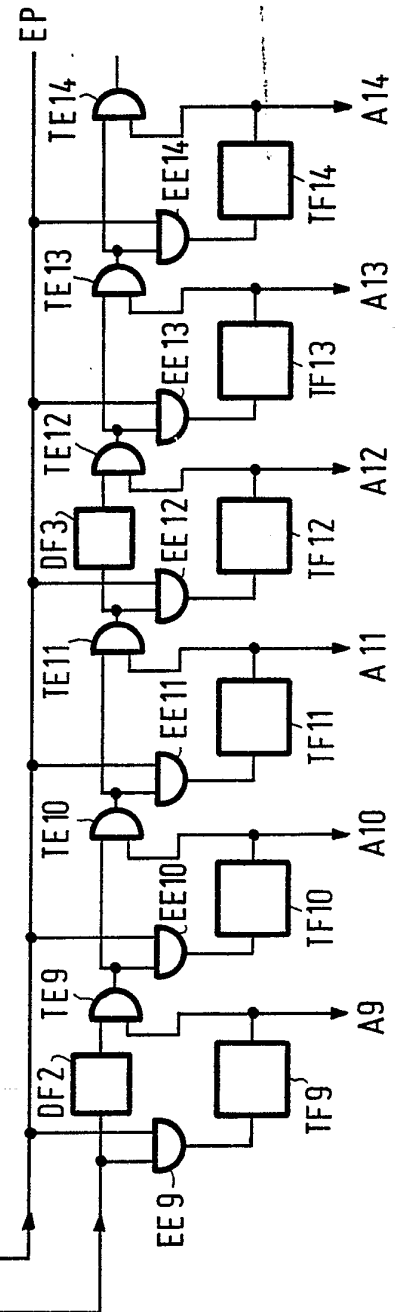
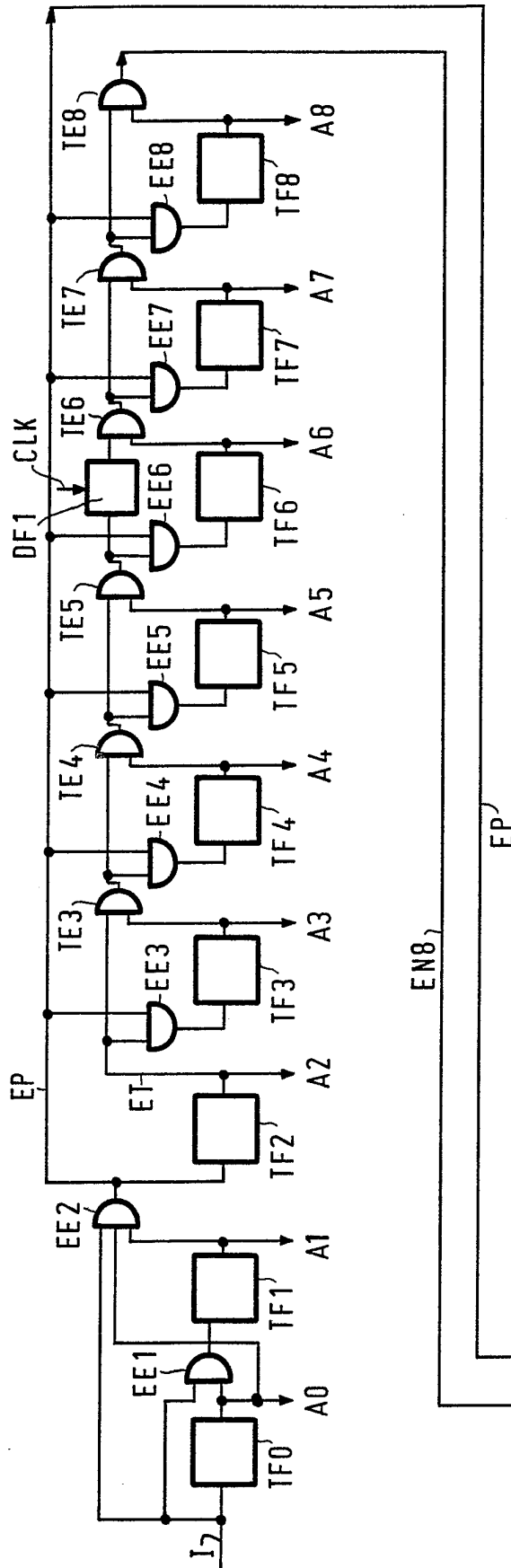


FIG. 2