

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年12月9日(09.12.2021)



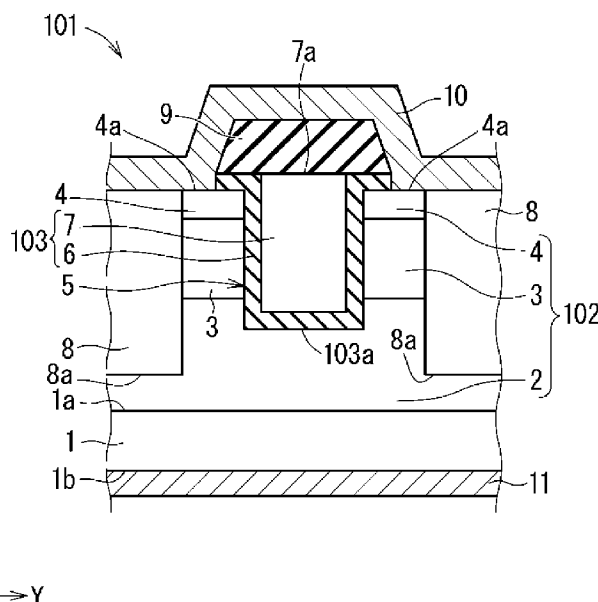
(10) 国際公開番号

WO 2021/245895 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/812* (2006.01)
H01L 29/12 (2006.01) *H01L 21/337* (2006.01)
H01L 21/338 (2006.01) *H01L 29/808* (2006.01)
H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2020/022215
- (22) 国際出願日: 2020年6月5日(05.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:今井 章文(IMAI Akifumi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 林田 哲郎(HAYASHIDA Tetsuro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 南條 拓真(NANJO Takuma); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 綿引 達郎(WATAHIKI Tatsuro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人:吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中心区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(54) **Title:** SEMICONDUCTOR DEVICE AND PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) **Abstract:** A semiconductor device (101) comprises: a second layer (2) which is an n-type semiconductor and is located on a first layer (1) which is an n-type semiconductor; a third layer (3) which is located on the second layer and is an n-type or intrinsic semiconductor; a fourth layer (4) which is located on the third layer and is an n-type semiconductor; a gate electrode (7) which is located along a first direction in which the second layer, the third layer, and the fourth layer are stacked, is insulated from the second layer, the third layer, and the fourth layer, and faces the third layer in a second direction different from the first direction; and a fifth layer (5) which is a semiconductor having a conduction band that

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

forms a discontinuous interface between the third layer and the fifth layer, or which does not have an electrical charge that contributes to electrical conduction. At least the third layer is sandwiched between the fifth layer and the gate electrode in the second direction. The third layer has a bandgap that is greater than the bandgap of the second layer and the bandgap of the fourth layer.

(57) 要約: 半導体装置(101)は、n型半導体である第1層(1)上に位置してn型半導体である第2層(2)と、前記第2層上に位置してn型または真性の半導体である第3層(3)と、前記第3層上に位置してn型半導体である第4層(4)と、前記第2層、前記第3層、前記第4層が積層される第1方向に沿って位置して前記第2層、前記第3層、前記第4層のいずれとも絶縁され、前記第1方向とは異なる第2方向において前記第3層と対向するゲート電極(7)と、前記第3層との間において伝導帯が不連続な界面を形成する半導体であるか、または電導に寄与する電荷を有しない第5層(5)とを備える。前記第5層は前記第2方向において前記ゲート電極との間に少なくとも前記第3層を挟む。前記第3層のバンドギャップは前記第2層のバンドギャップおよび前記第4層のバンドギャップのいずれよりも大きい。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] Si（シリコン）を基材とした半導体装置が公知である。当該半導体装置の構造の例として、GTO（Gate Turn-Off thyristor）やIGBT（Insulated Gate Bipolar Transistor）が挙げられる。これらはいわゆる縦型の構造を有する。縦型の構造を有する半導体装置は、高耐圧および大電流を用いた駆動という要求に対応して、基板の面積あたりの効率を向上させる。オン抵抗と耐圧とのトレードオフの観点からは、従来の半導体装置の性能は、Siの物性定数に起因する限界に迫っている。

[0003] 例えば特許文献1においては、Siよりも物性定数が良好な化合物半導体を基材とした電界効果トランジスタが提案されている。当該化合物半導体の材質は、例えばSiC（炭化シリコン）、GaN（窒化ガリウム）、AlN（窒化アルミニウム）である。

[0004] GaN、AlNによって例示される窒化物半導体は飽和電子速度が大きいので、窒化物半導体を基材とする半導体装置には高周波における良好な駆動が期待される。

[0005] Al（アルミニウム）の添加によって窒化物半導体のバンドギャップが変調される。例えば特許文献2においては、このような変調を活用した構造を有する半導体装置が提案される。

[0006] 2次元電子ガスが誘起されるヘテロ界面は、窒化物半導体を採用して形成され得る。2次元電子ガスは半導体装置の低抵抗化に寄与する。例えば特許文献3においては、このような寄与を活用した構造を有する半導体装置が提案される。

先行技術文献

特許文献

[0007] 特許文献1：特許第5 6 1 7 1 7 5号公報

特許文献2：特許第4 8 5 0 9 9 7号公報

特許文献3：特許第5 6 7 2 7 3 4号公報

発明の概要

発明が解決しようとする課題

[0008] 窒化物半導体を基材とする半導体装置において、Siを基材とする半導体装置と同様に、pn接合を障壁に利用した構造を採用することも考えられる。しかし窒化物半導体においてはp型不純物を電氣的に活性化させにくい。

[0009] 例えば窒化物半導体において、Siと同様にイオン注入と熱処理とを用いてp型不純物の電氣的な活性化が図られる場合を想定する。この場合には熱処理時に窒化物半導体の表面においてN（窒素）が解離する。このような解離は空孔（いわゆる「N空孔」）を生成し、N空孔がアクセプタ不純物を補償してしまう。

[0010] 例えば窒化物半導体において、気相エピタキシャル成長法を用いてp型不純物の導入を図る場合には、気相反応において水素が取り込まれる。取り込まれた水素はアクセプタ不純物を終端し、アクセプタ不純物を電氣的に不活性にしてしまう（電氣的な「不活性化」とも説明され得る）。

[0011] 窒化物半導体においてp型不純物を電氣的に活性化させにくいことは、p型半導体における実効的なアクセプタ不純物濃度を低下させやすい。かかる低下は、pn接合を利用した半導体装置における閾値電圧の制御性、およびパンチスルー電流の抑制という観点において、望ましくない。

[0012] 窒化物半導体を基材とする半導体装置において、分極障壁を採用することも考えられる。ここにおいて「分極障壁」とは、分極電荷によって誘起される障壁を指す。例えば分極障壁は、Nの電氣的陰性度が大きいことに由来する自発分極によって発生することもあるし、ヘテロ界面における格子定数の差に由来するピエゾ分極によって発生することもあるし、自発分極およびピエゾ分極の両方によって発生することもある。例えば窒化物半導体における

分極障壁は、Alの添加に起因するバンドギャップの変調によって形成される。

[0013] 窒化物半導体を基材として分極障壁を利用した半導体装置において、高電圧が印加されたときに流れるパンチスルー電流の抑制は考慮されていなかった。

[0014] 本開示は上記の問題を解決するためになされたものであり、高いパンチスルー耐性を有する半導体装置、および当該半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0015] 本開示による半導体装置は、導電性がn型の半導体であって、互いに対向する第1面と第2面とを有する第1層と、前記第1面上に位置し、導電性がn型の半導体であって第1バンドギャップを有する第2層と、前記第2層上に位置し、前記第1バンドギャップよりも大きな第2バンドギャップを有し、導電性がn型であるかまたは真性の半導体である第3層と、前記第3層上に位置し、前記第3層と反対側に第3面を有し、前記第2バンドギャップよりも小さな第3バンドギャップを有し、導電性がn型の半導体である第4層と、前記第2面において前記第1層と電氣的に接続されるドレイン電極と、前記第3面において前記第4層と電氣的に接続されるソース電極と、前記第2層、前記第3層、前記第4層が積層される第1方向に沿って位置し、前記第2層、前記第3層、前記第4層のいずれとも絶縁され、前記第1方向とは異なる第2方向において前記第3層と対向するゲート電極と、前記第2方向において前記ゲート電極との間に少なくとも前記第3層を挟み、前記第3層との間において伝導帯が不連続な界面を形成する半導体であるか、または電導に寄与する電荷を有しない第5層とを備える。

[0016] 本開示による半導体装置の製造方法は、導電性がn型の半導体であって互いに対向する第1面と第2面とを有する第1層の前記第1面上に、導電性がn型の半導体であって第1バンドギャップを有する第2層を形成し、前記第2層上に、前記第1バンドギャップよりも大きな第2バンドギャップを有し

、導電性がn型であるかまたは真性の半導体である第3層を形成し、前記第3層上に、前記第3層と反対側に第3面を有し、前記第2バンドギャップよりも小さな第3バンドギャップを有し、導電性がn型の半導体である第4層を形成し、前記第3面の第1領域から前記第4層および前記第3層を貫通して前記第2層に至り、前記第1層に至らずに前記第2層を露出させる溝（第1溝）を形成し、絶縁膜を介して前記溝（第1溝）を埋めるゲート電極と前記絶縁膜とを形成する。

[0017] 当該製造方法の第1の態様は、前記第3面のうち前記第1領域から離れた第2領域に対してイオンを注入して、少なくとも前記第3層の一部を電氣的に不活性化し、前記第1領域と前記第2領域とに挟まれた位置において前記第3面と接触し、前記ゲート電極と接触しないソース電極を形成し、前記第2面上にドレイン電極を形成する。

[0018] 当該製造方法の第2の態様は、前記第3面のうち前記第1領域から離れた第2領域から前記第4層および前記第3層を貫通して第2層に至り前記第2層を露出させる第2溝を形成し、前記第2溝を、前記第3層との間において伝導帯が不連続な界面を形成する半導体であるか、または電導に寄与する電荷を有しない層によって埋めることと、前記第1領域と前記第2領域とに挟まれた位置において前記第3面と接触し、前記ゲート電極と接触しないソース電極を形成し、前記第2面上にドレイン電極を形成する。

発明の効果

[0019] 本開示による半導体装置によれば高いパンチスルー耐性が得られる。本開示による半導体装置の製造方法によれば本開示による半導体装置が得られる。

[0020] 本開示の目的、特徴、態様、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

[0021] [図1]実施の形態1にかかる半導体装置の構造を模式的に例示する断面図である。

[図2]実施の形態1にかかる半導体装置の製造方法を例示する断面図である。

[図3]実施の形態1にかかる半導体装置の製造方法を例示する断面図である。

[図4]実施の形態1にかかる半導体装置の製造方法を例示する断面図である。

[図5]実施の形態1にかかる半導体装置の製造方法を例示する断面図である。

[図6]実施の形態1にかかる半導体装置の製造方法を例示する断面図である。

[図7]実施の形態1にかかる半導体装置の製造方法を例示する断面図である。

[図8]実施の形態1にかかる半導体装置の製造方法を例示する断面図である。

[図9]実施の形態1にかかる半導体装置の製造方法を例示する断面図である。

[図10]実施の形態1にかかる半導体装置の製造方法を例示する断面図である。

。

[図11]実施の形態1にかかる半導体装置の製造方法の変形を例示する断面図である。

[図12]実施の形態2にかかる半導体装置の構造を模式的に例示する断面図である。

[図13]実施の形態3にかかる半導体装置の構造を模式的に例示する断面図である。

[図14]実施の形態4にかかる半導体装置の構造を模式的に例示する断面図である。

発明を実施するための形態

[0022] 本開示にかかる半導体装置およびその半導体装置の製造方法が、図面を用いて以下の実施の形態において説明される。

[0023] 本開示にかかる半導体装置およびその半導体装置の製造方法は、これらの実施の形態により限定されるものではなく、その要旨を逸脱しない範囲において適宜に変更されてもよい。図面においては、理解の容易のため、各部材あるいは各部材の縮尺及び縦横比が現実の縮尺及び縦横比と異なる場合があり、図面同士の間においても同様である。

[0024] [実施の形態1]

<構造>

図1は実施の形態1にかかる半導体装置101の構造を模式的に例示する断面図である。半導体装置101は、第1層1、第2層2、第3層3、第4層4、第5層8、絶縁ゲート電極103を含む。

[0025] 第1層1、第2層2、第3層3、第4層4はこの順に、図1における例示においては下方から上方へ向かって、積層される。便宜上、第1層1から第4層4へ向かう方向が積層方向Xと表現される。図面において積層方向Xは下方から上方へ向かう方向として図示される。

[0026] 便宜上、積層方向Xと直交する方向が方向Yと表現される。図面において方向Yは左から右へ向かう方向として図示される。便宜上、積層方向Xおよび積層方向Xと反対の方向の総称として「縦方向」との表現が採用される。このような「縦」の概念はいわゆる縦型の構造における「縦」と整合する。

[0027] また「横方向」との表現が、方向Yのみならず、方向Yとは反対の方向をも含めて採用される。

[0028] 第1層1はn型導電のGa_{1-x}N層である。ここにおいて「n型導電の」は、導電性がn型であることを指す。第1層1の面1aが第2層2に接する。面1aは例えばGa極性を示すc面（（0001）面）である。第1層1は第2層2の基板として機能する。

[0029] 第2層2はn型導電のGa_{1-x}N層である。第2層2は半導体装置101のドリフト層として機能する。第3層3はn型導電のAl_bGa_(1-b)N層である。第3層3は半導体装置101のチャネル層として機能する。例えばb=0.18が選定される。第4層4はn型導電のGa_{1-x}N層である。第4層4は半導体装置101の電子供給層として機能する。第2層2、第3層3、第4層4は纏まって、積層半導体102として捉えられる。第1層1、第2層2、第3層3、第4層4、積層半導体102はいずれも窒化物半導体である。第1層1は積層半導体102の基板であるといえる。

[0030] 第3層3のバンドギャップは第2層2のバンドギャップおよび第4層4のバンドギャップのいずれよりも大きい。第4層4のバンドギャップは第3層3のバンドギャップよりも小さい。第3層3と第2層2との間、および第3

層3と第4層4との間のいずれにおいても、ヘテロ界面が形成され、分極障壁が発生する。

[0031] 絶縁ゲート電極103は縦方向において、第4層4の第2層2とは反対側の面4aから、第4層4および第3層3を貫通し、第2層2まで存在する。絶縁ゲート電極103の第1層1に近い方の面103aは面1aと離れる。面1aと面103aとの間には第2層2が存在する。

[0032] 絶縁ゲート電極103は溝5および面4aにおいて存在する。溝5は積層半導体102において形成され、積層方向Xに向いて開口する。絶縁ゲート電極103の一部が溝5に埋め込まれている、と捉えられる。

[0033] 絶縁ゲート電極103はゲート絶縁膜6とゲート電極7とを有する。ゲート電極7は横方向において、少なくとも第3層3と対向する。図1の例示においては、ゲート電極7は横方向において、第3層3の他、第4層4と、第2層2の一部とも対向する。

[0034] ゲート絶縁膜6はゲート電極7と積層半導体102との間に存在する。面103aはゲート絶縁膜6が積層半導体102と接触する領域の一部である。溝5においてゲート絶縁膜6はゲート電極7を縦方向にも横方向にも覆う。図1の例示においてはゲート電極7は積層方向Xにおいて面4aを覆わない。ゲート電極7の横方向における周囲においてゲート絶縁膜6が面4aに接触する。

[0035] ゲート絶縁膜6の材質は例えば酸化ケイ素(SiO_2)である。ゲート電極7の材質は例えば多結晶シリコン(poly-Si)である。

[0036] 第5層8は横方向においてゲート電極7との間に少なくとも第3層3を挟む。例えば第5層8は横方向においてゲート電極7との間に第3層3とゲート絶縁膜6とを挟む。第5層8は横方向において第3層3を挟んで絶縁ゲート電極103と対向する。

[0037] 半導体装置101においては第5層8が縦方向において、面4aから第4層4および第3層3を貫通し、第2層2まで存在する。第5層8の第1層1に近い方の面8aは面1aと離れる。面1aと面8aとの間には第2層2が

存在する。第5層8は縦方向において第1層1との間に少なくとも第2層2を挟む。第5層8は縦方向において少なくとも第2層2を挟んで第1層1と対向する。

[0038] 第5層8が採用されない構造と比較すると、第5層8は横方向において第3層3を狭める、と捉えられる。この観点で第5層8を狭窄用層ということもできる。

[0039] 例えば第5層8は、電導に寄与する電荷を有しない層である。第5層8は例えば絶縁層であり、空気であってもよい。第5層8は例えば、電氣的な活性化がなされた不純物を有しない半導体である。第5層8の材質が電導に寄与する電荷を有する場合については後述される。

[0040] 半導体装置101は、層間絶縁膜9と、ソース電極10と、ドレイン電極11とを更に含む。ゲート電極7の積層方向X側の面7aは層間絶縁膜9によって覆われる。図1においては絶縁ゲート電極103は、その積層方向X側において層間絶縁膜9によって覆われる場合が例示される。

[0041] 図1の例示においては、第4層4を覆うゲート絶縁膜6が層間絶縁膜9によって覆われる。層間絶縁膜9はゲート電極7とソース電極10との間を絶縁する機能を有する。層間絶縁膜9は縦方向において、ゲート絶縁膜6を介して面4aと対向する。面4aのうちゲート絶縁膜6に覆われない部分と、ソース電極10とが接触し、第4層4とソース電極10とが電氣的に接続される。図1の例示においては、第5層8および層間絶縁膜9が、その積層方向X側においてソース電極10に覆われる場合が例示される。

[0042] ドレイン電極11は第1層1の面1bを覆い、第1層1とドレイン電極11とが電氣的に接続される。面1a、1bを除いて考えた第1層1を挟んで、面1aと面1bとが対向する。図1の例示においては、積層方向Xは、面1bから面1aへ向かう方向である。面1aがc面であるとき面1bはN極性を示すcバー面（（0001バー）面）である。本実施の形態および以下の実施の形態において「cバー」は通常の表記においては記号「c」に上線が付記される表記を意味し、「1バー」は通常の表記においては記号「1」

に上線が付記される表記を意味する。

[0043] ソース電極 10 およびドレイン電極 11 は、例えば、いずれも Ti (チタン) / Al / Ni (ニッケル) / Au (金) の積層構造を有する。ソース電極 10 においては Ti 層が面 4a と接触する。ドレイン電極 11 においては Ti 層が面 1b と接触する。

[0044] 半導体装置 101 は、電子供給層たる第 4 層 4 とチャネル層たる第 3 層 3 との間に分極障壁を有し、ドリフト層たる第 2 層 2 とチャネル層たる第 3 層 3 との間に分極障壁を有する。

[0045] 窒化物半導体においては p 型不純物を活性化させることは難しい。半導体装置 101 においては導電性が p 型である窒化物半導体（以下「p 型導電の窒化物半導体」と称す）が採用される必要性がない。かかる必要性の回避は、pn 接合を利用した半導体装置と比較して、窒化物半導体を基材とする半導体装置における閾値電圧の制御性（以下「閾値制御性」と称す）を高める。半導体装置 101 によれば、チャネル層に p 型導電の窒化物半導体がい用いられなくても、分極障壁を利用した電子電流をスイッチングによって制御することが可能である。

[0046] 半導体装置 101 は縦型トレンチ MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) として機能する。チャネル層に p 型導電の窒化物半導体を用いない縦型トレンチ MOSFET の動作は、例えば特許文献 3 において公知であるので、本開示においては省略される。

[0047] p 型導電の窒化物半導体によって電位を固定する効果は、半導体装置 101 において得られないかも知れない。かかる効果の有無に依らず、半導体装置 101 においては高電圧が印加されたときのパンチスルー電流が第 5 層 8 によって低減される。

[0048] 第 3 層 3 はチャネル層として機能し、ゲート電極 7 に近いチャネル層よりも、ゲート電極 7 から遠いチャネル層においてパンチスルーが発生しやすい。半導体装置 101 は、第 5 層 8 が存在しない半導体装置と比較して、チャネル層として機能する第 3 層 3 のうち、パンチスルーが発生しやすい部分が

第5層8によって置換された構造を有する。

[0049] 当該置換は第3層3においてパンチスルーが発生しやすい領域を低減し、パンチスルー電流の低減に寄与する。半導体装置101は、第5層8が存在しない場合と比較して高いパンチスルー耐性を有する。

[0050] 半導体装置101の特性は、p型導電の窒化物半導体における不純物活性化率に依存する可能性が低い。かかる可能性が低いことは、半導体装置101が閾値制御性に優れることに寄与する。

[0051] <緒元の設計>

第2層2、第3層3、第4層4の厚みや組成、ドーピング濃度は半導体装置101に要求される仕様に依拠して設計される。

[0052] 例えば第2層2の厚さ（積層方向Xにおける長さ：以下同様）は $10\mu\text{m}$ であり、第3層3の厚さは $1\mu\text{m}$ であり、第4層4の厚さは $0.1\mu\text{m}$ である。これらの膜厚は一例に過ぎない。上記の値以外の膜厚であっても、本開示の趣旨を逸脱しない範囲において任意に選択され得る。これらの膜厚は、半導体装置101の耐圧およびオン抵抗の何れか一方、あるいはこれらの両方に基づく要求に従って適当に選択され得る。

[0053] 第2層2において $\text{Al}_a\text{Ga}_{(1-a)}\text{N}$ 層が採用されてもよいし、第4層4において $\text{Al}_c\text{Ga}_{(1-c)}\text{N}$ 層が採用されてもよい。但し第2層2および第4層4のいずれも、第3層3と比較してAl組成が小さい。例示された組成比に即すると、 $b > a$ かつ $b > c$ という設定が採用される。

[0054] Al組成が異なって（Al組成が0の場合も含め）接合される2種の AlGaN 層は、エピタキシャル成長法（例えば有機金属気相成長法（metalorganic vapor phase epitaxy：以下「MOVPE」と称す））を用いて実現される。この場合、当該2種の AlGaN 層が接合される界面において、格子定数の不整合に由来してクラックが発生する可能性がある。当該2種の AlGaN 層におけるAl組成の相違が大きいほど、2種の AlGaN 層の界面からクラックが発生する可能性は高い。

[0055] かかるクラックが発生する可能性を低減する観点から、第3層3のAl組

成は、第3層3の中央からみて第2層2に近いほど（積層方向Xと反対側に進むほど）小さく、第3層3の中央からみて第4層4に近いほど（積層方向Xに進むほど）小さい。第3層3のA組成は第3層3の中央に近いほど大きくてもよい。第3層3のA組成は積層方向Xに沿って均一である必要はない。

[0056] A I G a N半導体は、そのA組成が大きいほど、絶縁破壊電界強度が高い。第2層2におけるA組成が大きいほど、半導体装置101の耐圧が向上する。A I G a N半導体は、そのA組成が大きいほど合金散乱による電子移動度が小さく、抵抗率が高い。第2層2におけるA組成が大きいほど、半導体装置101のオン抵抗が大きい。大電流を用いて半導体装置101を駆動するには、第2層2においてA組成が小さくされ、半導体装置101のオン抵抗が小さくされる。かかる観点から、実施の形態1においては第2層2がG a N層である（つまり $a=0$ ）場合が例示される。

[0057] 第4層4のA組成が小さいほど、第4層4とソース電極10とが接合される界面における伝導帯の不連続量は低下する傾向にある。第4層4のA組成が小さいと、第4層4とソース電極10との間におけるコンタクト抵抗が小さい。かかる観点から、実施の形態1においては第4層4がG a N層である（つまり $c=0$ ）場合が例示される。

[0058] 電子電流を阻止する機能を果たす分極障壁を実現する観点から、分極障壁において伝導帯が不連続となるエネルギーは、室温に対応する熱エネルギー（ 0.026 eV ）の例えば10倍以上に設計される。

[0059] 例えば第3層3と第4層4とが接合される界面における伝導帯の不連続量は 0.35 eV 以上である。かかる不連続量が得られる例として、上述の組成比を用いて言えば、 $b - c \geq 0.1$ である。第4層4がG a N層であるときには $c=0$ であり、上述において例示された $b=0.18$ は $b - c \geq 0.1$ を満足する。

[0060] 第3層3と第2層2との間にも同様の関係が望まれ、 $b - a \geq 0.1$ である。第2層2がG a N層であるときには $a=0$ であり、上述において例示さ

れた $b = 0.18$ は $b - a \geq 0.1$ を満足する。

[0061] 第3層3におけるAlの組成bは1未満である。エピタキシャル成長の途中において格子の不整合に起因したクラックの発生を回避する観点においては、 $b \leq 0.8$ が望ましく、 $b \leq 0.5$ がより望ましい。

[0062] 上記を纏めるとAl組成a, b, cは、 $0 \leq a \leq b - 0.1$ 、かつ、 $0 \leq c \leq b - 0.1$ 、かつ、 $b < 1$ （望ましくは $b \leq 0.8$ 、更に望ましくは $b \leq 0.5$ ）を満足する。

[0063] 積層半導体102にはn型導電の半導体、真性半導体（いわゆるi型）が含まれ得るが、p型導電の半導体が含まれる必要はない。第3層3としてAlGaIn層が用いられる場合、真性半導体を意図して作製されてもよい。いわゆるUID（unintentionally doped：意図されずにドーピングされた）半導体を得られるからである。

[0064] AlGaIn層を成膜する工程において、Siや酸素（O）が不純物となってAlGaIn層半導体に取り込まれることにより、弱いn型の導電性を有するAlGaIn層が得られる。例えばエピタキシャル成長に用いられる成長炉の内壁から、上述のSiやOが脱離する。AlGaIn層を成膜する工程においてN空孔が形成されることによっても、弱いn型の導電性を有するAlGaIn層が得られる。

[0065] 面1aはN極性を示すcバー面であってもよい。このとき、面1bはGa極性を示すc面である。積層半導体102をエピタキシャル成長法によって作製するとき、面4aがGa極性とN極性のいずれを示すかは、面1aがGa極性とN極性のいずれを示すかに依存する。実施の形態1において面1a, 4aがGa極性とN極性のいずれを示すかは不問である。

[0066] ゲート絶縁膜6の膜厚が大きいとゲート絶縁膜6の絶縁破壊を誘発する電圧は高い。ゲート絶縁膜6の膜厚が大きいと半導体装置101の閾値電圧が高く、ゲート電極7を用いた半導体装置101の制御性が低い。ゲート絶縁膜6の膜厚が小さいと閾値電圧が低く、かつゲート絶縁膜6の絶縁破壊が誘発されやすい。かかる観点から、ゲート絶縁膜6の膜厚は例えば30～100

0 nmに設計される。例えば実施の形態1においてはゲート絶縁膜6の膜厚は50 nmである。

[0067] ゲート絶縁膜6の材質には、チャネル層として機能する第3層3に選定された窒化物半導体のバンドギャップよりも大きいバンドギャップを有する材質が選定される。ゲート絶縁膜6の電子親和力が小さいと、伝導帯側の不連続量が大きく、ゲート絶縁膜6と第3層3との間の電子障壁が得られやすい。

[0068] かかる観点に鑑みて、ゲート絶縁膜6の材質の例として、 SiO_2 、酸化アルミニウム (Al_2O_3)、窒化ケイ素 (Si_3N_4)、窒化アルミニウム (AlN)、酸化ハフニウム (HfO_2)、酸化ランタン (La_2O_3)、酸化ガドリニウム (Gd_2O_3) が挙げられる。

[0069] ここに例示された材質は全て2元系であるが、これらが2種類以上組み合わせさせた混晶系や多層の複合膜がゲート絶縁膜6に採用されてもよい。例えば実施の形態1においてはゲート絶縁膜6の材質は SiO_2 である。

[0070] ゲート電極7の材質の例として、リン (P) あるいはホウ素 (B) がドーピングされた多結晶シリコンが挙げられる。ゲート電極7の材質として金属が用いられてもよいし、窒化チタン (TiN) が用いられてもよい。ゲート電極7は単層である必要はなく、例えば、金属と多結晶シリコンとの積層構造を有してもよい。

[0071] 層間絶縁膜9の厚さは、半導体装置101の制御性が考慮されるゲート絶縁膜6ほどには制約されない。例えば層間絶縁膜9の膜厚は半導体装置101に要求される耐圧によって設計される。層間絶縁膜9の膜厚が本開示の趣旨に与える影響は小さい。例えば実施の形態1においては層間絶縁膜9の厚さは100 nmであるが、100 nmより大きくてもよい。層間絶縁膜9の膜厚は技術的に常識的な範囲において任意に設定してよい。

[0072] 層間絶縁膜9の材質も、ゲート絶縁膜6の材質と同様に、例えば電子親和力の小さな材質が用いられる。層間絶縁膜9の材質の例として、ゲート絶縁膜6の材質と同様に、先に挙げた SiO_2 、 Al_2O_3 、 Si_3N_4 、 AlN 、H

fO_2 、 La_2O_3 、 Gd_2O_3 が挙げられる。層間絶縁膜9の材質として酸化ジルコニウム(ZrO_2)、酸化ガリウム(Ga_2O_3)、酸化タンタル(Ta_2O_3)が用いられてもよい。

[0073] ここに例示された材質は全て2元系であるが、これらが2種類以上組み合わせさせた混晶系や多層の複合膜が層間絶縁膜9に採用されてもよい。例えば実施の形態1においては層間絶縁膜9の材質は SiO_2 である。

[0074] 第5層8の抵抗率は、例えば $10\text{M}\Omega\text{cm}$ 以上である。第5層8の材質が電導に寄与する電荷を有してもよい。第5層8の材質が窒化物半導体である場合について以下に例示する。半導体の抵抗率は半導体のキャリア密度とキャリアの移動度との積に反比例する。キャリア密度を低下させる、キャリア移動度を低下させる、あるいはキャリア密度とキャリア移動度との両方を低下させることが、半導体の抵抗率の増大に寄与する。

[0075] 深いアクセプタ準位を形成する不純物がドーパされた窒化物半導体は、そのキャリア密度が小さく、第5層8として採用できる。当該不純物の例として、鉄(Fe)や炭素(C)がよく知られており、その他にもコバルト(Co)、マンガン(Mn)、バナジウム(V)がある。非晶質構造を有する窒化物半導体は結晶構造のような長距離周期を有さず、キャリアの移動度が小さい。非晶質構造を有する窒化物半導体が、第5層8として採用されてもよい。

[0076] 第5層8の材質が電導に寄与する電荷を有している場合には、第5層8が積層半導体102との間、特にチャネル層として機能する第3層3との間において、電子伝導を阻害する界面を形成する材質が採用される。電子伝導が阻害されることにより、第4層4から供給された電子が第2層2へ流れる経路には第5層8は含まれない。

[0077] 当該材質としては、例えば第5層8と第3層3との界面においてヘテロ接合が形成され、当該界面において伝導帯が不連続となる半導体が挙げられる。かかる半導体は例えば、第3層3を $\text{Al}_b\text{Ga}_{(1-b)}\text{N}$ を用いて形成したとき、 $b < d$ である $\text{Al}_d\text{Ga}_{(1-d)}\text{N}$ を用いて形成される。

- [0078] 室温に対応する熱エネルギーが 0.026 eV であるので、例えば 1.0 eV 以上のエネルギー差によって伝導帯を不連続とする半導体が、第5層8に採用される。後の説明の便宜上、第5層8に採用される半導体を第5層8が第3層3を狭める観点から、当該半導体は「狭窄用半導体」と称される。
- [0079] ゲート電極7に高い電圧が印加される時には、当該電圧を原因として第3層3とゲート電極7との間に印加される電界も高い。当該電界が考慮され、例えば界面において 1.5 eV 以上のエネルギー差によって伝導帯を不連続とする半導体が、第5層8に採用される。
- [0080] 第5層8と絶縁ゲート電極103との間の横方向における距離が大きいと、第5層8と絶縁ゲート電極103との間の積層半導体102において、パンチスルー電流が発生しやすい可能性がある。かかる観点から、第5層8と絶縁ゲート電極103との間の距離には、好適な範囲が存在することが想定される。
- [0081] 当該範囲、特に当該範囲の上限は、種々の条件、例えば第3層3のAl組成およびゲート電極7に印加される電圧の範囲に応じて予め想定され得る。かかる条件は空乏層が広がる距離（空乏層の幅）に影響を与え、当該範囲の上限は空乏層の幅に影響される。例えば実施の形態1において当該上限は $1\text{ }\mu\text{m}$ である。第5層8と絶縁ゲート電極103との間の横方向における距離は $1\text{ }\mu\text{m}$ 以下である。
- [0082] ソース電極10およびドレイン電極11のいずれも、 n 型導電の窒化物半導体とオーミック接触する。ソース電極10およびドレイン電極11には、例えば多層構造が採用される。窒化物半導体と接触する層（コンタクト層）の材質として、例えばTi、タンタル（Ta）、V、Alが用いられる。コンタクト層を介して窒化物半導体と接続される層の材質として、例えばニオブ（Nb）、モリブデン（Mo）、Ni、銅（Cu）、白金（Pt）、Auが用いられる。
- [0083] ソース電極10およびドレイン電極11のいずれもが単層であってもよい。コンタクト抵抗の低減および防蝕によって例示される機能性の発現を期待

する場合、当該機能に適した金属が適宜に選択される。

[0084] <製造方法>

以下に、半導体装置 101 の製造方法が、図 2 から図 10 を参照して説明される。図 2 から図 10 は、実施の形態 1 にかかる半導体装置 101 の製造方法を工程順に例示する断面図である。

[0085] 第 1 層 1 の面 1 a 上に積層半導体 102 が形成されて図 2 に示される構造が得られる。積層半導体 102 が形成される前に面 1 a に対して表面洗浄が実施される。積層半導体 102 は例えば MOVPE によって形成される。積層半導体 102 は、面 1 a から第 2 層 2、第 3 層 3、第 4 層 4 の順に積層された構造を有する。この段階においては面 4 a が露出している（図 2）。

[0086] 面 1 a 上に積層半導体 102 がエピタキシャル成長する際、面 4 a には積層半導体 102 の下地となる面 1 a の極性が反映される。実施の形態 1 において面 1 a には c 面が採用されてもよいし、c バー面が採用されてもよい。

[0087] 面 4 a 上に誘電膜 120 が形成されて図 3 に示される構造が得られる。誘電膜 120 は第 1 層 1 とは反対側において積層半導体 102 を覆う。誘電膜 120 の材質は例えば SiO_2 である。誘電膜 120 は例えばプラズマ援用化学気相成長法（plasma-enhanced chemical vapor deposition：以下「PECVD」と称す）によって形成される。

[0088] 誘電膜 120 が成形されて誘電膜 12 が得られ、後述する残渣が除去されて図 4 に示される構造が得られる。誘電膜 12 は溝 5 を形成するためのエッチング（後述）におけるマスクとして利用される。誘電膜 12 は部分的に領域 4 1 において面 4 a を露出させる。

[0089] 誘電膜 120 の成形は、例えばレジストパターンをマスクとした誘導結合プラズマ反応性イオンエッチング（inductive coupled plasma-reactive ion etching：以下「ICP-RIE」と称す）による誘電膜 120 のエッチングによって行われる。当該レジストパターンは、誘電膜 120 上に形成されたレジストマスク（不図示）に対してフォトリソグラフィを行うことにより得られる。当該フォトリソグラフィにおいては、溝 5 を形成するためのパタ

ーンがレジストマスクに対して転写される。誘電膜 12 のパターンは、レジストマスクに対して転写されたパターンを反映する。

[0090] 誘電膜 120 の材質が、Si 系の誘電膜（例えば上記において例示された SiO_2 ）である場合は、ICP-RIE におけるエッチングガスの例は、テトラフルオロメタン (CF_4)、トリフルオロメタン (CHF_3)、六フッ化硫黄 (SF_6) によって例示されるフッ素系ガスと、酸素との混合ガスである。

[0091] 誘電膜 120 のエッチングが完了し、誘電膜 12 が得られた後、レジストマスクが残渣として存在する可能性がある。酸洗浄と有機洗浄とが併用されて当該残渣が除去される。

[0092] 積層半導体 102 に対して、誘電膜 12 がマスクとして利用されるエッチングが行われて溝 5 が形成され（掘られ）、図 5 に示される構造が得られる。当該エッチングには例えば ICP-RIE が採用される。

[0093] 積層半導体 102 の材質が窒化物半導体であるとき、ICP-RIE が採用されて積層半導体 102 がエッチングされる場合のエッチングガスには、塩素系のガスが採用される。エッチングガスの例は、塩素 (Cl_2)、三塩化ホウ素 (BCl_3)、あるいは四塩化ケイ素 (SiCl_4) である。

[0094] 積層半導体 102 がエッチングされる深さ（縦方向の長さ）は、溝 5 が絶縁ゲート電極 103 によって埋め込まれることを考慮して設定される。半導体装置 101 においては絶縁ゲート電極 103 が縦方向において、面 4a から第 4 層 4 および第 3 層 3 を貫通して第 2 層 2 まで存在する。溝 5 は縦方向において面 4a から第 4 層 4 および第 3 層 3 を貫通して第 2 層 2 に至る。溝 5 は第 2 層 2 を露出させる。

[0095] 上述の例示においては第 3 層 3 の厚さは $1\ \mu\text{m}$ であり、第 4 層 4 の厚さは $0.1\ \mu\text{m}$ であり、両者の合計は $1.1\ \mu\text{m}$ である。この場合、溝 5 の深さは $1.1\ \mu\text{m}$ 以上である。積層半導体 102 がエッチングされる深さは、プロセス尤度を考慮して、例えば $1.3\ \mu\text{m}$ が目安とされる。

[0096] 溝 5 が形成された後、誘電膜 12 は酸洗浄およびアルカリ洗浄のいずれか

一方もしくは両方が用いられて除去される。エッチングによってダメージを受けた積層半導体 102 の表面（以下「ダメージ層」と仮称）、例えば溝 5 の内壁も、酸洗浄およびアルカリ洗浄のいずれか一方もしくは両方が用いられて除去される。

[0097] 誘電膜 120 として、 SiO_2 によって例示される酸化膜が用いられる場合、誘電膜 12 の除去には例えばフッ酸（HF）あるいは緩衝フッ酸（BHF）を用いた酸洗浄が採用される。

[0098] 積層半導体 102 の材質が窒化物半導体であるとき、ダメージ層は結合強度が低下した窒化物半導体である。ダメージ層の除去には、例えば硫酸過水（sulfuric acid/hydrogen peroxide mixture：SPM）を用いた酸洗浄が採用されてもよいし、例えば水酸化テトラメチルアンモニウム（Tetramethylammonium hydroxide：TMAH）を用いたアルカリ洗浄が採用されてもよい。

[0099] 酸洗浄およびアルカリ洗浄のいずれにおいても、洗浄液の温度を上昇させることは、反応性を向上させる。洗浄液の温度を過剰に上昇させることはダメージ層以外の積層半導体 102 へダメージを拡大させる可能性がある。

[0100] 図 5 に示される構造から誘電膜 12 およびダメージ層が除去されて、積層半導体 102 が露出する部位が清浄化される。当該部位を被覆する絶縁膜 60 が形成されて図 6 に示される構造が得られる。絶縁膜 60 は溝 5 の形状を反映して積層方向 X に向かって開口する凹部 66 を有する。

[0101] 絶縁膜 60 は後にパターニングされてゲート絶縁膜 6 として利用される。絶縁膜 60 の材質には、既述されたゲート絶縁膜 6 の材質が採用される。

[0102] 絶縁膜 60 を形成する手法の例として、原子層堆積法（Atomic layer deposition：以下「ALD」と称す）、PECVD、スパッタリング法が挙げられる。例えばプラズマ状の粒子あるいはスパッタされた粒子が、積層半導体 102 の露出面へ飛来するとき、これらの粒子が有するエネルギーが低いことは、絶縁膜 60 と積層半導体 102 との界面への損傷を低減することに寄与する。かかる観点から、比較的穏やかな形成手法、例えば ALD が絶縁膜 60 を形成する手法に採用される。

- [0103] ゲート絶縁膜 6 の膜厚は絶縁膜 6 0 の膜厚を反映する。絶縁膜 6 0 の溝 5 に対する段差被覆性（いわゆるステップカバレッジ）が良好である場合を想定し、実施の形態 1 においては絶縁膜 6 0 の膜厚としてゲート絶縁膜 6 と同様に 5 0 n m が採用される。
- [0104] 絶縁膜 6 0 が形成された直後に、絶縁膜 6 0 の膜質の改善を意図した熱処理を加えてもよい。当該熱処理における環境、例えば温度、雰囲気ガス、圧力は適宜に設計される。実施の形態 1 において絶縁膜 6 0 に例えば SiO_2 が採用されるとき、例えば摂氏 7 0 0 ~ 1 0 0 0 度の範囲から選択された温度が当該熱処理に採用される。当該範囲から逸脱した温度における熱処理によると、積層半導体 1 0 2 において多結晶が形成される場合が想定される。多結晶においては結晶粒界を介したリーク電流が流れ得る。絶縁膜 6 0 は、例えば積層半導体 1 0 2 において多結晶が形成されない条件において、熱処理される。
- [0105] 絶縁膜 6 0 の形成後にゲート電極 7 が形成されて、図 7 に示される構造が得られる。実施の形態 1 においては、ゲート電極 7 は絶縁膜 6 0 の凹部 6 6 を埋めるが、縦方向において面 4 a と対向する位置には存在しない場合が例示される。例えば積層方向 X における面 7 a の位置は、絶縁膜 6 0 が第 4 層 4 とは反対側において露出する面 6 0 a の積層方向 X における位置と一致する。
- [0106] 溝 5 は絶縁膜 6 0 を介してゲート電極 7 によって埋められる。例えばゲート電極 7 の厚さは溝 5 の厚さと同程度である。実施の形態 1 においてはゲート電極 7 の厚さは 1 . 3 μm に設計される。
- [0107] 厚いゲート電極 7 の形成には、堆積レートが高い方法が採用される。例えば絶縁膜 6 0 の積層方向 X 側の全面に、多結晶シリコンが一旦 C V D 法によって形成される。形成された多結晶シリコンがエッチバックされてゲート電極 7 が得られる。
- [0108] 例えば絶縁膜 6 0 の積層方向 X 側の全面に、T i N が一旦スパッタリング法によって形成される。形成された T i N に対してマスクを利用したエッチ

ングを行ってゲート電極 7 が得られる。当該マスクには、例えばフォトリソグラフィによるパターニングを受けたレジストが採用される。あるいはゲート電極 7 はリフトオフ法を用いて形成されてもよい。リフトオフ法が採用される場合には、TiN 以外の金属がゲート電極 7 の材質として採用されてもよい。

[0109] 図 7 によって示される構造に対して、第 1 層 1 とは反対側から絶縁膜 90 が形成されて、図 8 に示される構造が得られる。絶縁膜 90 は絶縁膜 60 およびゲート電極 7 を覆う。

[0110] 絶縁膜 90 は後にパターニングされて層間絶縁膜 9 として利用される。絶縁膜 90 の材質には、既述された層間絶縁膜 9 の材質が採用される。

[0111] 層間絶縁膜 9 はゲート絶縁膜 6 と比較して膜厚についての制約が緩和される。絶縁膜 90 が形成される際、絶縁膜 60 が形成される際よりも、積層半導体 102 が受ける損傷が考慮される必要性は小さい。絶縁膜 60 の段差被覆性は、溝 5 に対する絶縁膜 90 の段差被覆性よりも深刻性が小さい。かかる事情は絶縁膜 60 と比較して、絶縁膜 90 の形成方法の選択肢を拡げる。

[0112] 例えば絶縁膜 90 の形成方法には、ALD、PECVD、スパッタリング法のみならず、塗布法やゾルゲル法が採用されてもよい。例えば実施の形態 1 においては PECVD により絶縁膜 90 が形成される。

[0113] 図 8 に示される構造に対して、絶縁膜 90 の積層方向 X 側の表面にマスク 131 が形成される。マスク 131 は少なくとも溝 5 を覆う。マスク 131 は、例えばフォトリソグラフィによるパターニングを受けたレジストによって形成される。

[0114] マスク 131 を用いたエッチング、例えばドライエッチングによって、マスク 131 に覆われていない絶縁膜 60、90 が除去される。かかる除去によって絶縁膜 60 がゲート絶縁膜 6 へと成形され、絶縁膜 90 が層間絶縁膜 9 へと成形されて、図 9 に示される構造が得られる。層間絶縁膜 9 は縦方向において少なくとも溝 5 と対向する。層間絶縁膜 9 は少なくとも溝 5 に対して横方向へ広がる。ゲート絶縁膜 6 は層間絶縁膜 9 に覆われて面 4a 上に存

在する。絶縁膜 60, 90 が除去された領域において面 4a が露出する。

[0115] 実施の形態 1 においては絶縁膜 60, 90 のいずれにも SiO_2 が採用され、面 4a を有する第 4 層 4 には窒化物半導体が採用される。例えば絶縁膜 60, 90 を除去するためのエッチングガスとしては、誘電膜 120 のドライエッチングについて説明された、フッ素系ガスと酸素との混合ガスが用いられる。

[0116] 図 9 に示される構造に対して例えば公知のアッシング方法が用いられて、マスク 131 が除去される。少なくとも、層間絶縁膜 9 の積層方向 X 側の表面、および層間絶縁膜 9 の周囲において露出する面 4a に、マスク 132 が形成される（図 10 参照）。面 4a はゲート絶縁膜 6 およびその周囲に位置するマスク 132 によって覆われる。図 9 には、面 4a がマスク 132 によって覆われない領域 42 が示される。

[0117] マスク 132 の材質として、絶縁膜 60, 90 と同種の物質（例えば SiO_2 ）が用いられたならば、マスク 132 が除去される際に層間絶縁膜 9、ゲート絶縁膜 6 は損傷もしくは除去される可能性がある。マスク 132 は、例えばフォトリソグラフィによるパターニングを受けたレジストによって形成される。

[0118] 積層半導体 102 へのマスク 132 を利用した不純物導入によって、第 5 層 8 が形成され、図 10 に示される構造が得られる。不純物導入には例えばイオン注入が採用される。

[0119] 第 5 層 8 はマスク 132 によって覆われていない領域 42（図 9 参照）において積層半導体 102 に縦方向に沿って形成される。図 10 による例示においては第 5 層 8 は縦方向において、面 4a から、第 4 層 4 および第 3 層 3 を貫通し、第 2 層 2 まで存在する。

[0120] 積層半導体 102 への不純物は以下のように導入される。上述の様に第 5 層 8 の抵抗率は、例えば $10\text{M}\Omega\text{cm}$ 以上である。このような抵抗率を得るために用いられる不純物は既に例示された。

[0121] エネルギーが高い粒子が半導体に照射されると、当該半導体の結晶性は低

下して非晶質な構造へ変化しやすい。非晶質な構造において半導体はキャリアの移動度が小さく、当該半導体の抵抗率は大きい。例えば積層半導体 102 に上述の不純物のイオンの加速に採用されるエネルギー（いわゆる加速エネルギー）によってイオンが注入され、第 5 層 8 が得られる。イオン注入による結晶性の低下は、上述の不純物以外のイオンを用いても期待される。

[0122] 加速エネルギーを一定としてイオン注入を行うと、不純物の濃度分布が不均一となりやすい。例えば、複数の加速エネルギーを用いた多段注入、傾斜注入は、イオン注入された半導体における不純物濃度分布を均一にしやすい。

[0123] 傾斜注入の例は、チャネリング軸に沿ったイオン注入である。窒化物半導体においてチャネリング軸には、例えば窒化物半導体の c 軸が採用される。チャネリング軸に沿ったイオン注入によると、半導体中のイオンの飛程が伸びやすい。チャネリング軸に沿ったイオン注入は、実施の形態 1 に沿って例えば、面 8 a を面 1 a に近づけやすい。

[0124] 第 5 層 8 を得るために積層半導体 102 に導入あるいは活性化される不純物の濃度は、例えば 10^{16} cm^{-3} 以上 10^{21} cm^{-3} 未満である。

[0125] 導入された不純物の濃度分布は、熱拡散が採用されて調整されてもよい。かかる熱拡散に採用される熱処理が行われる場合には、不純物が活性化してアクセプタ準位が補償されることが想定される。かかる補償を招来する例として、窒化物半導体に導入される不純物が窒化物半導体においてドナー準位を形成する元素である場合が挙げられる。

[0126] 例えば実施の形態 1 においては、Fe の 4 段注入と、摂氏 600 度の熱処理とが採用される。絶縁ゲート電極 103 が形成される領域以外の全域を第 5 層 8 として形成することは、例えばソース電極 10 と面 4 a との接続を阻む。実施の形態 1 においてはマスク 132 が、層間絶縁膜 9 の周囲において露出する面 4 a を覆い、層間絶縁膜 9 の周囲における面 4 a には第 5 層 8 が形成されない構造が例示される。ソース電極 10 と接続される位置関係が得られるのであれば、面 4 a が露出する領域は上記の例示に限定されない。

- [0127] 図10に示される構造が得られた後、例えば公知のアッシング方法が用いられ、マスク132が除去される。その後、ソース電極10が少なくとも面4a上に形成され、面1b上にドレイン電極11が形成され、図1に示される半導体装置101が得られる。ソース電極10は領域41, 42（それぞれ図4、図9参照）に挟まれた位置において面4aと接触する。ソース電極10はゲート電極7とは、層間絶縁膜9の介在によって、接触しない。
- [0128] 実施の形態1において、ソース電極10は第5層8上にも形成され、ソース電極10は絶縁ゲート電極103を覆って形成される場合が例示される。層間絶縁膜9は、ソース電極10とゲート電極7との接続を阻止する。
- [0129] 実施の形態1においてはソース電極10が、蒸着法によってTi/Al/Ni/Auの積層構造として形成される。ソース電極10のパターニングには、例えばリフトオフ法が採用される。
- [0130] ソース電極10の膜厚を厚くする場合や段差被覆性を向上させる場合には、例えばスパッタリング法が用いられ金属薄膜が堆積され、ソース電極10が形成される。例えば堆積される対象となる面の全体に、一旦スパッタリングを用いて金属薄膜が堆積してから、当該金属薄膜がパターニングされる。当該パターニングの条件は、例えば堆積された金属薄膜の材質に応じて選択される。
- [0131] ドレイン電極11もソース電極10と同様に形成され、必要に応じてパターニングされる。
- [0132] ソース電極10およびドレイン電極11が形成された後に熱処理が実施されてもよい。当該熱処理は、ソース電極10と第4層4との界面における相互拡散を招来する。このような相互拡散は、ソース電極10と第4層4との間における密着力の向上やコンタクト抵抗の低減を招来する。当該熱処理は、ドレイン電極11と第1層1との界面における相互拡散を招来する。このような相互拡散は、ドレイン電極11と第1層1との間における密着力の向上やコンタクト抵抗の低減を招来する。当該熱処理の条件は、ソース電極10およびドレイン電極11に採用される金属に応じて選択される。当該熱処

理の条件は更に、既に形成済みの構成要素への影響が考慮されてもよい。例えば第5層8が狭窄用半導体によって形成されるとき、狭窄用半導体が有する不純物が電氣的に活性化されないことを企図して、当該熱処理における温度は摂氏700度未満に選定される。

[0133] 第5層8が形成される際にイオン注入が採用される場合、導入される不純物元素と熱処理の条件との組合せは、第5層8における不純物の分布状況や再結晶化に影響を及ぼす可能性がある。

[0134] <変形>

実施の形態1は、第5層8を形成する手法を、積層半導体102への不純物導入に限定しない。図11は半導体装置101の製造方法の変形を例示する断面図である。

[0135] 例えば、図9によって示される構造に対し、領域42において、積層半導体102が第2層2が露出するまで除去されて、図11に例示される構造が得られる。当該除去には、例えばマスク132を用いたドライエッチングが採用される。当該ドライエッチングにより、横方向において第3層3、第4層4を露出させ、縦方向および横方向に第2層2を露出させる溝14が形成される。

[0136] 溝14を埋める第5層8が形成されて、図1に例示される半導体装置101が得られる。この場合の第5層8には公知の絶縁材が採用されてもよい。あるいは溝14において、狭窄用半導体として窒化物半導体がエピタキシャル成長して溝14を埋め、第5層8が形成されてもよい。当該エピタキシャル成長には例えばMOVPEが採用され、上述した窒化物半導体中において深いアクセプタ準位を形成する元素の1種以上が不純物としてドーピングされる。溝14において狭窄用半導体がCVD法によって堆積されて第5層8が得られても良い。あるいは第5層8に空気が採用される場合には、溝14を埋める必要はない。

[0137] [実施の形態2]

<構造>

図12は実施の形態2にかかる半導体装置201の構造を模式的に例示する断面図である。半導体装置201は、第1層1と、積層半導体102と、絶縁ゲート電極103と、第5層8と、層間絶縁膜9と、ソース電極10と、ドレイン電極11とを含む。

[0138] 半導体装置201においても半導体装置101と同様に、第2層2、第3層3、第4層4が纏まって積層半導体102として捉えられる。半導体装置201においても半導体装置101と同様に、絶縁ゲート電極103は縦方向において、面4aから第4層4および第3層3を貫通し、第2層2まで存在する。絶縁ゲート電極103の面103aと面1aとの間には第2層2が存在する。半導体装置201においても半導体装置101と同様に、絶縁ゲート電極103はゲート絶縁膜6とゲート電極7とを有する。

[0139] 半導体装置201は実施の形態1において例示された半導体装置101と、第5層8の面8aの積層方向Xにおける位置のみ相違する。半導体装置201においては面8aと面1aとの間には第2層2のみならず第3層3も存在する。半導体装置201においては第5層8が縦方向において、面4aから第4層4を貫通し、第3層3まで存在する。

[0140] 半導体装置201において第5層8は、縦方向において第1層1との間に第2層2のみならず第3層3をも挟む。半導体装置201において第5層8は、縦方向において第2層2のみならず第3層3をも挟んで第1層1と対向する。

[0141] 半導体装置101において、面8aの縦方向における位置は第2層2が縦方向に広がる範囲にある。半導体装置201において、面8aの縦方向における位置は第3層3が縦方向に広がる範囲にある。

[0142] 面8aの縦方向における位置以外においては、半導体装置201の構造は半導体装置101と共通する。例えば半導体装置101、201のいずれにおいても、第5層8と絶縁ゲート電極103とは横方向において互いに離れて位置する。半導体装置201が有する要素の材質には、半導体装置101が有する当該要素に対応した要素の材質として例示された材質が採用される

。

[0143] チャンネル層として機能する第3層3におけるパンチスルー電流の抑制という観点からは、ドリフト層として機能する第2層2まで第5層8が到達する必要はない。第5層8の抵抗率が高いほど、面8aの位置は浅くても、例えば面8aが縦方向において第2層2から離れても、パンチスルー電流は抑制されやすい。

[0144] 半導体装置101, 201のいずれにおいても、ゲート電極7に印加される電圧が制御されて第3層3にチャンネルが形成されると、第4層4から供給された電子がチャンネルを通過する。チャンネルを通過した電子は第2層2内を拡散してドレイン電極11へ向かう。

[0145] 実施の形態1において説明されたように、第2層2と第3層3との間にはヘテロ界面が形成される。ヘテロ界面の第2層2側の領域には、2次元の量子井戸が形成される可能性が高い。当該量子井戸が形成される場合、チャンネルを通過した電子は当該量子井戸に到達する。半導体装置201において第5層8は、量子井戸に到達した電子が横方向（ここにおいては絶縁ゲート電極103から離れる向き）に拡散することを妨げない。

[0146] 特に、第3層3に対して第2層2のc面（これはGa極性を示す）が接する場合、第2層2と第3層3との間に形成されるヘテロ界面の第2層2側の領域において高濃度のキャリアが誘起される可能性が高い。当該キャリアは第2層2および第3層3のそれぞれにおける自発分極及びピエゾ分極によって発生する2次元電子ガスによって実現される。半導体装置201における面8aは半導体装置101における面8aと比較して第3層3と第2層2との間のヘテロ界面を狭めず、2次元電子ガスの誘起を妨げにくい。

[0147] 半導体装置201によれば、第4層4から第3層3を通過してきた電子は、2次元量子井戸の効果、あるいは2次元量子井戸および2次元電子ガスによって、横方向へ拡散されやすい。このような横方向への拡散により、第2層2は電流拡散層（Current Spreading Layer）として機能するともいえる。かかる電子の拡散は、半導体装置201の電流密度を高める。半導体装置2

01は半導体装置101と同様に高いパンチスルー耐性を得るほか、動作するときの電流密度が高く、大電流が用いられる駆動に適する。

[0148] <製造方法>

半導体装置201の製造には例えば、半導体装置101と同様に、図2から図10を用いて例示された製造方法が採用される。積層半導体102へのマスク132を利用した不純物導入によって、第5層8が形成される際、不純物導入の条件が半導体装置101の製造工程とは異なる。面8aの縦方向における位置が半導体装置101、201は互いに異なるからである。例えばイオン注入において採用される加速エネルギーは、半導体装置101における不純物導入よりも、半導体装置201における不純物導入の方が低い。

[0149] 半導体装置201におけるソース電極10、ドレイン電極11の製造工程は、例えば半導体装置101におけるソース電極10、ドレイン電極11の製造工程と同様である。

[0150] 実施の形態1の変形において説明されたように、実施の形態2においても第5層8の形成に先だって溝14が形成されてもよい。但し実施の形態2における溝14は、横方向において第4層4を露出させ、縦方向および横方向に第3層3を露出させる。例えば実施の形態1と同様に、溝14の形成にはドライエッチングが採用される。但し、半導体装置201におけるドライエッチングの条件は、半導体装置101におけるドライエッチングの条件とは異なる。面8aの縦方向の位置が半導体装置101、201は互いに異なるからである。

[0151] 実施の形態2においても、例えば実施の形態1の変形と同様に、公知の絶縁材、あるいはエピタキシャル成長によって得られた窒化物半導体によって溝14を埋めて第5層8が形成される。第5層8として空気が採用される場合には溝14を埋める必要はない。

[0152] 面1a上に積層半導体102がエピタキシャル成長する際、積層半導体102の下地となる面1aの極性が、第3層3と第2層2との間に形成されるヘテロ界面の第2層2側に反映される。上述の2次元電子ガスの利用が企図

される場合には面 1 a に c 面が採用される。

[0153] [実施の形態 3]

<構造>

図 1 3 は実施の形態 3 にかかる半導体装置 3 0 1 の構造を模式的に例示する断面図である。半導体装置 3 0 1 は、第 1 層 1 と、積層半導体 1 0 2 と、絶縁ゲート電極 1 0 3 と、第 5 層 8 と、層間絶縁膜 9 と、ソース電極 1 0 と、ドレイン電極 1 1 とを含む。

[0154] 半導体装置 3 0 1 においても半導体装置 1 0 1 と同様に、第 2 層 2、第 3 層 3、第 4 層 4 が纏まって積層半導体 1 0 2 として捉えられる。半導体装置 3 0 1 においても半導体装置 1 0 1 と同様に、絶縁ゲート電極 1 0 3 は縦方向において、面 4 a から第 4 層 4 および第 3 層 3 を貫通し、第 2 層 2 まで存在する。絶縁ゲート電極 1 0 3 の面 1 0 3 a と面 1 a との間には第 2 層 2 が存在する。半導体装置 3 0 1 においても半導体装置 1 0 1 と同様に、絶縁ゲート電極 1 0 3 はゲート絶縁膜 6 とゲート電極 7 とを有する。半導体装置 3 0 1 が有する要素の材質には、半導体装置 1 0 1 が有する当該要素に対応した要素の材質として例示された材質が採用される。

[0155] 半導体装置 3 0 1 は実施の形態 1 によって例示された半導体装置 1 0 1 および実施の形態 2 によって例示された半導体装置 2 0 1 のいずれとも、第 5 層 8 の縦方向における長さ（厚さ）が、絶縁ゲート電極 1 0 3 から離れる程長い（厚い）点において相違する。

[0156] 半導体装置 1 0 1、2 0 1、3 0 1 のいずれにおいても、それらが駆動される際にはゲート電極 7 へ印加される電圧が制御されて絶縁ゲート電極 1 0 3 から積層半導体 1 0 2 へ空乏層が延びる。当該空乏層は積層半導体 1 0 2 に発生する電界を保持する。この電界を保持する空乏層の機能は、絶縁ゲート電極 1 0 3 から遠い位置ほど低下する。このような電界を保持する機能の低下は、積層半導体 1 0 2 の損傷を招来しやすい。絶縁ゲート電極 1 0 3 から離れる程、縦方向における厚さが厚い第 5 層 8 が採用されることにより、かかる損傷は回避されやすい。かかる回避は半導体装置 3 0 1 の耐圧を向上

させる。

[0157] 図13によって例示される構造において面8aは、絶縁ゲート電極103から離れるに従って第1層1に近づき、縦方向に対しても横方向に対しても傾斜を有する。実施の形態2において説明された2次元電子ガス、2次元量子井戸による電子の横方向への拡散が小さいとき、第2層2を移動する電子は電界に応じて拡散する。

[0158] 電子に印加される電界の方向は、第5層8の存在により、第1層1から第3層3に向かうにつれて絶縁ゲート電極103へ近づく傾斜を呈する。当該電界の方向を反映し、第2層2を移動する電子は第1層1に向かうにつれて絶縁ゲート電極103から離れる方向に拡散する。半導体装置301における面8aの傾斜は当該方向へ拡散する電子の移動を妨げにくい。

[0159] このような面8aの傾斜は、2次元電子ガスによる電子の横方向への拡散が小さい場合、例えば第3層3に対して第2層2のcバー面（これはN極性を示す）が接する場合に採用されてもよい。

[0160] 半導体装置301は、上述のような形状を呈する面8aを有する第5層8を含むので、半導体装置201と同様に高いパンチスルー耐性を得て、動作するときの電流密度が高い。

[0161] 図13に例示される構造の面8aは、第2層2が縦方向において広がる範囲においても存在する。面8aの横方向の位置には、面8aと面1aとの間に第3層3が存在せず第2層2が存在する位置を含む。この観点においては半導体装置101、301の面8aは共通する特徴を有する。

[0162] 図13に例示される構造の面8aは、横方向において絶縁ゲート電極103に最も近い位置において、第3層3が縦方向において広がる範囲に位置し、面8aと面1aとの間には第2層2のみならず第3層3も存在する。この観点においては半導体装置201、301の面8aは共通する特徴を有する。

[0163] 面8aの全体が縦方向に存在する位置は、半導体装置101と同様に第2層2が縦方向において広がる範囲にあってもよいし、半導体装置201と同

様に第3層3が縦方向において広がる範囲にあってもよい。第3層3に対して第2層2のc面が接する場合には、面8aの全体が縦方向に存在する位置が、第3層3が縦方向において広がる範囲にあることによって、2次元電子ガスの利点を得られやすい。

[0164] 第5層8が第1層1から遠い方に有する面8bは、絶縁ゲート電極103から離れるに従って第1層1から遠ざかる傾斜を呈する。第5層8は面8bよりも絶縁ゲート電極103から離れた位置においてソース電極10と接触する。

[0165] 半導体装置301においては面8bが採用されるので、第4層4とソース電極10とが接触する領域は、半導体装置101、201と比較して広い。半導体装置301においては第3層3におけるパンチスルー電流の抑制が得られながら、第4層4とソース電極10との間のコンタクト抵抗が小さい。小さなコンタクト抵抗は小さなオン抵抗を招来する。

[0166] 図13においては、面8bの縦方向における位置が、第3層3が縦方向において広がる範囲と第4層4が縦方向において広がる範囲との両方に跨った形状が例示される。

[0167] 面8bの全体が縦方向に存在する位置は、第3層3が縦方向において広がる範囲にあってもよい。このとき更に第5層8がソース電極10から離れてもよい。

[0168] 図13における例示においては面8a、8bの形状は平面状であって断面視において直線状に現れる。面8a、8bの形状は、断面視において曲線状であってもよい。

[0169] 積層半導体102に形成される等電位面が断面視において現れる曲線と、面8a、8bが断面視において現れる曲線とが直交することは、面8a、8bが積層半導体102における電界の方向に沿う観点において好適である。但し等電位面はゲート電極7、ソース電極10、ドレイン電極11のそれぞれに印加される電圧に依存するので、形状が固定された第5層8において上記直交が常に実現されるとは限らない。

[0170] 半導体装置301は、上述のような形状を呈する面8bを有する第5層8を含むので、半導体装置101と同様に高いパンチスルー耐性を得るのみならず、オン抵抗が小さい。

[0171] <製造方法>

半導体装置301の製造には例えば、半導体装置101と同様に、図2から図10を用いて例示された製造方法が採用される。積層半導体102へのマスク132を利用した不純物導入によって、第5層8が形成される際、不純物導入の条件が半導体装置101の製造工程とは異なる。面8aの縦方向における位置が半導体装置101、301は互いに異なるからである。また半導体装置101とは異なって、半導体装置301の第5層8はソース電極10と離れる面8bを有するからである。

[0172] 例えば積層半導体102へ、縦方向に対して傾斜する方向に入射するイオン注入を行って、面8a、8bを有する第5層8が形成される。例えば第1層1、積層半導体102、絶縁ゲート電極103、層間絶縁膜9、マスク132が形成された状態において、第1層1を自転させ、あるいは公転させ、あるいは自転および公転させてイオン注入が行われて、第5層8が形成される。縦方向に平行なイオン注入が伴われて第5層8が形成されてもよい。

[0173] イオン注入の積層半導体102に対する傾斜角は、マスク132の厚さおよびマスク132が横方向において積層半導体102（より具体的には面4a）を露出させる長さ（幅）に依存して決定される設計事項である。

[0174] 実施の形態1の<変形>において説明されたように、実施の形態3においても第5層8の形成に先だって溝14が形成されてもよい。例えば実施の形態1と同様に、溝14の形成にはドライエッチングが採用される。但し、ドライエッチングの条件が半導体装置101の製造工程とは異なる。本実施の形態における溝14は、面8a、8bの形状に反映される形状を有するからである。

[0175] 例えば積層半導体102へ、縦方向に対して傾斜する方向に入射する粒子を採用したドライエッチングによって溝14が形成される。例えば当該ドラ

イエッチングにおいて第1層1の自転および公転の一方または両方が採用される。

[0176] 半導体装置301におけるソース電極10、ドレイン電極11の製造工程は、例えば半導体装置101におけるソース電極10、ドレイン電極11の製造工程と同様である。

[0177] 実施の形態3においても、例えば実施の形態1の変形と同様に、公知の絶縁材、あるいはエピタキシャル成長によって得られた窒化物半導体によって溝14を埋めて第5層8が形成される。あるいは第5層8に空気が採用される場合には、溝14を埋める必要はない。

[0178] [実施の形態4]

<構造>

図14は実施の形態4にかかる半導体装置401の構造を模式的に例示する断面図である。半導体装置401は、第1層1と、積層半導体102と、絶縁ゲート電極103と、第5層8と、層間絶縁膜9と、ソース電極10と、ドレイン電極11とを含む。

[0179] 半導体装置401においても半導体装置101と同様に、第2層2、第3層3、第4層4が纏まって積層半導体102として捉えられる。半導体装置401においても半導体装置101と同様に、絶縁ゲート電極103は縦方向において、面4aから第4層4および第3層3を貫通し、第2層2まで存在する。絶縁ゲート電極103の面103aと面1aとの間には第2層2が存在する。半導体装置401においても半導体装置101と同様に、絶縁ゲート電極103はゲート絶縁膜6とゲート電極7とを有する。半導体装置401が有する要素の材質には、半導体装置101が有する当該要素に対応した要素の材質として例示された材質が採用される。

[0180] 半導体装置401は、実施の形態2によって例示された半導体装置201と、第5層8がソース電極10と接触しない点において相違する。半導体装置201における第5層8の第1層1から遠い側はソース電極10と接触する(図2参照)。半導体装置401における第5層8は、第1層1から遠い

側に面 8 c を有する。面 8 c とソース電極 1 0 との間には第 3 層 3 および第 4 層 4 が存在する。半導体装置 4 0 1 において、面 8 c の縦方向における位置は第 3 層 3 が縦方向に広がる範囲にある。

[0181] 面 8 c の縦方向における位置以外においては、半導体装置 4 0 1 の構造は半導体装置 2 0 1 と共通する。例えば半導体装置 2 0 1, 4 0 1 のいずれにおいても、第 5 層 8 と絶縁ゲート電極 1 0 3 とは横方向において互いに離れて位置する。

[0182] 半導体装置 4 0 1 においても、半導体装置 2 0 1 と同様に、面 8 a の縦方向の位置は第 3 層 3 が縦方向に広がる範囲にある。半導体装置 4 0 1 によれば、半導体装置 2 0 1 と同様に、第 4 層 4 から第 3 層 3 を通過してきた電子が横方向に拡散されやすい。当該拡散は半導体装置 4 0 1 の電流密度を高める。第 2 層 2 における 2 次元電子ガスの利用が企図される場合には、面 1 a に c 面が採用される。

[0183] 半導体装置 4 0 1 は、上述のような形状を呈する面 8 a を有する第 5 層 8 を含むので、半導体装置 1 0 1 と同様に高いパンチスルー耐性を得るのみならず、半導体装置 2 0 1 と同様に大電流を用いた駆動に適する。

[0184] 半導体装置 4 0 1 の面 8 c の採用は、半導体装置 3 0 1 の面 8 b と同様に、第 4 層 4 とソース電極 1 0 とが接触する領域を広げつつ、第 3 層 3 におけるパンチスルー電流を抑制しやすい。

[0185] 半導体装置 4 0 1 は、上述のような形状を呈する面 8 c を有する第 5 層 8 を含むので、半導体装置 1 0 1 と同様に高いパンチスルー耐性を得るのみならず、半導体装置 3 0 1 と同様にソース電極 1 0 と積層半導体 1 0 2 との間の接触抵抗が小さい。

[0186] <製造方法>

半導体装置 4 0 1 の製造には例えば、半導体装置 1 0 1 と同様に、図 2 から図 1 0 を用いて例示された製造方法が採用される。積層半導体 1 0 2 へのマスク 1 3 2 を利用した不純物導入によって、第 5 層 8 が形成される際、不純物導入の条件が半導体装置 1 0 1 の製造工程とは異なる。面 8 a の縦方向

における位置が半導体装置 101, 401 は互いに異なり、半導体装置 401 の第 5 層 8 は面 8c を有するからである。

[0187] 例えばイオン注入において採用される加速エネルギーが調整されて、面 8a, 8c を上述の位置に配置される。例えばイオン注入において採用される加速エネルギーが調整されて、第 5 層 8 が第 2 層 2 および第 4 層 4 のいずれにも接触せずに第 3 層 3 に接触して形成される。

[0188] 半導体装置 401 におけるソース電極 10、ドレイン電極 11 の製造工程には、例えば半導体装置 101 におけるソース電極 10、ドレイン電極 11 の製造工程が採用される。

[0189] [複数の実施の形態に共通の特徴と個別の特徴]

半導体装置 101, 201, 301, 401 に共通する特徴 (I) は、例えば以下の (Ia), (Ib), (Ic), (Id), (Ie) に分けて表現される。

[0190] (Ia) 半導体装置 101, 201, 301, 401 は、第 1 層 1、第 2 層 2、第 3 層 3、第 4 層 4、ゲート電極 7、第 5 層 8、ソース電極 10、ドレイン電極 11 を含む。

[0191] (Ib) 第 1 層 1 は導電性が n 型の半導体であって、互いに対向する面 1a, 1b を有する。第 2 層 2 は導電性が n 型の半導体であって、面 1a 上に位置する。第 3 層 3 は導電性が n 型であるかまたは真性の半導体であって第 2 層 2 よりもバンドギャップが大きく、第 2 層 2 上に位置する。第 4 層 4 は導電性が n 型の半導体であって第 3 層 3 よりもバンドギャップが小さく、第 3 層 3 上に位置し、第 3 層 3 と反対側に面 4a を有する。第 2 層 2 が有するバンドギャップを第 1 バンドギャップとし、第 3 層 3 が有するバンドギャップを第 2 バンドギャップとし、第 4 層 4 が有するバンドギャップを第 3 バンドギャップとすると、第 2 バンドギャップは第 1 バンドギャップよりも大きい。第 3 バンドギャップは第 2 バンドギャップよりも小さい。

[0192] (Ic) ソース電極 10 は、面 4a において第 4 層 4 と電氣的に接続される。ドレイン電極 11 は、面 1b において第 1 層 1 と電氣的に接続される。

- [0193] (1d) ゲート電極7は第2層2、第3層3、第4層4が積層される積層方向Xに沿って位置する。ゲート電極7は第2層2、第3層3、第4層4のいずれとも、例えばゲート絶縁膜6によって絶縁される。ゲート電極7は積層方向Xとは異なる第2方向、例えば横方向において第3層3と対向する。
- [0194] (1e) 第5層8は第2方向においてゲート電極7との間に少なくとも第3層3を挟む。第5層8は、第3層3との間において伝導帯が不連続な界面を形成する半導体であるか、または電導に寄与する電荷を有していない。
- [0195] 特徴(1a), (1b), (1c), (1d)は、下記の作用あるいは効果を招来する。第2層2、第3層3、第4層4がそれぞれドリフト層、チャネル層、電子供給層として機能し、半導体装置101, 201, 301, 401はいずれもいわゆる縦型トレンチMOSFETとして機能する。第2層2、第3層3、第4層4のいずれも導電型がp型ではないので、p型の導電型を得にくい窒化物半導体を用いたドリフト層、チャネル層、電子供給層が実現される。一般に半導体装置において窒化物半導体が採用されることは、高周波において半導体装置が駆動される観点において有利である。半導体装置101, 201, 301, 401は高周波において駆動され得る。
- [0196] 特徴(1e)により、第5層8が存在しない場合と比較して、第3層3においてパンチスルーしやすい位置が第5層8によって置換された構造が得られる。かかる構造を有することにより、半導体装置101, 201, 301, 401はいずれも高いパンチスルー耐性を有する。
- [0197] 導電型がp型の半導体である第3層3が採用される場合と比較すると、導電型がn型、もしくは真性の半導体である第3層3が採用される場合には、その電位を固定する効果がないかも知れない。半導体装置101, 201, 301, 401においては第5層8によって、高電圧が印加されたときのパンチスルー電流が低減される。
- [0198] 半導体装置201, 301, 401は、特徴(1)に加えて、下記の特徴(11)を有する点において共通する。
- [0199] (11) 第5層8は積層方向Xにおいて第1層1との間に第2層2および

第3層3を挟む。

[0200] 特徴(11)により、第5層8が積層方向Xにおいて第1層1との間に第3層3を挟まない場合と比較して、第3層3に近い第2層2における2次元量子井戸の効果が得られやすい。当該効果により、チャネルから第2層2へ移動してきた電子が横方向に拡散されやすい。当該拡散は大電流が用いられる駆動に適する。

[0201] 半導体装置201、301、401は、更に特徴(111)を有する場合がある。

[0202] (111)第2層2および第3層3のいずれもが窒化物半導体であって、第2層2のc面が第3層3に接触する。

[0203] 特徴(111)により、第3層3に近い第2層2における2次元電子ガスの効果も更に得られやすい。当該効果は大電流が用いられる駆動に適する。

[0204] 半導体装置301は、特徴(1)または特徴(11)に加えて、下記の特徴(1V)を有する。

[0205] (1V)第5層8はその第1層1側において、ゲート電極7から離れるに従って第1層1に近づく。

[0206] 特徴(1V)は具体的には面8aの傾斜によって実現され、電子に印加される電界の方向へ拡散する電子の移動を妨げにくい。かかる構成は大電流が用いられる駆動に適する。

[0207] 半導体装置301は、更に特徴(Va)を有する場合がある。

[0208] (Va)第2層2および第3層3のいずれもが窒化物半導体であって、第2層2のcバー面が第3層3に接触する。

[0209] 特徴(Va)によって第3層3に近い第2層2における2次元電子ガス、2次元量子井戸による電子の横方向へ拡散が小さくても、特徴(1V)による効果は妨げられにくい。

[0210] 半導体装置301、401は特徴(1)に加えて、下記の特徴(V1)を有する点において共通する。

[0211] (V1)第5層8は積層方向Xにおいてソース電極10との間に第3層3

および第4層4を挟む。特徴(V1)により、第4層4とソース電極10とが接触する領域が広く、両者間のコンタクト抵抗が小さい。小さなコンタクト抵抗は半導体装置301、401の小さなオン抵抗を招来する。

[0212] 半導体装置301は、特徴(I)、特徴(II)、特徴(III)、特徴(IV)、特徴(Va)、または特徴(V1)に加えて、下記の特徴(VII)を有する。

[0213] (VII) 第5層8の積層方向Xにおける長さ(厚さ)が、ゲート電極7から離れる程長い(厚い)。特徴(VII)によって半導体装置301の耐圧は高い。

[0214] 半導体装置101において説明されたように、第3層3のA1組成は、第3層3の中央から第2層2に近づくほど小さく、第3層3の中央から第4層4に近づくほど小さくてもよい。あるいは、第3層3の中央に近いほど第3層3のA1組成が大きくてもよい。このような第3層3のA1組成の分布は、第2層2と第3層3との界面、および第3層3と第4層4との界面からクラックが発生する可能性を小さくする。

[0215] 半導体装置101、201、301、401は、いずれも共通して積層半導体102を採用するので、いずれについても下記の特徴(VIII)を有してもよい。半導体装置101、201、301、401のいずれについても下記の特徴(IX)を有してもよい。

[0216] (VIII) 第2層2、第3層3、第4層4はいずれもGaNもしくはAlGaNであり、第3層3のA1組成は、第3層3の中央からみて第2層2に近いほど小さく、第3層3の中央からみて第4層4に近いほど小さい。(IX) 第5層8は縦方向において第1層1との間に少なくとも第2層2を挟む。

[0217] 例えば半導体装置101の製造方法は以下の特徴(Xa)、(Xb)、(Xc)、(Xd)、(Xe)、(Xf)、(Xg)、(Xh)を備えると説明され得る。但し、当該製造方法は、これらの特徴がこの順に実行されることを必須とはしない。

- [0218] (X a) 導電性がn型の半導体であって互いに対向する面1 a, 1 bを有する第1層1の面1 a上に、導電性がn型の半導体であって第1バンドギャップを有する第2層2が形成される。
- [0219] (X b) 第2層2上に、第1バンドギャップよりも大きな第2バンドギャップを有し、導電性がn型であるかまたは真性の半導体である第3層3が形成される。
- [0220] (X c) 第3層3上に、第3層3と反対側に面4 aを有し、第2バンドギャップよりも小さな第3バンドギャップを有し、導電性がn型の半導体である第4層4が形成される(図3参照)。
- [0221] (X d) 面4 aの領域4 1(図4参照)から第4層4および第3層3を貫通して第2層2に至り、第1層1に至らずに第2層2を露出させる溝5が形成される(図5参照)。
- [0222] (X e) ゲート絶縁膜6を介して溝5を埋めるゲート電極7と、ゲート絶縁膜6とが形成される(図9参照)。
- [0223] (X f) 面4 aのうち領域4 1から離れた領域4 2(図9参照)に対してイオンを注入して、少なくとも第3層3の一部が電氣的に不活性化される(図10参照)。
- [0224] (X g) 領域4 1, 4 2に挟まれた位置において面4 aと接触し、ゲート電極7と接触しないソース電極10が形成される。
- [0225] (X h) 前記第2面上にドレイン電極11が形成される。
- [0226] 当該製造方法は半導体装置201, 301, 401の製造方法として採用されてもよい。
- [0227] 半導体装置101, 201, 301の製造方法は、上記特徴(X a)、(X b)、(X c)、(X d)、(X e)、(X g)、(X h)を備え、更に特徴(X f)を特徴(X l f 1)、(X l f 2)に置き換えて備えてもよい。
- [0228] (X l f 1) 面4 aのうち領域4 1から離れた領域4 2から第4層4および第3層3を貫通して第2層2に至り第2層2を露出させる溝14が形成さ

れる（図 1 1 参照）。

[0229] (X 1 f 2) 溝 1 4 が、第 3 層 3 との間において伝導帯が不連続な界面を形成する半導体であるか、または電導に寄与する電荷を有しない（例えば絶縁層、あるいは電氣的に不活性な半導体）第 5 層 8 によって埋められる。

[0230] 上述された各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

[0231] 本開示は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、限定的なものではない。例示されていない無数の変形例が想定され得るものと解される。

符号の説明

[0232] 1 第 1 層、1 a, 1 b, 4 a 面、2 第 2 層、3 第 3 層、4 第 4 層、5, 1 4 溝、7 ゲート電極、8 第 5 層、1 0 ソース電極、1 1 ドレイン電極、4 1, 4 2 領域、1 0 1, 2 0 1, 3 0 1, 4 0 1 半導体装置、X 積層方向、Y 方向。

請求の範囲

- [請求項1] 導電性がn型の半導体であって、互いに対向する第1面と第2面とを有する第1層と、
- 前記第1面上に位置し、導電性がn型の半導体であって第1バンドギャップを有する第2層と、
- 前記第2層上に位置し、前記第1バンドギャップよりも大きな第2バンドギャップを有し、導電性がn型であるかまたは真性の半導体である第3層と、
- 前記第3層上に位置し、前記第3層と反対側に第3面を有し、前記第2バンドギャップよりも小さな第3バンドギャップを有し、導電性がn型の半導体である第4層と、
- 前記第2面において前記第1層と電氣的に接続されるドレイン電極と、
- 前記第3面において前記第4層と電氣的に接続されるソース電極と、
- 前記第2層、前記第3層、前記第4層が積層される第1方向に沿って位置し、前記第2層、前記第3層、前記第4層のいずれとも絶縁され、前記第1方向とは異なる第2方向において前記第3層と対向するゲート電極と、
- 前記第2方向において前記ゲート電極との間に少なくとも前記第3層を挟み、前記第3層との間において伝導帯が不連続な界面を形成する半導体であるか、または電導に寄与する電荷を有しない第5層とを備える半導体装置。
- [請求項2] 前記第5層は前記第1方向において前記第1層との間に前記第2層および前記第3層を挟む、請求項1に記載の半導体装置。
- [請求項3] 前記第2層および前記第3層のいずれもが窒化物半導体であって、
- 前記第2層のc面が前記第3層に接触する、請求項2に記載の半導体装置。

- [請求項4] 前記第5層はその前記第1層側において、ゲート電極から離れるに従って前記第1層に近づく、請求項1または2に記載の半導体装置。
- [請求項5] 前記第2層および前記第3層のいずれもが窒化物半導体であって、前記第2層のcバー面が前記第3層に接触する、請求項4に記載の半導体装置。
- [請求項6] 前記第5層は前記第1方向において前記ソース電極との間に前記第3層および前記第4層を挟む、請求項1に記載の半導体装置。
- [請求項7] 前記第5層の前記第1方向における長さが、前記ゲート電極から離れる程長い、請求項1から6のいずれか1項に記載の半導体装置。
- [請求項8] 前記第2層、前記第3層、前記第4層はいずれもGa_{0.5}In_{0.5}NもしくはAlGa_{0.5}In_{0.5}Nであり、前記第3層のAl組成は、前記第3層の中央からみて前記第2層に近いほど小さく、前記第3層の中央からみて前記第4層に近いほど小さい、請求項1から7のいずれか1項に記載の半導体装置。
- [請求項9] 前記第5層は前記第1方向において前記第1層との間に少なくとも前記第2層を挟む、請求項1から8のいずれか1項に記載の半導体装置。
- [請求項10] 導電性がn型の半導体であって互いに対向する第1面と第2面とを有する第1層の前記第1面上に、導電性がn型の半導体であって第1バンドギャップを有する第2層を形成し、
前記第2層上に、前記第1バンドギャップよりも大きな第2バンドギャップを有し、導電性がn型であるかまたは真性の半導体である第3層を形成し、
前記第3層上に、前記第3層と反対側に第3面を有し、前記第2バンドギャップよりも小さな第3バンドギャップを有し、導電性がn型の半導体である第4層を形成し、
前記第3面の第1領域から前記第4層および前記第3層を貫通して前記第2層に至り、前記第1層に至らずに前記第2層を露出させる溝

を形成し、

絶縁膜を介して前記溝を埋めるゲート電極と前記絶縁膜とを形成し

、

前記第3面のうち前記第1領域から離れた第2領域に対してイオンを注入して、少なくとも前記第3層の一部を電氣的に不活性化し、

前記第1領域と前記第2領域とに挟まれた位置において前記第3面と接触し、前記ゲート電極と接触しないソース電極を形成し、

前記第2面上にドレイン電極を形成する、半導体装置の製造方法。

[請求項11]

導電性がn型の半導体であって互いに対向する第1面と第2面とを有する第1層の前記第1面上に、導電性がn型の半導体であって第1バンドギャップを有する第2層を形成し、

前記第2層上に、前記第1バンドギャップよりも大きな第2バンドギャップを有し、導電性がn型であるかまたは真性の半導体である第3層を形成し、

前記第3層上に、前記第3層と反対側に第3面を有し、前記第2バンドギャップよりも小さな第3バンドギャップを有し、導電性がn型の半導体である第4層を形成し、

前記第3面の第1領域から前記第4層および前記第3層を貫通して前記第2層に至り、前記第1層に至らずに前記第2層を露出させる第1溝を形成し、

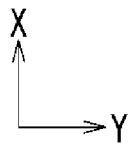
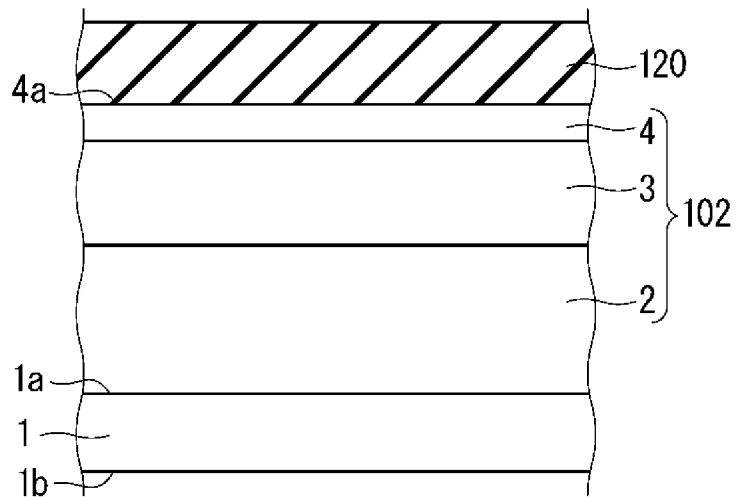
絶縁膜を介して前記第1溝を埋めるゲート電極と前記絶縁膜とを形成し、

前記第3面のうち前記第1領域から離れた第2領域から前記第4層および前記第3層を貫通して前記第2層に至り前記第2層を露出させる第2溝を形成し、

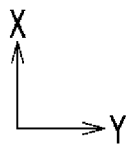
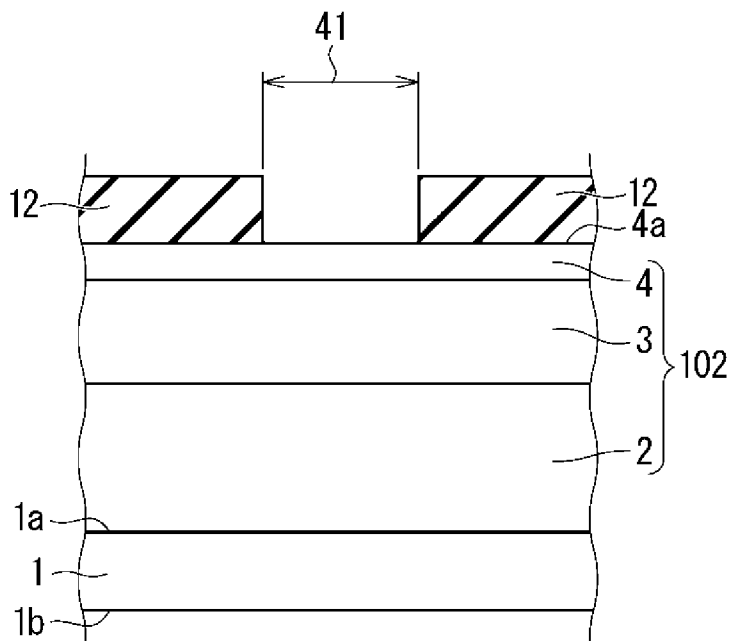
前記第2溝を、前記第3層との間において伝導帯が不連続な界面を形成する半導体であるか、または電導に寄与する電荷を有しない層によって埋めることと、

前記第 1 領域と前記第 2 領域とに挟まれた位置において前記第 3 面と接触し、前記ゲート電極と接触しないソース電極を形成し、
前記第 2 面上にドレイン電極を形成する、半導体装置の製造方法。

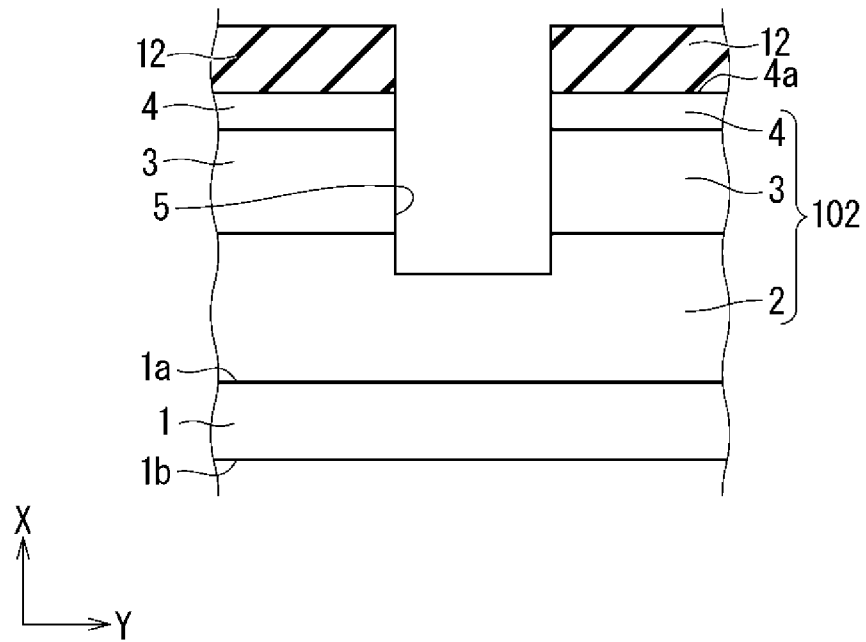
[図3]



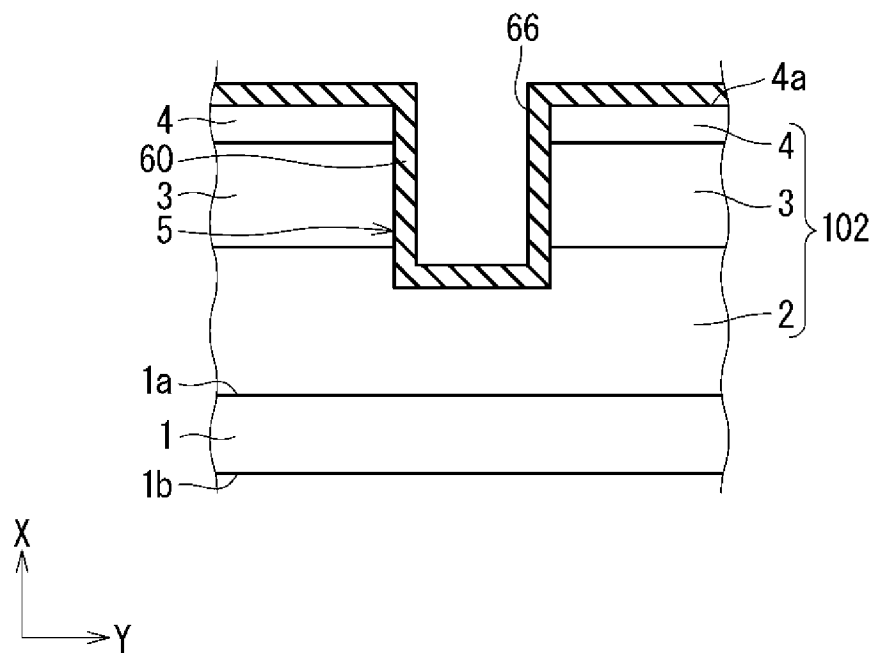
[図4]



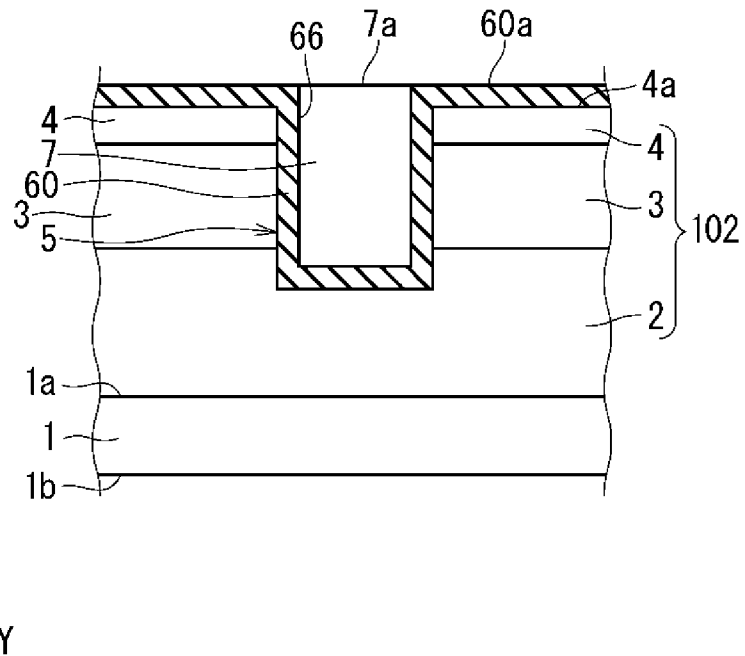
[図5]



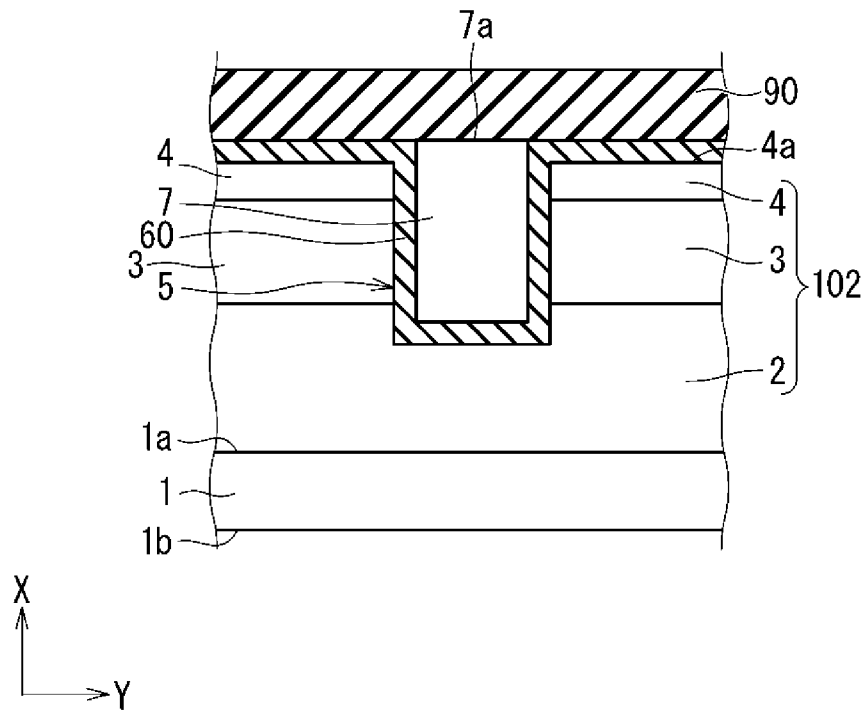
[図6]



[図7]

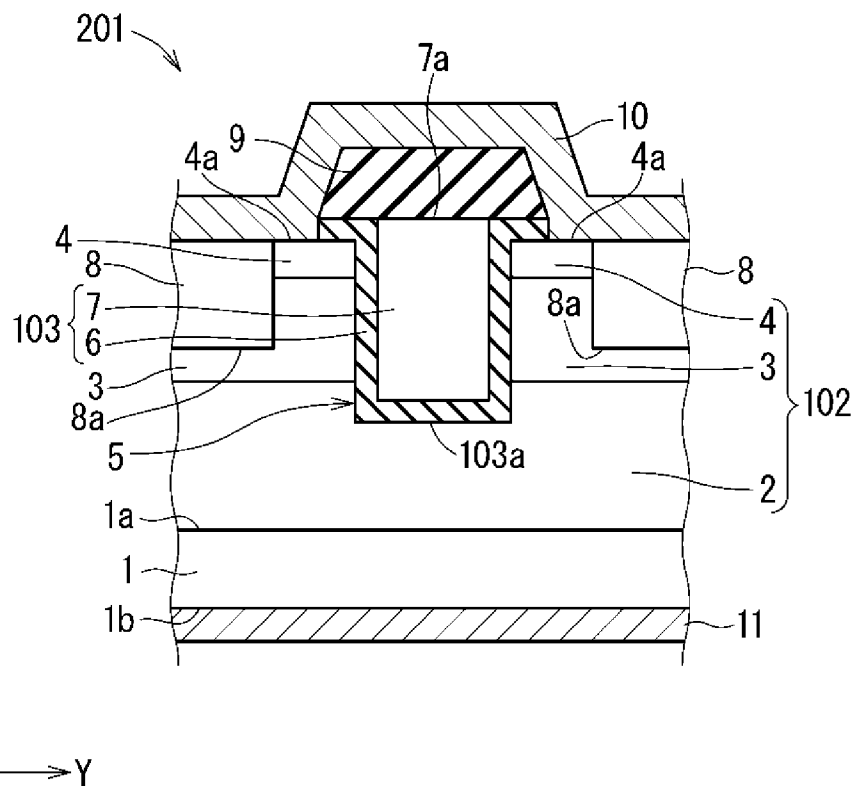


[図8]



[illegible][illegible]

Fig. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 1 with layers 1a and 1b. A central region 103 contains a core 103a. This core is surrounded by a layer 4, which is further enclosed by a layer 3. The entire structure is supported by a base 2. Various other components are labeled with numbers 9, 4a, 7, 6, 5, 3, 14, 7a, 132, and 4a.



[illegible][illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/022215

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/78(2006.01)i, H01L29/12(2006.01)i, H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i, H01L21/337(2006.01)i, H01L29/808(2006.01)i
FI: H01L29/78 657Z, H01L29/80 H, H01L29/80 V, H01L29/78 652T, H01L29/78 652E, H01L29/78 654Z, H01L29/78 653A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/78, H01L29/12, H01L21/338, H01L29/778, H01L29/812, H01L21/337, H01L29/808

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-225938 A (FUJITSU LTD.) 07 October 2010, paragraphs [0030]-[0056], fig. 3, 4	1, 8, 10-11 2-7, 9
Y	JP 5672734 B2 (FUJITSU LTD.) 18 February 2015, paragraph [0059], fig. 8	1, 8, 10-11
Y	JP 2011-18844 A (SANKEN ELECTRIC CO., LTD.) 27 January 2011, paragraphs [0017]-[0029], fig. 1	8
Y	JP 2008-166705 A (DENSO CORP.) 17 July 2008, paragraph [0062], fig. 3	11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11.08.2020

Date of mailing of the international search report
18.08.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/022215

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2010-225938 A	07.10.2010	(Family: none)	
JP 5672734 B2	18.02.2015	(Family: none)	
JP 2011-18844 A	27.01.2011	US 2011/0006308 A1 paragraphs [0037]- [0049], fig. 1	
JP 2008-166705 A	17.07.2008	US 2008/0135932 A1 paragraph [0048], fig. 3 CN 101197368 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; H01L 21/338(2006.01)i; H01L 29/778(2006.01)i; H01L 29/812(2006.01)i; H01L 21/337(2006.01)i; H01L 29/808(2006.01)i FI: H01L29/78 657Z; H01L29/80 H; H01L29/80 V; H01L29/78 652T; H01L29/78 652E; H01L29/78 654Z; H01L29/78 653A																	
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L29/12; H01L21/338; H01L29/778; H01L29/812; H01L21/337; H01L29/808 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年							
日本国実用新案公報	1922-1996年																
日本国公開実用新案公報	1971-2020年																
日本国実用新案登録公報	1996-2020年																
日本国登録実用新案公報	1994-2020年																
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y A</td> <td>JP 2010-225938 A（富士通株式会社）07.10.2010（2010-10-07） 段落[0030]-[0056], 図3-4</td> <td>1, 8, 10-11 2-7, 9</td> </tr> <tr> <td>Y</td> <td>JP 5672734 B2（富士通株式会社）18.02.2015（2015-02-18） 段落[0059], 図8</td> <td>1, 8, 10-11</td> </tr> <tr> <td>Y</td> <td>JP 2011-18844 A（サンケン電気株式会社）27.01.2011（2011-01-27） 段落[0017]-[0029], 図1</td> <td>8</td> </tr> <tr> <td>Y</td> <td>JP 2008-166705 A（株式会社デンソー）17.07.2008（2008-07-17） 段落[0062], 図3</td> <td>11</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y A	JP 2010-225938 A（富士通株式会社）07.10.2010（2010-10-07） 段落[0030]-[0056], 図3-4	1, 8, 10-11 2-7, 9	Y	JP 5672734 B2（富士通株式会社）18.02.2015（2015-02-18） 段落[0059], 図8	1, 8, 10-11	Y	JP 2011-18844 A（サンケン電気株式会社）27.01.2011（2011-01-27） 段落[0017]-[0029], 図1	8	Y	JP 2008-166705 A（株式会社デンソー）17.07.2008（2008-07-17） 段落[0062], 図3	11
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
Y A	JP 2010-225938 A（富士通株式会社）07.10.2010（2010-10-07） 段落[0030]-[0056], 図3-4	1, 8, 10-11 2-7, 9															
Y	JP 5672734 B2（富士通株式会社）18.02.2015（2015-02-18） 段落[0059], 図8	1, 8, 10-11															
Y	JP 2011-18844 A（サンケン電気株式会社）27.01.2011（2011-01-27） 段落[0017]-[0029], 図1	8															
Y	JP 2008-166705 A（株式会社デンソー）17.07.2008（2008-07-17） 段落[0062], 図3	11															
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																	
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																	
国際調査を完了した日 11.08.2020		国際調査報告の発送日 18.08.2020															
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 高橋 優斗 5F 4815 電話番号 03-3581-1101 内線 3516															

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/022215

引用文献			公表日	パテントファミリー文献	公表日
JP	2010-225938	A	07.10.2010	(ファミリーなし)	
JP	5672734	B2	18.02.2015	(ファミリーなし)	
JP	2011-18844	A	27.01.2011	US 2011/0006308 A1	
				段落[0037]-[0049], 図1	
JP	2008-166705	A	17.07.2008	US 2008/0135932 A1	
				段落[0048], 図3	
				CN 101197368 A	