

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3673435号
(P3673435)

(45) 発行日 平成17年7月20日(2005.7.20)

(24) 登録日 平成17年4月28日(2005.4.28)

(51) Int.Cl.⁷

F I

HO 1 L 23/02

HO 1 L 23/12

HO 1 L 23/02

HO 1 L 23/12

3 O 1 Z

請求項の数 2 (全 9 頁)

(21) 出願番号	特願平11-276890	(73) 特許権者	000006633
(22) 出願日	平成11年9月29日(1999.9.29)		京セラ株式会社
(65) 公開番号	特開2001-102473(P2001-102473A)		京都府京都市伏見区竹田鳥羽殿町6番地
(43) 公開日	平成13年4月13日(2001.4.13)	(72) 発明者	植田 義明
審査請求日	平成15年7月22日(2003.7.22)		滋賀県蒲生郡蒲生町川合10番地の1 京セラ株式会社滋賀工場内
		(72) 発明者	安井 正和
			滋賀県蒲生郡蒲生町川合10番地の1 京セラ株式会社滋賀工場内
		(72) 発明者	中島 利良
			滋賀県蒲生郡蒲生町川合10番地の1 京セラ株式会社滋賀工場内
		審査官	今井 拓也
			最終頁に続く

(54) 【発明の名称】 半導体素子収納用パッケージ

(57) 【特許請求の範囲】
【請求項1】

上面の中央部に半導体素子の搭載部を、上面の周縁部にその上下を貫通する端子部材嵌着用の切欠部を有する金属基板と、
該金属基板の前記切欠部と略同じ大きさの誘電体基板に、上下面を貫通する貫通導体が形成されるとともに、上下面にそれぞれ前記貫通導体に接続された信号用メタライズ層が形成され、かつ下面側の前記信号用メタライズ層に前記誘電体基板の外側に延びる信号用リード端子が接合されるとともに、下面側の前記信号用メタライズ層および前記信号用リード端子の周囲から周縁部にかけてメタライズ層が被着され、さらに前記信号用リード端子が外側に延びる側の側面に隣接する両側面にメタライズ層が被着されて成り、前記信号用リード端子が前記切欠部から前記金属基板の外側へ延びるように前記切欠部に嵌着された端子部材と、
前記金属基板の下面に前記端子部材の前記信号用リード端子をそれぞれ切欠部側で取り囲むように接合されるとともに、該信号用リード端子に隣接して略平行に配設される接地用リード端子を有する接地金属板とを具備することを特徴とする半導体素子収納用パッケージ。

【請求項2】
内側に半導体素子を収容するとともに、側部の下面にその側部を貫通する切欠部を有する金属枠体と、
該金属枠体の前記切欠部と同じ断面積を有する誘電体基板に、上下面を貫通する貫通導体

が形成されるとともに、上下面にそれぞれ前記貫通導体に接続された信号用メタライズ層が形成され、かつ下面側の前記信号用メタライズ層に前記誘電体基板の外側に延びる信号用リード端子が接合されるとともに、下面側の前記信号用メタライズ層および前記信号用リード端子の周囲から周縁部にかけてメタライズ層が被着され、さらに前記信号用リード端子が外側に延びる側の側面に隣接する両側面にメタライズ層が被着されて成り、前記信号用リード端子が前記切欠部から前記金属枠体の外側へ延びるように前記切欠部に嵌着された端子部材と、

前記金属枠体の下面に前記端子部材の前記信号用リード端子をそれぞれ切欠部側で取り囲むように接合されるとともに、該信号用リード端子に隣接して略平行に配設される接地用リード端子を有し、かつその上面の中央部に前記半導体素子の搭載部を設けた金属基板とを具備することを特徴とする半導体素子収納用パッケージ。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ＩＣ、ＬＳＩ等の半導体素子を収納するための半導体素子収納用パッケージに関する。

【0002】

【従来の技術】

従来の半導体素子収納用パッケージ（以下、半導体パッケージという）を図５および図６に示す。これらの図において、２１はアルミナセラミックス等の誘電体材料から成り、半導体パッケージの本体を成す誘電体基板、２２は、誘電体基板２１の半導体素子の載置面（上面）と反対側の面（下面）に接合され、スルーホール２４を通して接地用メタライズ層２６に接続された接地用端子、２３は、誘電体基板２１の下面に接合され、スルーホール２５を通して信号用メタライズ層２７に接続された信号用リード端子、２４は接地用のスルーホール、２５は信号用のスルーホールである。

20

【0003】

また、２６は、誘電体基板２１の半導体素子の載置面に被着形成された接地用メタライズ層、２７は、半導体素子の入出力用の電極と結線されるボンディングワイヤ等の信号線接続用の信号用メタライズ層、２８は、誘電体基板２１の側端面に被着形成され、接地用端子２２に接続された接地用側面メタライズ層、２９は、誘電体基板２１の他の側端面に被着形成されて電磁シールド用として機能する接地用側面メタライズ層である。

30

【0004】

そして、ＩＣ、ＬＳＩ等の半導体素子は、誘電体基板２１の上面中央部の接地用メタライズ層２６上に載置固定され、その入出力用の電極は、フリップチップ接続構造、ボンディングワイヤ等の信号線により信号用メタライズ層２７と接続される。なお、半導体素子が載置された誘電体基板２１上面の周縁部に、蓋体の周縁部を接合して封止する場合もあるがその蓋体については図示していない。

【0005】

また、他の従来例として、ＲＦ（Radio Frequency：高周波）信号入出力端子に対応する部分が誘電体で形成された基板と、基板上にマイクロ波集積回路を囲むように設けられ、少なくともＲＦ信号入出力端子に対応する部分が誘電体で形成される蓋体が被せられた壁体とを備えて成るマイクロ波パッケージにおいて、ＲＦ信号入出力端子に壁体の誘電体に対してギャップを設けることにより、ＲＦ信号入出力端子のストリップ線路間の結合容量によりＲＦ信号の伝搬をさせて、抵抗の増大を防止し伝搬損が低減するものが提案されている（従来例１：特開平５－３４０１号公報）。

40

【0006】

【発明が解決しようとする課題】

しかしながら、図５、図６に示した従来例においては、誘電体基板２１に接地用のスルーホール２４を形成した構成となっているため、高周波信号用の半導体パッケージでは、スルーホール２４とスルーホール２５との間に誘電体が存在しており、そのため電磁シールド

50

ド性が劣化し、高周波信号の誘電体による挿入損失（インサージョンロス：insertion loss）が発生していた。

【0007】

また、外部の高周波信号等の電磁波に対する電磁シールドとして、誘電体基板21の側端面に接地用側面メタライズ層29を形成することで、電磁シールド性を強化することは可能だが、この接地用側面メタライズ層29は誘電体基板21の側端面に部分的にしか形成できなかった。それは、このような誘電体基板21は大きな母基板から多数個取りして製造することが多く、その場合キャストレーション部にのみメタライズ層の被着が可能のためである。さらに、個々の誘電体基板21を母基板から分割した後に、誘電体基板21の側端面にメタライズ層用の金属ペーストを印刷塗布することは作業性が悪く、製造工程において手間が掛かり時間的ロスも大きいため、生産性および歩留りの低下を招いていた。

10

【0008】

上記従来例1においては、高周波信号がスルーホール間において漏出することにより、アイソレーションおよびインサージョンのロスが増大していた。即ち、誘電体端面に高周波信号が漏出し、さらに外部からのノイズが容易に侵入して使用する高周波信号に影響を及ぼして損失を増大させていた。

【0009】

従って、本発明は上記事情に鑑みて完成されたものであり、その目的は、信号用のスルーホールと接地用のスルーホール間に存在する誘電体による電磁シールド性の劣化を抑制して高周波信号の挿入損失を小さくし、高周波信号の伝搬速度を向上させるとともに、製造時の作業性を向上させて生産性及び製造歩留りを良好なものとすることにある。

20

【0010】

【課題を解決するための手段】

本発明の半導体素子収納用パッケージは、上面の中央部に半導体素子の搭載部を、上面の周縁部にその上下を貫通する端子部材嵌着用の切欠部を有する金属基板と、該金属基板の前記切欠部と略同じ大きさの誘電体基板に、上下面を貫通する貫通導体が形成されるとともに、上下面にそれぞれ前記貫通導体に接続された信号用メタライズ層が形成され、かつ下面側の前記信号用メタライズ層に前記誘電体基板の外側に延びる信号用リード端子が接合されるとともに、下面側の前記信号用メタライズ層および前記信号用リード端子の周囲から周縁部にかけてメタライズ層が被着され、さらに前記信号用リード端子が外側に延びる側の側面に隣接する両側面にメタライズ層が被着されて成り、前記信号用リード端子が前記切欠部から前記金属基板の外側へ延びるように前記切欠部に嵌着された端子部材と、前記金属基板の下面に前記端子部材の前記信号用リード端子をそれぞれ切欠部側で取り囲むように接合されるとともに、該信号用リード端子に隣接して略平行に配設される接地用リード端子を有する接地金属板とを具備することを特徴とする。

30

【0011】

本発明は、上記構成により、信号経路と接地電位部との間に存在する誘電体が少なくなるように構成することで、信号経路部と接地電位部とが誘電体を介して電磁結合、容量結合し電磁シールド性が劣化するのを抑制して、高周波信号の損失を小さくするとともに高周波信号の伝搬速度を向上させることができる。また、製造時の作業性を向上させて生産性及び製造歩留りを良好なものとするという作用効果も有する。

40

【0012】

また本発明の半導体素子収納用パッケージは、内側に半導体素子を収容するとともに、側部の下面にその側部を貫通する切欠部を有する金属枠体と、該金属枠体の前記切欠部と同じ断面積を有する誘電体基板に、上下面を貫通する貫通導体が形成されるとともに、上下面にそれぞれ前記貫通導体に接続された信号用メタライズ層が形成され、かつ下面側の前記信号用メタライズ層に前記誘電体基板の外側に延びる信号用リード端子が接合されるとともに、下面側の前記信号用メタライズ層および前記信号用リード端子の周囲から周縁部にかけてメタライズ層が被着され、さらに前記信号用リード端子が外側に延びる側の側面に隣接する両側面にメタライズ層が被着されて成り、前記信号用リード端子が前記切欠

50

部から前記金属枠体の外側へ延びるように前記切欠部に嵌着された端子部材と、前記金属枠体の下面に前記端子部材の前記信号用リード端子をそれぞれ切欠部側で取り囲むように接合されるとともに、該信号用リード端子に隣接して略平行に配設される接地用リード端子を有し、かつその上面の中央部に前記半導体素子の搭載部を設けた金属基板とを具備することを特徴とする。

【0013】

このような構成により、上記電磁シールド性の向上効果に加え、端子部材を設置するための金属板が一枚で済み、さらに簡易で低コスト化された構成となり、また半導体素子を金属枠体で囲まれた空間内に収納することができるため全体が低背化される。

【0014】

【発明の実施の形態】

本発明の半導体パッケージPを図1～図4に示す。図1は半導体パッケージPの上面側の斜視図、図2は半導体パッケージPの下面側の斜視図、図3(a)は半導体パッケージP用の端子部材の上面側の斜視図、図3(b)は前記端子部材の下面側の斜視図、図3(c)は(a)のB-B線における断面図、図4は本発明の他の実施形態による半導体パッケージP1の上面側の斜視図である。

【0015】

図1～図3において、1は上下面を貫通するスルーホール、ビアホール等の貫通導体8が形成され、かつ該貫通導体8に接続して上下面にそれぞれ形成された信号用メタライズ層7、12を有する信号入力用の端子部材と信号出力用の端子部材であり、2は、上面の中央部に半導体素子の搭載部2aを、上面の周縁部に上下を貫通する端子部材1、1嵌着用の2つの切欠部1a、1aを有する金属基板である。また、3は、金属基板2の上面周辺部に口ウ材等により接合される蓋体封止用のシールリングとしての金属枠体、4は、金属基板2の下面に端子部材1、1の信号用リード端子5、5を切欠部1a、1a側で取り囲むように接合されるとともに、信号用リード端子5、5に隣接して略平行に配設される接地用リード端子6を有する接地金属板である。

【0016】

また、5は、端子部材1、1の各々の下面側の信号用メタライズ層12に接合され、切欠部1a、1aと略同じ大きさの端子部材1、1用の誘電体基板の外側に延びる信号用リード端子、6は、各信号用リード端子5、5の両側に隣接して略平行に形成された接地用リード端子、7は、貫通導体8に接続して端子部材1上面に形成された信号用メタライズ層、8は、スルーホール、ビアホール等の貫通導体、13は、金属基板2の側面全体に被着され金属枠体3を金属基板2に接合させるためのメタライズ層である。なお、金属基板2の上面の中央部に半導体素子を載置させた後、金属枠体3上面に蓋体の周縁部を接合して封止するが、その蓋体については図示していない。

【0017】

本発明において、端子部材1、1はアルミナ(Al_2O_3)セラミックス、窒化アルミニウム(AlN)セラミックス、ムライト($3Al_2O_3 \cdot 2SiO_2$)セラミックス、炭化珪素(SiC)セラミックス、フォーステライト($2MgO \cdot SiO_2$)セラミックス、ジルコニア(ZrO_2)セラミックス、ステアタイト($3MgO \cdot 4SiO_2 \cdot H_2O$)セラミックス、コーディエライト($2MgO \cdot 2Al_2O_3 \cdot 5SiO_2$)セラミックス、ベリリア(BeO)セラミックス、石英、ガラス、ガラスセラミックス等の誘電体基板から成るのが良く、これらは高周波信号の誘電体損失($\tan \delta$)が小さい。端子部材1、1は、金属基板2にそれらの相補形状に形成された切欠部1aに嵌合され、金属口ウ材等により接合される。

【0018】

また、図3(a)に示すように、端子部材1は、その上面の信号用リード端子5側の辺縁部に金属枠体3と接合させるためのメタライズ層9が被着され、その上面中央部には、上下面を貫通する貫通導体8と貫通導体8に接続して形成された信号用メタライズ層7を有する。端子部材1の信号用リード端子5側の側面に隣接する両側面には、金属基板2と接

10

20

30

40

50

合させるためのメタライズ層 10 が被着される。また、同図 (b) , (c) に示すように、端子部材 1 の下面には、中心部より信号用リード端子 5 側の端部へ延びるように形成され信号用リード端子 5 に接続される信号用メタライズ層 12 と、信号用メタライズ層 12 の周囲から周縁部にかけて形成されるメタライズ層 11 とが被着されており、端子部材 1 の下面の中央部において信号用メタライズ層 12 が貫通導体 8 に接続される。

【0019】

この端子部材 1 は、図 3 の如く直方体状とされているが、直方体状に限らず円柱状、三角柱状等の多角柱状、錐状台形状等種々の形状とし得る。即ち、金属基板 2 の上下面で露出する面を有する形状であれば良い。

【0020】

金属基板 2 , 接地金属板 4 および金属枠体 3 の材料は、銅 (Cu) - タングステン (W) 合金, SUS (ステンレス), 鉄 (Fe) - ニッケル (Ni) - コバルト (Co) 合金 (コバール), 鉄 (Fe) - ニッケル (Ni) 合金, その他 Cu - Mo, Cu, Ni, Mo, Fe, または Cu を主成分とする Cu 系合金等が好ましく、これらは電磁遮蔽 (電磁シールド) 性に優れる。

【0021】

本実施形態では、信号用リード端子 5 は、接地金属板 4 の主面方向に沿って半導体パッケージから外側に延びるように設けられているが、接地金属板 4 の主面に垂直な方向に沿って外側、例えば下側に延びるように設けても良い。その場合、接地用リード端子 6 も、接地金属板 4 の主面に垂直な方向に沿って信号用リード端子 5 に略平行に設けることができる。また、接地用リード端子 6 は信号用リード端子 5 の両側に隣接して略平行に設けられているが、信号用リード端子 5 の片側にのみ接地用リード端子 6 を設けることもできる。但し、信号用リード端子 5 の両側に接地用リード端子 6 を設けた方が好ましく、信号の損失が小さく伝送特性が良好となる。

【0022】

本発明の信号用メタライズ層 7 , 12、およびメタライズ層 9 , 10 , 11 , 13 は、公知の W, Mo - Mn, Pd, Pt, Ti, Au 等の金属または合金の粒子を含有する金属ペーストを塗布し焼成する、またはスパッタリング法によって被着形成される。Mo - Mn ペーストを塗布焼成したものの場合、Ni メッキを施し、Ag - Cu 共晶合金口ウ材により他の部材と接合するか、または Ni メッキ, Au メッキを施し、Au - Sn 合金口ウ材により他の部材と接合する。また、Ti 層, Pt 層, Au 層の 3 層をスパッタリング法により成膜したものの場合、Au - Sn 合金口ウ材により他の部材と接合する。

【0023】

貫通導体 8 はスルーホール、ビアホール等であり、端子部材 1 の所定の箇所に貫通孔を形成し、その貫通孔の内面に上記メタライズ層と同様に金属ペーストを塗布し焼成するか、または金属メッキ層を形成することによって、スルーホールが作製される。また、ビアホールとする場合、前記貫通孔の内部に金属ペーストを充填して焼成する、または貫通孔の内部に金属ペーストを充填焼成後さらに熔融金属を充填させるといった方法により形成し得る。

【0024】

本発明の第二の実施形態として、図 4 に示すような構成とし得る。この第二の実施形態では、図 1 の金属基板 2 が無い代わりに、内側に半導体素子を収容するとともに側部を貫通する 2 つの切欠部 14 , 14 を有する金属枠体 3a を設けたものである。また、金属枠体 3a の切欠部 14 と同じ断面積を有する端子部材 1 が、切欠部 14 , 14 に嵌着されており、さらに金属枠体 3a の下面に端子部材 1 , 1 の信号用リード端子 5 をそれぞれ切欠部 14 側で取り囲むように接合されるとともに、信号用リード端子 5 に隣接して略平行に配設される接地用リード端子 6 を有し、かつその上面の中央部に半導体素子の搭載部 4b を設けた金属基板 4a を具備する構成であり、他の構成は図 1 のものと同様である。この第二の実施形態によると、図 1 の金属基板 2 が不要となり、構成が簡易化されて低コストに製造可能となり、また金属枠体 3a で囲まれた空間内に半導体素子を収納することができ

10

20

30

40

50

るので、全体が低背化されるものである。

【0025】

この第二の実施形態において、端子部材1の切欠部14に嵌着される部分は、切欠部14と同じ断面積を有しているが、それ以外の部分は切欠部14と全く同じ形状、大きさをしている必要はなく、例えば金属棒体3aから外側に端子部材1の一部が突出していても構わない。

【0026】

また、図1，図4の実施形態において、切欠部1a，切欠部14はそれぞれ2つあるが、2つに限らず、1つまたは2つ以上設けることができる。

【0027】

本発明において、信号用リード端子5と接地用リード端子6との間隔を、使用する高周波信号の波長の $\frac{3}{2}$ 分の1以上とすることが好ましく、波長の $\frac{3}{2}$ 分の1未満の場合、信号用リード端子5と接地用リード端子6とが容量結合、電磁結合し易くなり、高周波信号の損失が増大する。また、本発明の半導体パッケージは、10GHz以上の高周波帯域で使用するものに適している。

【0028】

かくして、本発明は、信号経路と接地電位部との間に存在する誘電体が少なくなるように構成することで、信号経路部と接地電位部とが誘電体を介して電磁結合、容量結合し電磁シールド性が劣化するのを抑制して、高周波信号の挿入損失を小さくするとともに高周波信号の伝搬速度を向上させ得る。また、製造時の作業性を向上させて生産性及び製造歩留りが高まるという作用効果も有する。

【0029】

尚、本発明は上記の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内で種々の変更は何等差し支えない。

【0030】

【発明の効果】

本発明は、上面の中央部に半導体素子の搭載部を、上面の周縁部にその上下を貫通する端子部材嵌着用の切欠部を有する金属基板と、前記切欠部と略同じ大きさの誘電体基板に、上下面を貫通する貫通導体が形成され、上下面にそれぞれ貫通導体に接続された信号用メタライズ層が形成され、かつ下面側の信号用メタライズ層に誘電体基板の外側に延びる信号用リード端子が接合されるとともに、下面側の信号用メタライズ層および信号用リード端子の周囲から周縁部にかけてメタライズ層が被着され、さらに信号用リード端子が外側に延びる側の側面に隣接する両側面にメタライズ層が被着されて成り、信号用リード端子が切欠部から金属基板の外側へ延びるように切欠部に嵌着された端子部材と、金属基板の下面に信号用リード端子をそれぞれ切欠部側で取り囲むように接合されるとともに、信号用リード端子に隣接して略平行に配設される接地用リード端子を有する接地金属板と、を具備することにより、信号経路部と接地電位部とが誘電体を介して電磁結合、容量結合し電磁シールド性が劣化するのを抑制し、高周波信号の挿入損失を小さくするとともに高周波信号の伝搬速度を向上させ、また製造時の作業性を向上させて生産性及び製造歩留りが高いものとなる。

【0031】

また本発明は、内側に半導体素子を収容するとともに、側部の下面にその側部を貫通する切欠部を有する金属棒体と、前記切欠部と同じ断面積を有する誘電体基板に、上下面を貫通する貫通導体が形成され、上下面にそれぞれ貫通導体に接続された信号用メタライズ層が形成され、かつ下面側の信号用メタライズ層に誘電体基板の外側に延びる信号用リード端子が接合されるとともに、下面側の信号用メタライズ層および信号用リード端子の周囲から周縁部にかけてメタライズ層が被着され、さらに信号用リード端子が外側に延びる側の側面に隣接する両側面にメタライズ層が被着されて成り、信号用リード端子が切欠部から金属棒体の外側へ延びるように切欠部に嵌着された端子部材と、金属棒体の下面に信号用リード端子をそれぞれ切欠部側で取り囲むように接合されるとともに、信号用リード

10

20

30

40

50

端子に隣接して略平行に配設される接地用リード端子を有し、かつその上面の中央部に半導体素子の搭載部を設けた金属基板と、を具備することにより、上記の電磁シールド性の向上効果に加え、端子部材を設置するための金属板が一枚で済み、さらに簡易で低コスト化された構成となり、また半導体素子を金属枠体で囲まれた空間内に収納することができるため全体が低背化されるという作用効果を有する。

【図面の簡単な説明】

【図 1】本発明の半導体パッケージの上面側の斜視図である。

【図 2】本発明の半導体パッケージの下面側の図である。

【図 3】本発明の半導体パッケージ用の端子部材を示し、(a)は端子部材の上面側の斜視図、(b)は端子部材の下面側の斜視図、(c)は(a)のB-B線における断面図である。

10

【図 4】本発明の第二の実施形態による半導体パッケージの上面側の斜視図である。

【図 5】従来の半導体パッケージの上面側の斜視図である。

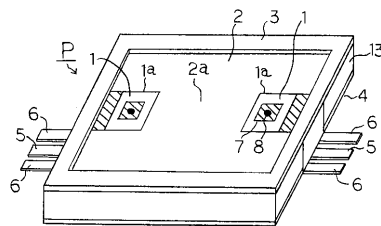
【図 6】図 5 の A - A 線における断面図である。

【符号の説明】

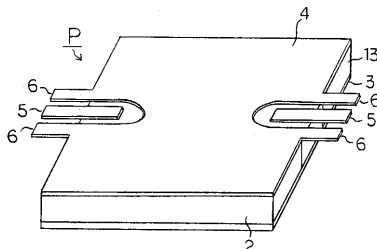
- 1：端子部材
- 2：金属基板
- 3：金属枠体
- 3a：金属枠体
- 4：接地金属板
- 5：信号用リード端子
- 6：接地用リード端子
- 7：信号用メタライズ層
- 8：貫通導体
- 12：信号用メタライズ層

20

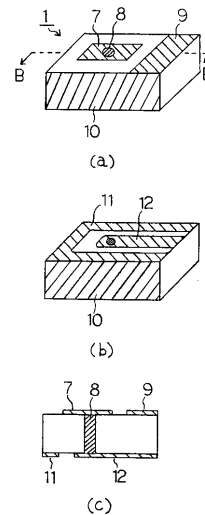
【図 1】



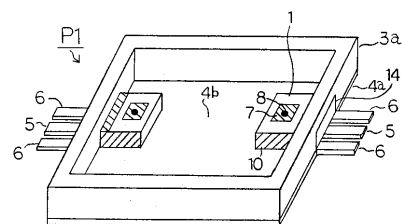
【図 2】



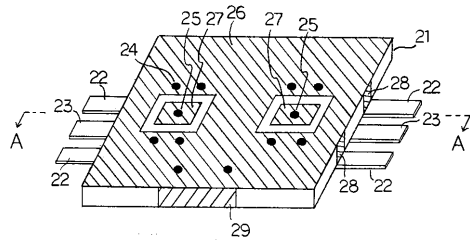
【図 3】



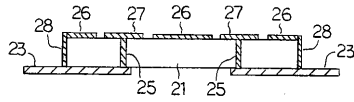
【図 4】



【 図 5 】



【 図 6 】



フロントページの続き

(56)参考文献 実開昭63-112345(JP,U)
特開平06-037202(JP,A)

(58)調査した分野(Int.Cl.⁷,DB名)

H01L 23/02

H01L 23/12