



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I422005 B

(45) 公告日：中華民國 103 (2014) 年 01 月 01 日

(21) 申請案號：100133762

(22) 申請日：中華民國 100 (2011) 年 09 月 20 日

(51) Int. Cl. : H01L23/60 (2006.01)

H01L27/04 (2006.01)

(30) 優先權：2011/08/23 美國

13/216,016

(71) 申請人：晶焱科技股份有限公司 (中華民國) AMAZING MICROELECTRONIC CORP. (TW)
新北市中和區中正路 736 號 6 樓之 6(72) 發明人：陳子平 CHEN, ZI PING (TW)；陳東暘 CHEN, TUNG YUNG (TW)；林昆賢 LIN,
KUN HSIEN (TW)；姜信欽 JIANG, RYAN HSIN CHIN (TW)

(74) 代理人：林火泉

(56) 參考文獻：

TW 200608554A

TW 201010054A1

US 2006/0044719A1

審查人員：翁佑菱

申請專利範圍項數：6 項 圖式數：7 共 0 頁

(54) 名稱

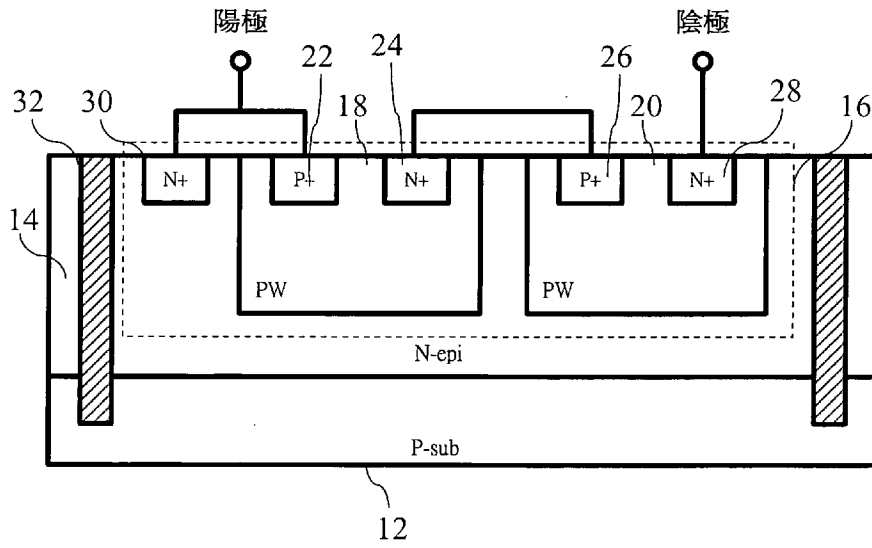
靜電放電保護元件結構

ELECTROSTATIC DISCHARGE PROTECTION DEVICE STRUCTURE

(57) 摘要

本發明係揭露一種靜電放電保護元件結構，其係包含一半導體基板與設於半導體基板上之一 N 型磊晶層。至少一驟迴串接結構係設於 N 型磊晶層中，且驟迴串接結構更包含一第一 P 型井區與一第二 P 型井區。一第一、第二重摻雜區設於第一 P 型井區中，並互為相異型。又一第三、第四重摻雜區設於第二 P 型井區中，並互為相異型，且第二、第三重摻雜區互為相異型，並相互電性連接。在第一重摻雜區接收一靜電放電(ESD)訊號時，一靜電放電電流依序經由第一重摻雜區、第一 P 型井區、N 型磊晶層與第二 P 型井區，流至第四重摻雜區。

An electrostatic discharge protection device structure is disclosed, which comprises a semiconductor substrate and an N-type epitaxial layer arranged on the semiconductor substrate. At least one snapback cascade structure is arranged in the N-type epitaxial layer, wherein the snapback cascade structure further comprises first and second P-type wells arranged in the N-type epitaxial layer. First and second heavily doped areas arranged in the first P-type well respectively belong to opposite types. And, third and fourth heavily doped areas arranged in the second P-type well respectively belong to opposite types, wherein the second and third heavily doped areas respectively belong to opposite types and are electrically connected with each other. When the first heavily doped area receives an ESD signal, an ESD current flows from the first heavily doped area to the fourth heavily doped area through the first P-type well, the N-type epitaxial layer, and the second P-type well.



第 3 圖

- 12 . . . 半導體基板
- 14 . . . N 型磊晶層
- 16 . . . 驟迴串接結構
- 18 . . . 第一 P 型井區
- 20 . . . 第二 P 型井區
- 22 . . . 第一重摻雜區
- 24 . . . 第二重摻雜區
- 26 . . . 第三重摻雜區
- 28 . . . 第四重摻雜區
- 30 . . . N 型重摻雜區
- 32 . . . 深溝渠隔離結構

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 100133762

※ 申請日： 100. 9. 20

※IPC 分類：

H01L 23/60 (2006.01)

H01L 27/04 (2006.01)

一、發明名稱：(中文/英文)

靜電放電保護元件結構 / ELECTROSTATIC DISCHARGE
PROTECTION DEVICE STRUCTURE

二、中文發明摘要：

本發明係揭露一種靜電放電保護元件結構，其係包含一半導體基板與設於半導體基板上之一 N 型磊晶層。至少一驟迴串接結構係設於 N 型磊晶層中，且驟迴串接結構更包含一第一 P 型井區與一第二 P 型井區。一第一、第二重摻雜區設於第一 P 型井區中，並互為相異型。又一第三、第四重摻雜區設於第二 P 型井區中，並互為相異型，且第二、第三重摻雜區互為相異型，並相互電性連接。在第一重摻雜區接收一靜電放電 (ESD) 訊號時，一靜電放電電流依序經由第一重摻雜區、第一 P 型井區、N 型磊晶層與第二 P 型井區，流至第四重摻雜區。

三、英文發明摘要：

An electrostatic discharge protection device structure is disclosed, which comprises a semiconductor substrate and an N-type epitaxial layer arranged on the semiconductor substrate. At least one snapback cascade structure is arranged in the N-type epitaxial layer, wherein the snapback cascade structure further comprises first and second P-type wells arranged in the N-type epitaxial layer. First and second heavily doped areas arranged in the first P-type well respectively belong to opposite types. And, third and fourth heavily doped areas arranged in the second P-type well respectively belong to opposite types, wherein the second and third heavily doped areas respectively belong to opposite types and are electrically connected with each other. When the first heavily doped area receives an ESD signal, an ESD current flows from the first heavily doped area to the fourth heavily doped area through the first P-type well, the N-type epitaxial layer, and the second P-type well.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

12	半導體基板	14	N型磊晶層
16	驟迴串接結構	18	第一P型井區
20	第二P型井區	22	第一重摻雜區
24	第二重摻雜區	26	第三重摻雜區
28	第四重摻雜區	30	N型重摻雜區
32	深溝渠隔離結構		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種保護元件結構，特別是關於一種靜電放電保護元件結構。

【先前技術】

二極體是結構最簡單，也是最常應用於積體電路（IC）內部的靜電放電防護元件（ESD protection device）。傳統的二極體 ESD 保護電路如第 1 圖所示，使用這種二極體串接所構成的 ESD 保護電路，隨著二極體串接的數目愈多，產生基底漏電電流（substrate leakage current）的數量就愈大。造成串接二極體 ESD 保護電路發生基底漏電電流的原因，是因為傳統 P+/NW 二極體與 P 基底（substrate）的結構中，存在一寄生 PNP 雙載子接面電晶體（BJT）元件。當二極體串接在一起時，這些寄生於 P+/NW 二極體結構的 PNP BJT 會組成一達靈頓電路（Darlington Circuit），當二極體的串接數量愈多，寄生 PNP BJT 元件組成的達靈頓電路增益值就愈大，ESD 保護電路產生的基底漏電電流就會愈多。

為了解決上述問題，美國專利號 6617650、6972476、7696580 分別揭露出改進二極體結構，以解決使用傳統二極體所組成的 ESD 保護電路時，會發生基底漏電電流的問題。然而，上述美國專利中的 P+/NW 二極體及 ESD 保護電路皆具有相同的缺點。當 ESD 保護電路使用的二極體數量愈多，ESD 保護電路提供的放電路徑阻抗值就愈大，ESD 電流不易經由 ESD 保護電路提供的放電路徑流向接地端，改透過 IC 晶片內部其他阻抗值較低的路徑流向接地端，此舉容易造成 IC 晶片的內部電路遭受到 ESD 電流的衝

擊而損毀。第 2 圖為二極體靜電放電保護電路之傳輸線觸波產生器 (TLP) 之電流與電壓曲線圖。從第 2 圖可知，當二極體串接的數量變多時，ESD 保護電路的導通電阻斜率也會變大。這表示在高電流的操作條件下，由較多二極體所組成的 ESD 保護電路，其箝制電壓 (Clamping Voltage, V_{clamp}) 會變的更高，無法有效保護 IC 晶片的內部電路。

因此，本發明係在針對上述之困擾，提出一種靜電放電保護元件結構，以解決習知所產生的問題。

【發明內容】

本發明之主要目的，在於提供一種靜電放電保護元件結構，其係使用至少一驟迴串接結構，以提供一較低之啟動 (turn-on) 電壓與一極低之握住電壓 (holding voltage)。當可提供具有低阻抗路徑之靜電放電路徑之靜電放電保護元件，以串接方式構成一靜電放電保護電路時，靜電放電保護電路能有效將靜電放電電壓箝制在 PN 接面 (或 MOS 閘極氧化層) 之崩潰電壓以下，以避免內部積體電路 (IC) 功能異常或損壞。

為達上述目的，本發明提供一種靜電放電保護元件結構，其係包含一半導體基板與設於半導體基板上之一 N 型磊晶層。至少一驟迴串接結構係設於 N 型磊晶層中，且驟迴串接結構更包含一第一 P 型井區與一第二 P 型井區。一第一、第二重摻雜區設於第一 P 型井區中，第一、第二重摻雜區互為相異型。又一第三、第四重摻雜區設於第二 P 型井區中，第三、第四重摻雜區互為相異型，第二、第三重摻雜區互為相異型，且相互電性連接。在第一重摻雜區接收一靜電放電 (ESD) 訊號時，一靜電放電電流依序經由第一重摻雜區、第一 P 型井區、N 型磊晶層與第二 P 型井區，流至第四重

摻雜區。

茲為使 貴審查委員對本發明之結構特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

【實施方式】

請參閱第 3 圖，本發明之靜電放電 (ESD) 保護元件包含一作為半導體基板 12 之一 P 型半導體基板。半導體基板 12 上設有一 N 型磊晶層 14，且至少一驟迴串接結構 16 設於 N 型磊晶層 14 中。在此實施例中，驟迴串接結構 16 之數量係以一為例。驟迴串接結構 16 包含一第一 P 型井區 18 與一第二 P 型井區 20，其係接設於 N 型磊晶層 14 中，且一第一、第二重摻雜區 22、24 設於第一 P 型井區 18 中，一第三、第四重摻雜區 26、28 設於第二 P 型井區 20 中。其中，第一、第二重摻雜區 22、24 互為相異型，第三、第四重摻雜區 26、28 互為相異型，又第二、第三重摻雜區 24、26 互為相異型，並透過一金屬線相互電性連接。因此，在此實施例中，第一、第三重摻雜區 22、26 皆為 P 型重摻雜區，第二、第四重摻雜區 24、28 皆為 N 型重摻雜區。此外，驟迴串接結構 16 更包含一 N 型重摻雜區 30，其係設於 N 型磊晶層 14 中，並透過一金屬線，電性連接第一重摻雜區 22 與一陽極，另第四重摻雜區 28 亦透過一金屬線，電性連接一陰極。在 N 型磊晶層 14 中更設有至少一深溝渠隔離結構 32，其深度係大於 N 型磊晶層 14 之厚度，並包圍 N 型重摻雜區 30、第一 P 型井區 18 與第二 P 型井區 20。

請參閱第 4 圖。當陽極之電壓訊號小於二倍二極體導通電壓 (cut-in voltage) 時，靜電放電保護元件結構為關閉之狀態。當陽極之電壓訊號大於二倍二極體導通電壓時，靜電放電保護元件結構為開啟之狀態，當具有

較高能量之電壓或電流訊號，如 ESD 訊號，出現於陽極時，一啟動 (turn-on) 電流從第一重摻雜區 22 依序經過第一 P 型井區 18、第二重摻雜區 24、第三重摻雜區 26、第二 P 型井區 20，流至第四重摻雜區 28，其電流路徑如路徑 1 (Path 1) 所示。當更高能量之 ESD 訊號出現於陽極時，第一重摻雜區 22 接收此一更高能量的 ESD 訊號，ESD 電流將變成由第一重摻雜區 22 依序經過第一 P 型井區 18、N 型磊晶層 14、第二 P 型井區 20，流至第四重摻雜區 28，如路徑 2 (Path 2) 所示的放電路徑，將 ESD 電流引導至接地端。與 path1 相比，path2 提供更低阻抗的放電路徑，因此可將更高能量的 ESD 電流更有效地從陽極釋放至陰極，使陽極之 ESD 電壓被箝制在一低電壓值 (約 1 伏特)。

請同時參閱第 4 圖與第 5 圖，當陽極之電壓略大於作為一啟動電壓 (turn-on voltage) 之二倍二極體導通電壓 V_c 時，電流係沿 Path 1 從陽極流至陰極。當陽極之電壓上升至 V_t 時，Path 2 會被建立，且驟迴現象會發生，使靜電放電保護元件結構之握住電壓 (holding voltage) 下降至約 1 伏特。換言之，由於具極低阻抗之 Path 2 的形成，靜電放電保護元件結構在高電流的操作條件下，仍然會維持在一低電壓的操作狀態。

請參閱第 6 圖，其係為本發明之靜電放電保護電路之結構剖視圖。靜電放電保護電路與靜電放電保護元件結構之差別在於，靜電放電保護電路包含複數個驟迴串接結構 16，且驟迴串接結構 16 利用第四、第一重摻雜區 28、22 連接下一個驟迴串接結構 16。又，深溝渠隔離結構 32 係隔離每一驟迴串接結構 16。由於靜電放電保護元件結構在高電流的操作條件下，會將電壓箝制在一低電壓的狀況。為避免雜訊誤觸發動作，靜電放電保護電

路是採用串接的方式設計，依照電源電壓的大小，提供不同的串接數量，避免影響積體電路（IC）的正常操作。

以 1.8V 之電源間 ESD 防護電路設計為例，可採用兩個串聯之驟迴串接結構或四個二極體串聯的設計方式。如第 7 圖所示，粗線代表由兩個串聯之驟迴串接結構所構成之保護電路，細線則代表由四個二極體串聯所構成之保護電路。此兩種保護電路皆在 V_c 為 2.4 伏特時啟動。對二極體串聯所構成之 ESD 保護電路而言，ESD 電流愈高，則箝制電壓愈高。當由兩個驟迴串接結構所構成之保護電路操作在 V_{t1} 時，則驟迴串接結構之驟迴（snap-back）現象會發生，且保護電路會將操作電壓箝制在 V_h 為 2 伏特之處。換言之，本發明之保護電路之箝制電壓，係遠小於由串聯二極體所構成之 ESD 保護電路。所以，由驟迴串接結構構成之 ESD 保護電路能有效地將 ESD 電壓箝制在 PN 接面（或 MOS 閘極氧化層）之崩潰電壓以下，避免內部 IC 功能異常或損壞。

綜上所述，本發明採用驟迴串接結構，以提供較低之啟動電壓及極低之握住電壓，使 IC 之內部電路得以被保護。

以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1 圖為先前技術之靜電放電（ESD）保護電路示意圖。

第 2 圖為先前技術之靜電放電保護電路之傳輸線觸波產生器（TLP）之電流與電壓曲線圖。

第 3 圖為本發明之靜電放電保護元件之結構剖視圖。

第 4 圖為本發明之具靜電放電電流路徑之靜電放電保護元件之結構剖視圖。

第 5 圖為本發明之靜電放電保護電路之傳輸線觸波產生器之電流與電壓曲線圖。

第 6 圖為本發明之靜電放電保護電路之結構剖視圖。

第 7 圖為本發明之二個串接之驟迴串接結構與四個串接二極體所組成之靜電放電保護電路之傳輸線觸波產生器之電流與電壓曲線圖。

【主要元件符號說明】

10	二極體	12	半導體基板
14	N 型磊晶層	16	驟迴串接結構
18	第一 P 型井區	20	第二 P 型井區
22	第一重摻雜區	24	第二重摻雜區
26	第三重摻雜區	28	第四重摻雜區
30	N 型重摻雜區	32	深溝渠隔離結構

七、申請專利範圍：

1. 一種靜電放電保護元件結構，包含：

一半導體基板；

一 N 型磊晶層，其係設於該半導體基板上；

至少一驟迴串接結構，其係設於該 N 型磊晶層中，該驟迴串接結構更包含：

一第一 P 型井區，其係設於該 N 型磊晶層中，且一第一、第二重摻雜區設於該第一 P 型井區中，該第一、第二重摻雜區互為相異型；以及

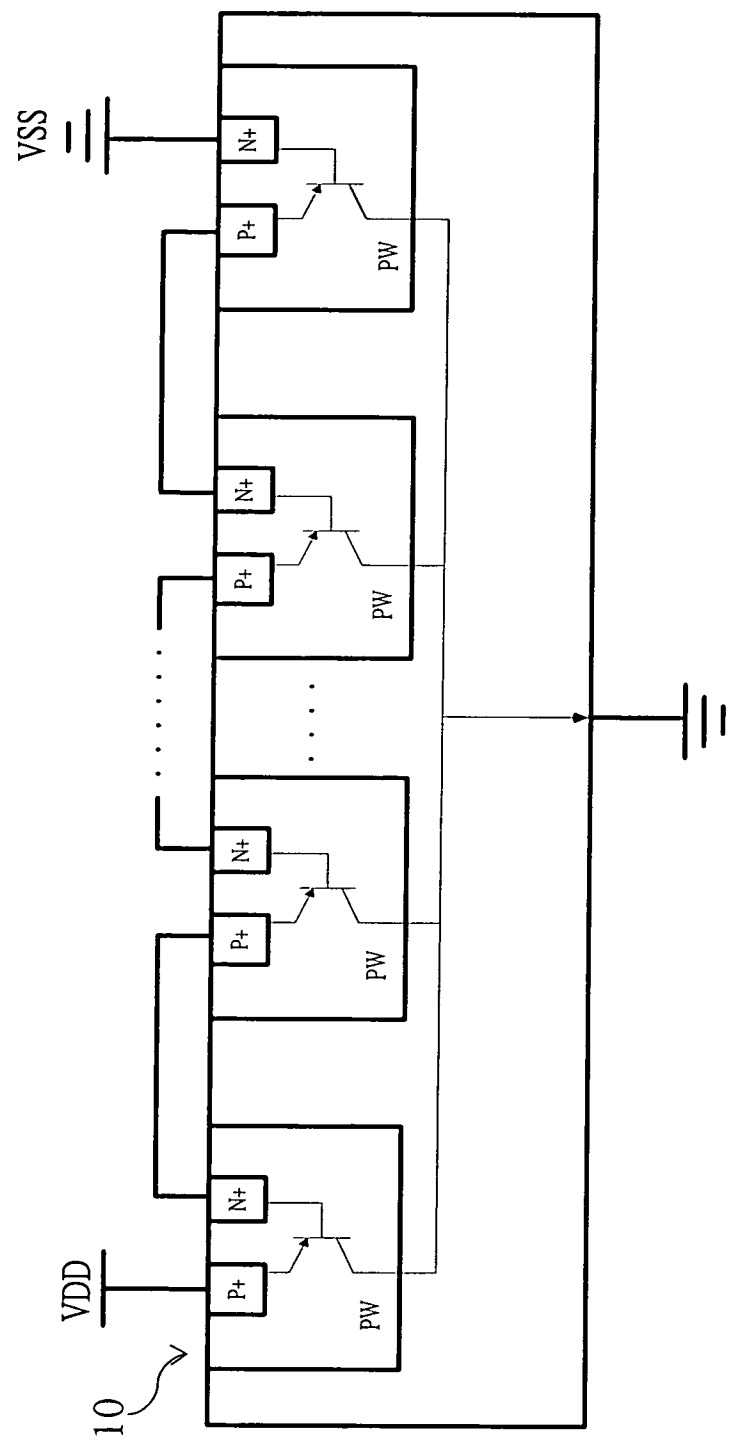
一第二 P 型井區，其係設於該 N 型磊晶層中，且一第三、第四重摻雜區設於該第二 P 型井區中，該第三、第四重摻雜區互為相異型，該第二、第三重摻雜區互為相異型，且相互電性連接，在該第一重摻雜區接收一靜電放電 (ESD) 訊號時，一靜電放電電流依序經由該第一重摻雜區、該第一 P 型井區、該 N 型磊晶層與該第二 P 型井區，流至該第四重摻雜區。

2. 如請求項 1 所述之靜電放電保護元件結構，其中該第一重摻雜區接收該靜電放電訊號時，一啟動 (turn-on) 電流依序經由該第一重摻雜區、該第一 P 型井區、該第二重摻雜區、該第三重摻雜區與該第二 P 型井區，流至該第四重摻雜區。

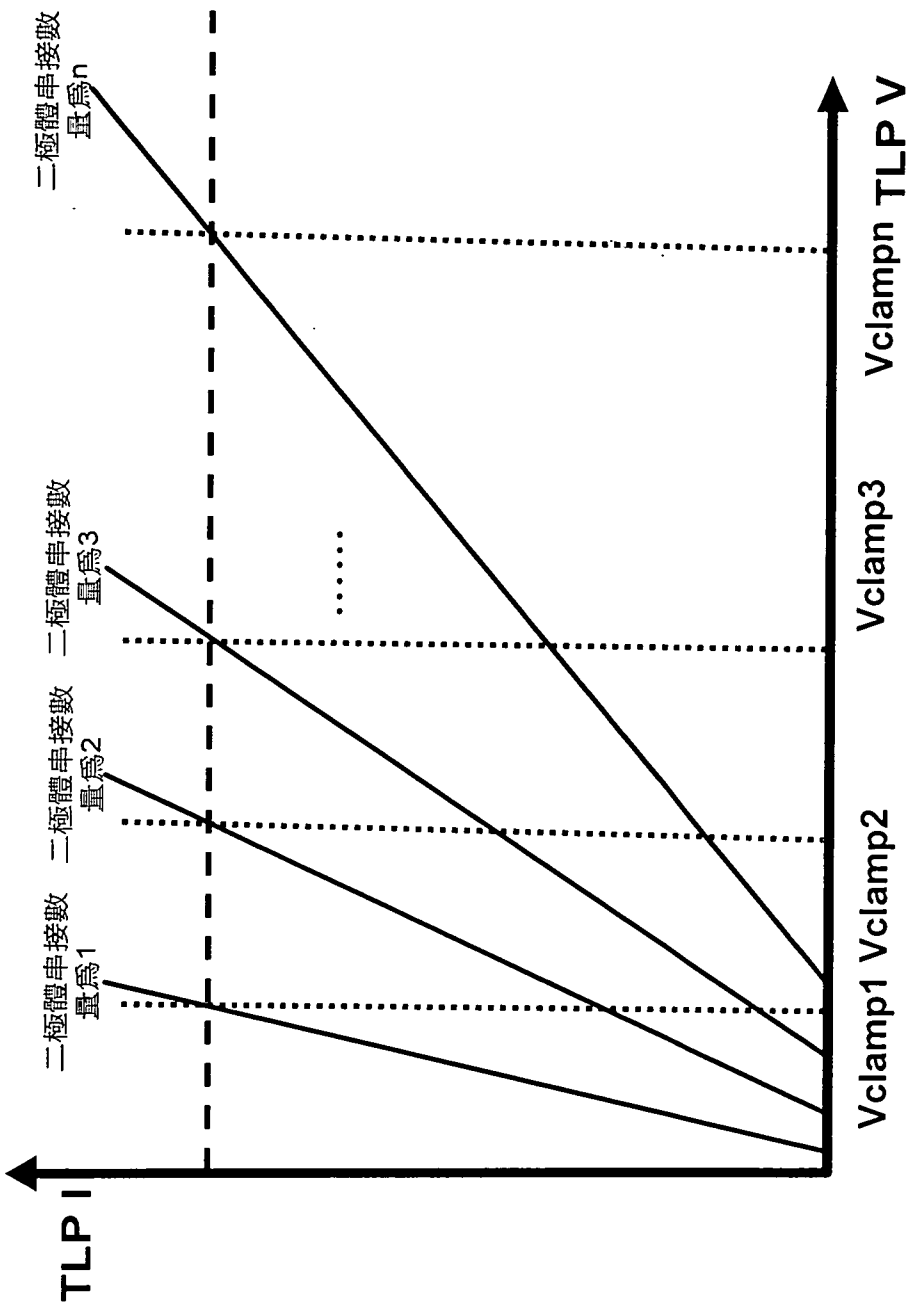
3. 如請求項 1 所述之靜電放電保護元件結構，更包含至少一深溝渠隔離結構，其係設於該 N 型磊晶層中，且該深溝渠隔離結構之深度係大於該 N 型磊晶層之厚度，並包圍該第一 P 型井區與該第二 P 型井區。

4. 如請求項 1 所述之靜電放電保護元件結構，其中該驟迴串接結構更包含一 N 型重摻雜區，其係設於該 N 型磊晶層中，並電性連接該第一重摻雜區。
5. 如請求項 1 所述之靜電放電保護元件結構，其中該第一、第三重摻雜區為 P 型重摻雜區，該第二、第四重摻雜區為 N 型重摻雜區。
6. 如請求項 1 所述之靜電放電保護元件結構，其中該半導體基板為 P 型半導體基板。

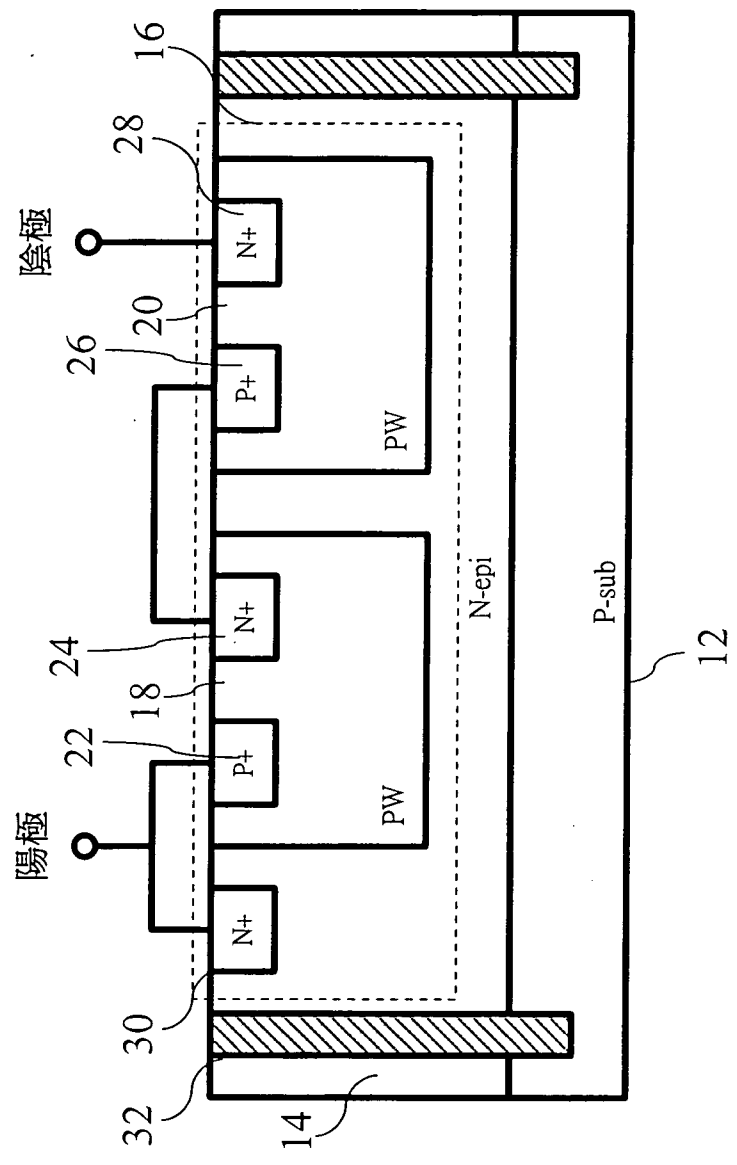
八、圖式：



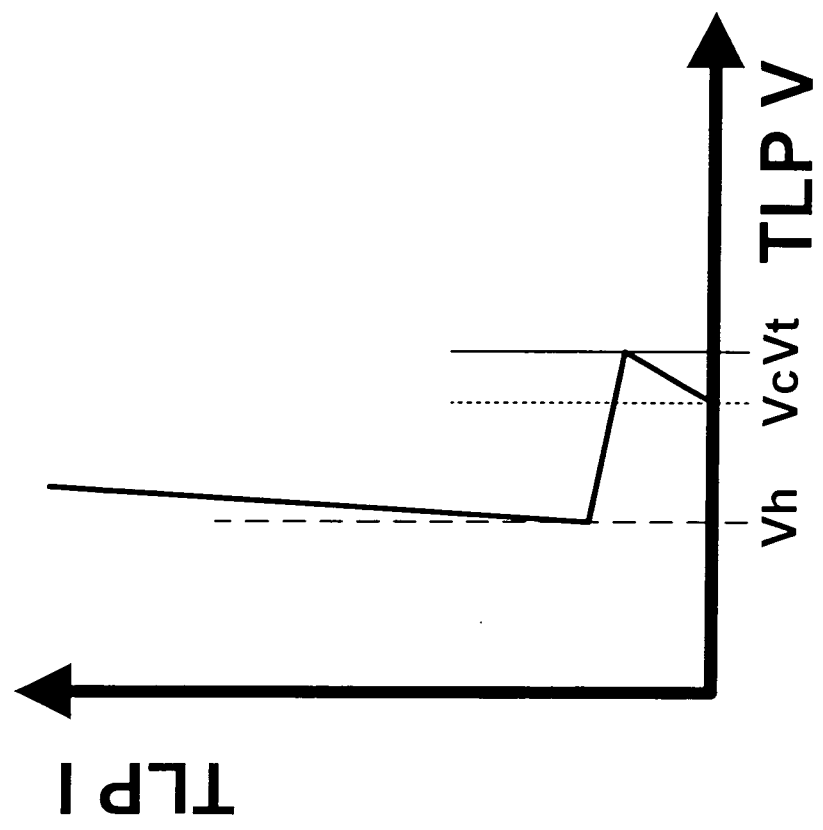
第 1 圖



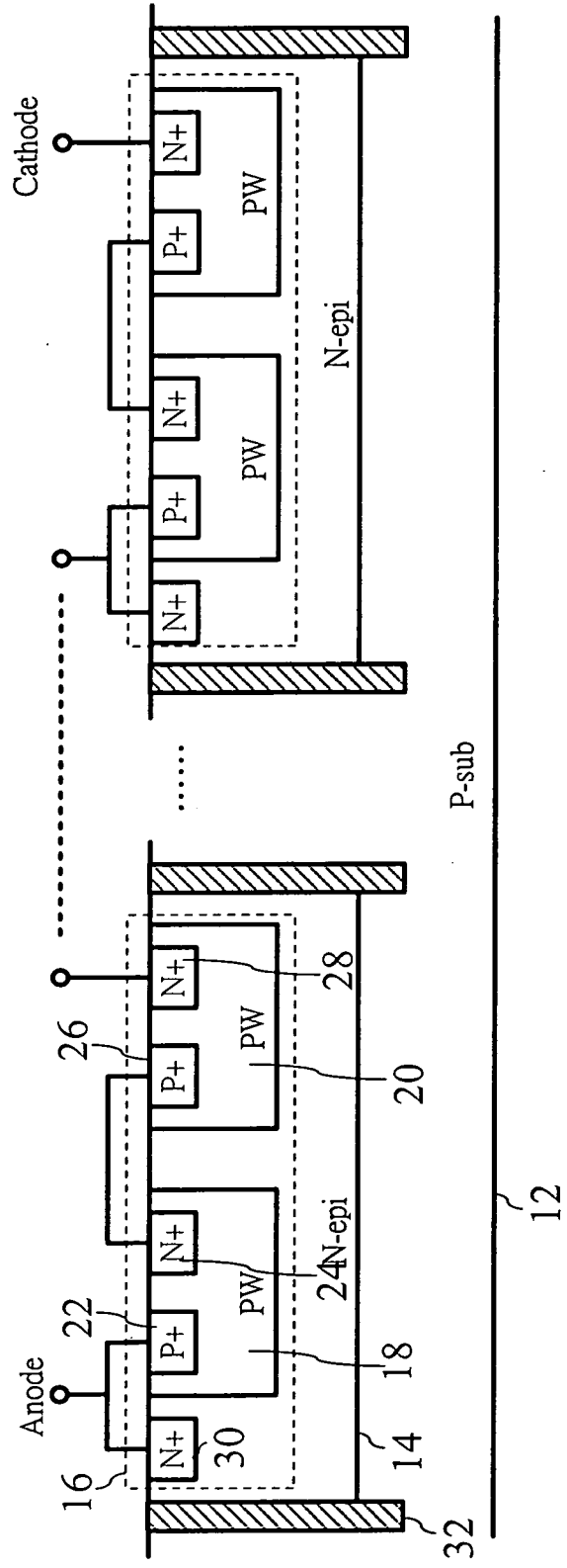
第 2 圖



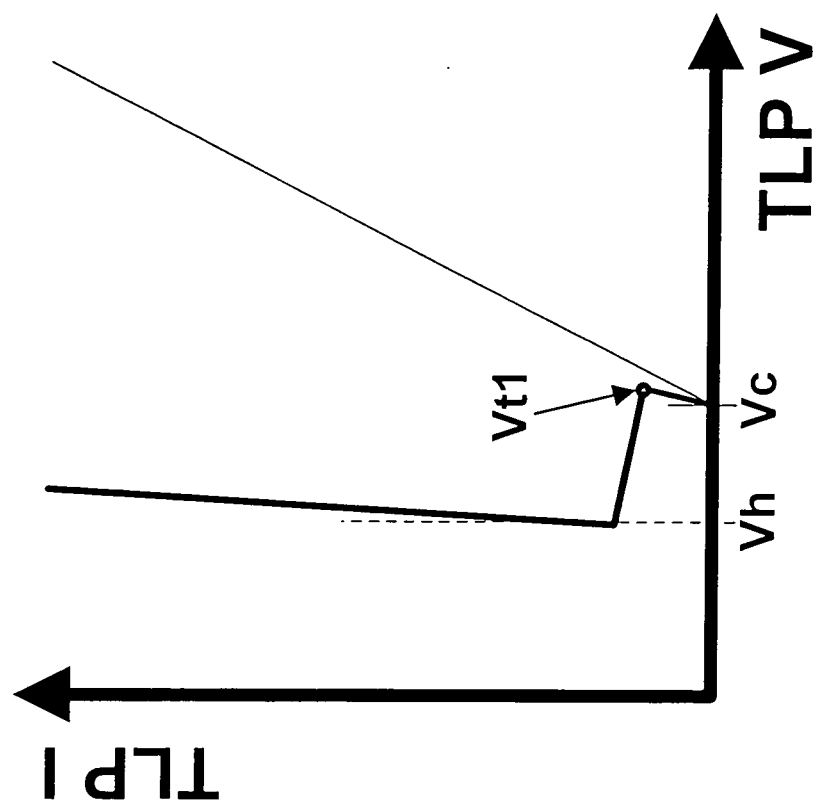
第3圖



第 5 圖



第6圖



第7圖