



(12) 发明专利

(10) 授权公告号 CN 102714704 B

(45) 授权公告日 2015.07.01

(21) 申请号 201080061022.9

(22) 申请日 2010.12.20

(30) 优先权数据

2010-005153 2010.01.13 JP

2010-171177 2010.07.29 JP

(85) PCT国际申请进入国家阶段日

2012. 07. 10

(86) PCT国际申请的申请数据

PCT/JP2010/073641 2010. 12. 20

(87) PCT国际申请的公布数据

W02011/086845 EN 2011. 07. 21

(73) 专利权人 佳能株式会社

地址 日本东京

(72)发明人 池田泰二 桶山拓己 山崎和男

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 罗银燕

(51) Int. Cl.

H04N 5/378(2006.01)

НОЗМ 1/06(2006. 01)

НОЗМ 1/16(2006. 01)

H03M 1/54(2006.01)

(56) 对比文件

WO 2009119270 A1, 2009. 10. 01,

US 5565869 A, 1996. 10. 15,

CN 101237236 A, 2008. 08. 06,

审查员 金笑聪

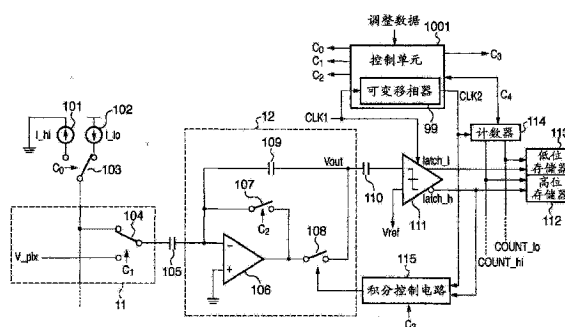
权利要求书3页 说明书8页 附图12页

(54) 发明名称

成像系统和成像装置

(57) 摘要

一种成像系统包括A/D转换器,该A/D转换器包含:保持单元,将像素信号作为电压电平而保持;比较器,比较保持的电压电平与基准电平;电路,能够改变电压电平以便以第一速率和第二速率接近基准电平,其中,电压电平以第一速率变化以根据基准电平与电压电平之间的关系的反转确定高位,之后,电压电平以第二速率改变以根据基准电平与电压电平之间的关系的反转确定低位;以及调整单元,在确定高位之后直到电压电平以第二速率改变的时段期间调整电压电平,使得低位与电压电平保持线性关系。



1. 一种成像系统,包括以矩阵布置的多个像素和多个 A/D 转换电路,所述多个像素中的每一个输出与入射光对应的像素信号,所述多个 A/D 转换电路与所述多个像素的列对应地设置,

A/D 转换电路包含:

保持单元,将像素信号作为电压电平而保持;

比较器,比较由保持单元保持的电压电平与基准电平;

电路,能够改变由保持单元保持的电压电平以便以第一速率和比第一速率低的第二速率中的一个接近基准电平,其中,由保持单元保持的像素信号的电压电平被所述电路以第一速率改变,高位根据基准电平与由保持单元保持的电压电平之间的关系的反转被确定,之后,由保持单元保持的电压电平以第二速率被改变,并且低位根据基准电平与由保持单元保持的电压电平之间的关系的反转被确定;以及

调整单元,在确定高位之后直到由保持单元保持的电压电平以第二速率被改变的时段期间调整由保持单元保持的电压电平,使得由保持单元保持的电压电平与低位在确定高位之后保持单元所保持的电压电平的整个可能范围上保持线性关系,其中,所述调整单元在所述时段期间通过使所述电路以第一速率改变由保持单元保持的电压电平来调整由该保持单元保持的电压电平。

2. 一种包括成像装置的成像系统,

成像装置包含:

成像单元,包含以二维阵列布置多个光电转换元件的像素区域;

A/D 转换电路,将成像单元的输出转换成包含高位和低位的数字信号;以及

存储器,存储调整数据,并且

A/D 转换电路包含:

保持单元,保持电压电平;以及

写入单元,使保持单元作为初始电平而保持从成像单元输出的信号的电压电平,

其中, A/D 转换电路被配置为:以第一斜率将由保持单元保持的电压电平从初始电平变为基准电平,并且将对从变化开始时的定时到电压电平与基准电平相交时的定时的时间进行计数的计数器的计数值确定作为高位,以及在电压电平已与基准电平相交以产生电压电平与基准电平之间的差之后,以第二斜率将电压电平变为基准电平,并且将对从以第二斜率的变化开始时的定时到电压电平再次与基准电平相交时的定时的时间进行计数的计数器的计数值确定作为低位,并且其中,所述差的产生量根据存储于存储器中的调整数据被调整,

成像系统还包括调整装置,该调整装置包含:

提供单元,向 A/D 转换电路依次供给多个电压电平,并使 A/D 转换电路将所述多个电压电平转换成数字信号;以及

处理单元,在存储器中存储要被用于调整所述差的产生量的调整数据,使得所述多个电压电平和在接收到所述多个电压电平时从 A/D 转换电路输出的数字信号的值在电压电平的整个可能范围上保持线性。

3. 一种成像装置,包括成像单元、A/D 转换电路、存储器和调整电路,成像单元包含以二维阵列布置多个光电转换元件的像素区域, A/D 转换电路将成像单元的输出转换成包含

高位和低位的数字信号,存储器存储调整数据,

A/D 转换电路包含:

保持单元,保持电压电平;以及

写入单元,使保持单元作为初始电平而保持从光电转换元件输出的信号的电压电平,

其中,A/D 转换电路被配置为:以第一斜率将由保持单元保持的电压电平从初始电平变为基准电平,并且将对从变化开始时的定时到电压电平与基准电平相交时的定时的时间进行计数的计数器的计数值确定作为高位,以及在电压电平已与基准电平相交以产生电压电平与基准电平之间的差之后,以第二斜率将电压电平变为基准电平,并且将对从以第二斜率的变化开始时的定时到电压电平再次与基准电平相交时的定时的时间进行计数的计数器的计数值确定作为低位,并且其中,所述差的产生量根据存储于存储器中的调整数据被调整,

调整数据是要被用于控制所述差的产生量、使得供给到 A/D 转换电路的多个电压电平和在接收到所述多个电压电平时从 A/D 转换电路输出的数字信号的值在电压电平的整个可能范围上保持线性的数据,以及

调整电路包含差分控制电路,所述差分控制电路通过从存储器读出调整数据来控制所述差的产生量。

4. 根据权利要求 3 的装置,其中,A/D 转换电路还包含向保持单元分别供给第一电流和电流值与第一电流不同的第二电流的第一电流源和第二电流源,并且通过向保持单元供给第一电流和第二电流而以第一斜率和第二斜率改变电压电平。

5. 根据权利要求 3 的装置,其中,差分控制电路控制驱动 A/D 转换电路的时钟信号的相位。

6. 根据权利要求 3 的装置,其中,差分控制电路控制从以第二斜率的电压电平的变化开始时的定时到计数器开始计数时的定时的时间。

7. 根据权利要求 4 的装置,其中,A/D 转换电路还包含第三电流源,第三电流源通过在电压电平以第一斜率从初始电平变为基准电平时由保持单元保持的电压电平已与基准电平相交之后并且在电压电平以第二斜率变为基准电平之前向保持单元供给电流,来改变电压电平,以及

差分控制电路通过控制第三电流源改变电压电平的时间段来控制所述差的产生量。

8. 根据权利要求 3 的装置,其中,A/D 转换电路还包含电流源,所述电流源通过在电压电平以第一斜率从初始电平变为基准电平时由保持单元保持的电压电平已与基准电平相交之后并且在电压电平以第二斜率变为基准电平之前向保持单元供给电流,来改变电压电平,以及

差分控制电路通过控制要从电流源供给到保持单元的电流的值来控制所述差的产生量。

9. 根据权利要求 3 的装置,其中,A/D 转换电路被配置为能够改变低位的数量。

10. 一种成像系统,包括以矩阵布置的多个像素和多个 A/D 转换电路,所述多个像素中的每一个输出与入射光对应的像素信号,所述多个 A/D 转换电路与所述多个像素的列对应地设置,

其中,响应于与第一基准信号和像素信号之间的差相关联的第一差的符号的反转,A/D

转换电路基于经过时间产生数字信号的高位,第一差以第一速率随时间变化,之后,响应于第二基准信号和第一差的符号的反转之后已以第一速率改变的第一差之间的第二差的符号的反转,A/D 转换电路基于经过时间产生数字信号的低位,所述第二差以低于第一速率的第二速率随时间变化,并且

该成像系统还包含调整单元,所述调整单元被配置为调整第一差的符号的反转之后已以第一速率改变的第一差的改变量。

成像系统和成像装置

技术领域

[0001] 本发明涉及成像系统和成像装置。

背景技术

[0002] 在近年的成像装置中使用的 A/D (模数) 转换方法的例子是对于图像传感器的各像素列安装 A/D 转换器的称为列 A/D 的方法。在列 A/D 中使用的 A/D 转换的例子是积分型 A/D 转换。日本专利公开 No. 2005-348325 特别公开了分开地对于高位和低位 (higher and lower bits) 在两个或更多个步骤中执行 A/D 转换的多步骤方案。

[0003] 日本专利公开 No. 2005-348325 公开了包括以二维阵列布置的感测元件和与感测元件的列一一对应地设置的 A/D 转换器的成像装置。在该成像装置中, 各 A/D 转换器在存储单元中保持与感测元件的模拟信号对应的电信号作为初始值。存储单元通过之后输入的第一固定信号被充电或放电。从充电或放电的开始离散地测量时间, 直到存储单元中的电信号达到基准信号。存储单元通过之后输入的第二固定信号被放电或充电。直到测量之后的存储单元中的已超过基准信号的电信号达到基准信号的时间被离散地测量为数字值。更具体而言, 来自积分器的输出被设为像素信号电压, 然后, 积分作为负的斜率而开始。在一定的时间, 积分器的输出降到基准电压以下, 并且, N 个高位 A/D 转换结束。在结束时暂时中断积分。但是, 由于以离散的时间控制开关, 因此, 积分器输出与基准电压之间的差不为 0, 并且, 在它们之间存在电势差 (残余信号)。在下一步骤中, 第一电势差被再次积分, 由此转换 M 个低位。在后来的一定的时间, 积分器的输出与比较器的基准电压相交, 并且, M 个低位的 A/D 转换结束。

[0004] 但是, 在上述的现有技术中, 如果作为高位转换之后的积分器输出与基准电压之间的差的残余信号包含由泄漏或延迟等导致的偏移, 那么可能直到低位计数时段结束才能完成确定, 或者, 相反地, 来自比较器的输出可能在低位转换计数之前被反转。在这种情况下, 转换线性 (linearity) 变得更差。

发明内容

[0005] 本发明提供有利于调整输入到 A/D 转换电路的电压电平和从 A/D 转换电路输出的数字信号的线性的技术。

[0006] 本发明的第一方面提供一种成像系统, 包括以矩阵布置的多个像素和多个 A/D 转换电路, 所述多个像素中的每一个输出与入射光对应的像素信号, 所述多个 A/D 转换电路与所述多个像素的列对应地设置, A/D 转换电路包含: 保持单元, 将像素信号作为电压电平而保持; 比较器, 比较由保持单元保持的电压电平与基准电平; 电路, 能够改变由保持单元保持的电压电平以便以第一速率 (rate) 和比第一速率低的第二速率中的一个接近基准电平, 其中, 由保持单元保持的像素信号的电压电平被所述电路以第一速率改变, 高位根据基准电平与由保持单元保持的电压电平之间的关系的反转被确定, 之后, 由保持单元保持的电压电平以第二速率被改变, 并且低位根据基准电平与由保持单元保持的电压电平之间的

关系的反转被确定；以及调整单元，在确定高位之后直到由保持单元保持的电压电平以第二速率被改变的时段期间调整由保持单元保持的电压电平，使得由保持单元保持的电压电平与低位在确定高位之后保持单元所保持的电压电平的整个可能范围上保持线性关系。

[0007] 从参照附图对示例性实施例的以下描述，本发明的进一步的特征将变得明显。

附图说明

[0008] 图 1 是示出应用本发明的成像系统的框图；

[0009] 图 2 是用于解释第一实施例的电路图；

[0010] 图 3 是示出图 2 中的驱动定时和操作波形的时序图；

[0011] 图 4A 至 4C 是用于解释超限(overrange)状态的时序图；

[0012] 图 5 是用于解释根据本发明的差分调整方法的电路图；

[0013] 图 6 是用于解释第二实施例的电路图；

[0014] 图 7 是示出图 6 中的驱动定时和操作波形的时序图；

[0015] 图 8 是用于解释第三实施例的电路图；

[0016] 图 9 是示出图 8 中的驱动定时和操作波形的时序图；

[0017] 图 10 是用于解释第四实施例的电路图；

[0018] 图 11 是示出图 10 中的驱动定时和操作波形的时序图；以及

[0019] 图 12 是示出根据第五实施例的驱动定时的时序图。

具体实施方式

[0020] 图 1 示出根据本发明的实施例的成像系统。参照图 1，成像系统 50 包含光学系统 1、成像装置 8、构成调整单元或调整电路的调整装置 7、以及信号处理电路 5。光学系统 1 可以是成像装置 8 的一部分。成像装置 8 包含成像单元 2、A/D 转换电路 3 和存储器 4。光学系统 1 在成像单元 2 的成像面上形成对象的图像。成像单元 2 是诸如 CMOS 图像传感器或 CCD 图像传感器的固态图像传感器。成像单元 2 在其成像面上具有以二维阵列、即以由多个行和多个列形成的矩阵布置的像素。各像素包含根据入射光产生像素信号的光电转换元件。由成像单元 2 感测到的图像的信号作为模拟像素信号 V_{pix} 从其被输出。A/D 转换电路 3 将从成像单元 2 输出的模拟像素信号 V_{pix} 转换成数字信号并输出它。信号处理电路 5 处理从 A/D 转换电路 3 输出的数字信号，并且从输出端子 6 输出被处理的数字信号。

[0021] 可在一个半导体芯片上或在多个半导体芯片上形成包含成像单元 2 和 A/D 转换电路 3 的电路。在单个半导体芯片上至少形成成像单元 2 的像素阵列和 A/D 转换电路。存储器 4 还可与成像单元 2 形成在同一半导体芯片上。当在一个半导体芯片上形成成像单元 2 和 A/D 转换电路 3 时，可对于一个或多个像素列设置 A/D 转换电路。作为替代方案，可设置数量等于像素信号输出的 A/D 转换电路，或者，可以采用任何其它形式。

[0022] 调整装置 7 包含向 A/D 转换电路 3 提供多个基准信号的提供单元 71、以及在存储器 4 中存储调整数据的处理单元 72。注意，例如，使用电池支持的易失性存储器或非易失性存储器作为存储器 4。

[0023] 图 2 是示出根据第一实施例的执行两步骤 A/D 转换(即高位转换和低位转换)的 A/D 转换电路 3 的布置的电路图。用作第一电流源的高位电流源电路 101 和用作第二电流源

的低位电流源电路 102 分别以图 3 所示的第一斜率 $\Delta V1/\Delta t1$ 和第二斜率 $\Delta V2/\Delta t2$ 改变由构成保持单元的积分电路 12 保持的电压电平。高位电流源电路 101 和低位电流源电路 102 分别向积分电路 12 供给电流 I_{hi} 和 I_{lo} 。这些电流的值确定第一速率和比第一速率低的第二速率。表述“供给电流”包括使电流流向积分电路 12 的操作和从积分电路 12 引出电流的操作两者。当执行 M 位的低位转换时, $I_{hi} = -I_{lo} \times 2M$ 。由来自控制单元 1001 的控制信号 C_0 控制的开关 103 选择高位电流源电路 101 和低位电流源电路 102 中的一个。由来自控制单元 1001 的控制信号 C_1 控制的开关 104 选择所选的电流源和像素输出 V_{pix} 中的一个。由开关 104 选择的信号经由输入电容 105 被供给到构成保持单元的积分电路 12。积分电路 12 包含运算放大器 106、由来自控制单元 1001 的控制信号 C_2 控制的复位开关 107、由积分控制电路 115 控制的积分控制开关 108、以及积分电容 109。

[0024] 积分电路 12 的输出被提供给节点 V_{out} , 并且经由连接电容 110 被供给到比较器 111。比较器 111 在时钟信号 CLK1 的前沿(leading edge)比较积分电路 12 的输出与基准电压 V_{ref} 。当积分电路 12 的输出小于基准电压 V_{ref} 时, 比较器 111 输出信号 $latch_h$ 。当积分电路 12 的输出大于基准电压 V_{ref} 时, 比较器 111 输出信号 $latch_l$ 。输出 $latch_h$ 和 $latch_l$ 分别被供给到高位存储器 112 和低位存储器 113。计数器 114 被其相位通过可变移相器 99 来调整的时钟信号 CLK2 和来自控制单元 1001 的控制信号 C_4 控制。计数器 114 分别向高位存储器 112 和低位存储器 113 供给高位计数值 $COUNT_{hi}$ 和低位计数值 $COUNT_{lo}$ 。高位存储器 112 和低位存储器 113 分别保持当信号 $latch_h$ 和 $latch_l$ 被输入时的计数值。A/D 转换的最终数字信号输出是通过组合作为高位存储器 112 的值的低位与作为低位存储器 113 的值的低位所获得的值。

[0025] 积分控制电路 115 开/关控制积分控制开关 108。积分控制电路 115 基于时钟信号 CLK2 和来自控制单元 1001 的控制信号 C_3 操作, 以在信号 $latch_h$ 被输入之后的时钟信号 CLK2 的前沿关断积分控制开关 108。积分控制电路 115 还在控制信号 C_3 已变高之后从可变移相器 99 输入的时钟信号 CLK2 的前沿接通积分控制开关 108。参照图 2, 写入单元 11 经由开关 104 在构成保持单元的积分电路 12 中设定像素输出 V_{pix} 作为初始值。

[0026] 图 3 是示出图 2 中的驱动状态的驱动定时和操作波形的时序图。参照图 3, V_{out} 代表图 2 中的节点 V_{out} 的电势。将首先描述在正常成像操作中使 A/D 转换电路 3 对从成像单元 2 输出的模拟像素信号 V_{pix} 进行 A/D 转换的操作。包含于写入单元 11 中的开关 104 选择像素信号 V_{pix} 以将其供给到积分电路 12。节点 V_{out} 通过像素信号 V_{pix} 被充电。在时间 $t31$ 处, 积分控制电路 115 同步于时钟信号 CLK2 的前沿接通积分控制开关 108, 以开始用于确定高位的积分操作。此时, 由于开关 103 和 104 选择高位电流源电路 101 作为对于积分电路 12 的输入, 因此, 积分电路 12 通过高位电流 I_{hi} 被放电以降低节点 V_{out} 的电压电平。由此执行以第一斜率(第一速率) ($= -\Delta V1/\Delta t1$) 从设定在像素输出 V_{pix} 的初始电平改变积分电路 12 的电压电平的操作。比较器 111 在时钟信号 CLK1 的前沿执行比较。出于这种原因, 在与节点 V_{out} 的电压电平降低到基准电压 V_{ref} 以下之后、即电压关系已被反转之后的时钟信号 CLK1 的第一前沿对应的时间 $t32$ 处, 比较器 111 反转比较结果并且输出高电平的信号 $latch_h$ 。在接收到高电平的信号 $latch_h$ 时, 高位存储器 112 保持在该时间点的计数值。该计数值被确定为高位值。另一方面, 积分控制电路 115 在高电平的信号 $latch_h$ 已被输入之后的时钟信号 CLK2 的前沿关断积分控制开关 108, 以在时间

t33 处停止积分操作。时间 t34 是计数器 114 的高位为“111”的定时,并且与高位转换的结束时间对应。在高位确定之后的时间 t35 处,开关 103 与低位电流源电路 102 连接,并且,积分控制开关 108 被再次接通以开始用于确定低位的积分操作。由此执行以第二斜率(第二速率)($= +\Delta V_2 / \Delta t_2$)改变与基准电压 V_{ref} 相交以产生与基准电压 V_{ref} 的差的积分电路 12 的输出电压电平的操作。在时间 t36 处,积分电路 12 的输出电压电平超过基准电压 V_{ref} (即,电压关系被再次反转)。由此,比较器 111 再次反转比较结果并输出高电平的信号 latch_1。在接收到高电平的信号 latch_1 时,低位存储器 113 保持在该时间点的计数值。时间 t37 是计数器 114 的低位为“111”的定时,并且与低位转换的结束时间对应。

[0027] 在本实施例中,比较器 111 和积分控制开关 108 基于时钟信号 CLK1 和 CLK2 操作。这在从执行比较的时间 t32 到积分操作停止的时间 t33 的时段 p31 期间对基准电压 V_{ref} 与积分电路 12 的输出电压电平之间的差的产生量施加偏移。可变移相器 99 可通过改变时钟信号 CLK1 和 CLK2 的定时来调整时段 p31。可变移相器 99 包含例如 DLL 电路。可通过时段 p31 的长度来调整要对残余信号施加的偏移量,该残余信号是要被提供给节点 V_{out} 的积分电路 12 的输出电压电平与用作基准电平的基准电压 V_{ref} 之间的差。这使得在低位转换时段 p2 内结束低位确定的调整成为可能,并因此允许抑制线性的劣化。

[0028] 在本例子中,通过使用时钟信号 CLK1 和 CLK2 进行控制。但是,可通过延迟一个时钟信号产生两个时钟信号。作为替代方案,可通过使用一个时钟信号的前沿和后沿产生时段 p31。

[0029] 作为确定残余信号的调整量的方法,存在基于扫描(sweep)输入时的低位输出(低位的输出)确定调整量的方法。图 4A 至图 4C 示出处于超限状态并且处于适当范围内的低位输出。在图 4A 中,最小输出连续(continue)。在这种情况下,由于残余信号比理想情况小,因此出现超限(在图 3 中,仅在低位转换时段 p2 的前一半中执行低位确定)。类似地,图 4B 示出最大输出连续。由于残余信号比理想情况大,因此出现超限(在图 3 中,仅在低位转换时段 p2 的后一半中执行低位确定)。即,如可以看出的那样,低位在光电转换元件的输出的变化范围内非线性地变化。相反,图 4C 示出适当范围内的操作,并且,最小输出或最大输出不连续。更具体而言,显然地,光电转换元件的输出的值与数字信号的低位信号的值之间的关系在光电转换元件的输出的值的整个可能范围上线性地变化(在图 3 中,在整个低位转换时段 p2 上执行低位确定)。该状态被假定为是理想的。由此,如果最小输出连续,那么进行调整以增大残余信号。相反,如果最大输出连续,那么进行调整以减小残余信号。可通过继续调整直到最小或最大输出停止连续来获得适当的调整量。

[0030] 在第一实施例中,当在扫描输入时最小输出连续时,时段 p31 逐渐被延长。当最小输出已停止连续时所获得的时段 p31 作为调整量是合适的。

[0031] 接下来将参照图 5 描述校准时调整时段 p31 的方法。例如,当从工厂运送时,可设置在图 1 所示的调整装置 7 的提供单元 71 中的扫描信号产生器 97 可向积分电路 12(图 2)供给连续改变的扫描信号。更具体而言,扫描信号产生器 97 向积分电路 12 依次供给多个电压电平,以执行高位和低位 A/D 转换。来自低位存储器 113 的信号被供给到可设置在图 1 所示的调整装置 7 的处理单元 72 中的检测电路 98,使得检测电路 98 检测低位信号中最大值或最小值的连续程度。具有例如 LUT(查找表)的调整数据确定电路 100 可根据来自检测电路 98 的输出来确定调整数据。调整数据被存储于存储器 4 中。注意,检测电路 98 和

调整数据确定电路 100 可被设置在图 1 所示的调整装置 7 的处理单元 72 中。可通过调整数据确定电路 100 的输出来控制构成差分控制电路(difference control circuit)的可变移相器 99。更具体而言,时钟信号 CLK1 和 CLK2 之间的相位差被控制以改变时段 p31,使得获得理想的残余信号。如上所述,如果最小输出连续,那么时段 p31 逐渐被延长。相反,如果最大输出连续,那么时段 p31 逐渐被缩短。时段 p31 被控制,使得当调整装置 7 依次供给多个电压电平时,从 A/D 转换电路 3 输出的数字信号和电压电平在电压电平的整个可能范围上保持线性关系。这实现了如图 4C 所示的关系。由此获得的时段 p31 的数据被存储于图 1 或图 5 所示的存储器 4 中。在成像装置 8 的正常操作中,存储于存储器 4 中的时段 p31 的数据被用作调整数据。注意,可对于像素区域中的各列产生要被存储于存储器 4 中的调整数据,并且将其存储于不同的地址处。作为替代方案,可以存储对于所有列共同的调整数据。上述的调整方法适用于第一实施例以外的任何实施例。

[0032] 图 6 是示出根据第二实施例的 A/D 转换电路 3 的布置的电路图。将解释与图 2 的不同。参照图 6,通过共同的时钟信号 CLK1 控制比较器 111 和计数器 114。第二实施例的控制单元 1002 包含脉冲产生电路 116。积分控制电路 115 基于通过脉冲产生电路 116 产生的脉冲 ENINT 的前沿控制积分操作的开始,并且基于信号 latch_h 的前沿控制积分操作的停止。在第二实施例中,低位转换时计数器 114 的计数的开始由控制信号 C4 控制,以确保自高位转换中计数器 114 的计数的结束的延迟,并且,在该时间期间控制脉冲 ENINT 的输出。其余的组件与图 2 中的相同。

[0033] 图 7 是示出图 6 中的驱动状态的驱动定时和操作波形的时序图。事先通过像素输出将节点 Vout 充电。在时间 t71 处,高电平的脉冲 ENINT 被输入到积分控制电路 115 以接通积分控制开关 108,从而开始高位的积分操作。同时,计数器 114 开始计数操作。此时,由于开关 103 和 104 选择高位电流源电路 101 以向输入电容 105 供给电流,因此积分电路通过高位电流 I_hi 被放电以降低节点 Vout 的电势。比较器 111 在时钟信号 CLK1 的前沿执行比较。出于这种原因,在与节点 Vout 的电势降低到基准电压 Vref 以下之后的时钟信号 CLK1 的第一前沿对应的的时间 t72 处,比较器 111 反转比较结果并且输出高电平的信号 latch_h。在接收到高电平的信号 latch_h 时,高位存储器 112 保持该时间点的计数值。在同时接收到高电平的信号 latch_h 时,积分控制电路 115 关断积分控制开关 108 以停止积分操作。时间 t73 是计数器 114 的高位为“111”的定时,并且与高位转换的结束时间对应。

[0034] 之后,开关 103 与低位电流源电路 102 连接。在时间 t74 处,脉冲 ENINT 上升,并且积分控制开关 108 被再次接通以开始低位积分。此时,计数器 114 不同步于接通积分控制开关 108 而操作。计数操作在从时间 t74 经过时段 p71 之后的时间 t75 处开始。时段 p71 由产生脉冲 ENINT 的时间 t74 (从已产生先前的脉冲 ENINT 的时间 t71 起的时钟信号 CLK1 的数量) 确定。

[0035] 在时间 t76 处,比较器 111 再次反转比较结果并且输出高电平的信号 latch_l。在接收到高电平的信号 latch_l 时,低位存储器 113 保持该计数值。时间 t77 是计数器 114 的低位为“111”的定时,并且与低位转换的结束时间对应。

[0036] 在本实施例中,可通过从低位积分开始时间 t74 到计数开始时间 t75 的时段 p71 的长度调整残余信号的偏移量。将时段 p71 调整到与和残余信号的理想值的差所对应的值使得在低位转换时段 p2 内执行转换的调整成为可能,并因此允许抑制线性的劣化。调整量

确定方法与在第一实施例中描述的相同。更具体而言,如第一实施例中那样,设置扫描信号产生器 97、检测电路 98 和调整数据确定电路 100。通过从设置在提供单元 71 中的扫描信号产生器 97 供给的扫描信号扫描并且连续改变对于积分电路的输入 V_{pix} 。检测电路 98 检测此时从低位存储器 113 的输出。检测电路 98 检测低位信号中最大值或最小值的连续程度。调整数据确定电路 100 根据来自检测电路 98 的输出确定调整数据。注意,检测电路 98 和调整数据确定电路 100 被设置在图 1 所示的调整装置 7 的处理单元 72 中。调整数据被供给到脉冲产生电路 116 以控制脉冲 ENINT 的定时,由此调整时段 p71。由此获得的时段 p71 的数据被存储于图 1 所示的存储器 4 中。在成像装置 8 的正常操作中,存储于存储器 4 中的时段 p71 的数据被用作调整数据以控制脉冲 ENINT 的定时。注意,在第二实施例中,通过控制信号 C4 进行的低位转换中的计数器 114 的计数开始时间 t75 或者脉冲 ENINT 的定时 t74 和计数开始时间 t75 可以一起被调整。

[0037] 图 8 是示出根据第三实施例的 A/D 转换电路 3 的布置的例子的电路图。将解释与图 2 的不同。参照图 8,除了高位电流源电路 101 和低位电流源电路 102 以外,还设置偏移电流源电路 121。由偏移电流源电路 121 供给的电流 I_{off} 具有任意值。由来自控制单元 1003 的控制信号 $C'0$ 控制的开关 122 选择电流源电路 101、102 和 121 中的一个。积分控制开关 108 由来自被信号 CLK1 和 latch_h 驱动积分控制电路 115 的信号控制,并且还由来自设置在控制单元 1003 中的脉冲宽度控制电路 150 的信号控制。如果来自积分控制电路 115 的信号和来自脉冲宽度控制电路 150 的信号中的一个处于高电平,那么连接图 8 中的积分控制开关 108。在第三实施例中,低位转换时计数器 114 的计数的开始由控制信号 C4 控制,以确保自高位转换中计数器 114 的计数的结束的延迟,并且,在该时间期间控制从脉冲宽度控制电路 150 的信号的输出。其余的组件与图 2 中的相同。

[0038] 图 9 是示出图 8 中的驱动状态的驱动定时和操作波形的时序图。节点 V_{out} 事先通过像素输出被充电。在时间 t91 处,积分控制电路 115 同步于时钟信号 CLK1 接通积分控制开关 108,以开始高位的积分操作。同时,计数器 114 开始计数操作。此时,由于开关 122 和 104 选择高位电流源电路 101 以向输入电容 105 供给电流,因此,积分电路通过高位电流 I_{hi} 被放电以降低节点 V_{out} 的电势。比较器 111 在时钟信号 CLK1 的前沿执行比较。出于这种原因,在与节点 V_{out} 的电势降低到基准电压 V_{ref} 以下之后的时钟信号 CLK1 的第一前沿对应的时间 t92 处,比较器 111 反转比较结果并且输出高电平的信号 latch_h。在接收到高电平的信号 latch_h 时,高位存储器 112 保持该时间点的计数值。在同时接收到高电平的信号 latch_h 时,积分控制电路 115 关断积分控制开关 108 以停止积分操作。时间 t93 是计数器 114 的高位为“111”的定时,并且与高位转换的结束时间对应。

[0039] 之后,开关 122 与偏移电流源电路 121 连接。在时间 t94 处,从脉冲宽度控制电路 150 输出的信号 OFFSET_SEL 下降以接通积分控制开关。在信号 OFFSET_SEL 处于高电平的时段 p91 之后,偏移积分在时间 t95 处停止。然后,开关 122 与低位电流源电路 102 连接,并且低位的积分和低位计数在时间 t96 处开始。

[0040] 在时间 t97 处,比较器 111 再次反转比较结果并且输出高电平的信号 latch_l。在接收到高电平的信号 latch_l 时,低位存储器 113 保持该计数值。时间 t98 是计数器 114 的低位为“111”的定时,并且与低位转换的结束时间对应。

[0041] 在本实施例中,在高位转换和低位转换之间设置注入通过用作第三电流源的偏移

电流源电路 121 供给的偏移电流 I_{off} 的时段,使得通过使用任意的偏移电流 I_{off} 在时段 p91 期间执行积分。由此,可通过改变时段 p91 调整低位残余量。将时段 p91 调整到与和低位残余信号的理想值的差所对应的值使得在低位转换时段 p2 内结束低位确定的调整成为可能,并因此允许抑制线性的劣化。作为详细的调整方法,如上所述,扫描并连续改变对于积分电路的输入 V_{pix} 。更具体而言,多个电压电平被依次供给到 A/D 转换电路的积分电路。检测电路 98 检测此时从低位存储器 113 的输出。检测电路 98 检测低位信号中最大值或最小值的连续程度。调整数据确定电路 100 根据来自检测电路 98 的输出确定调整数据。检测电路 98 和调整数据确定电路 100 可被设置在图 1 所示的调整装置 7 的处理单元 72 中。调整数据被供给到对信号 OFFSET SEL 的脉冲宽度进行控制的脉冲宽度控制电路 150。积分控制开关 108 可由脉冲宽度控制电路 150 的输出所控制,以通过偏移电流 I_{off} 控制积分时段 p91。由此获得的时段 p91 的数据被存储于图 1 所示的存储器 4 中。在成像装置 8 的正常操作中,存储于存储器 4 中的时段 p91 的数据被用作调整数据。

[0042] 图 10 是根据第四实施例的 A/D 转换电路 3 的电路图。将解释与图 8 的不同。参照图 10,电流 DAC 131 被用作电流源电路以供给任意的电流。电流 DAC 131 的例子是用于从外部供给与数字控制信号 C''_0 对应的电流的电路。在第四实施例中,控制单元 1004 包含用于固定脉冲宽度的脉冲产生电路 150'、以及产生用于根据调整数据调整电流 DAC 131 的电流的控制信号 C''_0 的电流控制电路 160。其余的组件与图 8 中的相同。

[0043] 图 11 是示出图 10 中的驱动状态的驱动定时和操作波形的时序图。节点 V_{out} 事先通过像素输出被充电。在时间 t111 处,积分控制电路 115 同步于时钟信号 CLK1 接通积分控制开关 108,以开始高位的积分操作。电流 DAC 131 在时段 p0 期间供给高位电流 I_{hi} 。在时间 t112 处的高位确定之后,高位转换在作为计数器 114 的高位为“111”的定时的时间 t113 处结束。在时间 t114 处,高电平的信号 OFFSET SEL 接通积分控制开关 108,以在时段 p112 期间执行积分操作。时段 p112 可被固定。在时段 p112 期间,电流 DAC 131 供给由控制信号 C''_0 确定的任意电流 I_{off} 。

[0044] 在时间 t115 处,通过偏移电流进行的积分操作停止。在时间 t116 处,低位的积分操作开始。在时间 t117 处,执行低位确定。在时段 p2 期间,电流 DAC 131 供给低位电流 I_{lo} 。当执行 M 位的低位转换时, $I_{\text{hi}} = -I_{\text{lo}} \times 2M$ 。使用电流 DAC 131 使得能够将要在时段 p112 期间供给的电流 I_{off} 设为任意值并调整残余量。将电流 I_{off} 调整到与和低位残余信号的理想值的差所对应的值使得在低位转换时段 p2 内结束低位确定的调整成为可能,并因此允许抑制线性的劣化。作为详细的调整方法,如上所述,扫描并连续改变对于积分电路的输入 V_{pix} 。更具体而言,多个电压电平被依次供给到 A/D 转换电路的积分电路。检测电路 98 检测此时从低位存储器 113 的输出。检测电路 98 检测低位信号中最大值或最小值的连续程度。调整数据确定电路 100 根据来自检测电路 98 的输出确定调整数据。注意,检测电路 98 和调整数据确定电路 100 被设置在图 1 所示的调整装置 7 的处理单元 72 中。调整数据被供给到电流 DAC 131 以控制电流 I_{off} ,由此执行调整。由此获得的电流值 I_{off} 的数据被存储于图 1 所示的存储器 4 中。在成像装置 8 的正常操作中,存储于存储器 4 中的电流 I_{off} 的数据被用作调整数据。

[0045] 接下来将解释根据第五实施例的 A/D 转换电路 3。在第五实施例中,在低位转换中使用冗余位。即,低位的数量是可变的。要在本实施例的描述中使用的电路图与图 2 相同。

但是,通过给高位计数的 M 位精度添加一个冗余位,使用 (M+1) 位进行计数器 114 的低位计数。由此,低位输出是 (M+1) 位。高位输出的 LSB (Least Significant Bit, 最低有效位) 与低位输出的 MSB (Most Significant Bit, 最高有效位) 对应。从电流源电路供给的电流是 $I_{hi} = -I_{lo} \times 2^M$ 。

[0046] 图 12 是示出根据该实施例的驱动状态的驱动定时和操作波形的时序图。Vout_h 和 Vout_l 分别是积分输出 Vout 的最大信号和最小信号。在时间 t121 处,高位转换开始。关于积分输出 Vout,比较器在时间 t122 处反转输出,使得高位计数被存储于高位存储器 112 中。之后,在经过与时钟信号 CLK1 和 CLK2 之间的相位差对应的时段 p31 之后,积分操作在时间 t123 处停止。在与计数器 114 的高位为“111”的定时对应的时间 t124 处,高位转换结束。之后,在时间 t125 处,低位积分和计数开始。比较器当输入是 Vout_h 时在时间 t126 处反转输出并且当输入是 Vout_l 时在时间 t127 处反转输出,并且输出信号 latch_11 和 latch_12。信号 latch_11 是当对于转换使用 Vout_h 时从比较器 111 输出的信号 latch_1。信号 latch_12 是当对于转换使用 Vout_l 时从比较器 111 输出的信号 latch_1。时间 t128 是计数器 114 的低位为“1111”的定时,并且与低位转换的结束时间对应。

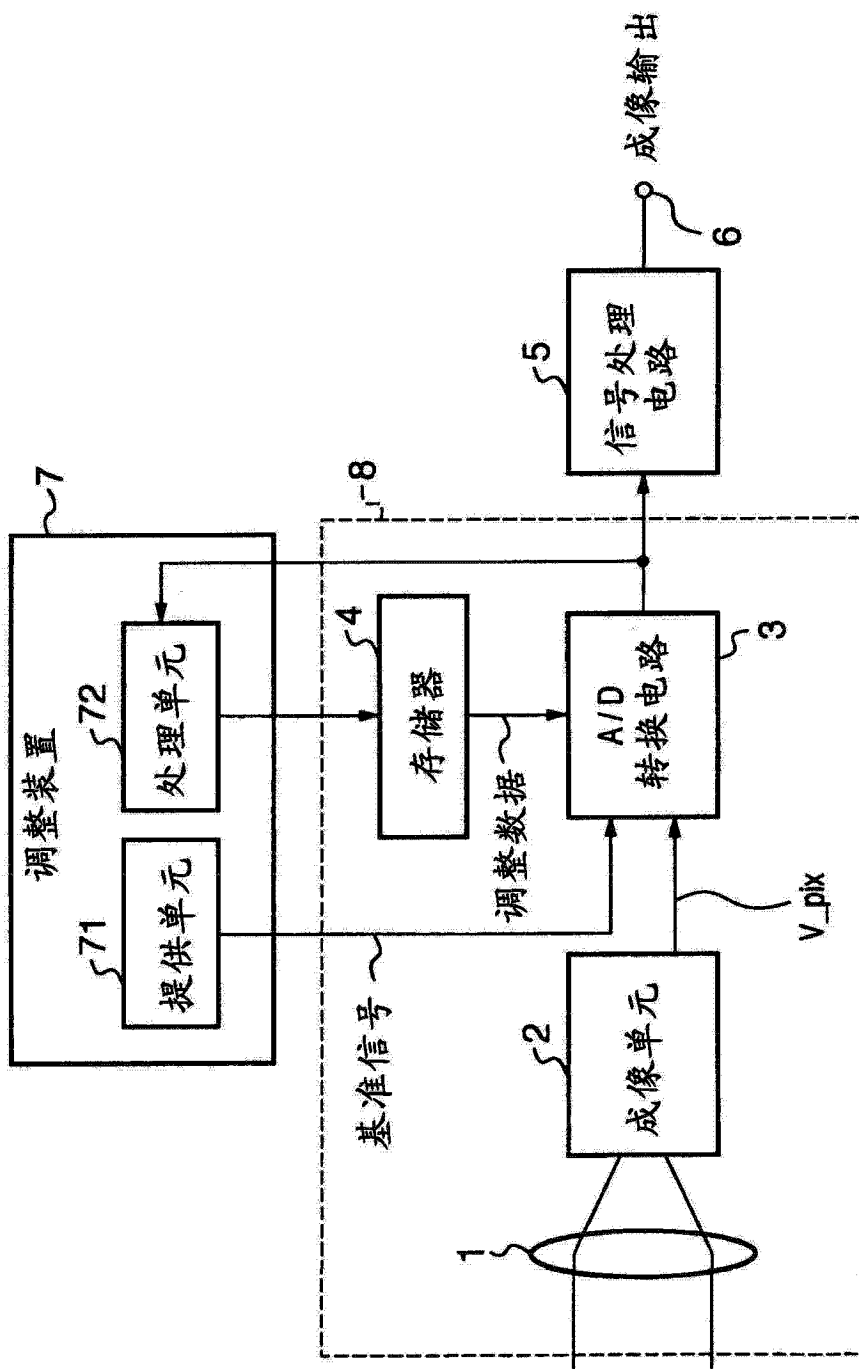
[0047] 理想地,在从时间 t126 到时间 t127 的时段 p22 的范围内进行低位转换。但是,由于随机噪声或 ADC 之间的变动,积分器的实际反转定时分布由图 12 中的低位反转定时分布表示。当低位包含冗余位时,时段 p31 被调整,使得分布落入低位转换时段 p21 内,由此抑制线性的劣化。

[0048] 在本实施例中,残余信号调整功能和低位冗余化被组合,以即使在低位输出变动时也抑制线性的劣化。另外,允许较低的残余信号调整精度。

[0049] 在上述的实施例中,仅示出与像素阵列的一个列对应的读取电路。在二维布置像素的像素阵列中,并列地设置具有相同布置的读取电路。在图 2、图 6、图 8 和图 10 中,高位电流源电路 101、低位电流源电路 102 和计数器 114 对于多个读取电路是共用的。注意,虽然在实施例中向积分电路供给电流,但是,实施例也适用于使用电压的多步骤型 A/D 转换电路布置。

[0050] 虽然已参照示例性实施例描述了本发明,但要理解,本发明不限于公开的示例性实施例。以下的权利要求的范围要被赋予最宽的解释,以包含所有的修改、等同的结构和功能。

[0051] 本申请要求 2010 年 1 月 13 日提交的日本专利申请 No. 2010-005153 和 2010 年 7 月 29 日提交的日本专利申请 No. 2010-171177 的权益,在此通过引用而并入它们的全部内容。



50

图 1

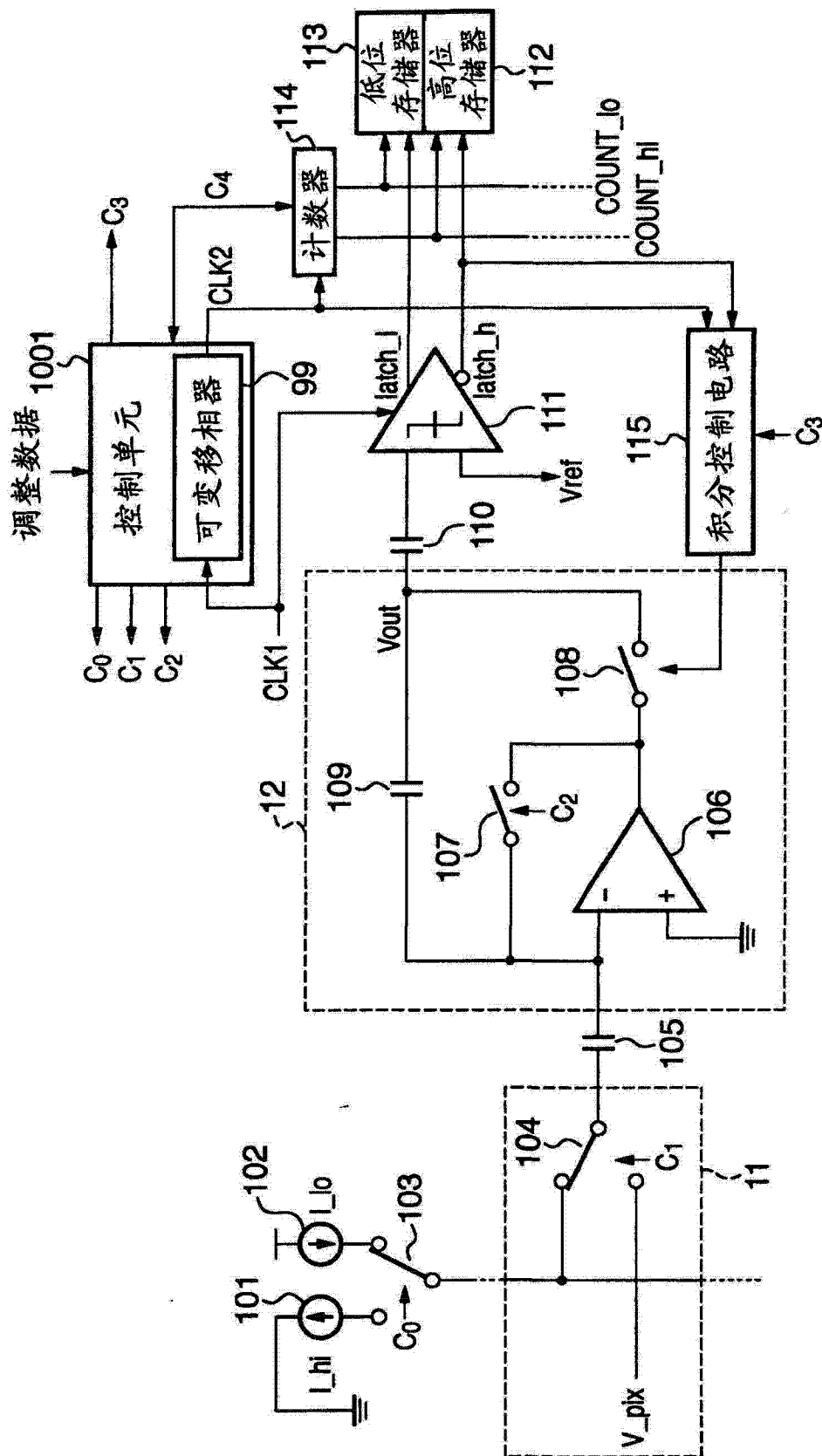


图 2

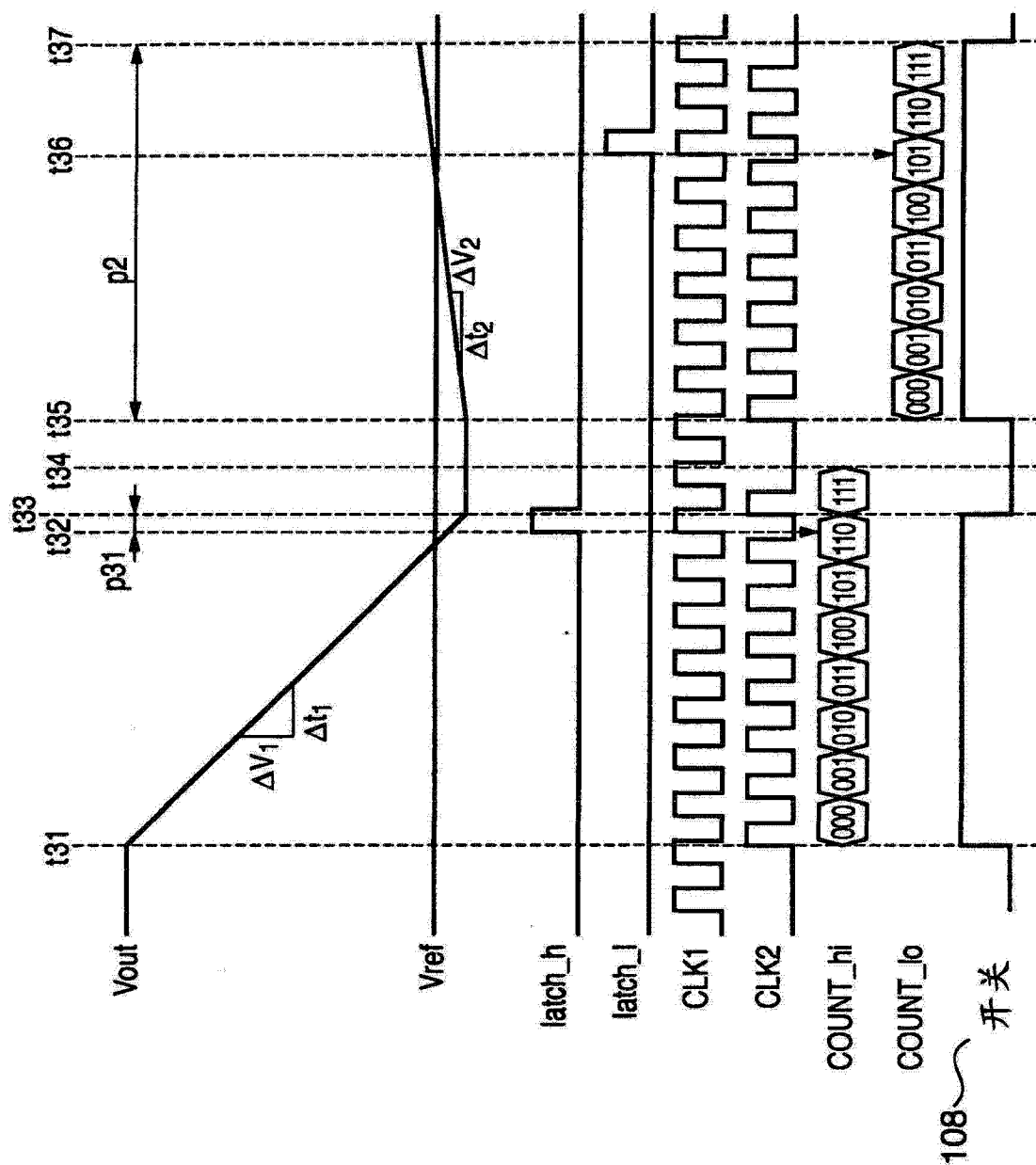


图 3

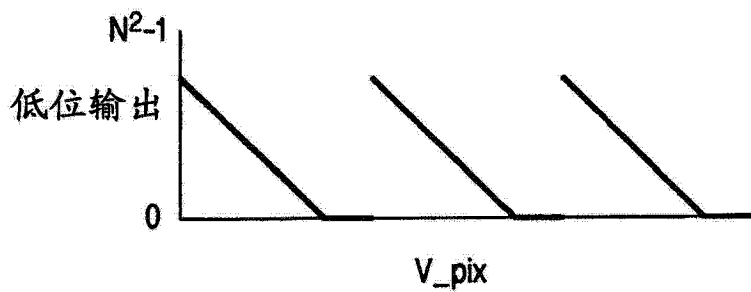


图 4A

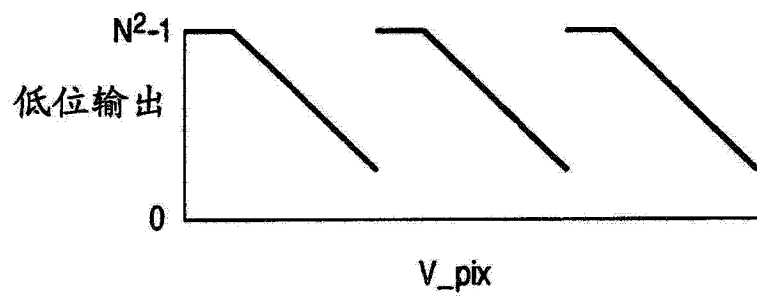


图 4B

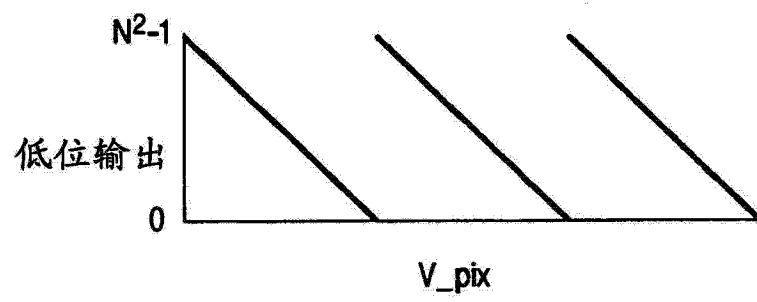


图 4C

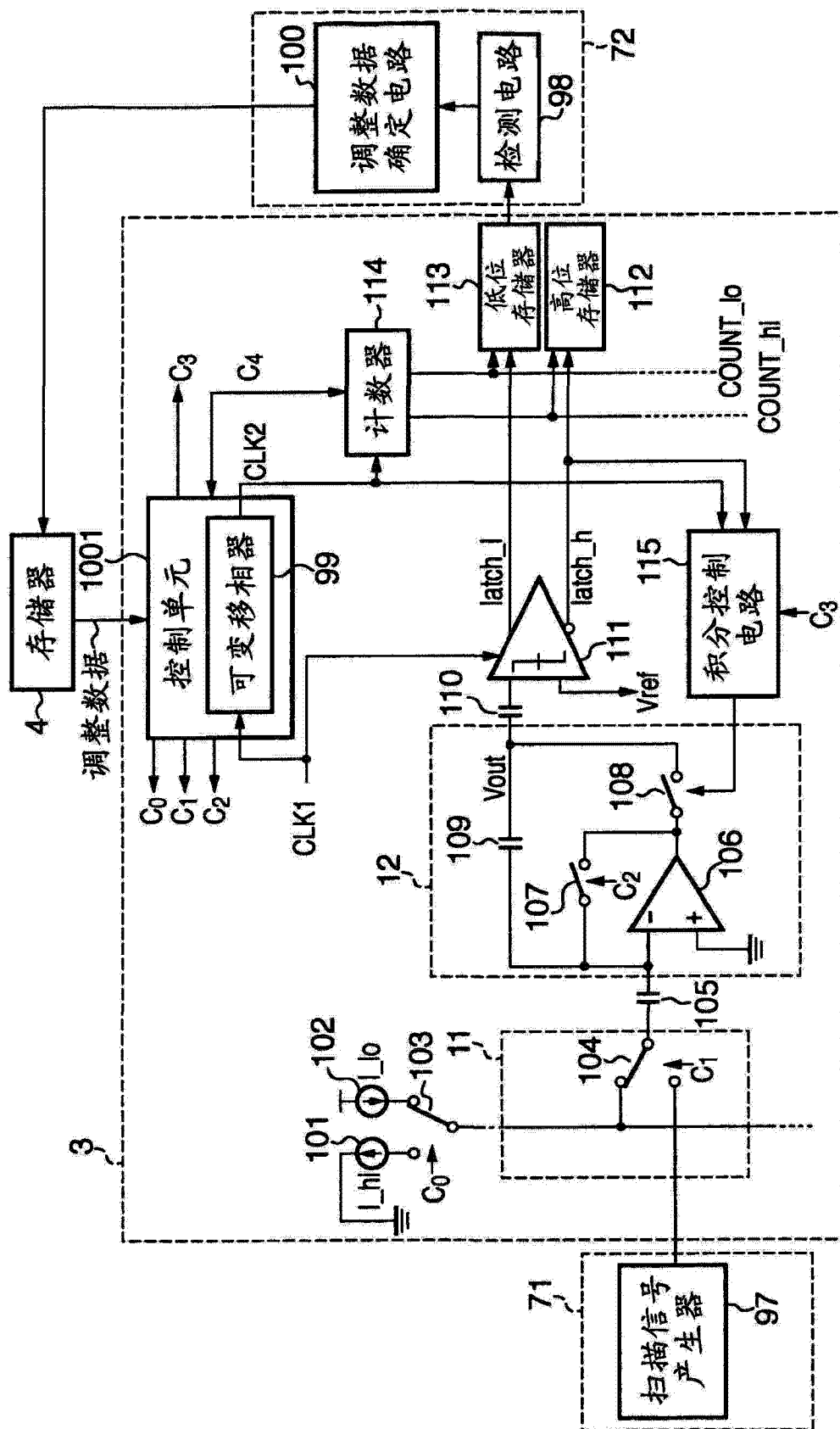


图 5

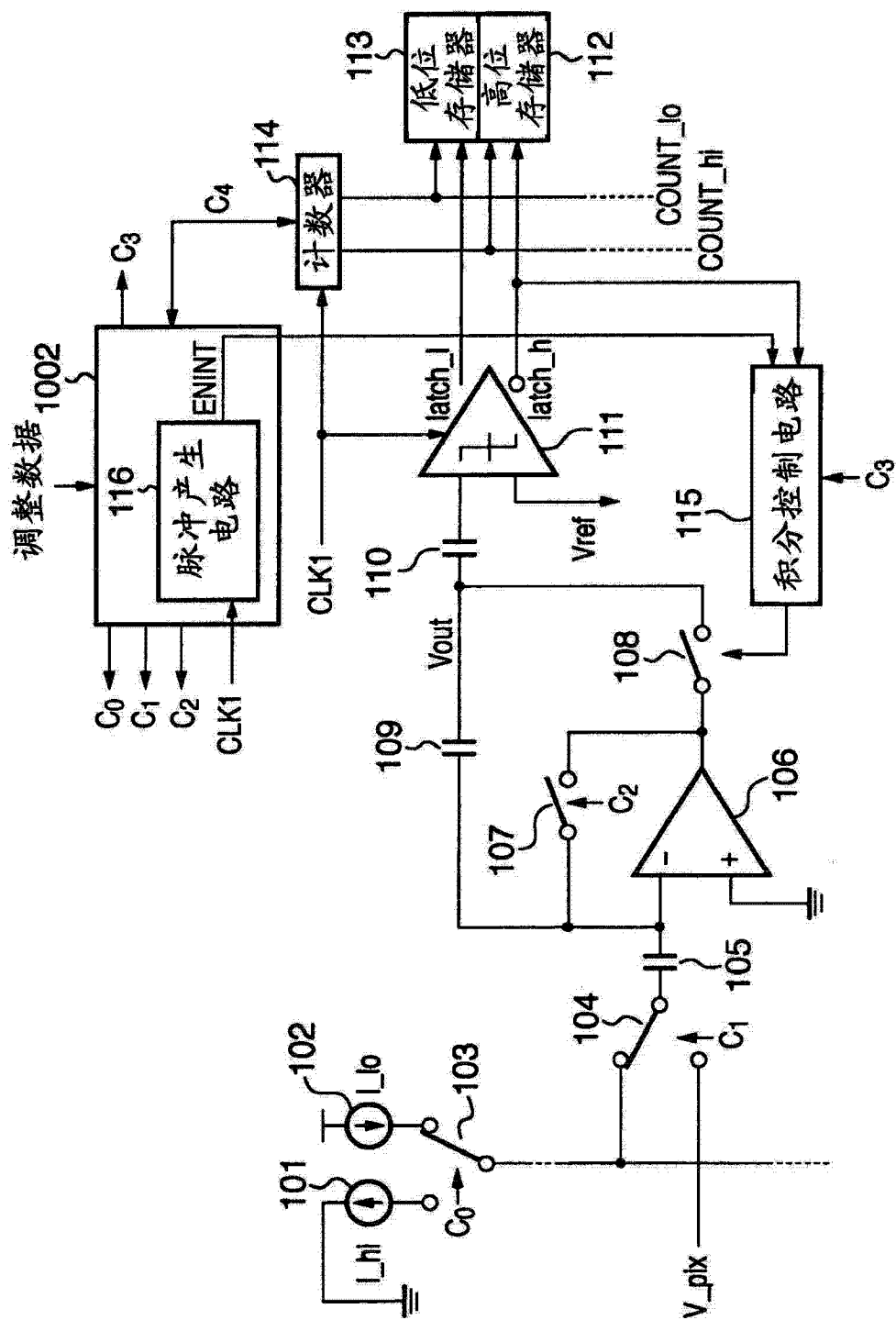


图 6

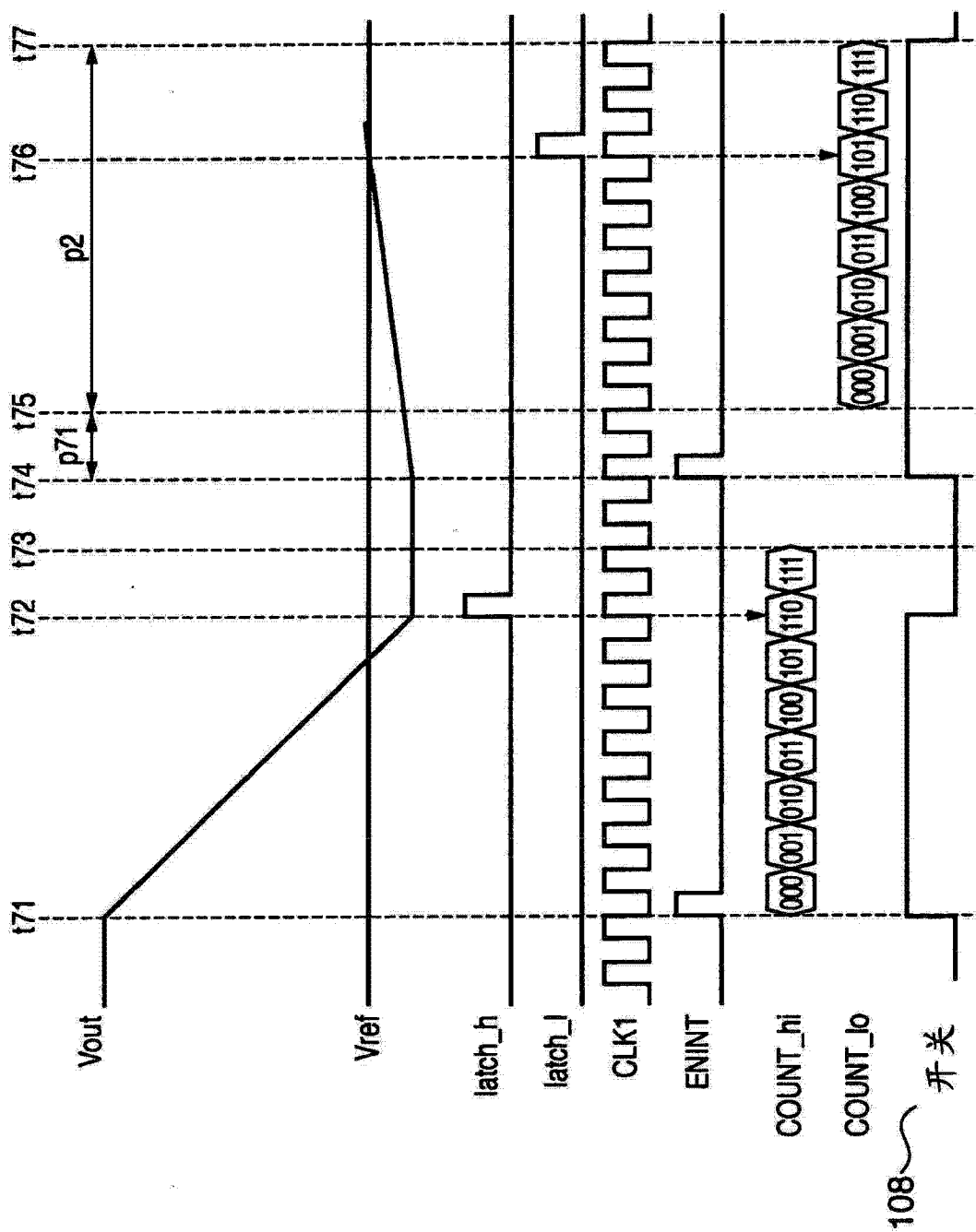


图 7

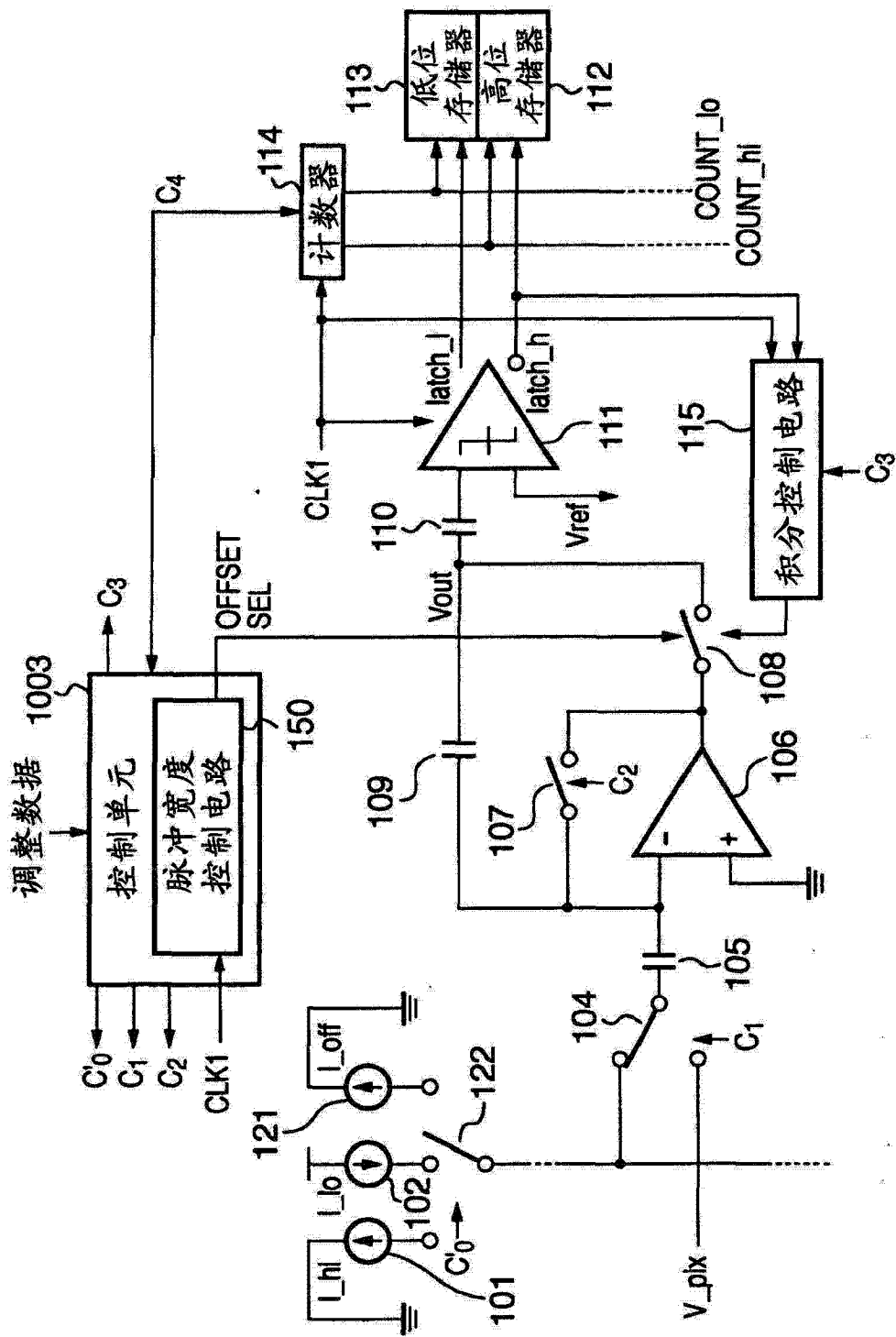


图 8

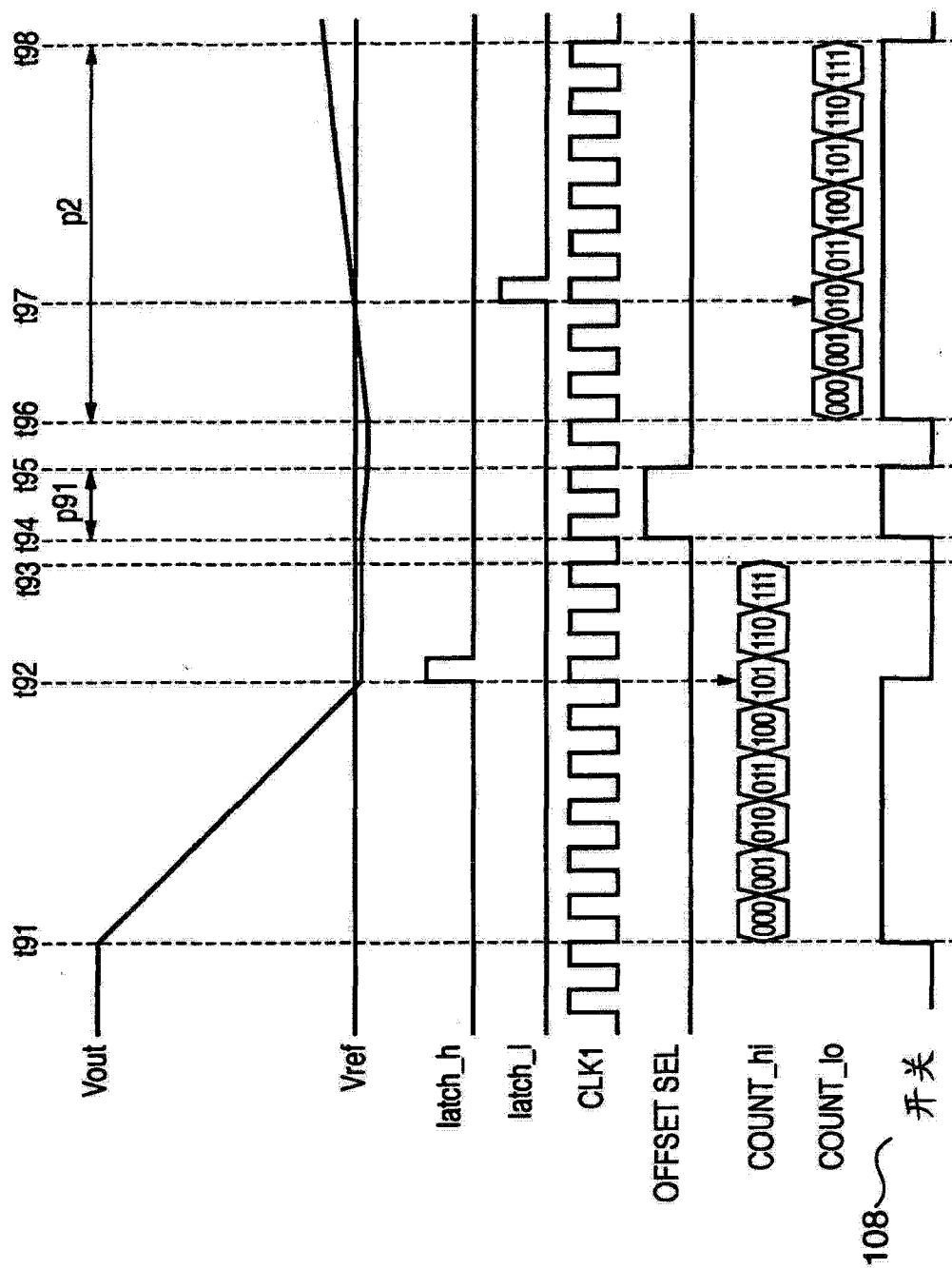


图 9

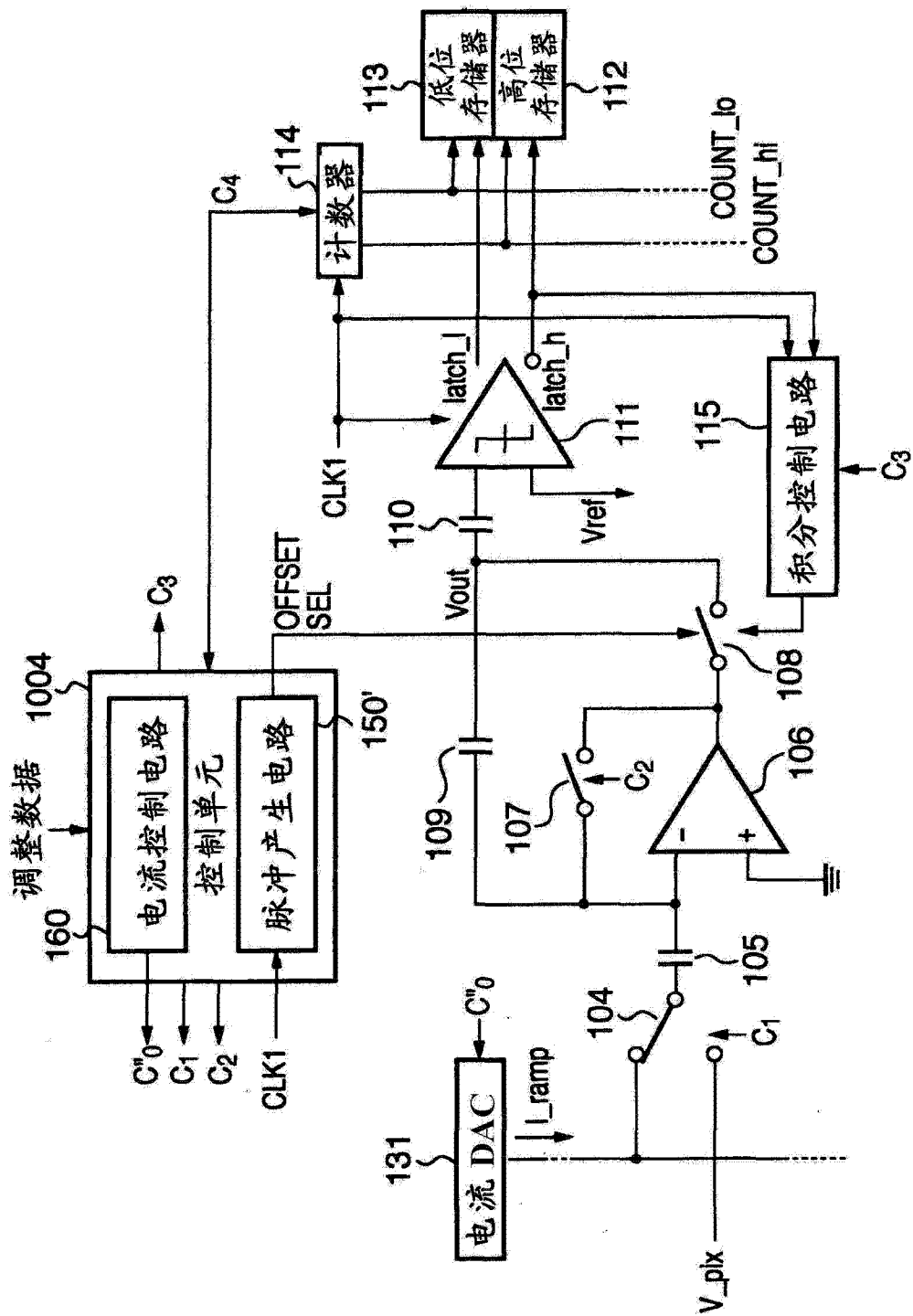


图 10

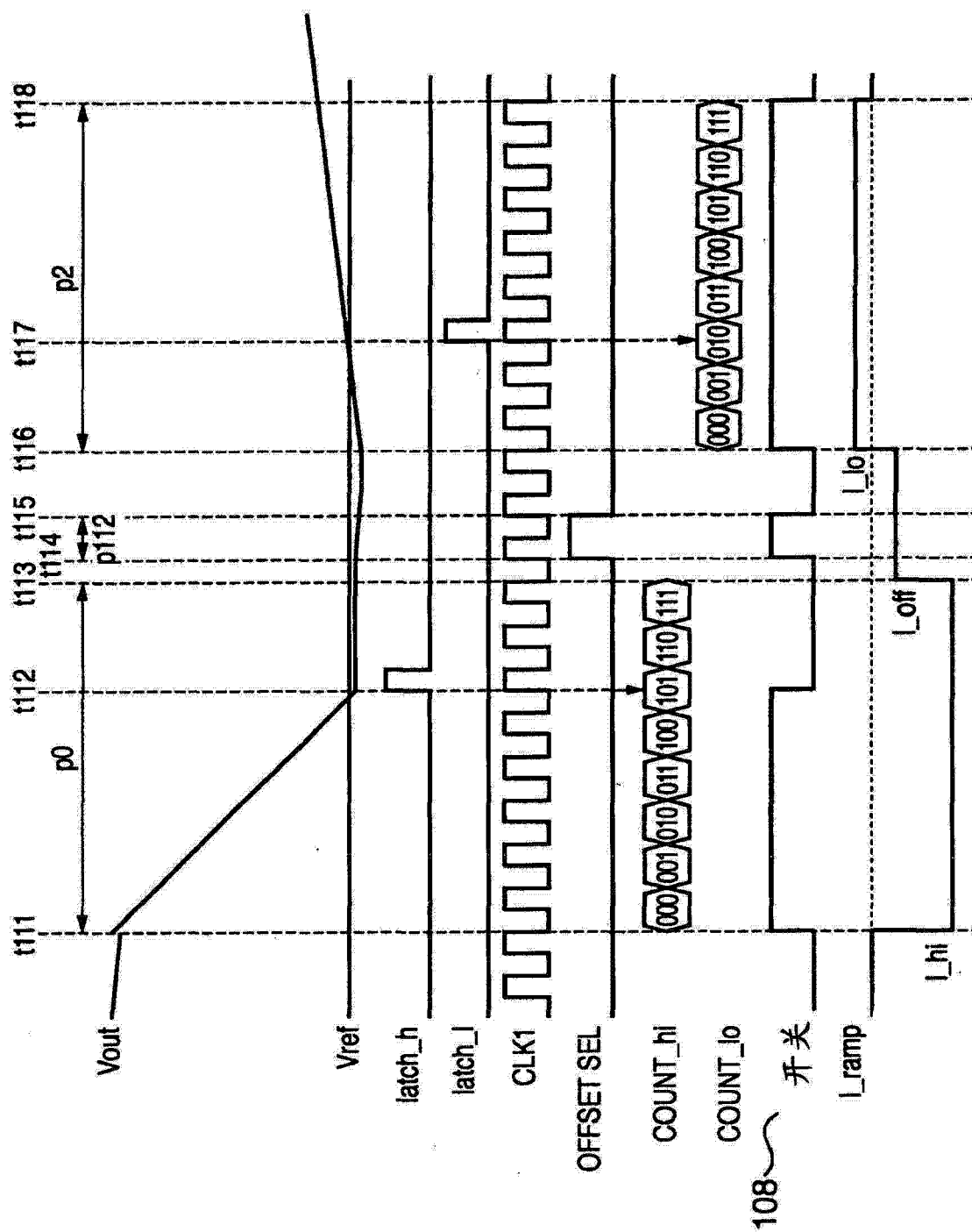


图 11

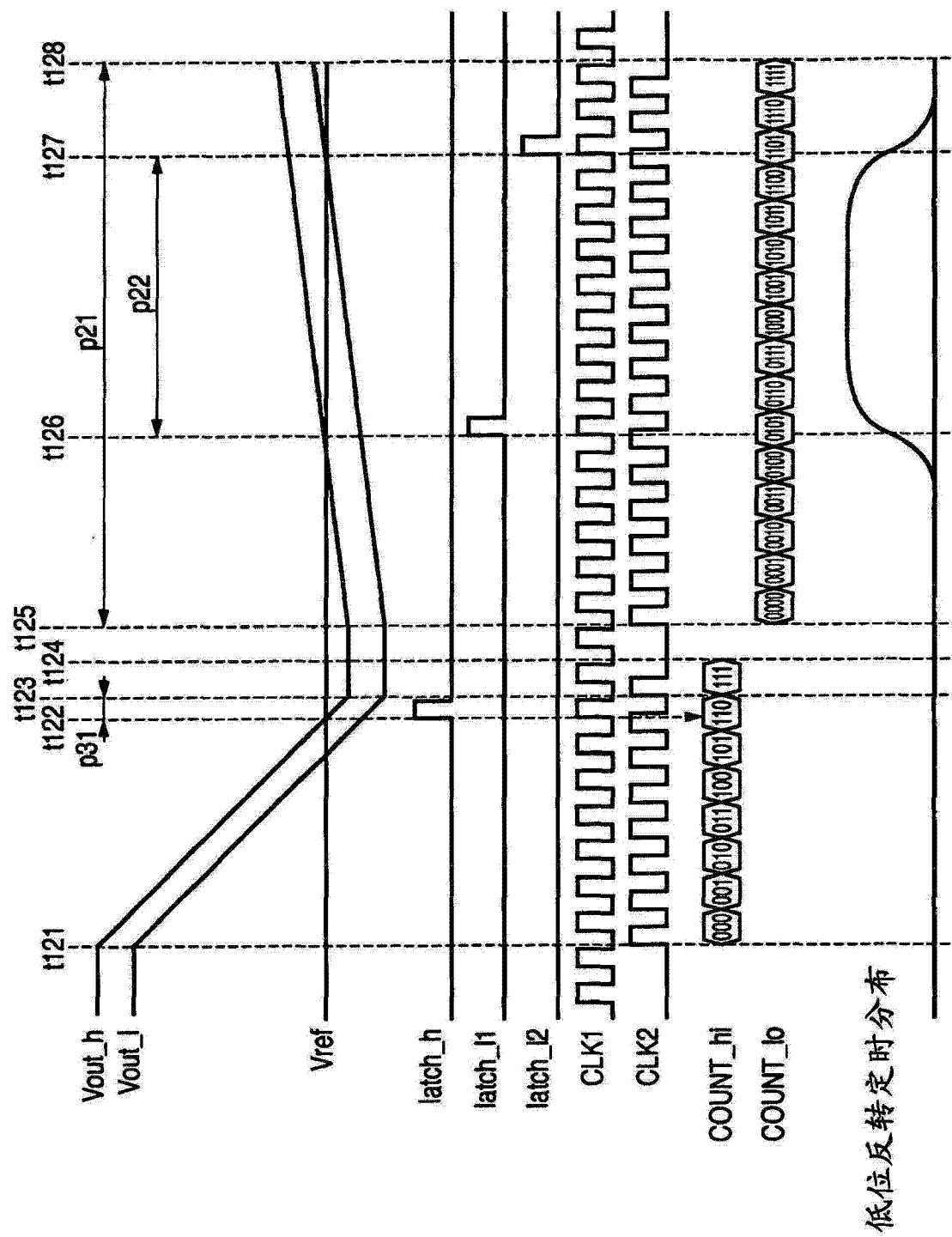


图 12