

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-239760

(P2004-239760A)

(43) 公開日 平成16年8月26日(2004.8.26)

(51) Int.Cl.⁷

G01R 31/30

G01R 31/28

G11C 29/00

F I

G01R 31/30

G11C 29/00 673B

G11C 29/00 673F

G01R 31/28 B

テーマコード (参考)

2G132

5L106

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2003-29536 (P2003-29536)

(22) 出願日 平成15年2月6日(2003.2.6)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100062144

弁理士 青山 稔

(74) 代理人 100086405

弁理士 河宮 治

(74) 代理人 100084146

弁理士 山崎 宏

(72) 発明者 古田 成

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

Fターム(参考) 2G132 AA00 AA08 AB03 AH03 AK15

AK29 AL09 AL25

5L106 AA10 DD35 EE04 FF04 FF05

GG05

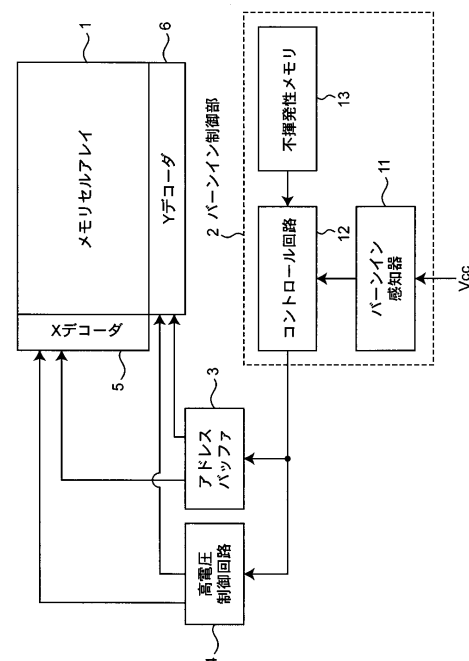
(54) 【発明の名称】 半導体メモリのセルフイレース・ライト装置および半導体メモリのセルフバーンインテスト方法

(57) 【要約】

【課題】書き換え可能な不揮発性半導体メモリの場合でもシビアな且つ融通性のあるバーンインテストを行う。

【解決手段】コントロール回路12は、セルフイレース・ライトモードとセルフバーンインモードとに内部状態を遷移させて、夫々の内部状態でアドレス信号および高電圧制御信号を出力する。したがって、書込み・消去を所定回数繰り返した後に書込み特性や消去特性を調べることができ、不揮発性半導体メモリセルアレイ1に対する確且つシビアなセルフバーンインテストを行うことができる。また、消去・書き換えが可能な不揮発性メモリ13には、イレース・ライト動作時の繰り返し回数やライト動作時のテストデータ等が格納されている。したがって、上記繰り返し回数やテストデータ等を書き換えることができ、多値化に対応したバーンインテストや仕様をランク別に分類するバーンインテストに応じて、融通性のあるテストを行うことができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体メモリセルがマトリクス状に配列されてなる半導体メモリセルアレイと、
所定のセルフバーンインテスト条件が満たされたことを感知してバーンイン信号を出力するバーンイン感知部と、
上記半導体メモリセルアレイに対するイレース動作とライト動作とを交互に繰り返して行うイレース・ライト動作を行う際における上記イレース・ライト動作の繰り返し回数と、
上記ライト動作時にメモリセルに書き込むテストデータとを、含むテスト情報を格納する書き換え可能な不揮発性メモリと、
上記バーンイン信号が入力されると、上記書き換え可能な不揮発性メモリに格納された上記テスト情報に基づいて、上記イレース・ライト動作に必要な高電圧制御信号およびアドレス信号を含む制御信号を出力するコントロール部と、
上記制御信号に基づいて、上記半導体メモリセルアレイにおける上記アドレス信号に応じた領域のメモリセルを選択し、この選択メモリセルに対して上記テストデータによるイレース・ライト動作を上記繰り返し回数だけ行うセルフイレース・ライト動作部
を備えたことを特徴とする半導体メモリのセルフイレース・ライト装置。

10

【請求項 2】

請求項 1 に記載の半導体メモリのセルフイレース・ライト装置において、
上記コントロール部は、内部状態をセルフイレース・ライトモードからセルフバーンインモードに遷移可能になっており、上記セルフイレース・ライトモード時には上記イレース・ライト動作に必要な高電圧制御信号およびアドレス信号を含む制御信号を出力する一方、
上記セルフバーンインモード時には上記イレース・ライト動作終了後の上記半導体メモリセルアレイに対するリード動作に必要な高電圧制御信号およびアドレス信号を含む制御信号を出力するようになっていることを特徴とする半導体メモリのセルフイレース・ライト装置。

20

【請求項 3】

請求項 2 に記載の半導体メモリのセルフイレース・ライト装置において、
上記書き換え可能な不揮発性メモリは、上記セルフバーンインテスト条件が満たされない場合にのみ、上記格納されているテスト情報を、外部からの制御情報、アドレスおよびテストデータに基づいて書き換えることが可能になっていることを特徴とする半導体メモリのセルフイレース・ライト装置。

30

【請求項 4】

請求項 1 に記載の半導体メモリのセルフイレース・ライト装置において、
上記半導体メモリセルアレイを構成する半導体メモリセルは書き換え可能な不揮発性メモリセルであり、
上記書き換え可能な不揮発性メモリのセル構造は、上記半導体メモリセルアレイのセル構造と同一であることを特徴とする半導体メモリのセルフイレース・ライト装置。

【請求項 5】

書き換え可能な不揮発性メモリに、半導体メモリセルアレイに対するイレース動作とライト動作とを交互に繰り返して行うイレース・ライト動作を行う際ににおける上記イレース・ライト動作の繰り返し回数と、上記ライト動作時にメモリセルに書き込むテストデータとを、含むテスト情報を格納し、
所定のセルフバーンインテスト条件が満たされるとバーンイン信号を発生し、
上記バーンイン信号が発生されると、上記書き換え可能な不揮発性メモリに格納された上記テスト情報に基づいて、上記イレース・ライト動作に必要な高電圧制御信号およびアドレス信号を含む制御信号を発生し、
上記制御信号に基づいて、上記半導体メモリセルアレイにおける上記アドレス信号に応じた領域のメモリセルを選択し、この選択メモリセルに対して上記テストデータによるイレース・ライト動作を上記繰り返し回数だけ行い、
上記イレース・ライト動作の結果を読み出す

40

50

ことを特徴とする半導体メモリのセルフバーンインテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体メモリのセルフイレース・ライト装置、および、半導体メモリのセルフバーンインテスト方法に関する。

【0002】

【従来の技術】

一般に、半導体メモリチップの初期不良を短時間内に漉すためにバーンインテストが行われる（例えば、特許文献1参照）。このバーンインテストは、バーンインテスト装置によ

10

【0003】

って、正常動作時よりも高い電圧と温度とを半導体メモリチップに加えた条件下で、この半導体メモリに対してリード・ライト動作を繰り返して行い、半導体メモリチップにストレスを与えてテストを行うものである。こうすることによって、初期不良チップを排除することができるのである。

【0004】

また、一度に多くの半導体メモリチップをテストするために、上記バーンインテスト装置を簡便化したセルフバーンイン回路をメモリチップ内部に設けることによって、上記バーンインテストに必要な各種制御信号、アドレスおよびテストデータ等をチップ内部で発生させることが一般的な傾向になっている。

20

【0005】

このようなバーンインテストのための上記セルフバーンイン回路においては、バーンイン感知部によって、所定のバーンインテスト条件が満たされたことが検知されると、バーンインテストを行うための所定の制御信号、アドレス信号およびテストデータが発生される。そして、上記制御信号に基づいて、上記アドレス信号に応じて選択されたメモリセルに対して上記テストデータがリード・ライトされて上記バーンインテストが遂行される。

30

【0006】

【特許文献1】

特開平9-219099号公報

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来のセルフバーンイン回路には、以下のような問題がある。

【0008】

すなわち、キャパシタを内蔵したDRAM（ダイナミック・ランダム・アクセス・メモリ）やラッチ回路を内蔵したSRAM（スタティック・ランダム・アクセス・メモリ）のような半導体メモリに対するバーンインテストの場合には、純粋にリード・ライトのテストを行えば良く、内蔵されたキャパシタへの電荷保持状態やラッチ回路のラッチ保持状態をテストするだけで良い。

40

【0009】

ところが、書き換え可能な不揮発性半導体メモリであるフラッシュメモリの場合は、トンネル酸化膜を介してチャネル領域とフローティングゲートとの間でトンネル効果による電子の注入あるいは引き抜きを行うこと、その際に高電圧のプログラム電圧（書込み電圧）やイレース電圧（消去電圧）を印加する必要があることから、書込み・消去を所定回数繰

50

り返した後の書込み特性や消去特性を調べて、仕様に従って使用した場合における特性変化の予測等を行う必要がある。そのために、テスト項目は非常にシビアとなる。

【 0 0 1 0 】

また、今後の多値化に対応したバーンインテストを行う場合は、更に書込み特性・消去特性をシビアにテストする必要がある。したがって、単に総てのラインを選択してデータが「 1 」であるか「 0 」であるかをチェックしたり、あるいはその反転データであるかをチェックしたりするだけでのテストでは、チップ不良品の排除はできない。

【 0 0 1 1 】

また、上記書込み特性・消去特性の結果からアクセス時間の仕様をランク（高速型，低速型）別に分類して良品とする場合もある。そのような場合に対処するためには、多種類のテスト項目や融通性のあるテストが必要となる。 10

【 0 0 1 2 】

ところが、上記従来のセルフバーンイン回路では、各テスト項目のテスト手順やテストデータ等は予め設定されて記憶・固定されている。したがって、フラッシュメモリ等の書き換え可能な不揮発性半導体メモリに対しては、目的に応じてテスト項目やテスト手順やテストデータを変更したり、良品のランクを変更したりして、融通性のあるバーンインテストができないという問題がある。

【 0 0 1 3 】

したがって、そのような融通性のあるバーンインテストやシビアなバーンインテストに対応しようとするれば、予め総てのテスト項目毎にテスト手順やテストデータ等を設定して記憶しておく必要があり、大きな記憶容量が必要であるという問題がある。 20

【 0 0 1 4 】

そこで、この発明の目的は、書き換え可能な不揮発性半導体メモリに対してシビアな且つ融通性のあるバーンインテストを行うことが可能な半導体メモリのセルフイレース・ライト装置、および、半導体メモリのセルフバーンインテスト方法を提供することにある。

【 0 0 1 5 】

【課題を解決するための手段】

上記目的を達成するため、この発明の半導体メモリのセルフイレース・ライト装置は、半導体メモリセルがマトリクス状に配列されてなる半導体メモリセルアレイと、所定のセルフバーンインテスト条件が満たされたことを感知してバーンイン信号を出力するバーンイン感知部と、上記半導体メモリセルアレイに対する上記イレース・ライト動作を行う際におけるイレース・ライト動作の繰り返し回数と、上記ライト動作時にメモリセルに書き込むテストデータとを、含むテスト情報を格納する書き換え可能な不揮発性メモリと、上記バーンイン信号が入力されると、上記書き換え可能な不揮発性メモリに格納された上記テスト情報に基づいて、上記イレース・ライト動作に必要な高電圧制御信号およびアドレス信号を含む制御信号を出力するコントロール部と、上記制御信号に基づいて、上記半導体メモリセルアレイにおける上記アドレス信号に応じた領域のメモリセルを選択し、この選択メモリセルに対して上記テストデータによるイレース・ライト動作を上記繰り返し回数だけ行うセルフイレース・ライト動作部を備えている。 30

【 0 0 1 6 】

上記構成によれば、外部から上記セルフバーンインテスト条件が満たされる状態にしてやれば、自動的に上記半導体メモリセルアレイに対するセルフイレース・ライト動作が行われる。したがって、上記イレース・ライト動作が終了した後の各メモリセルから上記テストデータをリードすることによって、上記半導体メモリセルアレイに対して書込み・消去を繰り返した後の書込み特性や消去特性を調べることが可能になる。すなわち、上記半導体メモリセルアレイを仕様に従って使用した場合における特性変化の予測等を行うことができ、書き換え可能な不揮発性半導体メモリに対する的確且つシビアなセルフバーンインテストを行うことが可能になる。

【 0 0 1 7 】

また、 1 実施例の半導体メモリのセルフイレース・ライト装置では、上記コントロール部 50

を、セルフイレース・ライトモードからセルフバーンインモードに内部状態を遷移可能にし、上記セルフイレース・ライトモード時には上記イレース・ライト動作に必要な高電圧制御信号およびアドレス信号を含む制御信号を出力する一方、上記セルフバーンインモード時には上記イレース・ライト動作終了後の上記半導体メモリセルアレイに対するリード動作に必要な高電圧制御信号およびアドレス信号を含む制御信号を出力するようにしている。

【0018】

この実施例によれば、上記半導体メモリセルアレイに対するイレース・ライト動作が終了した後に、自動的に上記半導体メモリセルアレイに対するリード動作が行われる。こうして、書き換え可能な不揮発性半導体メモリセルアレイに対するセルフバーンインテストが自動的に且つ的確に行われる。 10

【0019】

また、1実施例の半導体メモリのセルフイレース・ライト装置では、上記書き換え可能な不揮発性メモリを、上記セルフバーンインテスト条件が満たされない場合にのみ、上記格納されているテスト情報を、外部からの制御情報、アドレスおよびテストデータに基づいて書き換え可能にしている。

【0020】

この実施例によれば、通常動作モード時に、外部から半導体メモリチップに対して制御情報、アドレスおよびテストデータを入力することによって、上記書き換え可能な不揮発性メモリに格納されている上記繰り返し回数やテストデータ等を含むテスト情報が、上記外部からの制御情報、アドレスおよびテストデータに基づいて書き換えられる。したがって、多値化に対応したバーンインテストや仕様をランク別に分類するバーンインテストに応じて上記テスト情報を書き換えることによって、目的に応じた融通性のあるテストを行うことが可能になる。 20

【0021】

さらに、テスト項目毎に上記書き換え可能な不揮発性メモリ内のテスト情報を書き換えることによって、少量のメモリ容量で各種テストを実現することができる。

【0022】

また、1実施例の半導体メモリのセルフイレース・ライト装置では、上記半導体メモリセルアレイを書き換え可能な不揮発性メモリセルで構成し、上記書き換え可能な不揮発性メモリのセル構造を、上記半導体メモリセルアレイのセル構造と同一にしている。 30

【0023】

この実施例によれば、上記書き換え可能な不揮発性メモリを設けることに起因する半導体メモリチップ製造プロセスの複雑化が防止される。

【0024】

また、この発明の半導体メモリのセルフバーンインテスト方法は、書き換え可能な不揮発性メモリに、半導体メモリセルアレイに対する上記イレース・ライト動作を行う際のイレース・ライト動作の繰り返し回数と、上記ライト動作時にメモリセルに書き込むテストデータとを、含むテスト情報を格納し、所定のセルフバーンインテスト条件が満たされるとバーンイン信号を発生し、上記バーンイン信号が発生されると、上記書き換え可能な不揮発性メモリに格納された上記テスト情報に基づいて、上記イレース・ライト動作に必要な高電圧制御信号およびアドレス信号を含む制御信号を発生し、上記制御信号に基づいて、上記半導体メモリセルアレイにおける上記アドレス信号に応じた領域のメモリセルを選択し、この選択メモリセルに対して上記テストデータによるイレース・ライト動作を上記繰り返し回数だけ行い、上記イレース・ライト動作の結果を読み出すようにしている。 40

【0025】

上記構成によれば、外部から上記セルフバーンインテスト条件が満たされる状態にしてやれば、上記半導体メモリセルアレイに対して書込み・消去を複数回繰り返した後に書込み特性や消去特性を調べるセルフバーンインテストが自動的に実行される。したがって、上記半導体メモリセルアレイを仕様に従って使用した場合における特性変化の予測等を行 50

うことが可能になり、書き換え可能な不揮発性半導体メモリに対する的確且つシビアなセルフバーンインテストを行うことが可能になる。

【0026】

【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。図1は、本実施の形態の半導体メモリのセルフイレース・ライト装置における構成を示すブロック図である。このセルフイレース・ライト装置は、例えばフラッシュメモリ等の書き換え可能な不揮発性半導体メモリに対して効果的にセルフバーンインテストを行うことができるものである。

【0027】

図1に示すように、本半導体メモリのセルフイレース・ライト装置は、メモリセルアレイ1、バーンイン制御部2、アドレスバッファ3および高電圧制御回路4で概略構成される。

【0028】

上記メモリセルアレイ1は、書き換え可能な不揮発性半導体メモリセルがマトリクス状に配列されて構成され、通常データ等を格納するエリアである。また、バーンイン制御部2は、外部の電圧が所定レベル以上に昇圧された状態を検知して、バーンイン動作のための高電圧制御信号およびアドレス信号等を出力する。また、アドレスバッファ3は、バーンイン制御部2からのアドレス信号をバッファリングして、メモリセルアレイ1のXデコーダ5およびYデコーダ6に出力する。また、高電圧制御回路4は、バーンイン制御部2からの高電圧制御信号に応じて、メモリセルアレイ1に、Xデコーダ5およびYデコーダ6を介してイレース動作やライト動作やリード動作に必要な高電圧（例えば書き込み電圧が10Vであって消去電圧が-8Vであるように、負電圧をも含む）を出力する。

【0029】

すなわち、上記Xデコーダ5は、上記アドレスバッファ3から入力されるアドレス信号をデコーディングしてメモリセルアレイ1のワードラインを選択し、高電圧制御回路4からの出力を選択ワードラインに出力する。また、Yデコーダ6は、上記アドレス信号をデコーディングしてメモリセルアレイ1のビットラインを選択し、高電圧制御回路4からの出力を上記選択ビットラインに出力するのである。このように、本実施の形態においては、アドレスバッファ3、高電圧制御回路4、Xデコーダ5およびYデコーダ6で、上記セルフイレース・ライト動作部を構成するのである。

【0030】

尚、上記Yデコーダ6には、図示されていないが、メモリセルアレイ1のビットラインに接続されたセンスアンプが設けられており、このセンスアンプによってメモリセルアレイ1のメモリセルから読み出されたデータ（電圧）をセンスするようにしている。そして、このメモリセルから読み出されたデータは、比較器（図示せず）によって、バーンイン制御部2を構成する書き換え可能な不揮発性メモリ13に格納されているテストデータ（電圧）と比較されて、メモリセルアレイ1の良否が判定される。そして、この良否の判定結果が半導体メモリチップの外に出力されるのである。あるいは、上記メモリセルから読み出されたデータをそのまま半導体メモリチップの外部に出力し、外部テストによってメモリセルアレイ1の良否を判定するようにしても良い。

【0031】

次に、上記バーンイン制御部2の構成について説明する。本バーンイン制御部2は、上記バーンイン感知部としてのバーンイン感知器11、上記コントロール部としてのコントロール回路12および書き換え可能な不揮発性メモリ13で概略構成されている。

【0032】

そして、上記バーンイン感知器11は、半導体メモリチップの外部から供給される電源電圧Vccが上記所定レベル以上であることを検知して、セルフバーンインテスト条件が満たされたと判断し、コントロール回路12にバーンイン信号を出力する。また、書き換え可能な不揮発性メモリ13には、メモリセルアレイ1に対するイレース動作とライト動作とを交互に行うイレース・ライト動作の繰り返し回数や、ライト動作時におけるメモリセ

10

20

30

40

50

ルアレイ 1 のメモリセルに書き込む上記テストデータ等のテスト情報が格納されている。そして、上記セルフバーンインテスト条件が満たされない場合にのみ、つまり通常動作モード時にのみ、外部から本半導体メモリチップに対して制御情報、アドレスおよびテストデータ等が提供（入力）されると、上記格納されている繰り返し回数およびテストデータ等を上記外部からの制御情報、アドレスおよびテストデータ等に応じて書き換えることができる。また、コントロール回路 12 は、バーンイン感知器 11 から上記バーンイン信号が入力されると、書き換え可能な不揮発性メモリ 13 から読み出された上記繰り返し回数およびテストデータに応じて、メモリセルアレイ 1 上における選択メモリセルを指定する上記アドレス信号と高電圧制御信号とを含む制御信号を出力する。

【0033】

10

次に、上記構成を有するバーンイン制御部 2 によって実行されるセルフバーンインテストについて詳細に説明する。図 2 は、上記セルフバーンイン処理動作のフローチャートである。

【0034】

ステップ S1 で、上記バーンイン感知器 11 によって、外部から供給される電源電圧 V_{cc} が取得される。ステップ S2 で、バーンイン感知器 11 によって、上記取得された電源電圧 V_{cc} が所定レベル以上であるか否かを判別することによって、バーンイン動作のためのバーンインモードであるか否かが判別される。その結果、バーンインモードであればステップ S3 に進み、そうでなければ通常動作モードであると判断されて通常動作に移行する。尚、通常動作については、この発明とは直接には関係ないので説明は省略する。

【0035】

20

ステップ S3 で、上記バーンインに関連する動作が開始され、先ず、上記バーンイン感知器 11 によって、バーンイン信号がコントロール回路 12 に出力される。ステップ S4 で、コントロール回路 12 によって、内部状態が遷移されてセルフイレース・ライトモードとなる。ステップ S5 で、コントロール回路 12 によって、書き換え可能な不揮発性メモリ 13 からイレース・ライト動作の繰り返し回数およびライト動作時にメモリセルに書き込まれるテストデータ等のテスト情報等が読み出される。

【0036】

ステップ S6 で、上記コントロール回路 12 によってフルチップイレース動作が行われる。すなわち、上記読み出されたテスト情報に基づいて、フルチップイレース動作を実行するための高電圧制御信号およびアドレス信号が発生されて、アドレスバッファ 3 および高電圧制御回路 4 に出力される。そして、アドレスバッファ 3 および高電圧制御回路 4 によって、上述のようにしてフルチップイレース動作が実行されるのである。尚、一般的に、フラッシュメモリ等においては一括消去が行われ、上記フルチップ消去ではブロック単位での消去が行われる。ステップ S7 で、コントロール回路 12 によって、ライト動作が行われる。すなわち、上記ステップ S4 において読み出されたテストデータを該当するアドレスのメモリセルに書き込むための高電圧制御信号およびアドレス信号が発生されて、アドレスバッファ 3 および高電圧制御回路 4 に出力される。そして、アドレスバッファ 3 および高電圧制御回路 4 によってライト動作が実行されるのである。そうした後、イレース・ライト動作の回数がカウントされる。

30

【0037】

40

ステップ S8 で、上記コントロール回路 12 によって、カウントされている上記イレース・ライト動作回数が上記読み出された繰り返し回数以上であるか否かが判別される。こうして、セルフイレース・ライトモードを終了するか否かが判別される。そして、終了であればステップ S9 に進み、そうでなければ上記ステップ S6 に戻って次の回のフルチップイレース動作に移行する。以後、イレース動作とライト動作とが交互に繰り返され、上記ステップ S8 においてイレース・ライト動作が所定回数完遂されたと判別されるとステップ S9 に進む。

【0038】

ステップ S9 で、上記コントロール回路 12 によって、内部状態が、上記セルフイレース・ライトモードからセルフバーンインモードに遷移される。ステップ S10 で、コントロ

50

ール回路 12 によって、セルフバーンイン動作が行われる。すなわち、上記メモリセルに書き込まれたテストデータを読み出すための高電圧制御信号およびアドレス信号が発生されて、アドレスバッファ 3 および高電圧制御回路 4 に出力される。そして、アドレスバッファ 3 および高電圧制御回路 4 によって、リード動作が実行されるのである。ここで、上記セルフバーンインモードにおける電源電圧 V_{cc} および温度は、上記セルフイレース・ライトモードの場合と同じである。但し、セルフイレース・ライトモードにおいては上記メモリセルに対してテストデータ（ライトデータ）がイレース・ライトされるのに対して、本セルフバーンインモードにおいては上記メモリセルから書き込みデータがリードされるセルフバーンイン動作が実行されるのである。そうした後、上記セルフバーンイン処理動作を終了する。

10

【0039】

以上のごとく、本実施の形態においては、上記バーンイン制御部 2 に、セルフイレース・ライトモードとセルフバーンインモードとに内部状態を遷移させて、夫々の状態で、メモリセルアレイ 1 上における選択メモリセルを指定するアドレス信号と高電圧制御信号とを出力するコントロール回路 12 を設けている。したがって、上記メモリセルに対して書き込み・消去を所定回数繰り返した後の書き込み特性や消去特性を調べて、メモリセルアレイ 1 を仕様に従って使用した場合における特性変化の予測等を行うことができる。すなわち、本実施の形態によれば、書き換え可能な不揮発性半導体メモリセルから成るメモリセルアレイ 1 に対して的確且つシビアなセルフバーンインテストを行うことができるのである。

20

【0040】

また、上記バーンイン制御部 2 に、メモリセルアレイ 1 に対するイレース・ライト動作の繰り返し回数や、ライト動作時における上記メモリセルに書き込むテストデータ等のテスト情報が格納される書き換え可能な不揮発性メモリ 13 を設けている。このように、上記繰り返し回数やテストデータ等を電氣的に消去・書き換えが可能な不揮発性メモリに格納しているので、上記繰り返し回数やテストデータ等を含む各種テスト情報を通常動作モード時に書き換えることができる。したがって、多値化に対応したバーンインテストや仕様をランク別に分類するバーンインテストに応じてテストデータを書き換えることによって、目的に応じた融通性のあるテストを行うことができる。

【0041】

さらに、その場合に、テスト項目毎に書き換え可能な不揮発性メモリ 13 内のテストデータを書き換えれば良く、少量のメモリ容量で各種テストを実現することができる。

30

【0042】

また、上記書き換え可能な不揮発性メモリ 13 のメモリセル構造をメモリセルアレイ 1 のセル構造と同じにすることができる。その場合には、書き換え可能な不揮発性メモリ 13 を設けることに起因するメモリチップ製造プロセスの複雑化を防止することができる。さらには、フラッシュメモリでよく発生するライン不良を救済するための救済領域として活用することも可能になる。例えば、不良ラインのアドレスを記憶しておく不良ライン記憶部を外部テストあるいはチップ内部に設けておく。そして、バーンインテスト終了後に書き換え可能な不揮発性メモリ 13 に格納されているテストデータを消去し、消去後のテストデータ格納領域を、上記不良ラインのアドレスに基づいて不良ラインの救済領域として活用するのである。

40

【0043】

尚、本実施の形態は、上記フラッシュメモリや強誘電体メモリ（FeRAM）等の書き換え可能な不揮発性メモリに適用することができる。勿論、上記DRAMやSRAMにも適用できることは言うまでもない。

【0044】

【発明の効果】

以上より明らかなように、この発明の半導体メモリのセルフイレース・ライト装置は、書き換え可能な不揮発性メモリにイレース・ライト動作の繰り返し回数とライト動作時のテストデータとを含むテスト情報を格納し、バーンイン感知部によってセルフバーンインテ

50

スト条件が満たされたことを感知すると、コントロール部によって上記書き換え可能な不揮発性メモリのテスト情報に基づいてイレース・ライト動作に必要な制御信号を出力し、セルフイレース・ライト動作部によって半導体メモリセルアレイにおける上記制御信号のアドレス信号に応じた選択メモリセルに対して上記イレース・ライト動作を繰り返し回数だけ行うので、外部から上記セルフバーンインテスト条件が満たされる状態にしてやれば、自動的に上記半導体メモリセルアレイに対するセルフイレース・ライトテストを行うことができる。

【0045】

すなわち、上記イレース・ライト動作が終了した後の各メモリセルから上記テストデータをリードすれば、上記半導体メモリセルアレイに対して書込み・消去を繰り返した後の書込み特性や消去特性を調べることができ、上記半導体メモリセルアレイを仕様に従って使用した場合における特性変化の予測等を行うことができる。したがって、書き換え可能な不揮発性半導体メモリセルアレイに対する的確且つシビアなセルフバーンインテストを行うことが可能になり、テストプロセスを簡略化できる。さらに、一度にテストできる半導体メモリチップの数を増加できる。

10

【0046】

また、この発明の半導体メモリのセルフバーンインテスト方法は、書き換え可能な不揮発性メモリにイレース・ライト動作の繰り返し回数とライト動作時のテストデータとを含むテスト情報を格納し、セルフバーンインテスト条件が満たされると、上記書き換え可能な不揮発性メモリのテスト情報に基づいて上記イレース・ライト動作に必要な制御信号を発生し、半導体メモリセルアレイにおける上記制御信号のアドレス信号に応じた選択メモリセルに対してイレース・ライト動作を繰り返し回数だけ行い、上記イレース・ライト動作の結果を読み出すので、外部から上記セルフバーンインテスト条件が満たされる状態にしてやれば、自動的に上記半導体メモリセルアレイに対してセルフバーンインテストを行うことができる。

20

【0047】

したがって、上記半導体メモリセルアレイを仕様に従って使用した場合における特性変化の予測等を行うことが可能になり、書き換え可能な不揮発性半導体メモリセルアレイに対する的確且つシビアなセルフバーンインテストを行うことができる。

【図面の簡単な説明】

30

【図1】この発明の半導体メモリのセルフイレース・ライト回路における構成を示すブロック図である。

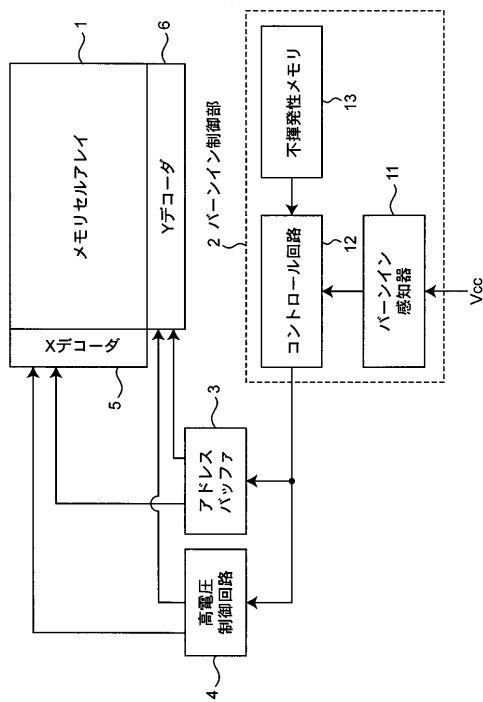
【図2】図1におけるバーンイン制御部によって実行されるセルフバーンイン処理動作のフローチャートである。

【符号の説明】

- 1 ... メモリセルアレイ、
- 2 ... バーンイン制御部、
- 3 ... アドレスバッファ、
- 4 ... 高電圧制御回路、
- 5 ... Xデコーダ、
- 6 ... Yデコーダ、
- 11 ... バーンイン感知器、
- 12 ... コントロール回路、
- 13 ... 書き換え可能な不揮発性メモリ。

40

【図 1】



【図 2】

