

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年7月11日(11.07.2024)



(10) 国際公開番号

WO 2024/147256 A1

(51) 国際特許分類:
G09G 3/3233 (2016.01) H10K 59/12 (2023.01)
G09G 3/20 (2006.01)

(21) 国際出願番号: PCT/JP2023/043577

(22) 国際出願日: 2023年12月6日(06.12.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-000303 2023年1月4日(04.01.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).

(72) 発明者: 山村 育弘 (YAMAMURA, Ikuhiro); 〒2430014 神奈川県厚木市旭町四丁目1番4号

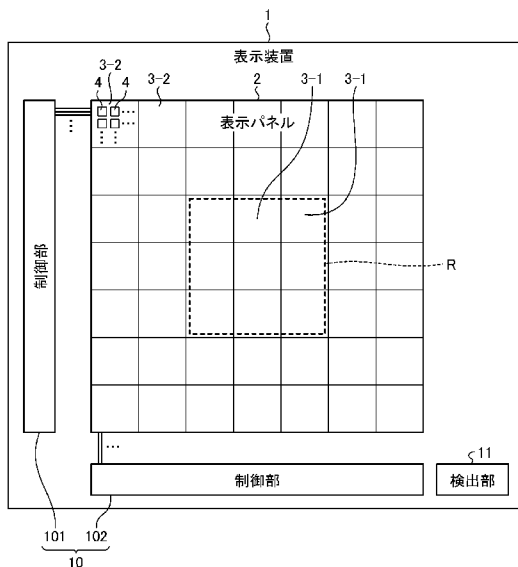
番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎ノ門ダイビルイースト Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: DISPLAY DEVICE, METHOD FOR CONTROLLING DISPLAY PANEL, AND ELECTRONIC DEVICE

(54) 発明の名称: 表示装置、表示パネルの制御方法、及び電子機器



1 Display device
2 Display panel
11 Detection unit
101, 102 Control unit

(57) Abstract: This display device is provided with: a display panel including a plurality of pixels; and a control unit that controls the display panel. The display panel includes a plurality of pixel blocks each comprising one or more pixels. The pixel blocks include a first pixel block and a second pixel block. The control unit controls the display panel such that the refresh rate of the pixels in the second block is lower than the refresh rate of the pixels in the first pixel block.

(57) 要約: 表示装置は、複数の画素を含む表示パネルと、表示パネルを制御する制御部と、を備え、表示パネルは、各々が1つ以上の画素を含む複数の画素ブロックを含み、複数の画素ブロックは、第1の画素ブロック及び第2の画素ブロックを含み、制御部は、第2の画素ブロック内の画素のリフレッシュレートが第1の画素ブロック内の画素のリフレッシュレートよりも低くなるように表示パネルを制御する。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： 表示装置、表示パネルの制御方法、及び電子機器
技術分野

[0001] 本開示は、表示装置、表示パネルの制御方法、及び電子機器に関する。

背景技術

[0002] O L E D (Organic Light Emitting Diode) 等を用いた表示パネルを備える表示装置について、さまざまな技術が提案されている（例えば特許文献 1 を参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 1 0 - 9 7 0 9 7 号公報

特許文献2：国際公開第 2 0 1 4 / 1 0 3 5 0 0 号

発明の概要

発明が解決しようとする課題

[0004] 表示装置の多画素化、高フレームレート化に伴い、消費電力の増大及び発熱の問題が顕在化してきている。

[0005] 本開示の一側面は、消費電力及び発熱を抑制する。

課題を解決するための手段

[0006] 本開示の一側面に係る表示装置は、複数の画素を含む表示パネルと、表示パネルを制御する制御部と、を備え、表示パネルは、各々が 1 つ以上の画素を含む複数の画素ブロックを含み、複数の画素ブロックは、第 1 の画素ブロック及び第 2 の画素ブロックを含み、制御部は、第 2 の画素ブロック内の画素のリフレッシュレートが第 1 の画素ブロック内の画素のリフレッシュレートよりも低くなるように表示パネルを制御する。

[0007] 本開示の一側面に係る表示パネルの制御方法は、複数の画素を含む表示パネルの制御方法であって、表示パネルは、各々が 1 つ以上の画素を含む複数の画素ブロックを含み、複数の画素ブロックは、第 1 の画素ブロック及び第

2の画素ブロックを含み、制御方法は、第2の画素ブロック内の画素のリフレッシュレートが第1の画素ブロック内の画素のリフレッシュレートよりも低くなるように表示パネルを制御すること、を含む。

[0008] 本開示の一側面に係る電子機器は、表示装置を備え、表示装置は、複数の画素を含む表示パネルと、表示パネルを制御する制御部と、を含み、表示パネルは、各々が1つ以上の画素を含む複数の画素ブロックを含み、複数の画素ブロックは、第1の画素ブロック及び第2の画素ブロックを含み、制御部は、第2の画素ブロック内の画素のリフレッシュレートが第1の画素ブロック内の画素のリフレッシュレートよりも低くなるように表示パネルを制御する。

図面の簡単な説明

[0009] [図1]施形態に係る表示装置の概略構成の例を示す図である。

[図2]表示パネルの制御の例を示す図である。

[図3]表示パネルの制御の例を示す図である。

[図4]表示パネルの制御の例を示す図である。

[図5]表示パネルの制御の例を示す図である。

[図6]表示パネルの制御の例を示す図である。

[図7]輝度調整の例を模式的に示す図である。

[図8]表示装置において実行される処理（表示パネルの制御方法）の例を示す図である。

[図9]表示装置において実行される処理（表示パネルの制御方法）の例を示す図である。

[図10]比較例を示す図である。

[図11]比較例を示す図である。

[図12]比較例を示す図である。

[図13]比較例を示す図である。

[図14]比較例を示す図である。

[図15]回路構成の例を示す図である。

[図16]制御回路による画素ブロックの制御の例を示す図である。

[図17]回路動作の例を示す図である。

[図18]回路動作の例を示す図である。

[図19]回路動作の例を示す図である。

[図20]回路動作の例を示す図である。

[図21]回路の動作の例を示す図である。

[図22]電子機器の例を示す図である。

[図23]電子機器の例を示す図である。

発明を実施するための形態

[0010] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の要素には同一の符号を付することにより重複する説明を省略する。

[0011] 以下に示す項目順序に従って本開示を説明する。

0. 序

1. 実施形態

2. 適用例

3. 効果の例

[0012] 0. 序

O L E D等を表示パネルに用いる表示装置では、多画素化、高フレームレート化に伴い、消費電力の増大、発熱の問題が顕在化してきている。消費電力が増大すると、製品の使用時間が短くなる。V R (Virtual Reality) に代表されるようなユーザの頭部に装着されるHMD (Head Mounted Display) では、発熱は大きな問題となり得る。冷却ファン等が内蔵されたHMDもある。

[0013] 上述のような課題の少なくとも一部が、開示される技術によって対処される。表示パネルを構成する複数の画素ブロックのうちの一部の画素ブロックと他の画素ブロックとでリフレッシュレートが異なるように、表示パネルが制御（駆動）される。例えば、人間の高解像度の視野が狭いことを利用し、

検出した視野近傍の画素ブロックのリフレッシュレートだけを高くし、他の画素ブロックのリフレッシュレートを低くするように、表示パネルが制御される。他の画素ブロックのリフレッシュレートが低くなる分、消費電力及び発熱を抑制することができる。

[0014] 1. 実施形態

図1は、実施形態に係る表示装置の概略構成の例を示す図である。表示装置1は、表示パネル2と、制御部10と、検出部11とを含む。

[0015] 表示パネル2は、複数の画素4を含む。複数の画素4は、水平方向及び垂直方向にアレイ状に配置される。表示パネル2は、画素アレイ部とも呼べる。後述するように、画素4は発光素子及び駆動回路を含んで構成され、従って、画素4は画素回路と呼ぶこともできる。

[0016] 本実施形態では、表示パネル2は、各々が1つ以上の画素4を含む複数の画素ブロック3を含む。詳細は後述するが、複数の画素ブロック3は、2種類の画素ブロックを含む。第1の画素ブロックを、画素ブロック3-1と称し図示する。第2の画素ブロックを、画素ブロック3-2と称し図示する。これらをとくに区別しない場合は、単に画素ブロック3と呼ぶ。なお、図1に示される例では、各画素ブロック3が複数の画素4を含む。

[0017] 複数の画素ブロック3は、表示パネル2の水平方向及び垂直方向（横方向及び縦方向、行方向及び列方向）にアレイ状に配置される。図1には、7×7個の画素ブロック3が例示されるが、画素ブロック3の数はこの例に限定されない。例えば視野角が縦90度の表示パネル2を10度ずつ分割する場合、垂直方向に9つの画素ブロック3を並べて配置するような構成が採用されてよい。水平方向についても同様である。

[0018] 制御部10は、各画素4の発光及び消光（非発光）を制御したり、輝度（発光光量）を制御したりする。種々の公知の制御手法が用いられてよい。図1に示される例では、制御部10は、制御部101と、制御部102とを含む。

[0019] 制御部101は、例えば、水平方向の表示ラインに対応する画素4を走査

して駆動する垂直ドライバとして機能する。制御部 101 は、複数の回路線を介して、表示パネル 2 に接続される。例えば、1 つの回路線は、水平方向に並ぶ各画素 4 に接続される。制御部 101 は、回路線を選択し、対応する画素 4 に制御信号を供給する。

[0020] 制御部 102 は、例えば、垂直方向の表示ラインに対応する画素 4 を選択して駆動する水平ドライバとして機能する。制御部 102 は、複数の回路線を介して、表示パネル 2 に接続される。例えば、いくつかの回路線は、垂直方向に並ぶ各画素ブロック 3 に接続され、また、いくつかの回路線は、素直方向に並ぶ各画素 4 に接続される。制御部 102 は、回路線を選択し、対応する画素ブロック 3 に制御信号を供給したり、対応する画素 4 に画素信号等を供給したりする。なお、画素 4 は、制御部 102 からの画素信号に応じた輝度で発光する。

[0021] 検出部 11 は、表示装置 1 のユーザの視線を検出する。種々の公知の視線検出技術が採用されてよい。例えばユーザの眼部を赤外光で撮像し、その結果に基づいて、ユーザの視線が検出されてよい。より具体的に、検出部 11 は、ユーザの視線の先に位置する（ユーザが視ている）表示パネル 2 中の領域を検出する。この領域を、領域 R と称し図示する。

[0022] 領域 R は、典型的には、表示パネル 2 の中央及びその付近に位置し得る。HMD 等においては、ユーザの視野中心が、表示パネル 2 の中央及びその付近に位置することが多いからである。ただし当然ながら、領域 R は、ユーザの視線の変化に応じて変化し、表示パネル 2 中の任意の領域となり得る。

[0023] 制御部 10 は、検出部 11 の検出結果に基づいて、複数の画素ブロック 3 から、画素ブロック 3-1 及び画素ブロック 3-2 を選択する。具体的に、制御部 10 は、複数の画素ブロック 3 のうち、領域 R 内に位置する画素ブロック 3 を画素ブロック 3-1 として選択し、残りの画素ブロック 3 を画素ブロック 3-2 として選択する。図 1 に示される例では、画素ブロック 3-1 は、画素ブロック 3-2 よりも表示パネル 2 の中央の近くに位置している。

[0024] 本実施形態では、制御部 10 は、画素ブロック 3-2 内の画素 4 のリフレ

ッシュレートが、画素ブロック 3-1 内の画素 4 のリフレッシュレートよりも低くなるように、表示パネル 2 を制御する。画素 4 のリフレッシュは、画素 4 へのデータの書き込み（画素信号による輝度の設定）、画素 4 の発光（設定された輝度での発光）、及び画素 4 の消光を含む。画素 4 の初期化等も、画素 4 のリフレッシュに含まれてよい。

[0025] 制御部 10 は、画素ブロック 3-1 内の画素 4 のリフレッシュが 2 回以上繰り返される間、画素ブロック 3-2 内の画素 4 がリフレッシュされることなく発光し続けるように、表示パネル 2 を制御する。一例について、図 2～図 6 を参照して説明する。

[0026] 図 2～図 6 は、表示パネルの制御の例を示す図である。白抜き矢印で示されるように、各画素ブロック 3 内の画素 4（図 1）が、行ごとに順次駆動され得る。なお、以降の説明において、画素ブロック 3 内の画素 4 を、単に画素ブロック 3 とも呼ぶこともある。

[0027] 図 2 には、 n フレーム目（ n は 1 以上の整数）の各画素ブロック 3 の状態が模式的に示される。全ての画素ブロック 3 がリフレッシュされる。行ごとの順次駆動に応じて、この例では、1 行目～4 行目までの画素ブロック 3 が発光し、5 行目の画素ブロック 3 にデータが書き込まれ、6 行目及び 7 行目の画素ブロック 3 が消光している。

[0028] 図 3 には、 $n+1$ フレーム目の各画素ブロック 3 の状態が模式的に示される。画素ブロック 3-1 だけがリフレッシュされ、 $n+1$ フレーム目の画像を表示する。画素ブロック 3-2 は、リフレッシュされることなく発光し続け、 n フレーム目の画像を依然として表示する。なお、矛盾の無い範囲において、画像は映像に適宜読み替えられてよい。

[0029] 図 4 には、 $n+2$ フレーム目の各画素ブロック 3 の状態が模式的に示される。画素ブロック 3-1 だけがリフレッシュされ、 $n+2$ フレーム目の画像を表示する。画素ブロック 3-2 はリフレッシュされることなく発光し続け、 n フレーム目の画像を依然として表示する。

[0030] 図 5 には、 $n+3$ フレーム目の各画素ブロック 3 の状態が模式的に示され

る。画素ブロック 3-1 だけがリフレッシュされ、 $n+3$ フレーム目の画像を表示する。画素ブロック 3-2 はリフレッシュされることなく発光し続け、 n フレーム目の画像を依然として表示する。

[0031] 図 6 には、 $n+4$ フレーム目の各画素ブロック 3 の状態が模式的に示される。 n フレーム目（図 2）と同様に、全ての画素ブロック 3、すなわち画素ブロック 3-1 及び画素ブロック 3-2 の両方がリフレッシュされ、 $n+4$ フレーム目の画像を表示する。

[0032] 上記の動作が繰り返されることで、画素ブロック 3-2 のリフレッシュレートが画素ブロック 3-1 のリフレッシュレートよりも低くなるように表示パネル 2 が制御される。なお、表示パネル 2 における領域 R の位置、すなわち画素ブロック 3-1 及び画素ブロック 3-2 の選択は、検出部 11（図 1）の検出結果に応じて適時変更されてよい。

[0033] <輝度調整の例>

一実施形態において、制御部 10 は、画素ブロック 3-1 の発光輝度（発光時の輝度）と、画素ブロック 3-2 の発光輝度とが異なるように、表示パネル 2 を制御してよい。図 7 を参照して説明する。

[0034] 図 7 は、輝度調整の例を模式的に示す図である。画素ブロック 3-1 は、フレームごとにリフレッシュされる。各フレームにおける画素ブロック 3-1 の発光期間を、発光期間 T1 と称する。発光期間 T1 中の発光輝度を、発光輝度 B1 と称する。画素ブロック 3-2 は、複数フレーム、この例では 4 フレームに 1 回だけリフレッシュされる。4 フレームにわたる画素ブロック 3-2 の発光期間を、発光期間 T2 と称する。発光期間 T2 中の発光輝度を、発光輝度 B2 と称する。

[0035] 4 フレーム全体わたって見たときに、画素ブロック 3-1 の発光期間（ $T1 \times 4$ ）と、画素ブロック 3-2 の発光期間 T2 とが互いに異なる。具体的に、画素ブロック 3-1 の発光期間（ $T1 \times 4$ ）は、画素ブロック 3-2 の発光期間 T2 よりも短い。

[0036] 一実施形態において、制御部 10 は、画素ブロック 3-1 の発光輝度 B1

が画素ブロック 3-2 の発光輝度 B 2 よりも大きくなるように表示パネル 2 を制御してよい。より具体的に、制御部 10 は、画素ブロック 3-1 の発光期間 T 1 と画素ブロック 3-2 の発光期間 T 2 との比率に基づいて、画素ブロック 3-1 の発光輝度 B 1 及び画素ブロック 3-2 の発光輝度 B 2 を制御してよい。例えば、下記の式 (1) に示されるように、画素ブロック 3-1 の発光輝度 B 1 及びその発光期間 (T 1 × 4) を乗じた値と、画素ブロック 3-2 の発光輝度 B 2 及びその発光期間 T 2 を乗じた値とが一致するように (近づくように)、発光輝度 B 1 及び発光輝度 B 2 が設定されてよい。これにより、4 フレーム全体にわたって見たときの画素ブロック 3-1 及び画素ブロック 3-2 の輝度をバランスさせる (例えば一致させる) ことができる。

(数 1)

$$B 1 \times (T 1 \times 4) = B 2 \times T 2 \quad (1)$$

[0037] なお、発光輝度 B 1 の制御は、制御部 10 から画素ブロック 3-1 内の画素 4 に供給する画素信号を調整することによって行われる。発光輝度 B 2 の制御は、制御部 10 から画素ブロック 3-2 内の画素 4 に供給する画素信号を調整することによって行われる。

[0038] 図 8 及び図 9 は、表示装置において実行される処理 (表示パネルの制御方法) の例を示す図である。これまでと重複する説明は適宜省略する。

[0039] 図 8 には、1 フレームにおいて実行される処理が例示される。ステップ S 1 において、制御部 10 は、全ての画素ブロック 3 をリフレッシュするか否かを判断する。例えば先に説明した図 2 ~ 図 7 の例であれば、このフローのフレームが n フレーム目又は n + 4 フレーム目の場合に、全ての画素ブロック 3 をリフレッシュすると判断される。全ての画素ブロック 3 をリフレッシュする場合 (ステップ S 1 : Y e s)、ステップ S 2 に処理が進められる。そうでない場合 (ステップ S 1 : N o)、ステップ S 3 に処理が進められる。ステップ S 2 において、制御部 10 は、画素ブロック 3-1 及び画素ブロック 3-2 の両方、すなわち全ての画素ブロック 3 をリフレッシュする。ス

ステップS 3において、制御部10は、画素ブロック3-1及び画素ブロック3-2のうちの画素ブロック3-1だけをリフレッシュする。ステップS 2又はステップS 3の処理が完了した後、フローチャートの処理は終了する。この処理がフレームごとに繰り返し実行され、その間にステップS 3の処理が実行される分、画素ブロック3-1のリフレッシュレートが高くなり、画素ブロック3-2のリフレッシュレートが低くなる。

[0040] 図9には、複数の画素ブロック3から画素ブロック3-1及び画素ブロック3-2を選択するための処理が例示される。ステップS 11において、検出部11は、表示装置1のユーザの視線を検出する。ステップS 12において、制御部10は、視線の変化量を計算する。例えば、前回の検出部11の検出結果に示される表示パネル2中の領域Rと、今回のステップS 11における検出部11の検出結果に示される表示パネル2中の領域Rとの相違（ずれ等）を示す量が、視線の変化量として計算される。ステップS 13において、制御部10は、必要に応じて画素ブロック3-1及び画素ブロック3-2の選択を変更する。例えば、先のステップS 12で計算した視線の変化量が大きく、選択済みの画素ブロック3-1が領域R内に収まらない等の事情が生じた場合に、制御部10は、画素ブロック3-1及び画素ブロック3-2の選択を変更する。具体的に、制御部10は、複数の画素ブロック3のうち、今回のステップS 11における検出部11の検出結果に示される領域R内に位置する画素ブロック3を画素ブロック3-1として選択し、残りの画素ブロック3を画素ブロック3-2として選択する。ステップS 13の処理が完了した後、フローチャートの処理は終了する。このフローチャートの処理は、任意のタイミングで（例えばフレームごとに）繰り返し実行される。

[0041] 以上で説明した表示装置1によれば、画素ブロック3-2のリフレッシュレートが画素ブロック3-1のリフレッシュレートよりも低くなるように表示パネル2が制御される。画素ブロック3-2のリフレッシュレートが低くなる分、消費電力及び発熱を抑制することができる。比較例も用いて説明する。

[0042] 図10～図14は、比較例を示す図である。比較例に係る表示パネル2Eは、全ての画素ブロック3が高リフレッシュレートでリフレッシュされるように制御される。図10に示されるように、 n フレーム目において、全ての画素ブロック3がリフレッシュされ、 n フレーム目の画像を表示する。図11に示されるように、 $n+1$ フレーム目においても、全ての画素ブロック3がリフレッシュされ、 $n+1$ フレーム目の画像を表示する。図12に示されるように、 $n+2$ フレーム目においても、全ての画素ブロック3がリフレッシュされ、 $n+2$ フレーム目の画像を表示する。図13に示されるように、 $n+3$ フレーム目においても、全ての画素ブロック3がリフレッシュされ、 $n+3$ フレーム目の画像を表示する。図14に示されるように、 $n+4$ フレーム目においても、全ての画素ブロック3がリフレッシュされ、 $n+4$ フレーム目の画像を表示する。

[0043] 上記の比較例では、画素数の増加や高フレームレート化に応じて、単位時間あたりにデータを書き込む画素数が増大し、消費電力が増大し、また、発熱によって表示パネル2Eの温度が上昇する。このような問題が、実施形態に係る表示装置1によって対処される。

[0044] なお、フォーベテッドレンダリングのように高解像度及び低解像度の画像データを使い分ける技術も知られているが、表示パネル2全面を制御（駆動）することに変わりはない。実施形態に係る表示装置1と比較して、消費電力及び発熱の抑制効果は限定的である。また、リフレッシュレートの異なる複数の表示パネルを用いる手法も考えられるが、複数の表示パネルを用いる分、部品数が多くなり、コストも増加する。実施形態に係る表示装置1によれば、1枚の表示パネル2で足りるので、そのような問題にも対処することができる。

[0045] <回路構成の例>

これまで説明した表示パネル2の制御を可能にするための回路構成の一例について、図15を参照して説明する。

[0046] 図15は、回路構成の例を示す図である。画素ブロック3は、先に述べた

画素4の他に、制御回路6を含む。

[0047] 画素ブロック3の外部から画素ブロック3内を延在する回路線として、電源線VDDL、制御線DSL、制御線WSL、制御線AZL、電源線VSSL、制御線CSL及び信号線SGLが例示される。電源線VDDLは、水平方向に並ぶ各画素ブロック3に接続され、電源電圧VDDを供給する。電源線VSSLは、水平方向に並ぶ各画素ブロック3に接続され、基準電圧VSSを供給する。制御線DSL、制御線WSL及び制御線AZLは、水平方向に並ぶ各画素ブロック3に接続され、制御部10からの制御信号を画素ブロック3に供給する。制御線DSL、制御線WSL及び制御線AZLが供給する制御信号を、制御信号DS、制御信号WS及び制御信号AZと称する。制御線DSLは、制御部10からの制御信号DSを後述のトランジスタ55の制御端子に供給するための回路線である。制御線WSLは、制御部10からの制御信号WSを後述のトランジスタ54に供給するための回路線である。制御線AZLは、制御部10からの制御信号AZを後述のトランジスタ52の制御端子に供給するための回路線である。制御線CSL及び信号線SGLは、各画素ブロック3に接続され、制御部10からの制御信号を画素ブロック3に供給する。制御線CSL及び信号線SGLが供給する制御信号を、制御信号CS及び制御信号SGと称する。制御信号SGの一例は、画素信号である。

[0048] 画素4は、複数のサブ画素5、この例では3つのサブ画素5を含む。これら3つのサブ画素5の各々は、互いに異なる色の光を発するように構成される。光の例は、赤色光(R)、緑色光(G)、青色光(B)等である。

[0049] サブ画素5は、発光素子51を含む。発光素子51は、自素子を流れる電流に大きさに応じた輝度の光を発する電流駆動型の発光素子である。発光素子51の例は、OLED等であり、ここでは、発光素子51がOLEDであるものとして説明する。

[0050] サブ画素5は、駆動回路をさらに含む。駆動回路は、例えばトランジスタ及びコンデンサを含んで構成される。ここでは、トランジスタはMOSFE

Tであるものとする。トランジスタのゲートを、制御端子とも称する。トランジスタのドレイン及びソースを、電流端子とも称する。なお、トランジスタがある要素に接続されるとは、トランジスタの電流端子がその要素に接続される意味に解されてよい。トランジスタが2つの要素どうしの間に接続されるとは、トランジスタの一方の電流端子が一方の要素に接続され、他方の電流端子が他方の要素に接続される意味に解されてよい。トランジスタがONであるとは、トランジスタの電流端子どうしが導通状態である意味に解されてよい。トランジスタがOFFであるとは、トランジスタの電流端子どうしが非導通状態である意味に解されてよい。

[0051] 具体的に、図15には、駆動回路の構成要素として、トランジスタ52、トランジスタ53、トランジスタ54、トランジスタ55、トランジスタ56、コンデンサ57及びコンデンサ58が例示される。トランジスタ52は、発光素子51に対して並列に接続され、発光素子51のアノード電圧を初期化する初期化トランジスタである。トランジスタ53は、画素信号に応じた電流を発光素子51に供給するための駆動トランジスタである。トランジスタ54は、画素信号をサンプリングするためのサンプリングトランジスタである。トランジスタ55は、トランジスタ53と電源線VDDLとの間に接続され、発光素子51の発光及び消光を制御する発光制御トランジスタである。トランジスタ56は、トランジスタ55に対して並列に接続された第2の発光制御トランジスタである。コンデンサ57は、制御信号SGに応じた電圧を保持する保持コンデンサである。コンデンサ58は、電圧書き込み時のトランジスタ53の電流端子の電位変動を抑制する補助コンデンサである。

[0052] より具体的な接続関係について述べる。発光素子51のアノードは、トランジスタ53に接続される。発光素子51のカソードは、電源線VSSLに接続される。トランジスタ52は、発光素子51のアノードと、電源線VSSLとの間に接続される。トランジスタ52の制御端子は、制御回路6に接続される。トランジスタ53は、発光素子51のアノードと、トランジスタ

55との間に接続される。トランジスタ53の制御端子は、トランジスタ54及びコンデンサ57に接続される。トランジスタ54は、トランジスタ53の制御端子と、信号線SGLとの間に接続される。トランジスタ54の制御端子は、制御回路6に接続される。トランジスタ55は、トランジスタ53と、電源線VDDLとの間に接続される。トランジスタ55の制御端子は、制御線DSLに接続される。トランジスタ56は、トランジスタ53と、電源線VDDLとの間に接続される。トランジスタ56の制御端子は、制御回路6に接続される。コンデンサ57は、トランジスタ53の制御端子と、トランジスタ53の電流端子（トランジスタ55側の電流端子）に接続される。コンデンサ58は、トランジスタ53の電流端子（トランジスタ55側の電流端子）と、電源線VDDLとの間に接続される。

[0053] 上記の回路構成により、信号線SGLからの画素信号（制御信号SGの一例）に応じた輝度で発光素子51を発光させたり、発光素子51を消光させたりすることができる。例えば、トランジスタ54がONのとき、信号線SGLからの画素信号の電圧に応じた電圧がコンデンサ57の両端電圧となり保持される。トランジスタ55及びトランジスタ56の少なくとも一方がONのときに、トランジスタ53は、コンデンサ57の両端電圧に応じた電流を発光素子51に供給し得る。発光素子51は、画素信号に応じた輝度で発光し得る。トランジスタ52がONのとき、発光素子51のアノードの電圧は電源線VSSLの電圧VSSに初期化される。より具体的な動作は、図15の回路図に接した当業者であれば理解できるであろう。一例として特許文献2を参照されたい。

[0054] 制御回路6は、自回路を含む画素ブロック3（対応する画素ブロック3）内の画素4、より具体的には画素4内の各サブ画素5に接続される。制御回路6は、制御部10からの制御信号CSに基づいて、対応する画素ブロック3を、画素ブロック3-1又は画素ブロック3-2として動作させる。具体的に、制御回路6は、制御線WSL、制御線AZL及び制御線CSLと、画素4との間に接続され、画素4内のいくつかのトランジスタを制御する。具

体的に、図 15 に示される例では、制御回路 6 は、スイッチ回路 7 と、スイッチ回路 8 と、スイッチ回路 9 とを含む。

[0055] スイッチ回路 7 は、第 1 のスイッチ回路であり、トランジスタ 56 の制御端子に接続される。スイッチ回路 7 は、トランジスタ 71 と、トランジスタ 72 とを含む。トランジスタ 71 及びトランジスタ 72 は、互いにカスケード接続される。この例では、トランジスタ 71 が n 型 MOSFET であり、トランジスタ 72 が p 型 MOSFET である。トランジスタ 71 の一方の電流端子はロー電圧電源 (Low) に接続され、他方の電流端子はトランジスタ 72 の一方の電流端子に接続される。トランジスタ 72 の他方の電流端子は、ハイ電圧電源 (High) に接続される。

[0056] トランジスタ 71 及びトランジスタ 72 の制御端子は、スイッチ回路 7 の入力端子に相当し、制御線 CSL に接続される。トランジスタ 71 及びトランジスタ 72 の接続点は、スイッチ回路 7 の出力端子に相当し、トランジスタ 56 の制御端子に接続される。

[0057] スイッチ回路 7 の出力端子から出力される信号を、制御信号 DS2 と称する。また、スイッチ回路 7 の出力端子とトランジスタ 56 の制御端子とを接続する回路線を、制御線 DSL2 と称する。トランジスタ 56 の制御端子には、制御線 DSL2 からの制御信号 DS2 が供給される。

[0058] スイッチ回路 8 は、第 2 のスイッチ回路であり、制御線 WSL と、トランジスタ 54 の制御端子との間に接続される。スイッチ回路 8 は、トランジスタ 81 と、トランジスタ 82 とを含む。トランジスタ 81 及びトランジスタ 82 は、互いにカスケード接続される。この例では、トランジスタ 81 が p 型 MOSFET であり、トランジスタ 82 が n 型 MOSFET である。トランジスタ 81 の一方の電流端子は制御線 WSL に接続され、他方の電流端子はトランジスタ 82 の一方の電流端子に接続される。トランジスタ 82 の他方の電流端子は、ハイ電圧電源に接続される。

[0059] トランジスタ 81 及びトランジスタ 82 の制御端子は、スイッチ回路 8 の入力端子に相当し、制御線 CSL に接続される。トランジスタ 81 及びトラ

ンジスタ 8 2 の接続点は、スイッチ回路 8 の出力端子に相当し、トランジスタ 5 4 の制御端子に接続される。

[0060] スイッチ回路 8 の出力端子から出力される信号を、制御信号 W S 2 と称する。また、スイッチ回路 8 の出力端子とトランジスタ 5 4 の制御端子とを接続する回路線を、制御線 W S L 2 と称する。トランジスタ 5 4 の制御端子には、制御線 W S L 2 からの制御信号 W S 2 が供給される。スイッチ回路 8 の状態によっては、制御線 W S L からの制御信号 W S が制御信号 W S 2 になる。

[0061] スイッチ回路 9 は、第 3 のスイッチ回路であり、制御線 A Z L と、トランジスタ 5 2 の制御端子との間に接続される。スイッチ回路 9 は、トランジスタ 9 1 と、トランジスタ 9 2 とを含む。トランジスタ 9 1 及びトランジスタ 9 2 は、互いにカスケード接続される。この例では、トランジスタ 9 1 が p 型 M O S F E T であり、トランジスタ 9 2 が n 型 M O S F E T である。トランジスタ 9 1 の一方の電流端子は制御線 A Z L に接続され、他方の電流端子はトランジスタ 9 2 の一方の電流端子に接続される。トランジスタ 9 2 の他方の電流端子は、ハイ電圧電源に接続される。

[0062] トランジスタ 9 1 及びトランジスタ 9 2 の制御端子は、スイッチ回路 9 の入力端子に相当し、制御線 C S L に接続される。トランジスタ 9 1 及びトランジスタ 9 2 の接続点は、スイッチ回路 9 の出力端子に相当し、トランジスタ 5 2 の制御端子に接続される。

[0063] スイッチ回路 9 の出力端子から出力される信号を、制御信号 A Z 2 と称する。また、スイッチ回路 9 の出力端子とトランジスタ 5 2 の制御端子とを接続する回路線を、制御線 A Z L 2 と称する。トランジスタ 5 2 の制御端子には、制御線 A Z L 2 からの制御信号 A Z 2 が供給される。スイッチ回路 9 の状態によっては、制御線 A Z L からの制御信号 A Z が、制御信号 A Z 2 になる。

[0064] 各画素ブロック 3 に設けられた制御回路 6 に供給する制御信号 C S を調整することにより、各画素ブロック 3 を、画素ブロック 3 - 1 又は画素ブロッ

ク 3-2 のいずれかで動作させることができる。図 16 を参照して説明する。

[0065] 図 16 は、制御回路による画素ブロックの制御の例を示す図である。画素ブロック 3-1 及び画素ブロック 3-2 が 1 つずつ例示される。詳細はこの後で説明するが、制御回路 6 が自回路を含む画素ブロック 3 を画素ブロック 3-1 として動作させるときには、スイッチ回路 7 がトランジスタ 56 を OFF にし、スイッチ回路 7 が制御部 10 からの制御信号 WS をトランジスタ 54 の制御端子に供給し、スイッチ回路 9 が制御部 10 からの制御信号 AZ をトランジスタ 52 の制御端子に供給する。制御回路 6 が自回路を含む画素ブロック 3 を画素ブロック 3-2 として動作させるときには、スイッチ回路 7 がトランジスタ 56 を ON にし、スイッチ回路 8 がトランジスタ 54 を OFF にし、スイッチ回路 9 がトランジスタ 52 を OFF にする。

[0066] 画素ブロック 3-1 に接続される制御線 CSL を、制御線 CSL-1 と称する。制御線 CSL-1 から画素ブロック 3-1 に供給される制御信号 CS を、制御信号 CS-1 と称する。画素ブロック 3-2 に接続される制御線 CSL を、制御線 CSL-2 と称する。制御線 CSL-2 から画素ブロック 3-2 に供給される制御信号 CS を、制御信号 CS-2 と称する。

[0067] 制御部 10 は、制御信号 CS-1 を画素ブロック 3 に供給することにより、その画素ブロック 3 を画素ブロック 3-1 として動作させる。制御部 10 は、制御信号 CS-2 を画素ブロック 3 に供給することにより、その画素ブロック 3 を画素ブロック 3-2 として動作させる。この例では、制御信号 CS-1 は、ロー電圧信号 (Low) である。制御信号 CS-2 は、ハイ電圧信号 (High) である。

[0068] 画素ブロック 3-1 では、制御回路 6 のスイッチ回路 7 のトランジスタ 71 は OFF であり、トランジスタ 72 は ON である。制御信号 DS2 は、ハイ電圧信号である。スイッチ回路 8 のトランジスタ 81 は ON であり、トランジスタ 82 は OFF である。制御信号 WS2 は、制御信号 WS である。制御回路 6 のスイッチ回路 7 のトランジスタ 91 は ON であり、トランジスタ

9 2 は O F F である。制御信号 A Z 2 は、制御信号 A Z である。

[0069] 画素ブロック 3-2 では、スイッチ回路 7 のトランジスタ 7 1 は O N であり、トランジスタ 7 2 は O F F である。制御信号 D S 2 は、ロー電圧信号である。スイッチ回路 8 のトランジスタ 8 1 は O F F であり、トランジスタ 8 2 は O N である。制御線 W S L 2 は、ハイ電圧信号である。スイッチ回路 9 のトランジスタ 9 1 は O F F であり、トランジスタ 9 2 は O N である。制御線 A Z L 2 は、ハイ電圧信号である。

[0070] 図 1 7 ~ 図 2 1 は、回路動作の例を示す図である。回路中の主に着目すべき動作箇所がハッチングで示される。

[0071] <初期化>

図 1 7 及び図 1 8 には、初期化に関する動作が示される。以下では、トランジスタ 5 3 の電圧の初期化（初期化 1）、及び、トランジスタ 5 3 の閾値電圧の保持（初期化 2）の順に説明する。

[0072] <初期化 1>

図 1 7 に示されるように、制御信号 D S、制御信号 W S 及び制御信号 A Z はロー電圧信号（L o w）である。制御信号 S G は初期化用の基準電圧信号である。画素ブロック 3-1 及び画素ブロック 3-2 のいずれにおいてもトランジスタ 5 5 は O N である。

[0073] 画素ブロック 3-1 では、制御信号 D S 2 はハイ電圧信号である。トランジスタ 5 6 は O F F である。制御信号 W S 2 は制御信号 W S すなわちロー電圧信号である。トランジスタ 5 4 は O N である。制御信号 A Z 2 は制御信号 A Z すなわちロー電圧信号である。トランジスタ 5 2 は O N である。これにより、トランジスタ 5 3 の制御端子の電圧が制御信号 S G の電圧（基準電圧）に初期化され、トランジスタ 5 3 の電流端子（トランジスタ 5 5 側の電流端子）の電圧が電源電圧 V D D に初期化される。

[0074] 画素ブロック 3-2 では、制御信号 D S 2 はロー電圧信号である。トランジスタ 5 6 は O N である。制御信号 W S 2 はハイ電圧信号である。トランジスタ 5 4 は O F F である。制御信号 A Z 2 はハイ電圧信号である。トランジ

スタ52はOFFである。電源線VDDLからの電流が、トランジスタ55、トランジスタ56及びトランジスタ53を介して発光素子51に供給される。発光素子51は、発光する。

[0075] <初期化2>

図18に示されるように、制御信号DS及び制御信号WSはハイ電圧信号(High)であり、制御信号AZはロー電圧信号である。画素ブロック3-1及び画素ブロック3-2のいずれにおいても、トランジスタ55はOFFである。制御信号SGは画素信号である。

[0076] 画素ブロック3-1では、制御信号DS2はハイ電圧信号である。トランジスタ56はOFFである。制御信号WS2は制御信号WSすなわちハイ電圧信号である。トランジスタ54はOFFである。制御信号AZ2は制御信号AZすなわちロー電圧信号である。トランジスタ52はONである。トランジスタ53の制御端子及び電流端子(トランジスタ55側の電流端子)の間の電圧が、トランジスタ53の閾値電圧に収束し、この電圧がコンデンサ57によって保持される。初期化が完了する。

[0077] 画素ブロック3-2では、制御信号DS2はロー電圧信号である。トランジスタ56はONである。制御信号WS2はハイ電圧信号である。トランジスタ54はOFFである。制御信号AZ2はハイ電圧信号である。トランジスタ52はOFFである。電源線VDDLからの電流が、トランジスタ56及びトランジスタ53を介して発光素子51に供給される。発光素子51は依然として発光する。

[0078] <書き込み>

図19には、画素ブロック3-1におけるデータ書き込みに関する動作が示される。制御信号DSはハイ電圧信号であり、制御信号WS及び制御信号AZはロー電圧信号である。画素ブロック3-1及び画素ブロック3-2のいずれにおいても、トランジスタ55はOFFである。

[0079] 画素ブロック3-1では、制御信号DS2はハイ電圧信号である。トランジスタ56はOFFである。制御信号WS2は制御信号WSすなわちロー電

圧信号である。トランジスタ54はONである。制御信号AZ2は制御信号AZすなわちロー電圧信号である。トランジスタ52はONである。信号線SGLからの制御信号SGすなわち画素信号が書き込まれる。

[0080] 画素ブロック3-2では、制御信号DS2はロー電圧信号である。トランジスタ56はONである。制御信号WS2はハイ電圧信号である。トランジスタ54はOFFである。制御信号AZ2はハイ電圧信号である。トランジスタ52はOFFである。電源線VDLからの電流が、トランジスタ56及びトランジスタ53を介して発光素子51に供給される。発光素子51は依然として発光する。

[0081] <発光>

図20には、発光に関する動作が示される。制御信号DSはロー電圧信号であり、制御信号WS及び制御信号AZはハイ電圧信号である。画素ブロック3-1及び画素ブロック3-2のいずれにおいても、トランジスタ55はONである。

[0082] 画素ブロック3-1では、制御信号DS2はハイ電圧信号である。トランジスタ56はOFFである。制御信号WS2は制御信号WSすなわちハイ電圧信号である。トランジスタ54はOFFである。制御信号AZ2は制御信号AZすなわちハイ電圧信号である。トランジスタ52はOFFである。電源線VDLからの電流が、トランジスタ55及びトランジスタ53を介して発光素子51に供給される。発光素子51は発光する。

[0083] 画素ブロック3-2では、制御信号DS2はロー電圧信号である。トランジスタ56はONである。制御信号WS2はハイ電圧信号である。トランジスタ54はOFFである。制御信号AZ2はハイ電圧信号である。トランジスタ52はOFFである。電源線VDLからの電流が、トランジスタ55、トランジスタ56及びトランジスタ53を介して発光素子51に供給される。発光素子51は依然として発光する。

[0084] <消光>

図21には、画素ブロック3-1における消光に関する動作が示される。

制御信号D S及び制御信号W Sはハイ電圧信号であり、制御信号A Zはロー電圧信号である。画素ブロック3-1及び画素ブロック3-2のいずれにおいても、トランジスタ5 5はOFFである。

[0085] 画素ブロック3-1では、制御信号D S 2はハイ電圧信号である。トランジスタ5 6はOFFである。制御信号W S 2は制御信号W Sすなわちハイ電圧信号である。トランジスタ5 4はOFFである。制御信号A Z 2は制御信号A Zすなわちロー電圧信号である。トランジスタ5 2はONである。発光素子5 1には電流は流れず、発光素子5 1は消光する。

[0086] 画素ブロック3-2では、制御信号D S 2はロー電圧信号である。トランジスタ5 6はONである。制御信号W S 2はハイ電圧信号である。トランジスタ5 4はOFFである。制御信号A Z 2はハイ電圧信号である。トランジスタ5 2はOFFである。電源線V D D Lからの電流が、トランジスタ5 6及びトランジスタ5 3を介して発光素子5 1に供給される。発光素子5 1は依然として発光する。

[0087] 例えば以上のようにして、画素ブロック3-1がリフレッシュされる一方で、画素ブロック3-2がリフレッシュされないで発光し続けるように、各画素ブロック3を制御することができる。すなわち、表示パネル2を構成する各画素ブロック3を、画素ブロック3-1又は画素ブロック3-2として動作させることができる。

[0088] 2. 適用例

これまで説明した表示装置1は、さまざまな電子機器に搭載されて用いられてよい。電子機器の一例は、HMDである。図2 2及び図2 3を参照して説明する。

[0089] 図2 2及び図2 3は、電子機器の例を示す図である。電子機器として、HMDが例示される。図2 2に示されるHMD 6 0 0は、眼鏡形の表示部6 1 1と、表示部6 1 1の両側に位置し、ユーザの頭部に装着するための耳掛け部6 1 2とを含む。例えばこのようなHMD 6 0 0の表示部6 1 1に、これまで説明した表示装置1を用いることができる。図2 3に示されるHMD 6

34は、シースルー型のHMDであり、本体部632、アーム633及び鏡筒631を含む。本体部632は、アーム633及び眼鏡630と接続される。具体的には、本体部632の長辺方向の端部はアーム633と結合され、本体部632の側面の一側は接続部材を介して眼鏡630と連結される。なお、本体部632は、直接的にユーザの頭部に装着されてもよい。本体部632は、HMD634の動作を制御するための制御基板や、表示部を内蔵する。アーム633は、本体部632と鏡筒631とを接続させ、鏡筒631を支える。具体的には、アーム633は、本体部632の端部及び鏡筒631の端部とそれぞれ結合され、鏡筒631を固定する。また、アーム633は、本体部632から鏡筒631に提供される画像に係るデータを通信するための信号線を内蔵する。鏡筒631は、本体部632からアーム633を経由して提供される画像光を、接眼レンズを通じて、HMD634を装着するユーザの目に向かって投射する。例えばこのようなHMD634の表示部に、これまで説明した表示装置1を用いることもできる。

[0090] 3. 効果の例

以上で説明した技術は、例えば次のように特定される。開示される技術の1つは、表示装置1である。図1～図7等を参照して説明したように、表示装置1は、複数の画素4を含む表示パネル2と、表示パネル2を制御する制御部10と、を備える。表示パネル2は、各々が1つ以上の画素4を含む複数の画素ブロック3を含む。複数の画素ブロック3は、画素ブロック3-1（第1の画素ブロック）及び画素ブロック3-2（第2の画素ブロック）を含む。制御部10は、画素ブロック3-2（第2の画素ブロック）内の画素4のリフレッシュレートが画素ブロック3-1（第1の画素ブロック）内の画素4のリフレッシュレートよりも低くなるように表示パネル32を制御する。

[0091] 上記の表示装置1によれば、画素ブロック3-2のリフレッシュレートが低くなる分、消費電力及び発熱を抑制することができる。

[0092] 図2～図7等を参照して説明したように、制御部10は、画素ブロック3

ー 1 内の画素 4 のリフレッシュが 2 回以上繰り返される間、画素ブロック 3ー 2 内の画素 4 がリフレッシュされることなく発光し続けるように、表示パネル 2 を制御してよい。例えばこのようにして、画素ブロック 3ー 2 内の画素 4 のリフレッシュレートを画素ブロック 3ー 1 内の画素 4 のリフレッシュレートよりも低くすることができる。

[0093] 図 1 ～図 6 等を参照して説明したように、画素ブロック 3ー 1 は、画素ブロック 3ー 2 よりも、表示パネル 2 の中央の近くに位置してよい。表示装置 1 は、ユーザの視線を検出する検出部 11 を備え、制御部 10 は、検出部 11 の検出結果に基づいて、複数の画素ブロック 3 から画素ブロック 3ー 1 及び画素ブロック 3ー 2 を選択してよい。これにより、例えばユーザの視野中心に対応する表示パネル 2 の領域（領域 R に相当）において、高リフレッシュレートで表示を行うことができる。

[0094] 図 1 ～図 6 及び図 15 ～図 21 等を参照して説明したように、複数の画素ブロック 3 の各々は、当該画素ブロック 3 内の画素 4 に接続された制御回路 6 を含み、制御回路 6 は、制御部 10 からの制御信号 CS に基づいて、自回路を含む画素ブロック 3 を、画素ブロック 3ー 1 又は画素ブロック 3ー 2 として動作させてよい。例えばこのような制御回路 6 を備えることにより、各画素ブロック 3 を、画素ブロック 3ー 1 又は画素ブロック 3ー 2 として動作させることができる。

[0095] 図 15 ～図 21 等を参照して説明したように、画素 4 は、発光素子 51 及び当該発光素子 51 の駆動回路を構成するトランジスタを含み、制御回路 6 は、トランジスタを制御してよい。トランジスタは、発光素子 51 に対して並列に接続されたトランジスタ 52（初期化トランジスタ）と、画素信号（制御信号 SG の一例）をサンプリングするためのトランジスタ 54（サンプリングトランジスタ）と、画素信号に応じた電流を発光素子 51 に供給するためのトランジスタ 53（駆動トランジスタ）と電源線 VDDL との間に接続されたトランジスタ 55（発光制御トランジスタ）に対して並列に接続されたトランジスタ 56（第 2 の発光制御トランジスタ）と、を含み、制御回

路6は、トランジスタ56をONにし、トランジスタ54及びトランジスタ52をOFFにすることによって、自回路を含む画素ブロック3を画素ブロック3-2として動作させてよい。制御回路6は、トランジスタ56に接続されたスイッチ回路7（第1のスイッチ回路）と、制御部10からトランジスタ54の制御端子に制御信号WSを供給するための制御線WSLと、トランジスタ54の制御端子との間に接続されたスイッチ回路8（第2のスイッチ回路）と、制御部10からトランジスタ52の制御端子に制御信号AZを供給するための制御線AZLと、トランジスタ52の制御端子との間に接続されたスイッチ回路9（第3のスイッチ回路）と、を含み、制御回路6が自回路を含む画素ブロック3を画素ブロック3-1として動作させるときには、スイッチ回路7がトランジスタ56をOFFにし、スイッチ回路8が制御部10からの制御信号WSをトランジスタ54の制御端子に供給し、スイッチ回路9が制御部10からの制御信号AZをトランジスタ52の制御端子に供給し、制御回路6が自回路を含む画素ブロック3を画素ブロック3-2として動作させるときには、スイッチ回路7がトランジスタ56をONにし、スイッチ回路8がトランジスタ54をOFFにし、スイッチ回路9がトランジスタ52をOFFにしてよい。例えばこのような回路構成において、各画素ブロック3を、画素ブロック3-1又は画素ブロック3-2として動作させることができる。

[0096] 図7等を参照して説明したように、制御部10は、画素ブロック3-1内の画素4の発光輝度B1が画素ブロック3-2内の画素4の発光輝度B2よりも大きくなるように表示パネル2を制御してよい。制御部10は、画素ブロック3-1内の画素4の発光期間T1と画素ブロック3-2内の画素4の発光期間T2との比率に基づいて、画素ブロック3-1の画素4の発光輝度B1及び画素ブロック3-2内の画素4の発光輝度B2を制御してよい。これにより、複数フレーム全体にわたって見たときの画素ブロック3-1及び画素ブロック3-2の輝度をバランスさせる（例えば一致させる）ことができる。

[0097] 図8等を参照して説明した表示パネル2の制御方法も、開示される技術の1つである。制御方法は、複数の画素4を含む表示パネル2の制御方法であって、画素ブロック3-2（第2の画素ブロック）内の画素4のリフレッシュレートが画素ブロック3-1（第1の画素ブロック）内の画素4のリフレッシュレートよりも低くなるように表示パネル2を制御すること（ステップS3）、を含んでよい。このような制御方法によっても、これまで説明したように、消費電力及び発熱を抑制することができる。

[0098] 表示装置1を備える電子機器、例えば図22及び図23等を参照して説明したようなHMD600やHMD634も、開示される技術の1つである。これまで説明したように、消費電力及び発熱を抑制することができる。

[0099] なお、本開示に記載された効果は、あくまで例示であって、開示された内容に限定されない。他の効果があってもよい。

[0100] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0101] なお、本技術は以下のような構成も取ることができる。

(1)

複数の画素を含む表示パネルと、

前記表示パネルを制御する制御部と、

を備え、

前記表示パネルは、各々が1つ以上の前記画素を含む複数の画素ブロックを含み、

前記複数の画素ブロックは、第1の画素ブロック及び第2の画素ブロックを含み、

前記制御部は、前記第2の画素ブロック内の画素のリフレッシュレートが前記第1の画素ブロック内の画素のリフレッシュレートよりも低くなるように前記表示パネルを制御する、

表示装置。

(2)

前記制御部は、前記第1の画素ブロック内の画素のリフレッシュが2回以上繰り返される間、前記第2の画素ブロック内の画素がリフレッシュされることなく発光し続けるように、前記表示パネルを制御する、

(1)に記載の表示装置。

(3)

前記第1の画素ブロックは、前記第2の画素ブロックよりも、前記表示パネルの中央の近くに位置している、

(1)又は(2)に記載の表示装置。

(4)

ユーザの視線を検出する検出部を備え、

前記制御部は、前記検出部の検出結果に基づいて、前記複数の画素ブロックから前記第1の画素ブロック及び前記第2の画素ブロックを選択する、

(1)～(3)のいずれかに記載の表示装置。

(5)

前記複数の画素ブロックの各々は、当該画素ブロック内の画素に接続された制御回路を含み、

前記制御回路は、前記制御部からの制御信号に基づいて、自回路を含む画素ブロックを、前記第1の画素ブロック又は前記第2の画素ブロックとして動作させる、

(1)～(4)のいずれかに記載の表示装置。

(6)

前記画素は、発光素子及び当該発光素子の駆動回路を構成するトランジスタを含み、

前記制御回路は、前記トランジスタを制御する、

(5)に記載の表示装置。

(7)

前記トランジスタは、

前記発光素子に対して並列に接続された初期化トランジスタと、

画素信号をサンプリングするためのサンプリングトランジスタと、

前記画素信号に応じた電流を前記発光素子に供給するための駆動トランジスタと電源線との間に接続された発光制御トランジスタに対して並列に接続された第2の発光制御トランジスタと、

を含み、

前記制御回路は、前記第2の発光制御トランジスタをONにし、前記サンプリングトランジスタ及び前記初期化トランジスタをOFFにすることによって、自回路を含む画素ブロックを前記第2の画素ブロックとして動作させる、

(6)に記載の表示装置。

(8)

前記制御回路は、

前記第2の発光制御トランジスタに接続された第1のスイッチ回路と、

前記制御部から前記サンプリングトランジスタの制御端子に制御信号を供給するための制御線と、前記サンプリングトランジスタの制御端子との間に接続された第2のスイッチ回路と、

前記制御部から前記初期化トランジスタの制御端子に制御信号を供給するための制御線と、前記初期化トランジスタの制御端子との間に接続された第3のスイッチ回路と、

を含み、

前記制御回路が自回路を含む画素ブロックを前記第1の画素ブロックとして動作させるときには、前記第1のスイッチ回路が前記第2の発光制御トランジスタをOFFにし、前記第2のスイッチ回路が前記制御部からの制御信号を前記サンプリングトランジスタの制御端子に供給し、前記第3のスイッチ回路が前記制御部からの制御信号を前記初期化トランジスタの制御端子に供給し、

前記制御回路が自回路を含む画素ブロックを前記第 2 の画素ブロックとして動作させるときには、前記第 1 のスイッチ回路が前記第 2 の発光制御トランジスタを ON にし、前記第 2 のスイッチ回路が前記サンプリングトランジスタを OFF にし、前記第 3 のスイッチ回路が前記初期化トランジスタを OFF にする、

(7) に記載の表示装置。

(9)

前記制御部は、前記第 1 の画素ブロック内の画素の発光輝度が前記第 2 の画素ブロック内の画素の発光輝度よりも大きくなるように前記表示パネルを制御する、

(1) ~ (8) のいずれかに記載の表示装置。

(10)

前記制御部は、前記第 1 の画素ブロック内の画素の発光期間と前記第 2 の画素ブロック内の画素の発光期間との比率に基づいて、前記第 1 の画素ブロック内の画素の発光輝度及び前記第 2 の画素ブロック内の画素の発光輝度を制御する、

(9) に記載の表示装置。

(11)

複数の画素を含む表示パネルの制御方法であって、

前記表示パネルは、各々が 1 つ以上の前記画素を含む複数の画素ブロックを含み、

前記複数の画素ブロックは、第 1 の画素ブロック及び第 2 の画素ブロックを含み、

前記制御方法は、

前記第 2 の画素ブロック内の画素のリフレッシュレートが前記第 1 の画素ブロック内の画素のリフレッシュレートよりも低くなるように前記表示パネルを制御すること、

を含む、

表示パネルの制御方法。

(1 2)

表示装置を備え、

前記表示装置は、

複数の画素を含む表示パネルと、

前記表示パネルを制御する制御部と、

を含み、

前記表示パネルは、各々が1つ以上の前記画素を含む複数の画素ブロックを含み、

前記複数の画素ブロックは、第1の画素ブロック及び第2の画素ブロックを含み、

前記制御部は、前記第2の画素ブロック内の画素のリフレッシュレートが、前記第1の画素ブロック内の画素のリフレッシュレートよりも低くなるように、前記表示パネルを制御する、

電子機器。

符号の説明

- [0102]
- 1 表示装置
 - 2 表示パネル
 - 3 画素ブロック
 - 3-1 画素ブロック（第1の画素ブロック）
 - 3-2 画素ブロック（第2の画素ブロック）
 - 4 画素
 - 5 サブ画素
 - 5-1 発光素子
 - 5-2 トランジスタ（初期化トランジスタ）
 - 5-3 トランジスタ（駆動トランジスタ）
 - 5-4 トランジスタ（サンプリングトランジスタ）
 - 5-5 トランジスタ（発光制御トランジスタ）

- 5 6 トランジスタ（第 2 の発光制御トランジスタ）
- 5 7 コンデンサ
- 5 8 コンデンサ
- 6 制御回路
- 7 スイッチ回路（第 1 のスイッチ回路）
- 7 1 トランジスタ
- 7 2 トランジスタ
- 8 スイッチ回路（第 2 のスイッチ回路）
- 8 1 トランジスタ
- 8 2 トランジスタ
- 9 スイッチ回路（第 3 のスイッチ回路）
- 9 1 トランジスタ
- 9 2 トランジスタ
- 1 0 制御部
- 1 0 1 制御部
- 1 0 2 制御部
- 1 1 検出部
- A Z 制御信号
- A Z L 制御線
- A Z 2 制御信号
- A Z L 2 制御線
- D S 制御信号
- D S L 制御線
- D S 2 制御信号
- D S L 2 制御線
- W S 制御信号
- W S L 制御線
- W S 2 制御信号

W S L 2 制御線
V D D 電源電圧
V D D L 電源線
V S S 基準電圧
V S S L 電源線
B 1 発光輝度
T 1 発光期間
B 2 発光輝度
T 2 発光期間
R 領域

請求の範囲

- [請求項1] 複数の画素を含む表示パネルと、
前記表示パネルを制御する制御部と、
を備え、
前記表示パネルは、各々が1つ以上の前記画素を含む複数の画素ブロックを含み、
前記複数の画素ブロックは、第1の画素ブロック及び第2の画素ブロックを含み、
前記制御部は、前記第2の画素ブロック内の画素のリフレッシュレートが前記第1の画素ブロック内の画素のリフレッシュレートよりも低くなるように前記表示パネルを制御する、
表示装置。
- [請求項2] 前記制御部は、前記第1の画素ブロック内の画素のリフレッシュが2回以上繰り返される間、前記第2の画素ブロック内の画素がリフレッシュされることなく発光し続けるように、前記表示パネルを制御する、
請求項1に記載の表示装置。
- [請求項3] 前記第1の画素ブロックは、前記第2の画素ブロックよりも、前記表示パネルの中央の近くに位置している、
請求項1に記載の表示装置。
- [請求項4] ユーザの視線を検出する検出部を備え、
前記制御部は、前記検出部の検出結果に基づいて、前記複数の画素ブロックから前記第1の画素ブロック及び前記第2の画素ブロックを選択する、
請求項1に記載の表示装置。
- [請求項5] 前記複数の画素ブロックの各々は、当該画素ブロック内の画素に接続された制御回路を含み、
前記制御回路は、前記制御部からの制御信号に基づいて、自回路を

含む画素ブロックを、前記第 1 の画素ブロック又は前記第 2 の画素ブロックとして動作させる、

請求項 1 に記載の表示装置。

[請求項 6] 前記画素は、発光素子及び当該発光素子の駆動回路を構成するトランジスタを含み、

前記制御回路は、前記トランジスタを制御する、

請求項 5 に記載の表示装置。

[請求項 7] 前記トランジスタは、

前記発光素子に対して並列に接続された初期化トランジスタと、

画素信号をサンプリングするためのサンプリングトランジスタと

、

前記画素信号に応じた電流を前記発光素子に供給するための駆動トランジスタと電源線との間に接続された発光制御トランジスタに対して並列に接続された第 2 の発光制御トランジスタと、

を含み、

前記制御回路は、前記第 2 の発光制御トランジスタを ON にし、前記サンプリングトランジスタ及び前記初期化トランジスタを OFF にすることによって、自回路を含む画素ブロックを前記第 2 の画素ブロックとして動作させる、

請求項 6 に記載の表示装置。

[請求項 8] 前記制御回路は、

前記第 2 の発光制御トランジスタに接続された第 1 のスイッチ回路と、

前記制御部から前記サンプリングトランジスタの制御端子に制御信号を供給するための制御線と、前記サンプリングトランジスタの制御端子との間に接続された第 2 のスイッチ回路と、

前記制御部から前記初期化トランジスタの制御端子に制御信号を供給するための制御線と、前記初期化トランジスタの制御端子との間に

接続された第3のスイッチ回路と、

を含み、

前記制御回路が自回路を含む画素ブロックを前記第1の画素ブロックとして動作させるときには、前記第1のスイッチ回路が前記第2の発光制御トランジスタをOFFにし、前記第2のスイッチ回路が前記制御部からの制御信号を前記サンプリングトランジスタの制御端子に供給し、前記第3のスイッチ回路が前記制御部からの制御信号を前記初期化トランジスタの制御端子に供給し、

前記制御回路が自回路を含む画素ブロックを前記第2の画素ブロックとして動作させるときには、前記第1のスイッチ回路が前記第2の発光制御トランジスタをONにし、前記第2のスイッチ回路が前記サンプリングトランジスタをOFFにし、前記第3のスイッチ回路が前記初期化トランジスタをOFFにする、

請求項7に記載の表示装置。

[請求項9] 前記制御部は、前記第1の画素ブロック内の画素の発光輝度が前記第2の画素ブロック内の画素の発光輝度よりも大きくなるように前記表示パネルを制御する、

請求項1に記載の表示装置。

[請求項10] 前記制御部は、前記第1の画素ブロック内の画素の発光期間と前記第2の画素ブロック内の画素の発光期間との比率に基づいて、前記第1の画素ブロック内の画素の発光輝度及び前記第2の画素ブロック内の画素の発光輝度を制御する、

請求項9に記載の表示装置。

[請求項11] 複数の画素を含む表示パネルの制御方法であって、

前記表示パネルは、各々が1つ以上の前記画素を含む複数の画素ブロックを含み、

前記複数の画素ブロックは、第1の画素ブロック及び第2の画素ブロックを含み、

前記制御方法は、

前記第2の画素ブロック内の画素のリフレッシュレートが前記第1の画素ブロック内の画素のリフレッシュレートよりも低くなるように前記表示パネルを制御すること、

を含む、

表示パネルの制御方法。

[請求項12]

表示装置を備え、

前記表示装置は、

複数の画素を含む表示パネルと、

前記表示パネルを制御する制御部と、

を含み、

前記表示パネルは、各々が1つ以上の前記画素を含む複数の画素ブロックを含み、

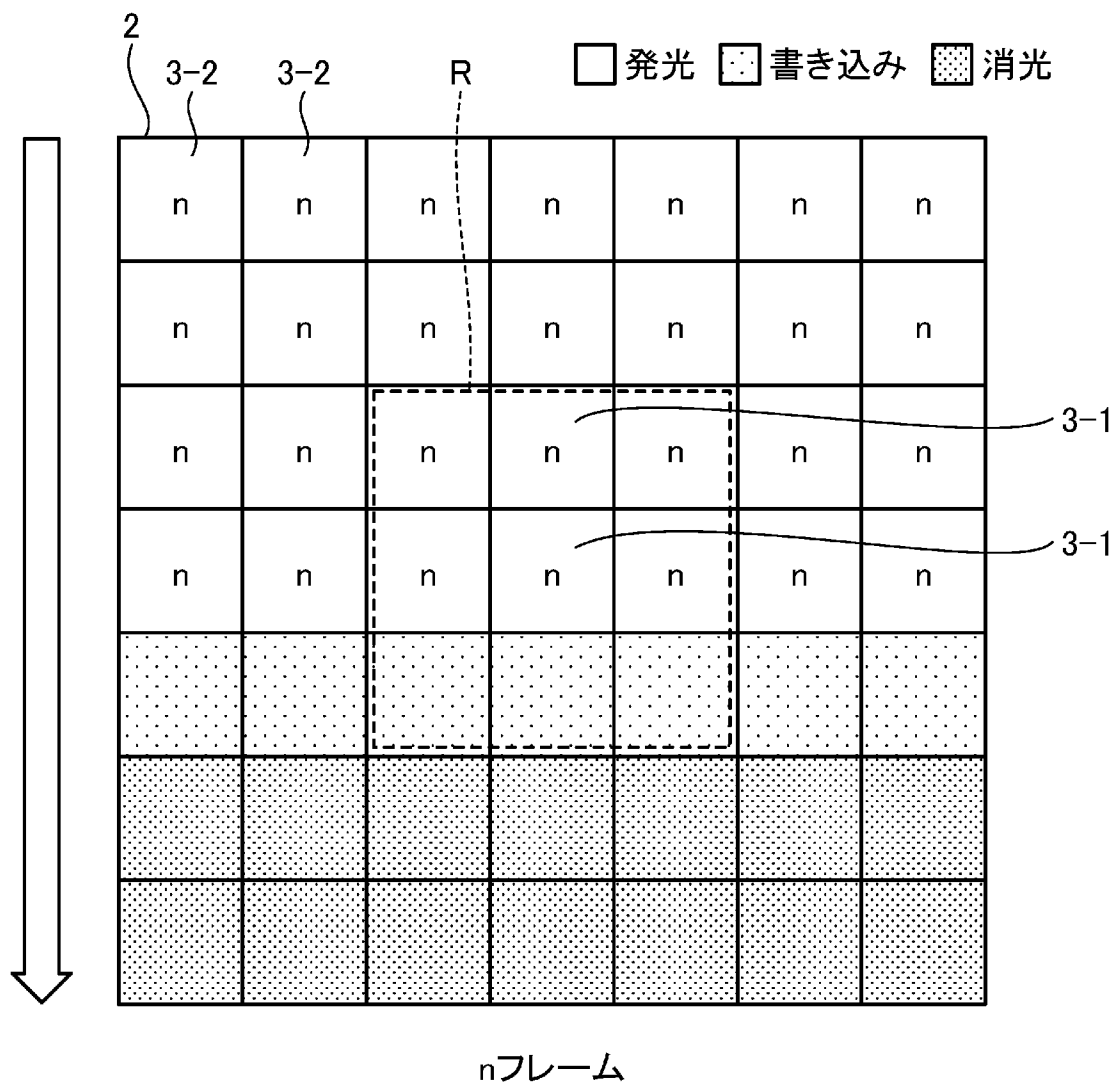
前記複数の画素ブロックは、第1の画素ブロック及び第2の画素ブロックを含み、

前記制御部は、前記第2の画素ブロック内の画素のリフレッシュレートが前記第1の画素ブロック内の画素のリフレッシュレートよりも低くなるように前記表示パネルを制御する、

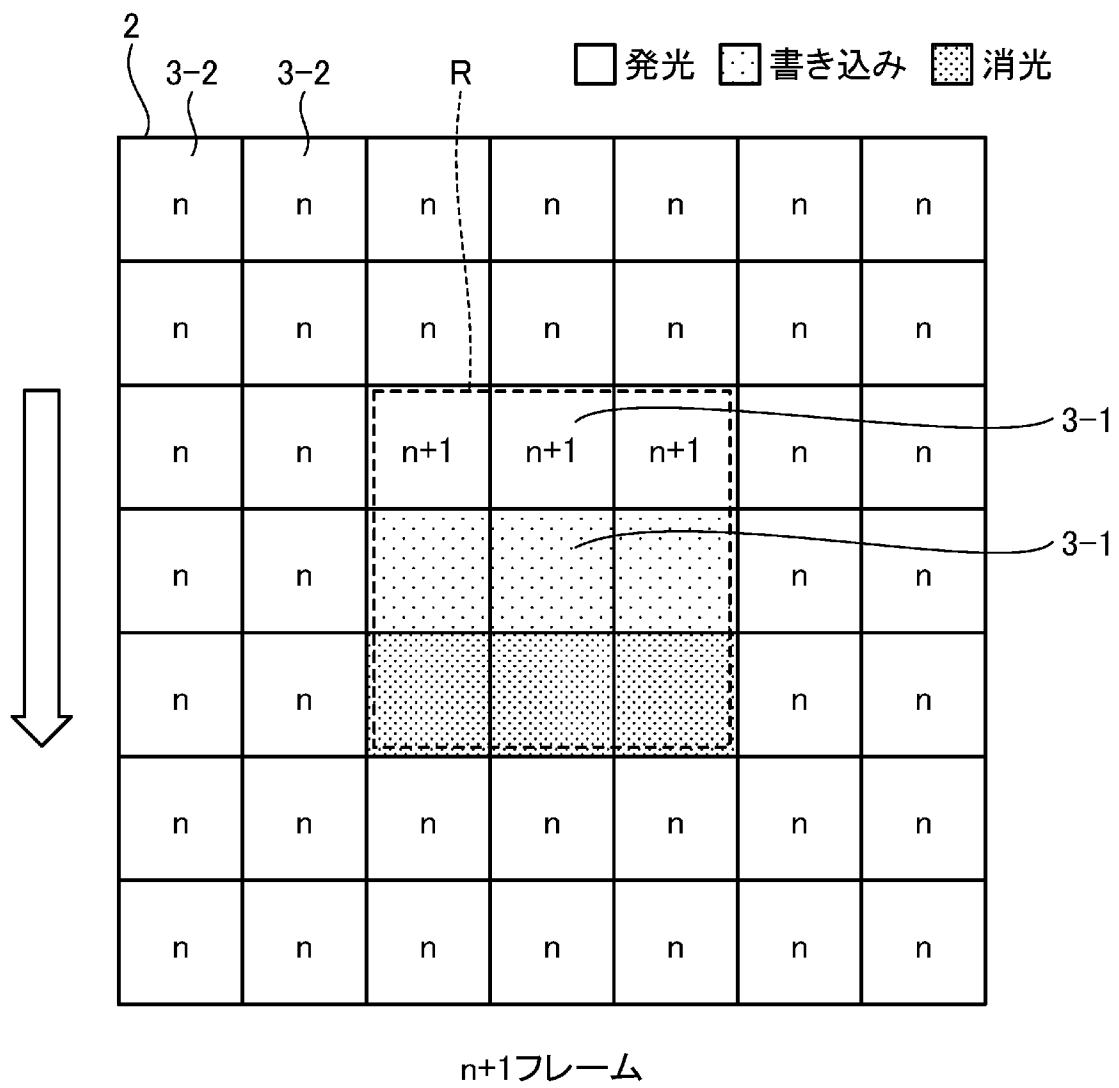
電子機器。

Figure 1 is a block diagram of a display device 1. The device includes a control unit 101, a display panel 2, and a detection unit 102. The display panel 2 is a grid of cells. A dashed rectangle R is shown within the grid. Labels 3-1 and 3-2 indicate specific areas or components. The detection unit 102 is connected to the display panel 2 via a bus 10. The control unit 101 is connected to the display panel 2 via a bus 10. The detection unit 102 is connected to the display panel 2 via a bus 10. The detection unit 102 is connected to the display panel 2 via a bus 10.

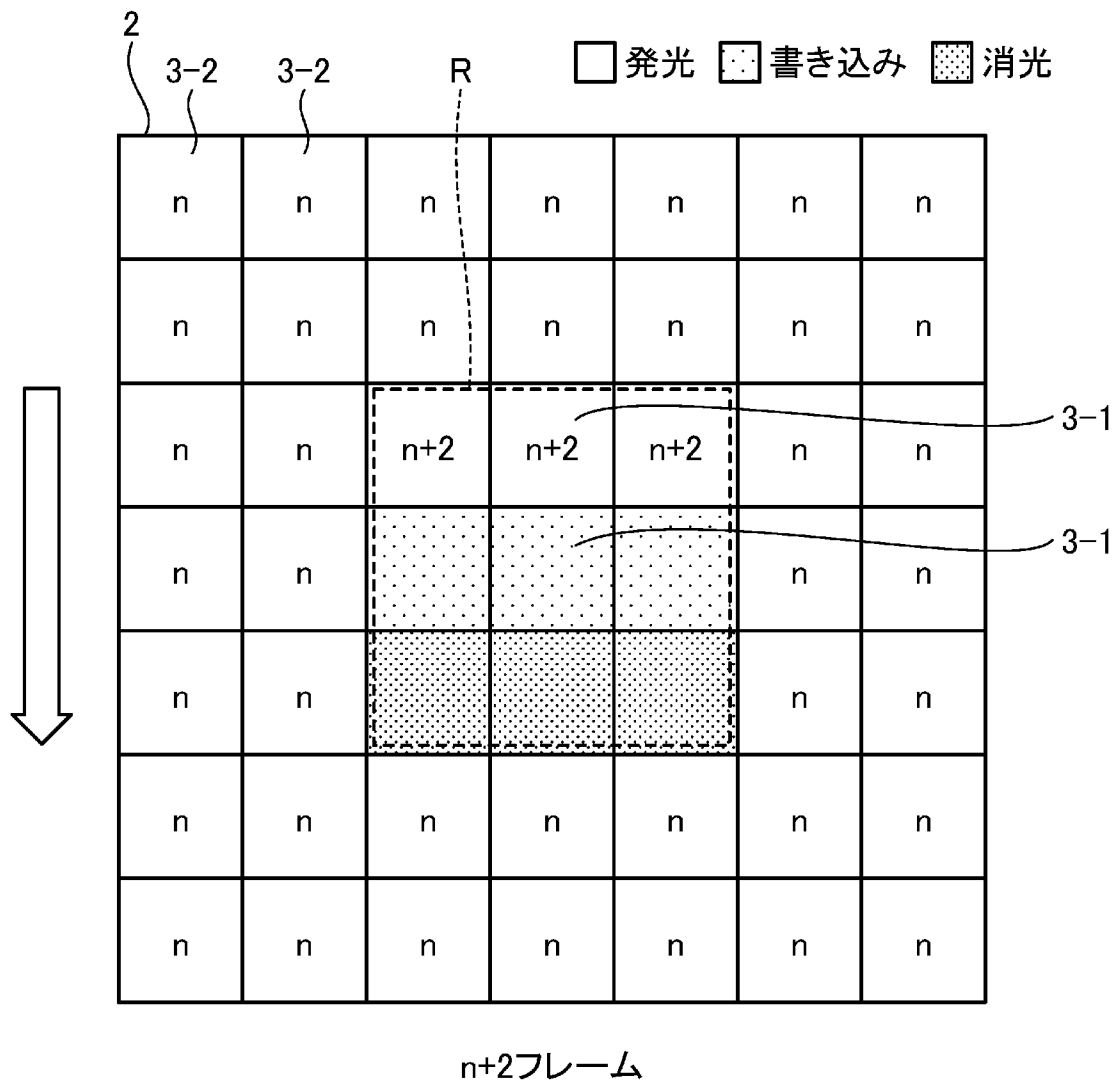
[図2]



[図3]



[図4]

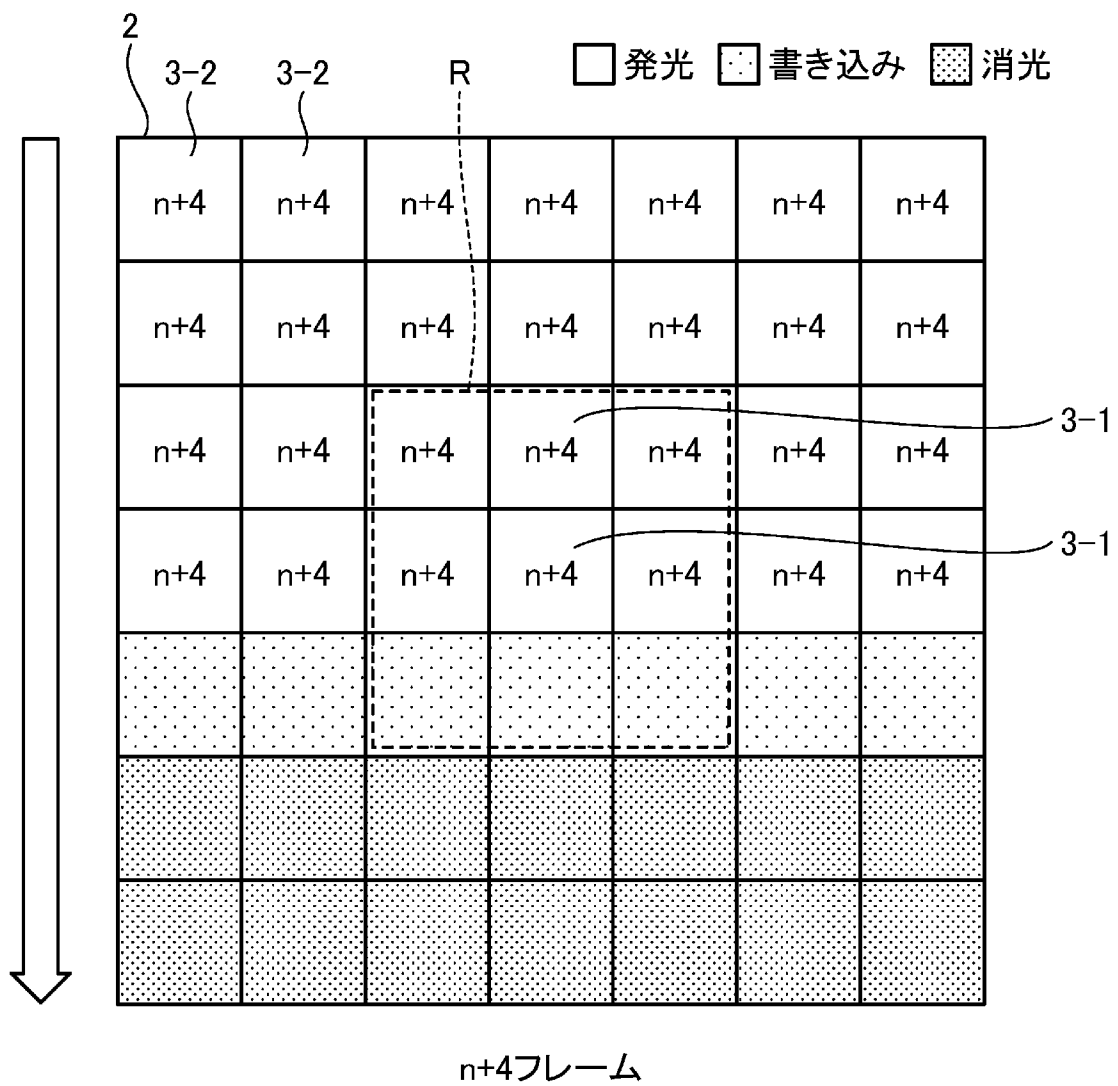


2 3-2 3-2 R 発光 書き込み 消光

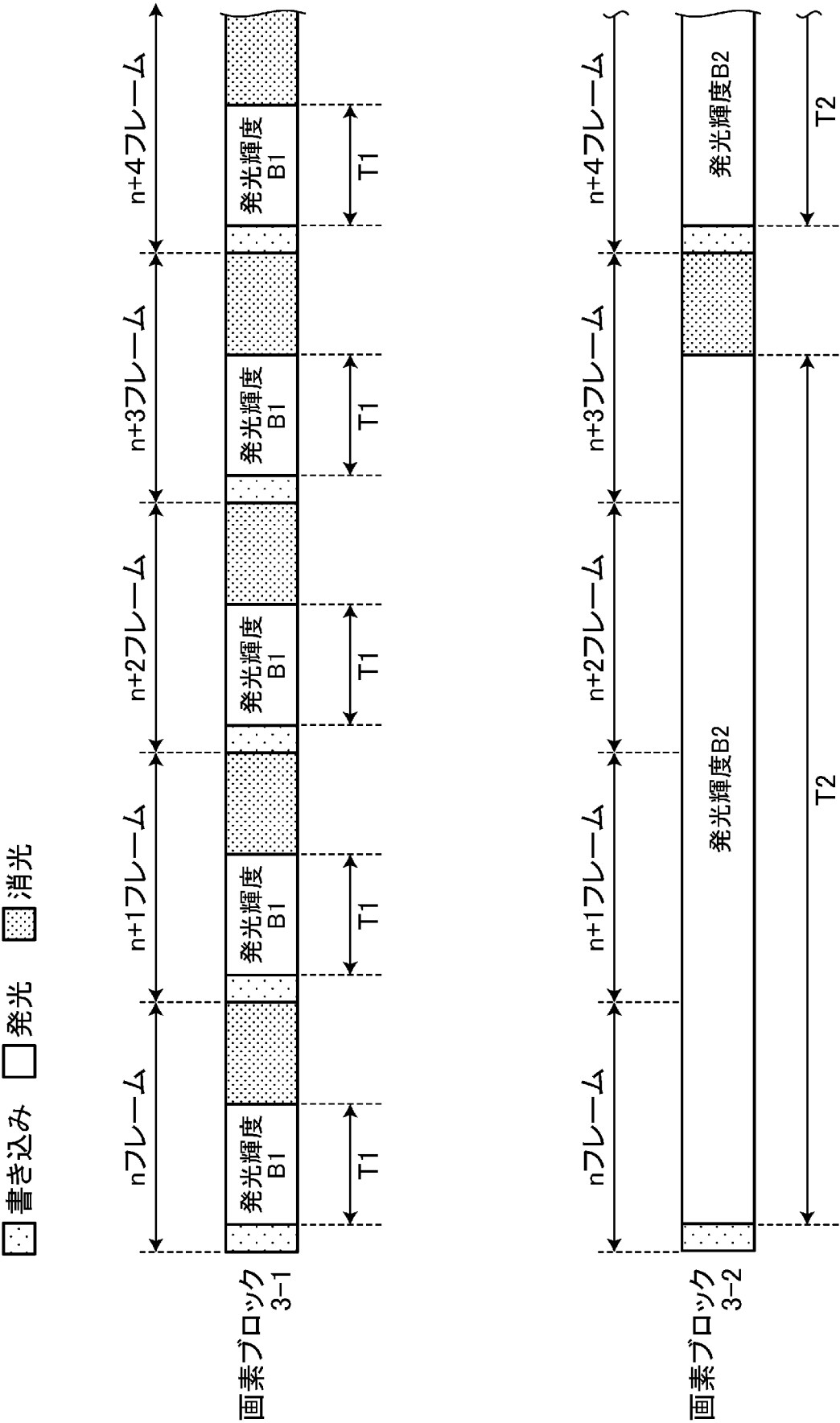
3-1 3-1

n+3フレーム

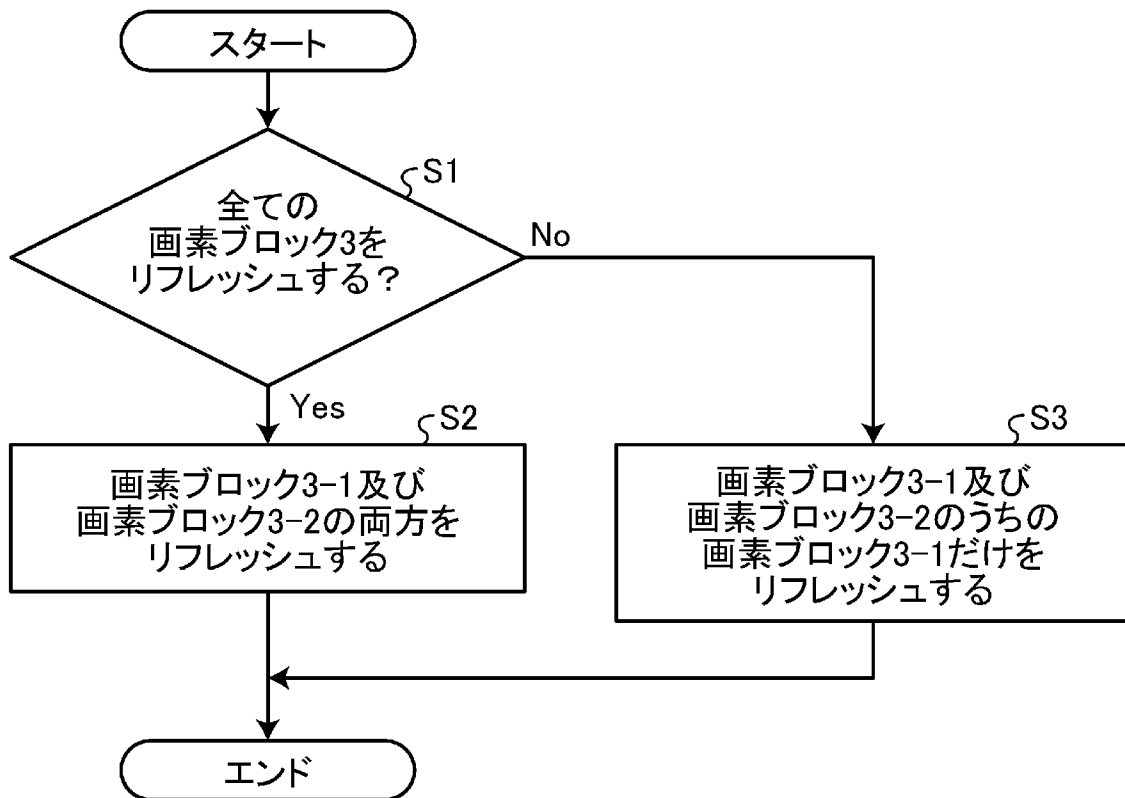
[図6]



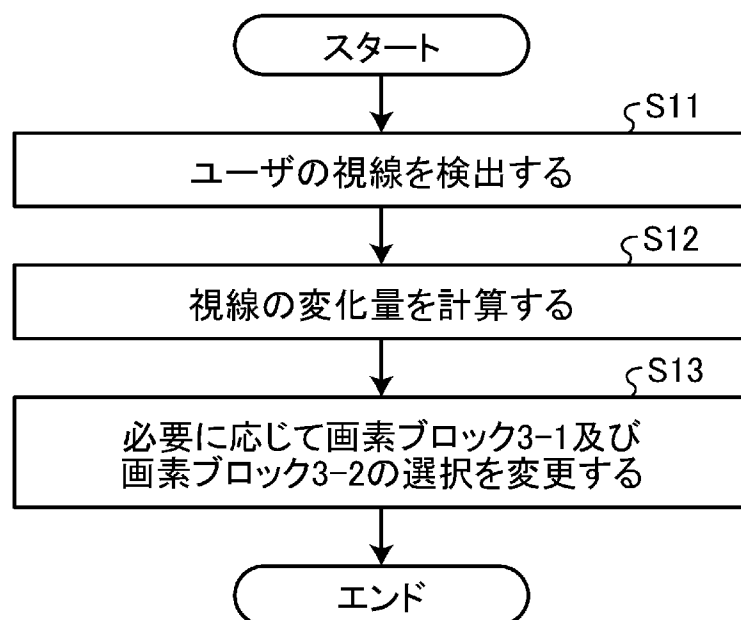
[図7]



[図8]



[図9]

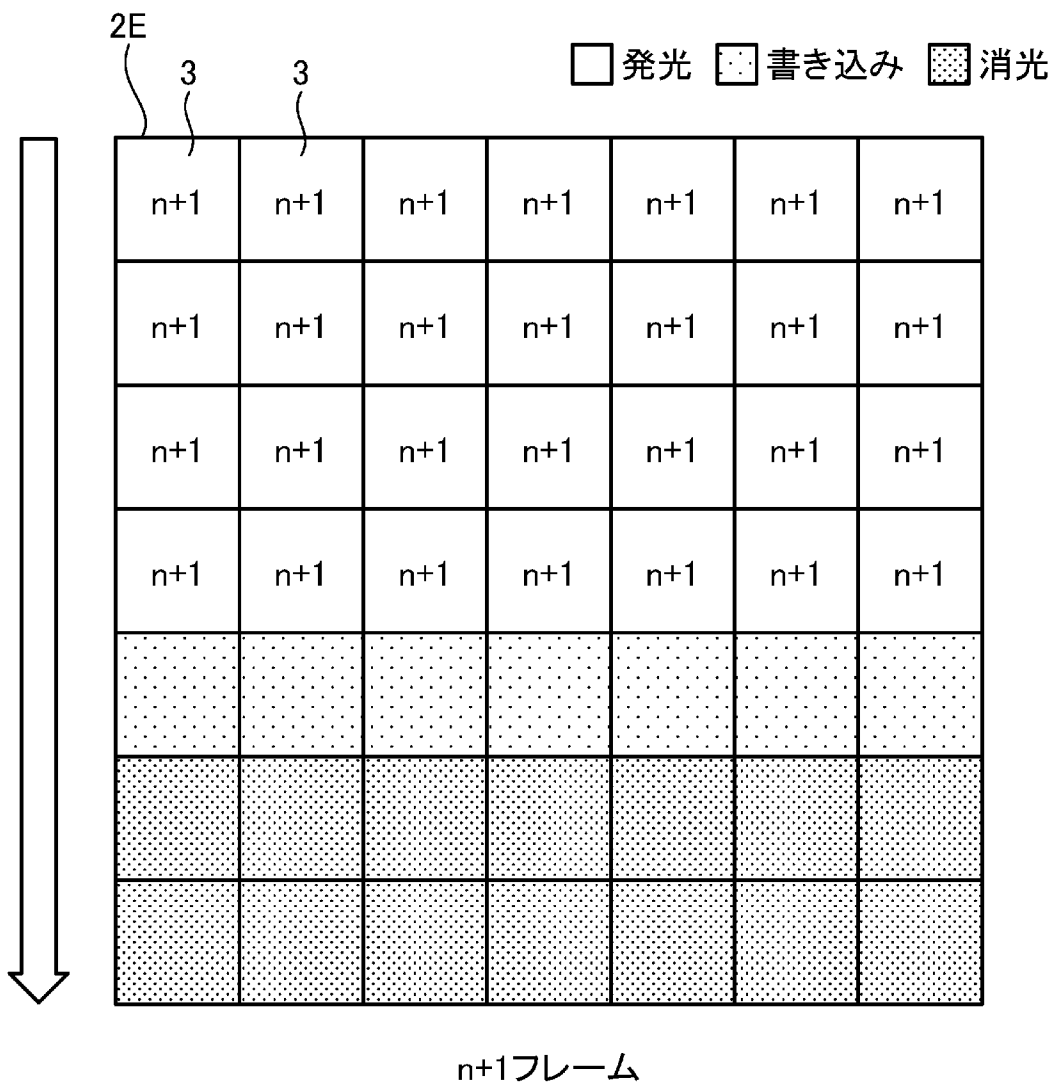


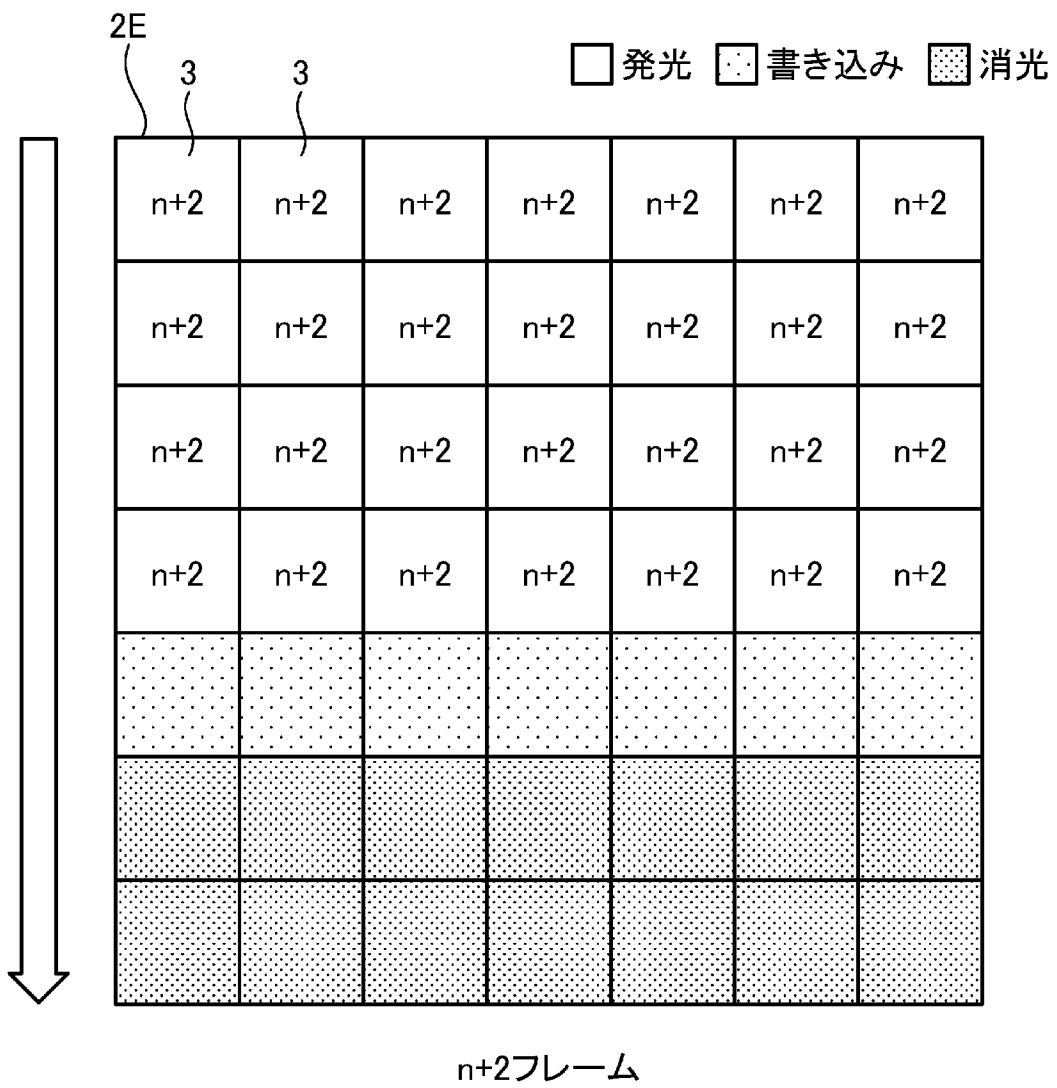
The diagram illustrates a cross-section of a panel assembly. It consists of seven horizontal layers:

- Top Layer:** A white layer labeled "発光" (Emission).
- Second Layer:** A dotted layer labeled "書き込み" (Writing).
- Third Layer:** A cross-hatched layer labeled "消光" (Anti-reflection).
- Fourth Layer:** Another cross-hatched "消光" layer.
- Fifth Layer:** Another dotted "書き込み" layer.
- Sixth Layer:** Another white "発光" layer.
- Seventh Layer:** A bottom-most white layer.

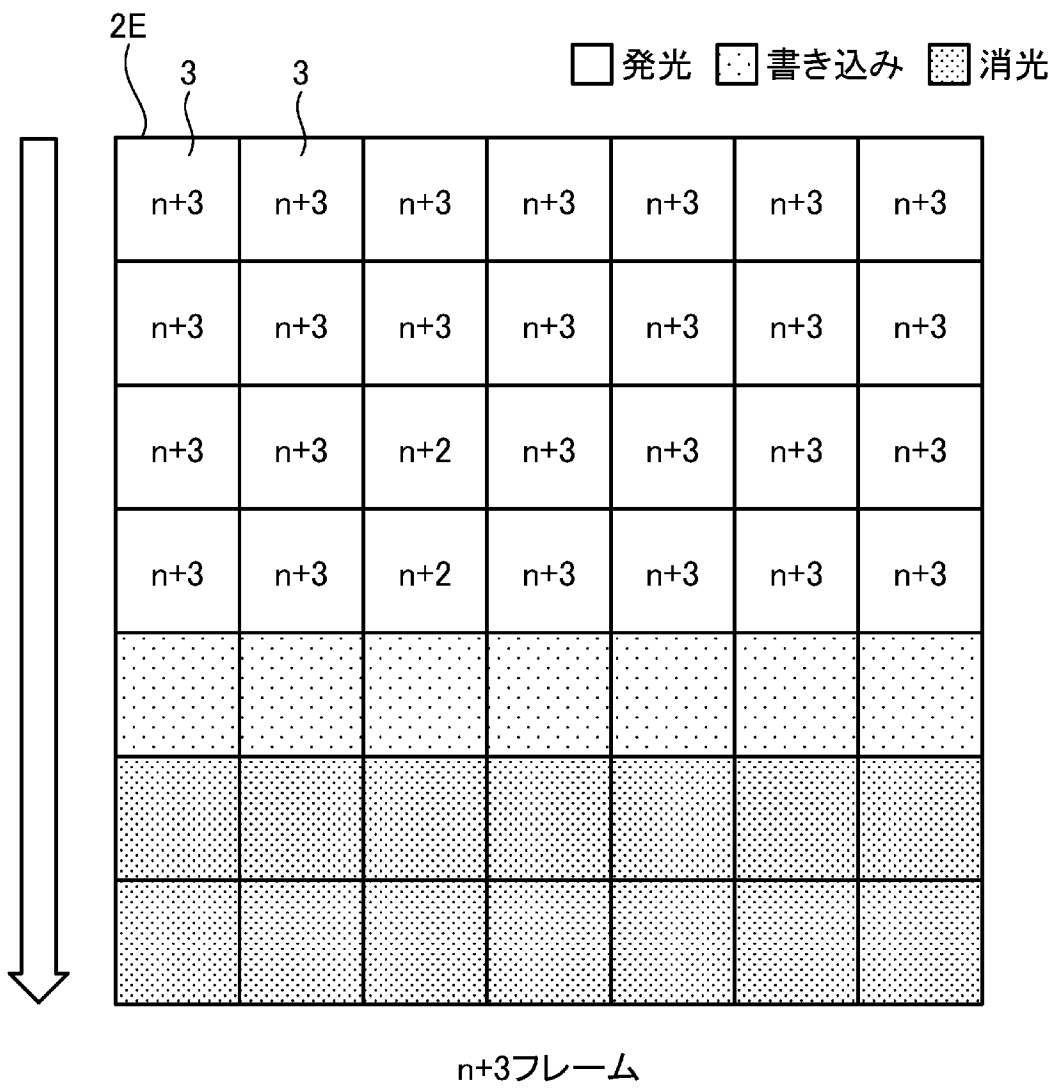
A vertical arrow on the left points downwards, indicating the direction of light or signal flow. Labels at the top indicate thicknesses: "2E" for the top white layer, and "3" for each of the three middle layers (dotted and cross-hatched). The entire assembly is labeled "nフレーム" (n-frames) at the bottom.

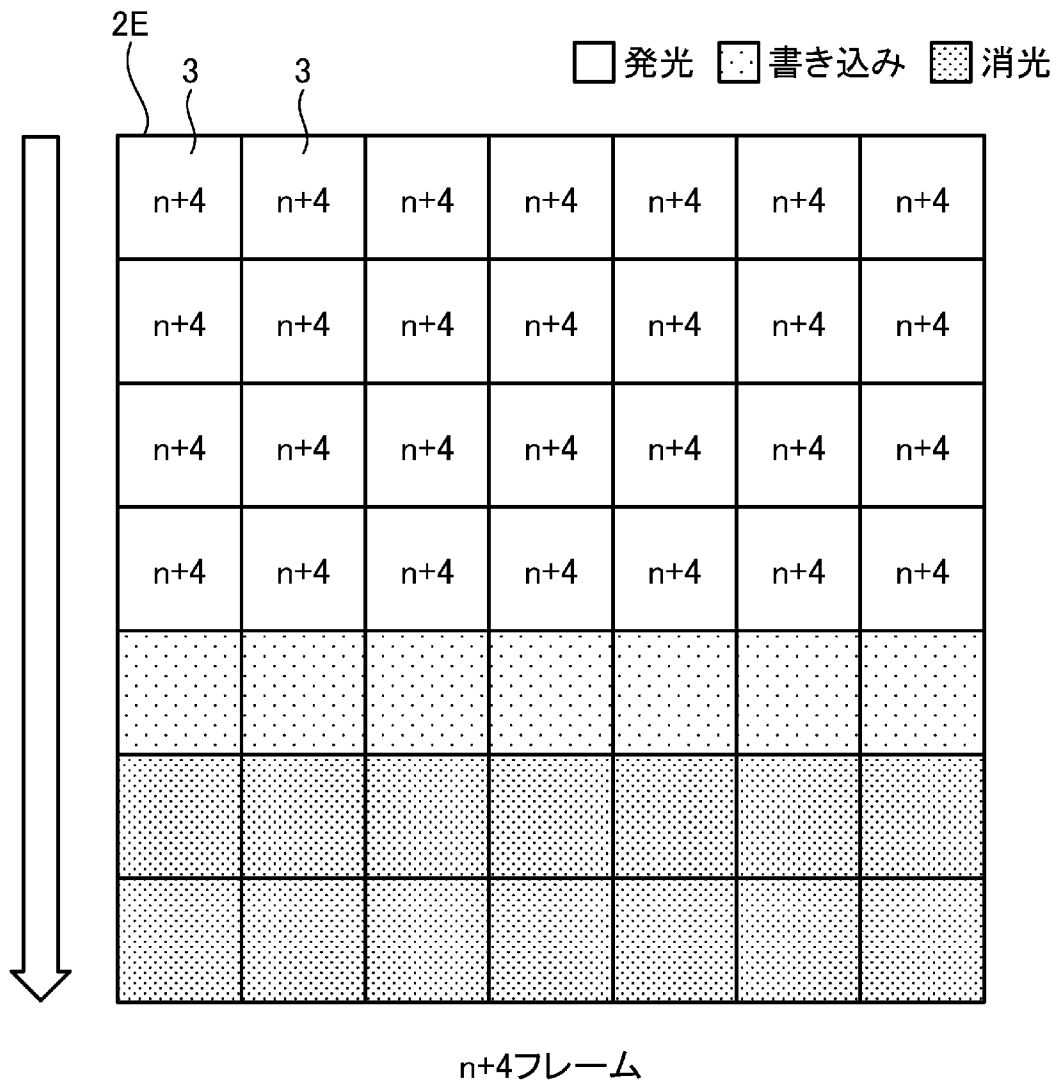
[図11]



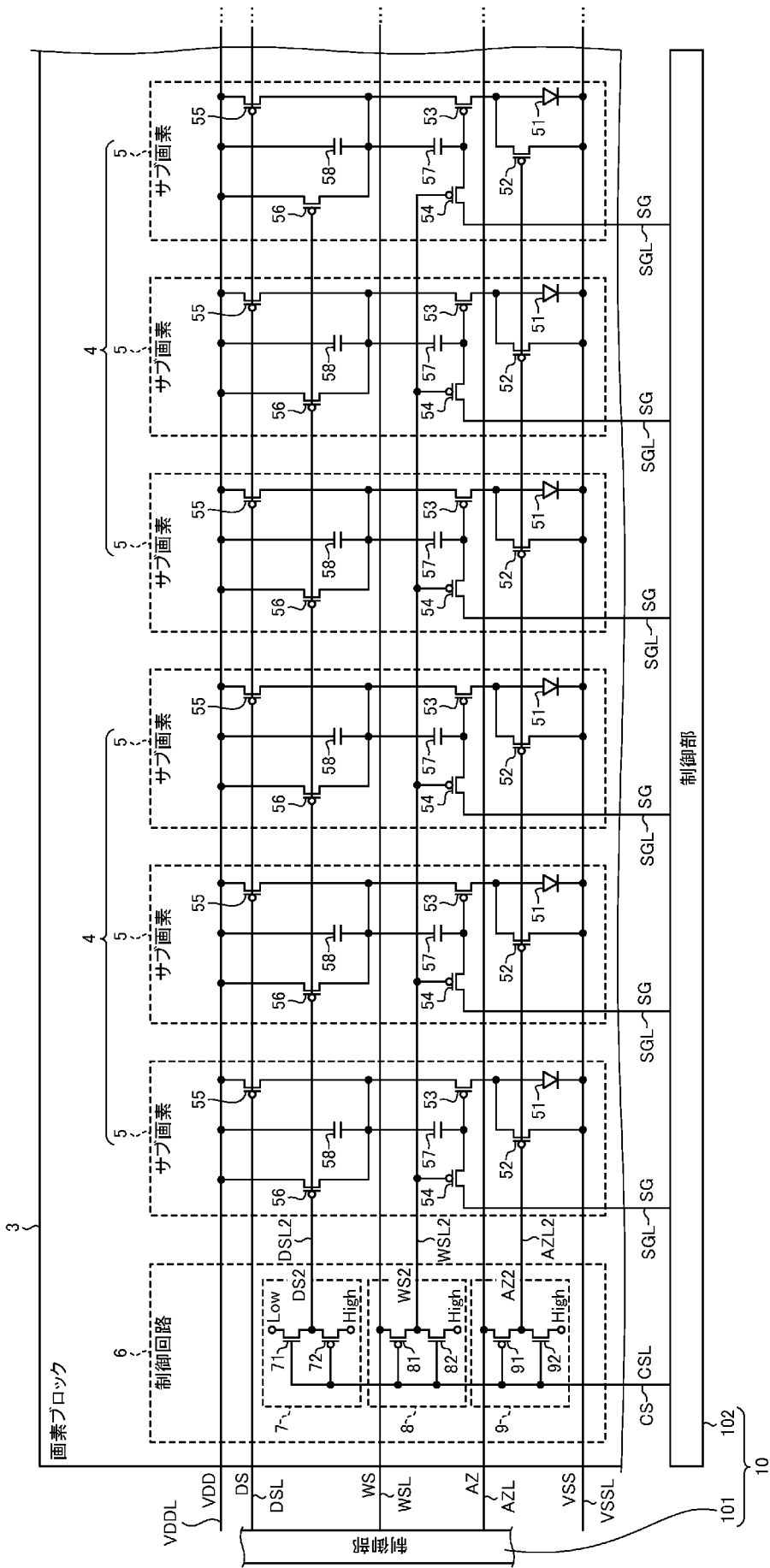


[図13]

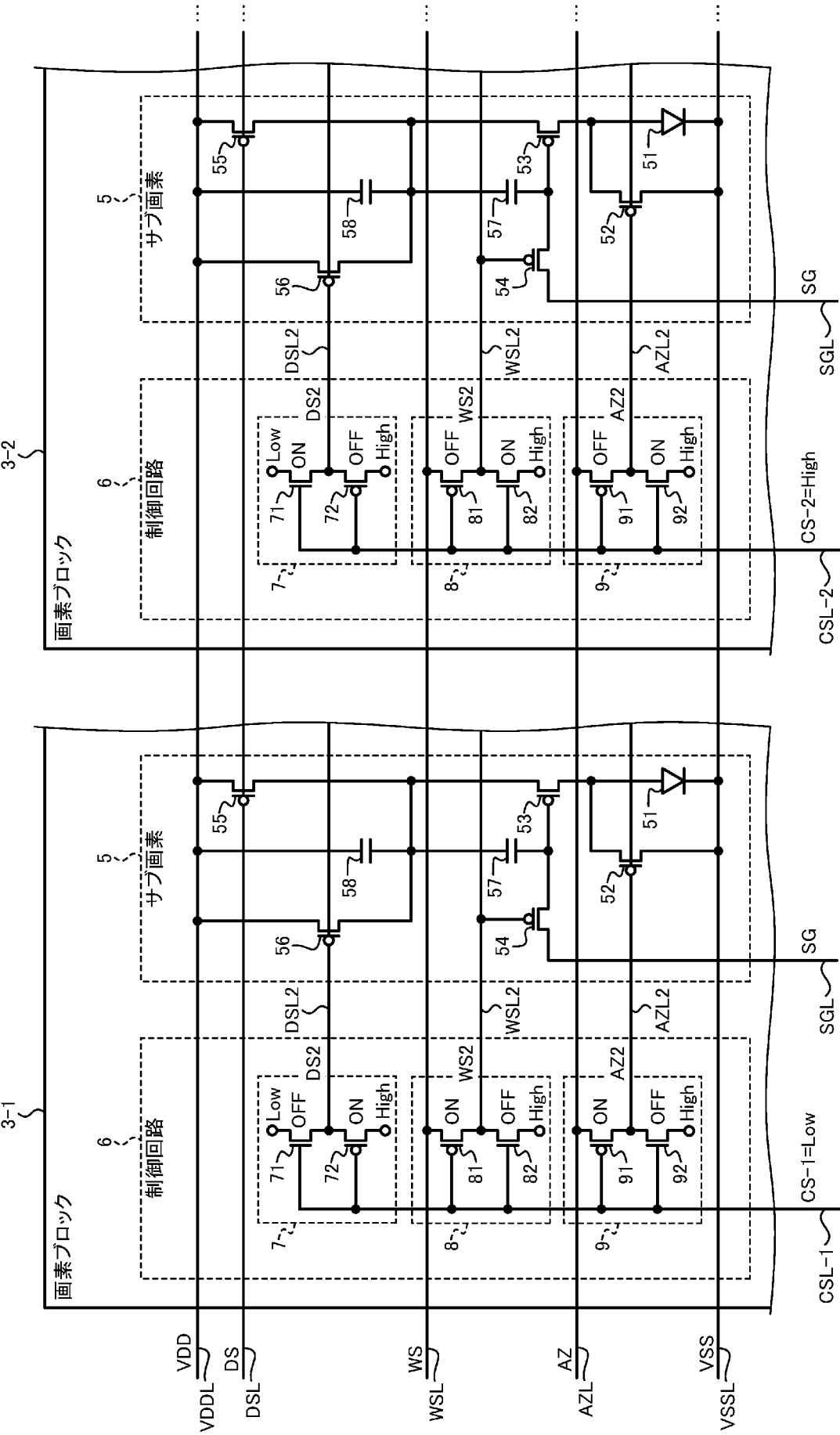




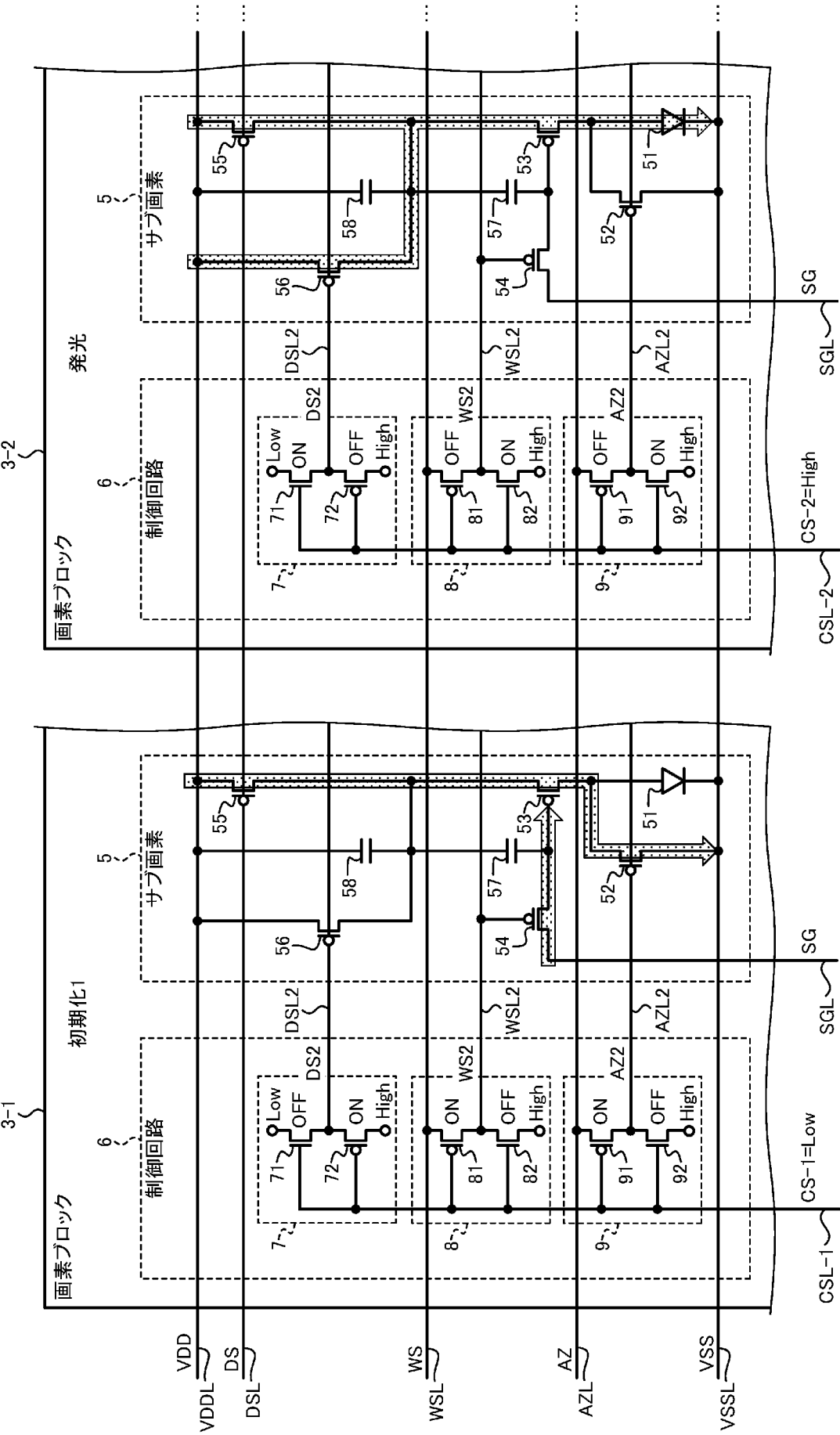
[図15]



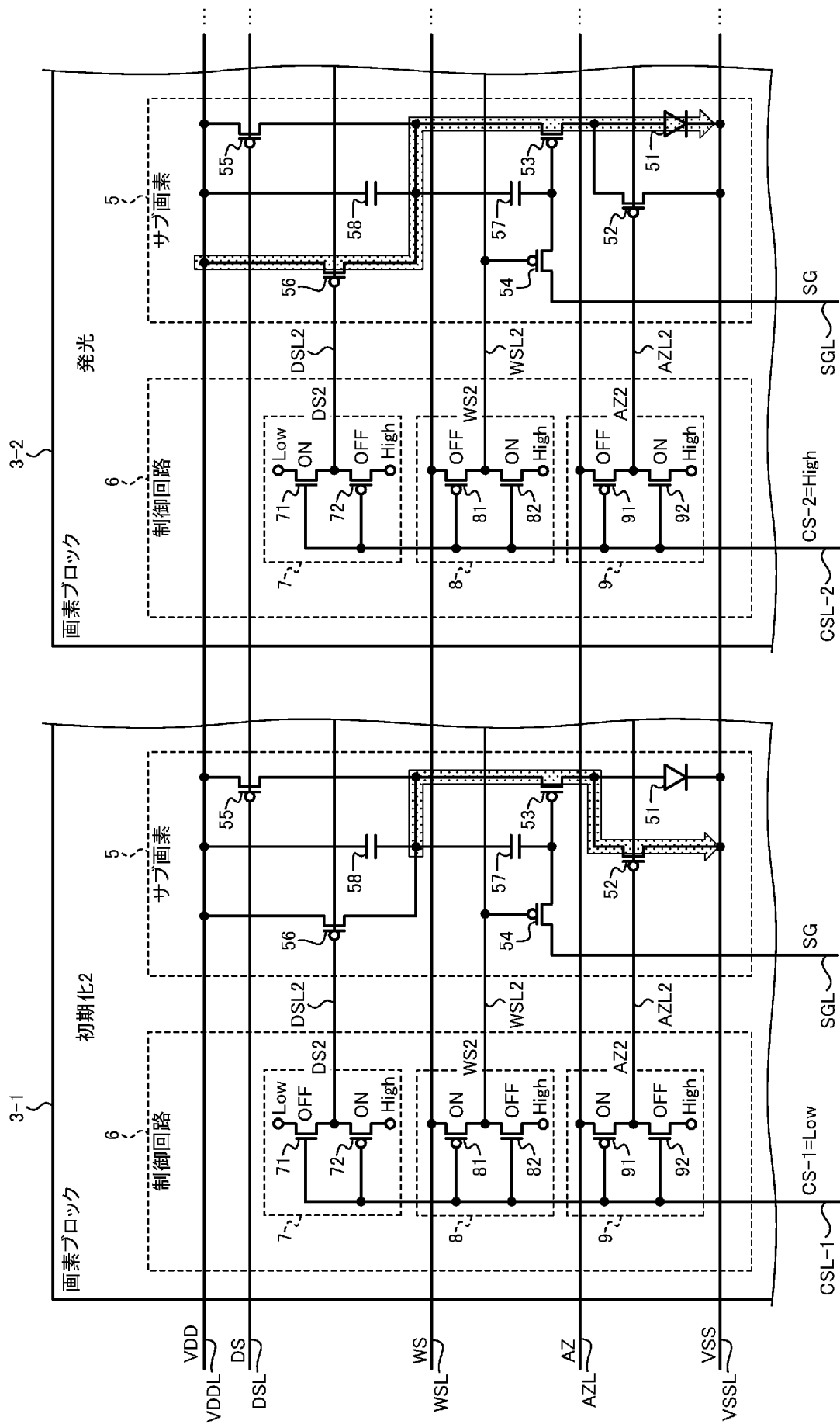
[図16]



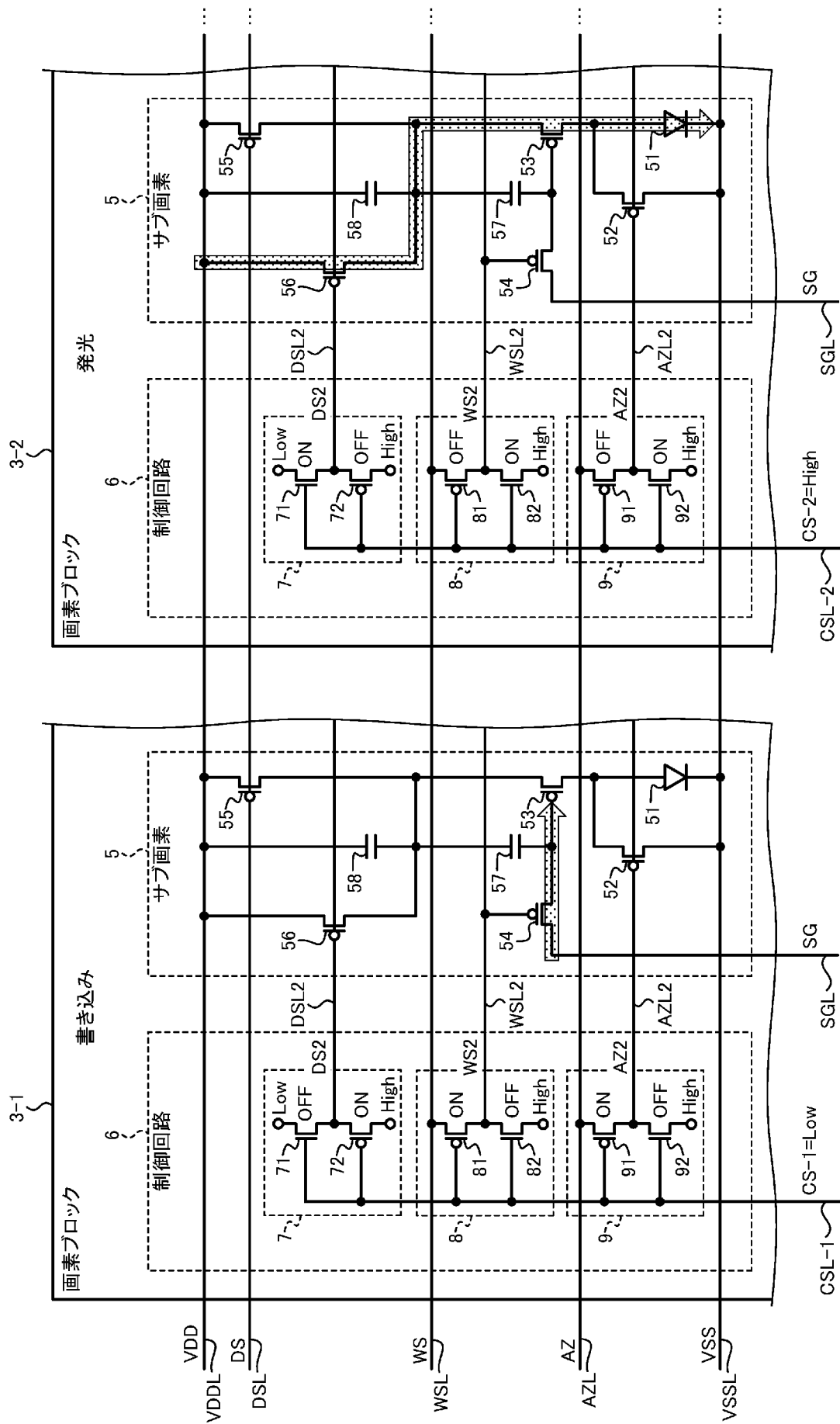
[図17]



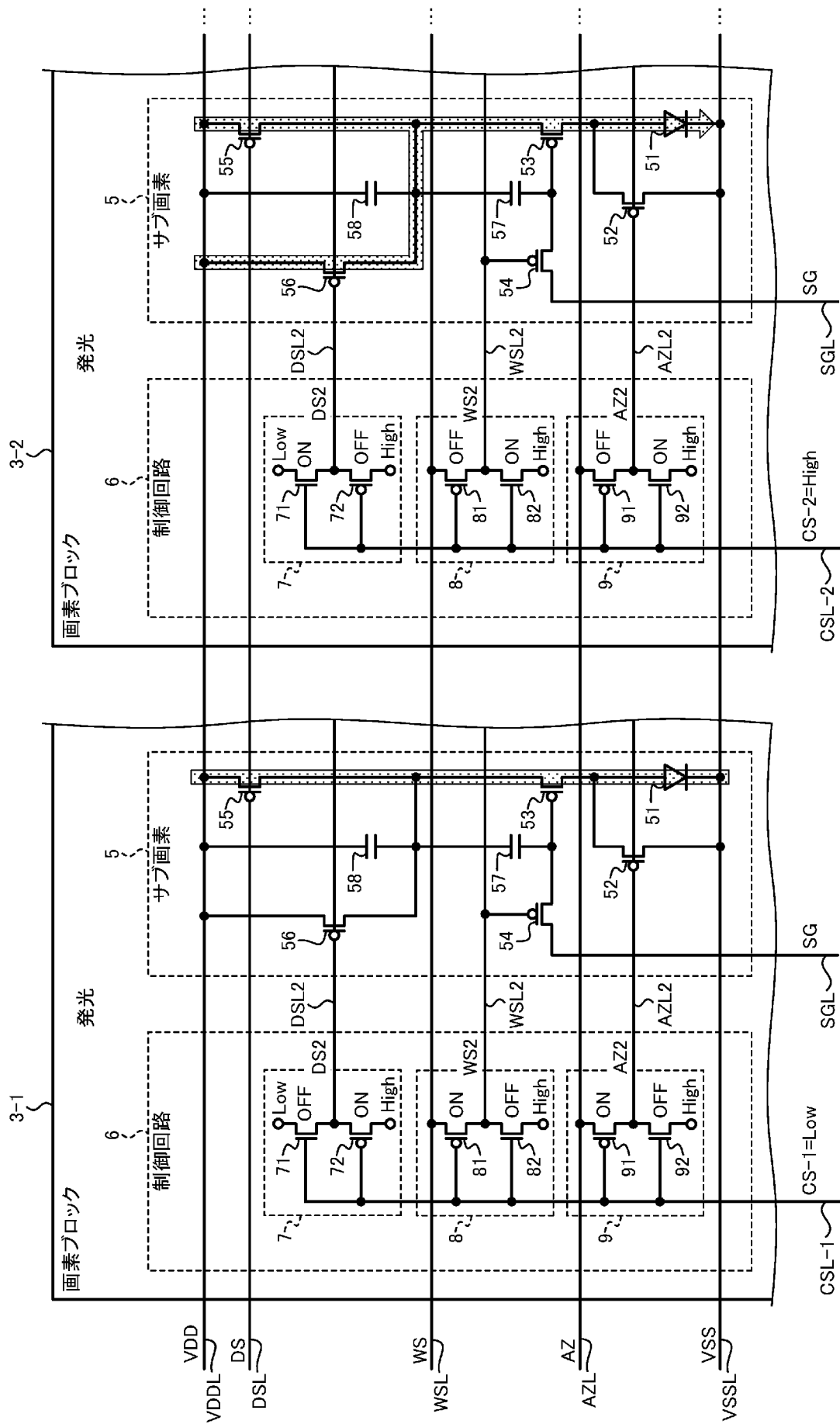
[図18]



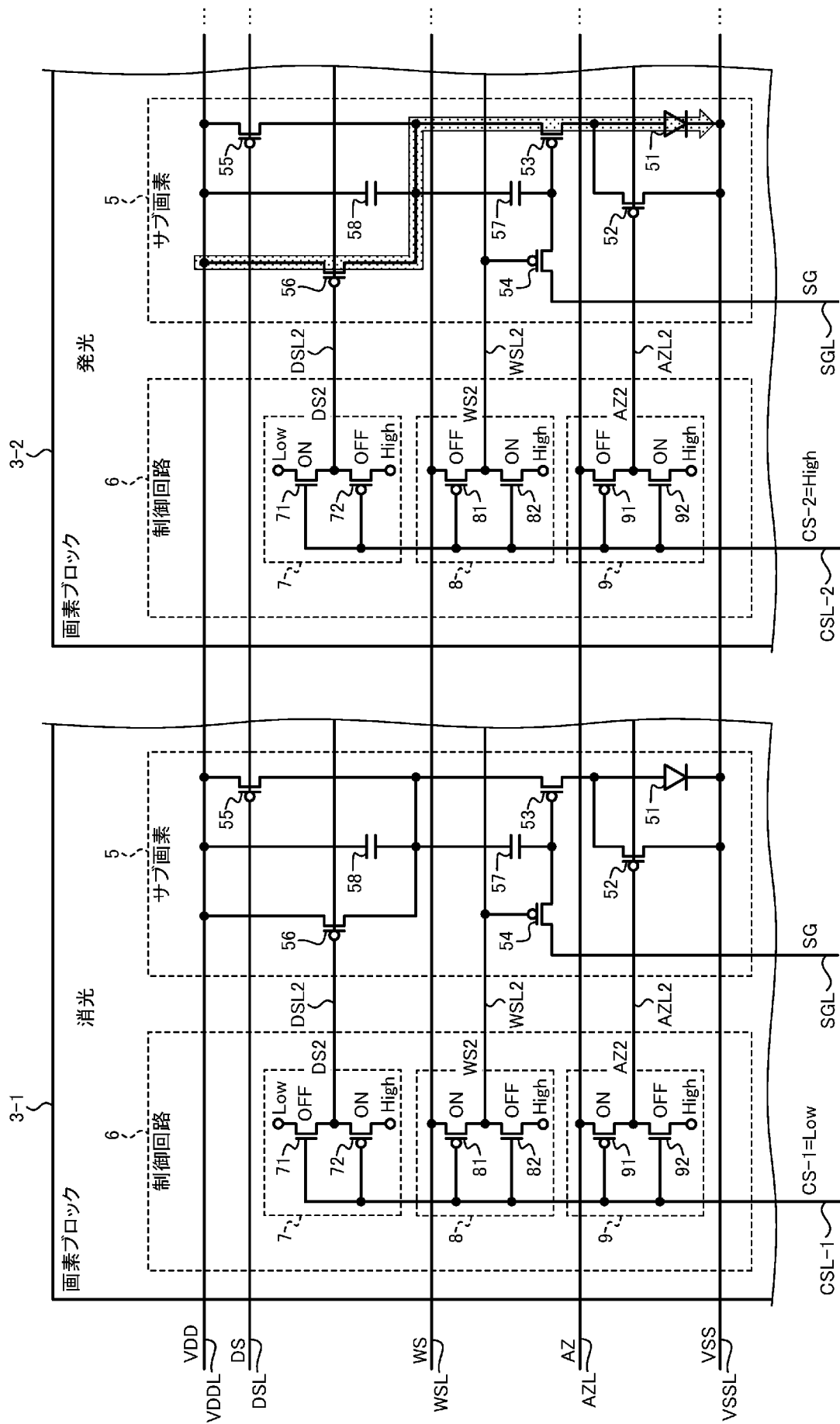
[図19]



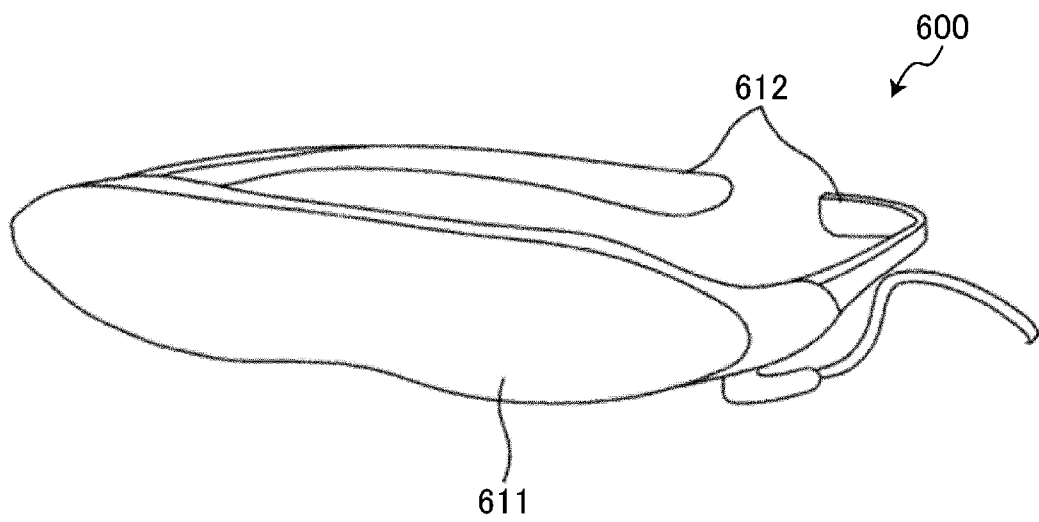
[図20]



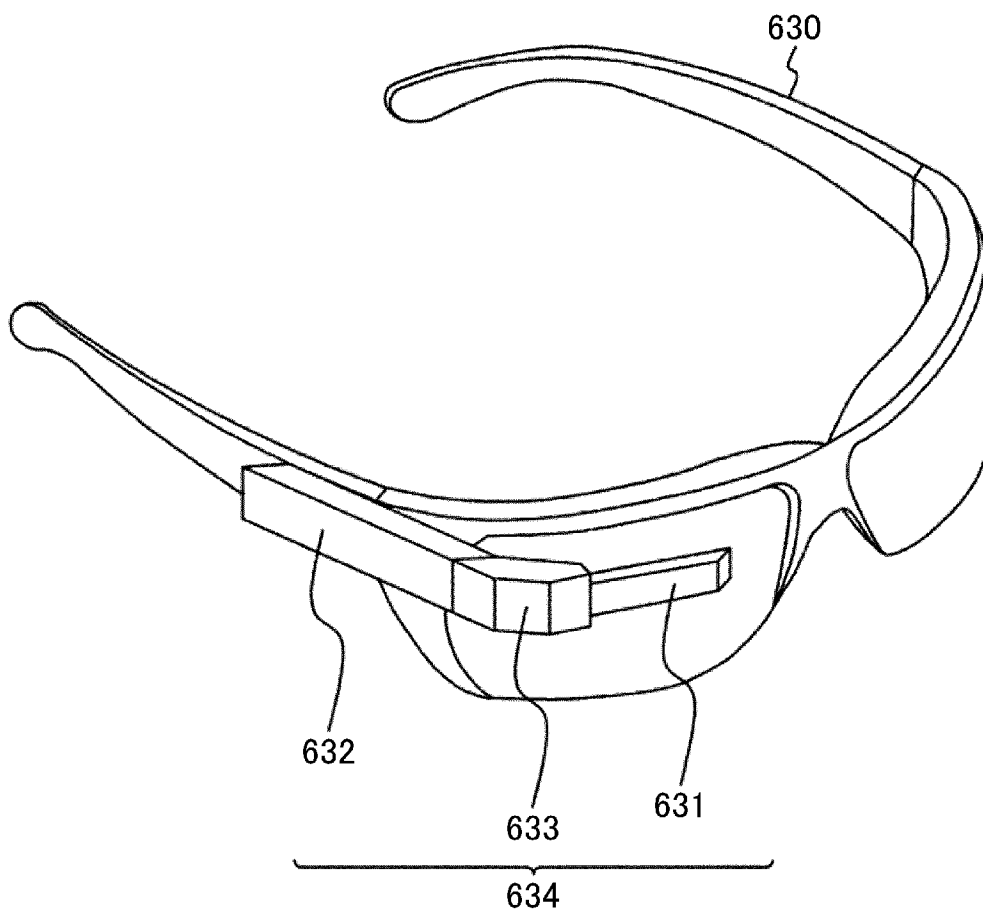
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/043577

A. CLASSIFICATION OF SUBJECT MATTER**G09G 3/3233**(2016.01)i; **G09G 3/20**(2006.01)i; **H10K 59/12**(2023.01)i

FI: G09G3/3233; G09G3/20 611A; G09G3/20 621D; G09G3/20 622B; G09G3/20 622C; G09G3/20 622K; G09G3/20 624B; G09G3/20 642B; G09G3/20 650J; H10K59/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3233; G09G3/20; H10K59/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2018/0366068 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 20 December 2018 (2018-12-20) paragraphs [0032]-[0076], fig. 1- 9	1-5, 11-12
Y		9-10
A		7-8
X	US 2019/0371243 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 05 December 2019 (2019-12-05) paragraphs [0047]-[0088], fig. 1A-6	1-2, 4-6, 11-12
Y		9-10
A		7-8
Y	WO 2014/188789 A1 (JOLED INC.) 27 November 2014 (2014-11-27) paragraphs [0045]-[0058], fig. 3-6	9-10

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 January 2024

Date of mailing of the international search report

30 January 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/043577**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	WO 2023/105338 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 June 2023 (2023-06-15) paragraphs [0196]-[0216], fig. 16-18	1-2, 4-6, 9-12
A	US 2022/0284843 A1 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 September 2022 (2022-09-08) entire text, all drawings	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/043577

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2018/0366068	A1	20 December 2018	WO	2018/126654	A1	
				CN	106782268	A	
US	2019/0371243	A1	05 December 2019	WO	2018/223656	A1	
				CN	108986749	A	
WO	2014/188789	A1	27 November 2014	US	2016/0093248	A1	
				paragraphs [0062]-[0075], fig. 3A-6			
				CN	105027551	A1	
				KR	10-2015-0121141	A	
WO	2023/105338	A1	15 June 2023	(Family: none)			
US	2022/0284843	A1	08 September 2022	CN	112992247	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/3233(2016.01)i; G09G 3/20(2006.01)i; H10K 59/12(2023.01)i FI: G09G3/3233; G09G3/20 611A; G09G3/20 621D; G09G3/20 622B; G09G3/20 622C; G09G3/20 622K; G09G3/20 624B; G09G3/20 642B; G09G3/20 650J; H10K59/12		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/3233; G09G3/20; H10K59/12 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	US 2018/0366068 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 20.12.2018 (2018-12-20) [0032]-[0076], 図1-図9	1-5, 11-12 9-10 7-8
X Y A	US 2019/0371243 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 05.12.2019 (2019-12-05) [0047]-[0088], 図1A-図6	1-2, 4-6, 11-12 9-10 7-8
Y	WO 2014/188789 A1 (株式会社 J O L E D) 27.11.2014 (2014-11-27) [0045]-[0058], 図3-図6	9-10
P, X	WO 2023/105338 A1 (株式会社半導体エネルギー研究所) 15.06.2023 (2023-06-15) [0196]-[0216], 図16-図18	1-2, 4-6, 9-12
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 19.01.2024		国際調査報告の発送日 30.01.2024
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 西島 篤宏 2I 9308 電話番号 03-3581-1101 内線 3273

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2022/0284843 A1 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08.09.2022 (2022 - 09 - 08) 全文, 全図	1-12

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/043577

引用文献			公表日	パテントファミリー文献			公表日
US	2018/0366068	A1	20.12.2018	WO	2018/126654	A1	
				CN	106782268	A	
US	2019/0371243	A1	05.12.2019	WO	2018/223656	A1	
				CN	108986749	A	
WO	2014/188789	A1	27.11.2014	US	2016/0093248	A1	
				[0062]-[0075], [図3A]-[図6]			
				CN	105027551	A1	
				KR	10-2015-0121141	A	
WO	2023/105338	A1	15.06.2023	(ファミリーなし)			
US	2022/0284843	A1	08.09.2022	CN	112992247	A	