



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월27일
(11) 등록번호 10-0788870
(24) 등록일자 2007년12월18일

(51) Int. Cl.
H01L 29/786 (2006.01)
(21) 출원번호 10-2000-0051005
(22) 출원일자 2000년08월31일
심사청구일자 2005년07월26일
(65) 공개번호 10-2001-0039857
(43) 공개일자 2001년05월15일
(30) 우선권주장
11-246798 1999년08월31일 일본(JP)
(56) 선행기술조사문헌
KR 238640 B1
JP 09-160074 A
JP 09-292626 A

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
시바타히로시
일본국가나가와켄아쓰기시하세398반치가부시키
가이샤한도오따이에네루기켄큐쇼내
이소베아츠오
일본국가나가와켄아쓰기시하세398반치가부시키
가이샤한도오따이에네루기켄큐쇼내
(74) 대리인
황의만

전체 청구항 수 : 총 25 항

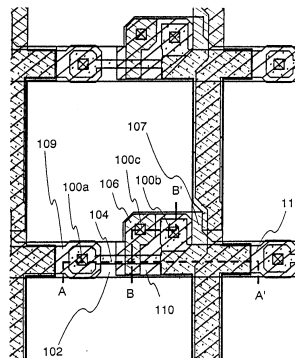
심사관 : 최광섭

(54) 반도체 장치 및 그의 제작방법

(57) 요약

높은 개구율을 얻으면서 충분한 보유 용량(Cs)을 확보하고, 동시에, 용량 배선의 부하(화소 기입 전류)를 시간적으로 분산시켜 그 부하를 효과적으로 감소시키는 것에 의해, 높은 표시 품질을 갖는 액정표시장치를 제공한다. 주사선이 게이트 전극과는 다른 층에 형성되고, 용량 배선이 신호선과 평행하게 되도록 배치된다. 각 화소는 각각 독립된 용량 배선에 유전체를 통해 접속되어 있기 때문에, 인접 화소의 기입 전류에 의한 용량 배선 전위의 변동이 회피될 수 있어, 양호한 표시 화상이 얻어질 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

절연 표면상의 제1 배선;
 상기 제1 배선상의 제1 절연막;
 상기 제1 절연막상의 반도체막;
 상기 반도체막상의 제2 절연막;
 상기 제2 절연막상에 있는 제2 배선, 및 상기 제1 배선에 접속된 게이트 전극;
 상기 제2 배선 및 상기 게이트 전극상의 제3 절연막; 및
 상기 제3 절연막상에 있고 상기 반도체막에 접속되는 제3 배선을 포함하는 것을 특징으로 하는 반도체장치.

청구항 2

제 1 항에 있어서, 상기 반도체막과 상기 제2 배선이 상기 제2 절연막을 사이에 두고 겹쳐 있는 것을 특징으로 하는 반도체장치.

청구항 3

제 1 항에 있어서, 상기 반도체막과 상기 제2 배선이 상기 제2 절연막을 사이에 두고 겹쳐 있는 영역에, 상기 제2 절연막을 유전체로 하여 보유 용량이 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 4

제 1 항에 있어서, 상기 제2 절연막을 사이에 두고 상기 제2 배선과 겹쳐 있는 상기 반도체막의 영역에 도전형을 부여하는 불순물 원소가 첨가되어 있는 것을 특징으로 하는 반도체장치.

청구항 5

제 1 항에 있어서, 상기 반도체장치가, 상기 반도체막에 접속된 전극과, 상기 제3 절연막상에 있고 상기 전극에 접속되는 화소 전극을 더 포함하는 것을 특징으로 하는 반도체장치.

청구항 6

제 1 항에 있어서, 상기 제1 배선이 상기 제2 배선과 직교하는 방향으로 배치되어 있는 것을 특징으로 하는 반도체장치.

청구항 7

제 1 항에 있어서, 상기 제1 배선이 상기 제3 배선과 직교하는 방향으로 배치되어 있는 것을 특징으로 하는 반도체장치.

청구항 8

제 1 항에 있어서, 상기 게이트 전극이 상기 제1 배선과는 다른 층에 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 9

제 1 항에 있어서, 상기 게이트 전극이 섬 형상으로 패터닝되어 있는 것을 특징으로 하는 반도체장치.

청구항 10

제 1 항에 있어서, 상기 제1 배선이 주사선인 것을 특징으로 하는 반도체장치.

청구항 11

제 1 항에 있어서, 상기 제2 배선이 용량 배선인 것을 특징으로 하는 반도체장치.

청구항 12

제 1 항에 있어서, 상기 제3 배선이 신호선인 것을 특징으로 하는 반도체장치.

청구항 13

제 1 항에 있어서, 상기 제2 절연막이 게이트 절연막인 것을 특징으로 하는 반도체장치.

청구항 14

제 1 항에 있어서, 상기 게이트 전극이, 폴리-Si, W, WSi_x, Al, Ta, Cr, 및 Mo 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체장치.

청구항 15

제 1 항에 있어서, 상기 반도체장치가, 비디오 카메라, 디지털 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 및 정보 처리 단말기로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체장치.

청구항 16

제 1 항에 있어서, 상기 반도체장치가 EL 표시장치인 것을 특징으로 하는 반도체장치.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

절연 표면을 가진 기판상에 제1 배선을 형성하는 공정;

상기 제1 배선상에 제1 절연막을 형성하는 공정;

상기 제1 절연막상에 반도체막을 형성하는 공정;

상기 반도체막상에 제2 절연막을 형성하는 공정;

상기 제1 절연막과 상기 제2 절연막을 선택적으로 에칭하여 상기 제1 배선에 이르는 제1 콘택트 홀을 형성하는

공정;

상기 반도체막의 일부와 겹치고 상기 제1 콘택트 홀을 통해 상기 제1 배선에 접속되는 게이트 전극을 상기 제2 절연막상에 형성하는 공정;

상기 게이트 전극 위에 제3 절연막을 형성하는 공정;

상기 제2 절연막과 상기 제3 절연막을 선택적으로 에칭하여 상기 반도체막에 이르는 제2 콘택트 홀을 형성하는 공정; 및

상기 제2 콘택트 홀을 통해 반도체막에 접속되는 제3 배선을 상기 제3 절연막상에 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제작방법.

청구항 25

제 24 항에 있어서, 상기 게이트 전극을 형성하는 공정과 동일한 공정에서, 상기 반도체막의 일부와 겹치는 제2 배선을 상기 제2 절연막상에 형성하는 것을 특징으로 하는 반도체장치 제작방법.

청구항 26

제 24 항에 있어서, 상기 반도체막상에 상기 제2 절연막을 형성하는 공정 후에, 상기 제2 배선과 겹치는 상기 제2 절연막을 부분적으로 얇게 하는 공정을 더 포함하는 것을 특징으로 하는 반도체장치 제작방법.

청구항 27

제 24 항에 있어서, 상기 제2 절연막이 게이트 절연막인 것을 특징으로 하는 반도체장치 제작방법.

청구항 28

제 24 항에 있어서, 상기 제1 배선이 주사선인 것을 특징으로 하는 반도체장치 제작방법.

청구항 29

제 24 항에 있어서, 상기 제2 배선이 용량 배선인 것을 특징으로 하는 반도체장치 제작방법.

청구항 30

제 24 항에 있어서, 상기 제3 배선이 신호선인 것을 특징으로 하는 반도체장치 제작방법.

청구항 31

제 24 항에 있어서, 상기 반도체장치가, 비디오 카메라, 디지털 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 및 정보 처리 단말기로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체장치 제작방법.

청구항 32

제 24 항에 있어서, 상기 반도체장치가 EL 표시장치인 것을 특징으로 하는 반도체장치 제작방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<20> 본 발명은 박막트랜지스터(이하, TFT라 한다)로 구성된 회로를 가진 반도체장치 및 그의 제작방법에 관한 것이다. 예를 들어, 본 발명은 액정 표시 패널로 대표되는 전기광학장치, 및 그러한 전기광학 장치를 부품으로 탑재한 전자 장치에 관한 것이다.

<21> 본 명세서에서 사용되는 반도체장치란, 반도체 특성을 이용하여 기능하는 장치 전체를 가리키고, 전기광학

장치, 반도체 회로, 및 전자 장치가 모두 반도체장치이다.

- <22> 최근, 절연 표면을 가진 기판 상에 형성된 반도체 박막(두께: 수 nm~수 백 nm 정도)을 사용하여 박막트랜지스터(TFT)를 구성하는 기술이 주목받고 있다. 박막트랜지스터는 IC 또는 전기광학 장치와 같은 전자 장치에 널리 응용되고, 특히, 액정 표시장치의 스위칭 소자로서 TFT의 개발이 빠르게 진행되고 있다.
- <23> 액정 표시장치에서 고품질의 화상을 얻기 위해, 매트릭스 형태로 배치된 각각의 화소 전극에 접속되는 스위칭 소자로서 TFT를 이용하는 액티브 매트릭스형 액정 표시장치가 많은 주목을 끌고 있다.
- <24> 액티브 매트릭스형 액정 표시장치에서 양호한 품질의 표시를 행하기 위해서는, TFT에 접속된 각 화소 전극에서 화상 신호의 전위를 다음 번 기입 때까지 유지시키는 것이 필요하다. 일반적으로는, 각 화소 내에 보유 용량(Cs)을 마련하는 것으로 화상 신호의 전위를 유지시키고 있다.
- <25> 상기한 보유 용량(Cs)의 구조와 형성방법으로서 여러 가지 제안이 나와 있지만, 제작공정의 신뢰성 또는 간편성의 관점에서, 화소를 구성하는 절연막들 중, 가장 품질이 높은 절연막인 TFT의 게이트 절연막을 보유 용량(Cs)의 유전체로서 이용하는 것이 바람직하다. 종래에는, 도 18에 도시된 바와 같이, 먼저, 주사선을 이용하여 상부 전극이 되는 용량 배선을 마련한 다음, 상부 전극(용량 배선), 유전체 층(게이트 절연막), 및 하부 전극(반도체막)에 의해 보유 용량(Cs)의 구성하는 것이 행해져 왔다.
- <26> 또한, 표시 성능의 면에서, 화소에 큰 보유 용량을 가지게 하는 것과 함께 개구율을 높게 하는 것이 요구된다. 각 화소가 높은 개구율을 가지게 함으로써, 백라이트의 광 이용 효율이 향상된다. 따라서, 소정의 표시 휘도를 얻기 위한 백라이트의 용량이 제한될 수 있기 때문에, 표시장치의 저소비전력화 및 소형화가 달성될 수 있다. 또한, 각 화소가 큰 보유 용량을 구비하여, 각 화소의 표시 데이터 보유 특성이 향상됨으로써, 표시 품질이 향상된다. 또한, 표시장치를 점(點) 순차 구동하는 경우에는, 각 신호선의 구동회로 측에도 신호 보유 용량(샘플 홀드 용량)이 요구된다. 그러나, 각 화소에 큰 보유 용량을 마련하면, 신호 보유 용량이 차지하는 면적이 작게 될 수 있어, 표시장치가 작게 될 수 있다.
- <27> 삭제
- <28> 그러한 요구는 액정 표시장치의 소형화와 고정세화(高精細化)(화소수의 증가)에 수반하는 각 표시 화소의 피치의 미세화의 진행에서 문제가 된다.
- <29> 상기한 종래의 화소 구성에서는 높은 개구율과 큰 보유 용량을 양립시키는 것이 어렵다는 또 다른 문제가 있다. 종래의 화소 구성을 표 1의 디자인 룰(design rule)에 따라 19.2 μm 평방의 화소 크기로 형성한 예가 도 18에 도시되어 있다.
- <30> 삭제

<31> 표 1

<32>	Si 층: 최소 크기 = 0.8 μm , 최소 간격 = 1.5 μm
	게이트 전극: 최소 크기 = 1.0 μm , 최소 간격 = 1.5 μm
	주사선: 최소 크기 = 1.5 μm , 최소 간격 = 1.5 μm
	신호선과 Si 층의 콘택트 홀: 최소 크기 = 1.0 μm 평방
	콘택트 홀과 Si 층의 마진 = 1.0 μm
	콘택트 홀과 주사선(게이트 전극)과의 최소 간격 = 1.3 μm
	신호선: 최소 크기 = 1.5 μm , 최소 간격 = 1.5 μm
	콘택트 홀과 신호선의 마진 = 1.3 μm
	화소 크기: 19.2 μm 평방
	화소 TFT: L = 1.5 μm , W = 0.8 μm , 단일 게이트
	주사선: 배선 폭의 최소 크기 = 1.0 μm
	주사선: Si 층과 겹치는 부분에서의 배선 폭의 최소 크기 = 1.5 μm
	용량 배선: 최소 크기 = 2.0 μm

- <33> 종래의 화소 구성에서는, 2개의 배선, 즉, 주사선과 용량 배선을 각각 연속적으로 형성하는 관계상, 2개의 배선(주사선과 용량 배선)이 서로 평행하게 배치된다는 것이 특징이다. 도 18에서, 부호 10은 반도체막을 나타내고, 11은 주사선, 12는 신호선, 13은 전극, 14는 용량 배선을 나타낸다. 도 18은 화소의 간략화된 상면도이므로, 전극(13)에 접속되는 화소 전극과, 전극(13)에 이르는 콘택트 홀은 도면에 도시되지 않았다.
- <34> 삭제
- <35> 따라서, 상부 전극(용량 배선), 유전체 층(게이트 절연막), 및 하부 전극(반도체막)으로 보유 용량을 구성한 경우, 화소의 회로를 구성하는데 필요한 모든 회로 요소(화소 TFT, 보유 용량, 콘택트 홀 등)는 게이트 절연막과 관련된 요소가 된다. 따라서, 회로 요소를 구성하는 이들 요소는 각 화소내에 거의 평면적으로 배치된다.
- <36> 따라서, 규정된 화소 크기 내에서 각 화소의 높은 개구율과 큰 보유 용량 모두를 얻기 위해서는, 화소의 회로를 구성하는데 필요한 회로 요소를 효과적으로 레이아웃(layout)하는 것이 중요하다. 이것은, 모든 회로 요소가 게이트 절연막과 관련되어 있다는 사실로부터, 게이트 절연막의 이용 효율을 향상시키는 것이 필수적이라고 말할 수 있다.
- <37> 따라서, 상기 관점에서, 도 18의 화소의 회로 구성에서의 효과적인 평면 레이아웃이 도 19에 도시되어 있다. 도 19에서, 부호 21은 단일 화소 영역, 22는 화소 개구 영역, 23은 보유 용량 영역, 24는 A 영역, 25는 TFT의 일부 및 콘택트 영역을 나타낸다.
- <38> 도 19에 도시된 바와 같이, $216.7 \mu\text{m}^2$ (58.8%의 개구율)의 화소 개구 영역(22)의 면적에 대하여, $64.2 \mu\text{m}^2$ 의 보유 용량(23)의 면적, $42.2 \mu\text{m}^2$ 의 TFT의 일부 및 콘택트 영역(25)의 면적, 및 $34.1 \mu\text{m}^2$ 의 A 영역(24)의 면적으로 구성되어 있다.
- <39> A 영역(24)은 TFT의 게이트 전극으로 기능하는 영역을 상호 접속하는 배선부, 주사선 및 용량 배선이 서로 평행하게 배치되어 있다는 사실에 기인하는 주사선과 용량 배선의 분리 영역이다. A 영역의 게이트 절연막은 그의 본래의 기능을 수행하지 않아, 레이아웃의 효율을 감소시키는 원인이 된다.
- <40> 또한, 상기 구조의 경우, 용량 배선 저항에 대한 요구가 엄격하게 되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <41> 종래의 액정 표시장치 구동에서는, 각 주사선에 접속된 다수의 화소에의 화상 신호의 전위의 기입이 주사선 방향으로 연속적으로(점 순차 구동의 경우) 또는 동시에(선 순차 구동의 경우) 행해진다.
- <42> 상기한 바와 같은 화소 구성에서는 용량 배선이 주사선에 평행하게 배치되어 있는 관계상, 각 주사선에 접속된 다수의 화소가 공통의 용량 배선에 접속되어 있기 때문에, 공통의 용량 배선에는, 화소 기입 전류에 대응하는 대향 전류가 다수의 화소에 대하여 연속적으로 또는 동시에 흐르게 된다. 용량 배선의 전위 변동에 의한 표시 품질의 감소를 회피하기 위해서는, 용량 배선 저항을 충분히 낮출 필요가 있다.
- <43> 그러나, 용량 배선 저항을 낮추기 위해 배선의 폭을 넓히는 것은, 보유 용량이 차지하는 면적을 증가시키고 화소의 개구율을 감소시키는 것을 의미한다.
- <44> 본 발명은 설계 측면에서 상기 문제에 대한 해결책을 제공하는 것이고, 따라서, 높은 개구율을 얻으면서 충분한 보유 용량(Cs)을 확보하고, 동시에, 용량 배선의 부하(화소 기입 전류)를 시간적으로 분산시켜 그 부하를 효과적으로 감소시킴으로써, 높은 표시 품질을 가지는 액정 표시장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <45> 본 발명의 일 실시형태에 따르면, 절연 표면상의 제1 배선, 그 제1 배선상의 제1 절연막, 그 제1 절연막상의 반도체막, 그 반도체막상의 제2 절연막, 그 제2 절연막상에 있고 상기 제1 배선에 접속된 제2 배선 및 게이트 전극, 상기 제2 배선 및 상기 게이트 전극상의 제3 절연막, 및 그 제3 절연막상에 있고 상기 반도체막에 접속된 제3 배선을 포함하는 것을 특징으로 하는 반도체장치가 제공된다.
- <46> 삭제

- <47> 상기 구성의 반도체장치에서, 상기 반도체막과 상기 제2 배선이 상기 제2 절연막을 사이에 두고 겹쳐 있는 것을 특징으로 한다.
- <48> 또한, 상기 각 구성의 반도체장치에서, 상기 제2 배선과 상기 반도체막이 상기 제2 절연막을 사이에 두고 겹쳐 있는 영역에 상기 제2 절연막을 유전체로 하여 보유 용량이 형성되어 있는 것을 특징으로 한다.
- <49> 또한, 상기 각 구성의 반도체장치에서, 상기 제2 절연막을 사이에 두고 상기 제2 배선과 겹쳐 있는 상기 반도체막의 영역에 도전형을 부여하는 불순물 원소가 첨가되어 있는 것을 특징으로 한다.
- <50> 또한, 상기 각 구성의 반도체장치에서, 상기 반도체장치가, 상기 반도체막에 접속되는 전극과, 상기 제3 절연막 상에 있고 상기 전극에 접속되는 화소 전극을 더 포함하는 것을 특징으로 한다.
- <51> 또한, 상기 각 구성의 반도체장치에서, 상기 제1 배선과 상기 제2 배선이 서로 직교하는 방향으로 배치되어 있는 것을 특징으로 한다.
- <52> 또한, 상기 각 구성의 반도체장치에서, 상기 제1 배선이 상기 제3 배선과 직교하는 방향으로 배치되어 있는 것을 특징으로 한다.
- <53> 또한, 상기 각 구성의 반도체장치에서, 상기 게이트 전극이 상기 제1 배선과는 다른 층에 형성되어 있는 것을 특징으로 한다.
- <54> 또한, 상기 각 구성의 반도체장치에서, 상기 게이트 전극이 섬 형상으로 패터닝되어 있는 것을 특징으로 한다.
- <55> 또한, 상기 각 구성의 반도체장치에서, 상기 제1 배선이 주사선인 것을 특징으로 한다.
- <56> 또한, 상기 각 구성의 반도체장치에서, 상기 제2 배선이 용량 배선인 것을 특징으로 한다.
- <57> 또한, 상기 각 구성의 반도체장치에서, 상기 제3 배선이 신호선인 것을 특징으로 한다.
- <58> 또한, 상기 각 구성의 반도체장치에서, 상기 제2 절연막이 게이트 절연막인 것을 특징으로 한다.
- <59> 또한, 상기 각 구성의 반도체장치에서, 상기 게이트 전극이, 도전형을 부여하는 불순물 원소가 첨가된 폴리-Si, W, WSi_x, Al, Ta, Cr, Mo으로 이루어진 군에서 선택된 원소를 주성분으로 하는 막, 또는 이들 원소의 조합으로 된 적층막으로 되어 있는 것을 특징으로 한다.
- <60> 또한, 본 발명의 다른 실시형태에 따르면, 소정의 간격으로 서로 평행하게 배치되고 신호선 구동회로에 접속되는 다수의 신호선, 소정의 간격으로 서로 평행하게 배치되고 주사선 구동회로에 접속되는 다수의 주사선, 및 상기 신호선에 평행하게 배치되는 용량 배선을 포함하는 것을 특징으로 하는 반도체장치가 제공된다.
- <61> 상기 구성의 반도체장치에서, 상기 주사선이 상기 신호선과 직교하는 것을 특징으로 한다.
- <62> 또한, 상기 각 구성의 반도체장치에서, 상기 반도체장치가, 상기 신호선과 직교하는 상기 주사선에 접속되는 게이트 전극을 가진 박막트랜지스터와, 그 박막트랜지스터에 접속된 화소 전극을 더 포함하는 것을 특징으로 한다.
- <63> 또한, 상기 각 구성의 반도체장치에서, 상기 게이트 전극이 상기 주사선과는 다른 층에 형성되어 있는 것을 특징으로 한다.
- <64> 또한, 상기 각 구성의 반도체장치에서, 상기 게이트 전극이 섬 형상으로 패터닝되어 있는 것을 특징으로 한다.
- <65> 또한, 본 발명의 다른 양태에 따르면, 절연 표면을 가진 기판상에 제1 배선을 형성하는 제1 공정, 상기 제1 배선상에 제1 절연막을 형성하는 제2 공정, 상기 제1 배선상에 반도체막을 형성하는 제3 공정, 상기 반도체막상에 제2 절연막을 형성하는 제4 공정, 상기 제1 절연막 및 상기 제2 절연막을 선택적으로 에칭하여 상기 제1 배선에 이르는 제1 콘택트 홀을 형성하는 제5 공정, 상기 반도체막의 일부와 겹치고 상기 제1 콘택트 홀을 통해 상기 제1 배선에 접속되는 게이트 전극을 상기 제2 절연막상에 형성하는 제6 공정, 상기 게이트 전극상에 제3 절연막을 형성하는 제7 공정, 상기 제2 절연막 및 상기 제3 절연막을 선택적으로 에칭하여 상기 반도체막에 이르는 제2 콘택트 홀을 형성하는 제8 공정, 및 상기 제2 콘택트 홀을 통해 상기 반도체막에 접속되는 제3 배선을 상기 제3 절연막상에 형성하는 제9 공정을 포함하는 것을 특징으로 하는 반도체장치 제작방법이 제공된다.
- <66> 또한, 상기 구성의 제작방법에서, 상기 게이트 전극을 형성하는 공정과 동일한 공정에서, 상기 반도체막의 일부

와 겹치는 제2 배선을 상기 제2 절연막상에 형성하는 것을 특징으로 한다.

<67> 또한, 상기 구성의 제작방법에서, 상기 반도체막상에 상기 제2 절연막을 형성하는 공정 후에, 상기 제2 배선과 겹치는 상기 제2 절연막을 부분적으로 얇게 하는 공정을 더 포함하는 것을 특징으로 한다.

<68> 또한, 상기 구성의 제작방법에서, 상기 제2 절연막이 게이트 절연막이고, 상기 제1 배선이 주사선이고, 상기 제2 배선이 용량 배선이고, 상기 제3 배선이 신호선인 것을 특징으로 한다.

<69> 이하, 본 발명의 바람직한 실시형태에 대하여 설명한다. 본 발명은, 개구율을 향상시키는 것과 함께 보유 용량을 증대시키기 위해 게이트 전극과는 다른 층에 주사선을 형성하는 것을 특징으로 한다. 본 발명의 화소 구성의 일 예를 도 1에 나타낸다.

<70> 삭제

<71> 도 1에서, 패터닝에 의해 섬 형상으로 형성된 게이트 전극(106)이 절연막에 형성된 콘택트 홀(100c)을 통해 주사선(102)에 접속되어 있고, 또한, 반도체막(104)이 콘택트 홀(100a)을 통해 신호선(109)에 접속되어 있다. 또한, 반도체막(104)은 콘택트 홀(100b)을 통해 전극(110)에 접속되어 있다. 신호선(109) 또는 전극(110)에 접속되는 반도체막의 영역을 소스 영역 또는 드레인 영역이라 부른다. 또한, 소스 영역과 드레인 영역 사이에 채널 형성 영역이 형성되어 있고, 채널 형성 영역상에는 게이트 절연막을 사이에 두고 게이트 전극(106)이 제공되어 있다. 소스 영역, 드레인 영역, 및 채널 형성 영역은 간략화를 위해 도면에는 나타나지 않았다.

<72> 본 발명에 따르면, 도 1에 도시된 바와 같이 게이트 전극(106)의 하층에 주사선(102)을 형성하는 경우, 주사선(102)이 반도체막(104)의 하층에 제공되므로, 차광막으로서 기능하는 것도 가능하다. 또한, 반도체막을 하부 전극으로 하고, 반도체막을 덮은 절연막을 유전체로 하고, 용량 배선(107)을 상부 전극으로 하여 보유 용량이 형성된다. 보유 용량은 반도체막을 덮은 절연막을 부분적으로 얇게 함으로써 확대될 수도 있다.

<73> 또한, 본 발명의 일 양태에 따르면, 각 화소의 TFT는 절연막을 사이에 두고 채널 형성 영역의 상방과 하방에 게이트 전극을 구비한 이중 게이트 구조로 할 수도 있고, 제1 절연막의 막 두께를 적절히 설정함으로써, 주사선과 다른 배선으로 형성되는 기생 용량을 억제하면서 TFT의 특성을 향상시킬 수 있다.

<74> 종래기술(용량 배선이 주사선과 평행하게 배치되는)과는 달리, 본 발명은 용량 배선이 신호선과 평행하게 배치되는 것을 특징으로 한다. 따라서, 구동 방식에서 각 주사선에 대응하는 화소에 화상 신호의 연속적인 기입이 행해지더라도, 각 화소가 각각의 독립된 용량 배선으로 형성된 보유 용량에 접속되어 있기 때문에 인접 화소의 기입 전류에 의한 용량 배선의 전위 변동이 회피되므로, 양호한 표시 화상이 얻어질 수 있다.

<75> 종래에는, 각 주사선에의 기입 기간 중에 신호선 전위(기입 전위)가 감소되는 것을 방지하기 위해 각 신호선에 샘플 홀드 용량이 제공되었다. 본 발명에서는, 용량 배선이 신호선에 평행하고 그 신호선과 겹치도록 배치되어 있다. 따라서, 신호선의 기생 용량이 증가한다는 사실로부터 주변 회로의 부분에 샘플 홀드 용량을 마련할 필요가 없어, 신호선 전위의 보유 특성을 향상시킨다. 종래기술과 비교하여, 주변 회로가 작게 될 수 있다.

<76> 또한, 상기와 동일한 이유로 용량 배선 저항에의 요구 성능이 완화되므로, 용량 배선의 배치, 크기, 및 막 두께의 설계 자유도가 크게 된다. 또한, 용량 배선 재료의 선택 범위가 확대되기 때문에, 설계와 제작 상의 난이도가 줄어들게 되어, 높은 생산수율이 얻어진다.

<77> 상기와 같이 구성된 본 발명에 대하여 실시예에 의해 상세한 설명한다.

<78> [실시예 1]

<79> 본 실시예에서는, 점 순차 구동의 투사(投寫)형 액정 표시장치를 예로 들어 설명한다.

<80> 스위칭 소자로서 TFT를 이용하는 액티브 매트릭스형 액정 표시장치는, 매트릭스 형태로 배치된 화소 전극을 가진 기관(TFT 기관)과 대향 전극이 형성되어 있는 대향 기관을 액정 층을 사이에 두고 대향 배치한 구성으로 되어 있다. 이들 기관 사이의 간격은 스페이서 등을 통해 소정의 간격으로 제어되고, 액정 층을 봉입하기 위해 표시 영역의 외측 주변부에 밀봉재가 사용된다.

<81> 도 4는 본 실시예의 액정 표시장치의 단면 구조를 개략적으로 나타내는 도면이다. 도 4에서, 부호 101은 기관(TFT 기관)을 나타내고, 102는 주사선, 103은 제1 절연막, 104는 반도체막, 105는 게이트 절연막(제2 절연막), 106은 게이트 전극, 107은 용량 배선, 108은 제3 절연막, 109 및 111은 신호선 또는 신호선으로부터 분기된 전

극을 나타낸다. 110은 제3 절연막으로 형성되고 콘택트 홀(도시되지 않음)을 통해 반도체막에 접속된 전극을 나타낸다. 또한, 이 전극(110)은 TFT와 화소 전극을 접속하는 전극이다.

- <82> 본 명세서에서, "전극"이란 "배선"의 일부이고, 다른 배선과의 전기적 접속을 행하는 장소, 또는 배선이 반도체층과 교차하는 장소를 가리킨다. 따라서, 설명의 편의상, "배선"과 "전극"을 구분하여 사용하지만, "전극"이란 용어는 "배선"의 의미를 항상 포함하고 있는 것으로 한다.
- <83> 부호 101~110으로 나타낸 부분들은 본 명세서에서 TFT로 정의된다. 또한, 부호 109 및 110은 배선으로부터 분기된 전극 또는 배선일 수도 있다.
- <84> 또한, 부호 112는 TFT를 덮는 제4 절연막을 나타내고, 113은 TFT의 광 열화(劣化)를 방지하기 위한 차광막, 114는 제5 절연막, 115는 콘택트 홀(100d)을 통해 전극(110)에 접속된 화소 전극, 116은 액정 층(117)을 배향시키기 위한 배향막을 나타낸다.
- <85> 도 4에서도, 대향 기관(120)에 대향 전극(119)과 배향막(118)이 제공되어 있고, 그 외에, 필요에 따라 차광막 및 컬러 필터가 제공될 수도 있다.
- <86> 도 2에 도시된 바와 같이, 기관(TFT 기관)(101)은 화소부(201)와, 그 화소부 주변에 형성된 주사선 구동회로(202) 및 신호선 구동회로(203)를 포함한다.
- <87> 주사선 구동회로(202)는 주로, 주사 신호를 순차적으로 전송하는 시프트 레지스터로 구성되어 있다. 신호선 구동회로(203)는 주로, 시프트 레지스터의 출력에 의거하여 입력되는 화상 신호를 시프트 레지스터를 샘플링한 후 보유하고, 신호선을 구동하는 샘플 홀드 회로로 구성되어 있다.
- <88> 화소부(201)에는, 주사선 구동회로(202)에 접속되고 소정의 간격으로 서로 평행하게 배치된 다수의 주사선(게이트 배선)(207)과, 화상 신호를 입력하기 위한 단자(205)를 가지고 신호선 구동회로(203)에 접속되고 소정의 간격으로 서로 평행하게 배치된 다수의 신호선(208)이 교차하여 배치되어 있고, 각 교차점에 TFT(도시되지 않음)를 배치하는 것과 함께, 주사선과 신호선으로 구획되는 각 영역에 화소 전극(도시되지 않음)이 배치되어 있다. 따라서, 이 구성으로부터 각 화소 전극은 매트릭스 형태로 배치되는 것으로 된다. 또한, GND(접지) 또는 고정 전위(206)에 접속된 다수의 용량 배선(209)이 신호선(208)과 평행하게 설치되어 있다. 부호 204는 대향 기관상에 배치된 구동회로를 나타낸다. 간략화를 위해, 도 2에는 신호선, 주사선, 및 용량 배선의 일부만이 도시되어 있다.
- <89> 이하, 도 4에 도시된 반도체장치를 제작하는 간략화된 공정을 도 1, 도 3(A), 및 도 3(B)를 참조하여 설명한다.
- <90> 먼저, 기관(101)으로서 유리 기관 이외에, 석영 기관 및 플라스틱 기관도 사용될 수 있다. 유리 기관을 사용하는 경우에는, 유리의 왜곡점보다 10~20℃ 정도 낮은 온도로 미리 열처리하여 두어도 좋다. 또한, 기관(101)으로부터의 불순물 확산을 방지하기 위해, TFT가 형성될 기관(101)의 표면에 하지막을 형성한다. 이 하지막은 산화규소막, 질화규소막, 또는 산화질화규소막과 같은 절연막으로 되어 있다.
- <91> 그 다음, 기관상에 도전막을 형성하고, 패터닝을 행하여, 주사선(102)을 형성한다. 주사선(102)에는, 도전형을 부여하는 불순물 원소가 첨가된 폴리-Si, WSi_x ($X=2.0$ 내지 2.8), Al, Ta, W, 및 Cr과 같은 도전성 재료 및 그의 적층 구조가 사용될 수 있다. 본 실시예에서는, 소정의 간격으로 배치되는 주사선(102)을, WSi_x 막(막 두께: 100 nm)과 폴리-Si 막(막 두께: 50 nm)의 적층 구조의 높은 차광성을 가진 도전성 재료로 형성하였다.
- <92> 그 다음, 주사선(102)을 덮고 약 500 nm의 막 두께를 가지는 제1 절연막(103)을 형성한다. 이 제1 절연막(103)에는, 플라즈마 CVD법 또는 스퍼터링법과 같은 공지의 방법으로 형성되는 규소 함유 절연막이 사용된다. 또한, 이 제1 절연막(103)은 유기 절연재료로 된 막, 산화규소막, 산화질화규소막, 또는 질화규소막, 또는 이들 막을 조합시킨 적층막으로 형성될 수도 있다.
- <93> 그 다음, 플라즈마 CVD법 또는 스퍼터링법과 같은 공지의 방법으로 반도체막을 25~80 nm(바람직하게는 30~60 nm)의 두께로 형성하고, 소망의 형상으로 패터닝한다. 본 실시예에서는, 플라즈마 CVD법에 의해 비정질 규소막을 약 50 nm의 두께로 형성하였다. 공지의 결정화 방법으로 결정화 공정을 행하여, 비정질 규소막으로부터 결정질 규소막(폴리-Si 막)을 형성한 다음, 그 결정질 규소막을 섬 형상으로 패터닝한다. 본 실시예에서는 결정질 규소막(폴리-Si 막)을 사용하지만, 반도체막이라면 특별히 한정되지 않는다.
- <94> 본 명세서에서, "반도체막"이란 단결정 반도체막, 결정질 반도체막(폴리-Si 막과 같은), 비정질 반도체막(a-Si 막과 같은), 또는 미(微)결정 반도체막을 가리키고, 또한, 실리콘 게르마늄 막과 같은 화합물 반도체막도 "반도

체막"에 포함된다.

- <95> 그리고, 플라즈마 CVD법 또는 스퍼터링법과 같은 방법으로 형성된 규소 함유 절연막, 또는 열 산화된 반도체막(Si 막과 같은)으로 형성된 산화막을 사용하여 제2 절연막(게이트 절연막)(105)을 형성한다. 이 제2 절연막(105)은 필요에 따라 2층 또는 3층과 같은 다수의 층으로 된 적층 구조로 할 수도 있다.
- <96> 그후, 각각의 섬 형상 반도체막을 사용하여 화상 신호 기입 스위치로서 기능하는 TFT를 구성하기 위해, 공지의 기술을 이용하여, 섬 형상 반도체막에 n형 또는 p형 도전형을 부여하는 불순물 원소(인 또는 붕소와 같은)를 선택적으로 첨가하여, 저저항의 소스 영역 및 드레인 영역을 형성하고, 또한, 저저항 영역을 형성한다. 이 저저항 영역은 드레인 영역과 마찬가지로 불순물 원소(대표적으로는 인 또는 붕소)를 첨가하여 저저항으로 되어 있는 반도체막의 일부이다. 불순물 원소를 선택적으로 첨가하는 공정 순서는 특별히 한정되지 않는다. 예를 들어, 제1 절연막 및 게이트 전극의 형성 전에 또는 게이트 전극의 형성 후에 불순물 원소를 첨가할 수도 있다. 또한, 회로 구성에 따라 LDD 영역 및 오프셋 영역이 형성될 수도 있다. 간략화를 위해, 각 영역을 도면에 나타내지 않았다.
- <97> 그리하여, 반도체막(104)에서 소스 영역과 드레인 영역 사이에 채널 형성 영역이 형성된다.
- <98> 그 다음, 제1 절연막(103) 및 제2 절연막(105)에 선택적 에칭을 행하여, 도 3(B)에 도시된 바와 같이 주사선(102)에 이르는 제1 콘택트 홀(100c)을 형성한다.
- <99> 그 다음, 제2 절연막(105)상에 도전막을 형성하고, 패터닝을 행하여, 게이트 전극(106) 및 용량 배선(107)을 형성한다. 게이트 전극(106) 및 용량 배선(107)은 도전형을 부여하는 불순물 원소가 첨가된 폴리-Si, WSi_x ($X=2.0$ 내지 2.8), Al, Ta, W, Cr, 및 Mo과 같은 도전성 재료 및 그의 적층 구조로 약 300 nm의 두께로 형성된다. 또한, 게이트 전극(106) 및 용량 배선(107)은 단층으로 형성될 수 있으나, 필요에 따라 2층 또는 3층과 같은 다수의 층으로 된 적층 구조로 형성될 수도 있다. 이 경우, 섬 형상으로 배치되는 각 게이트 전극은 제1 절연막(103) 및 제2 절연막(105)에 형성된 제1 콘택트 홀(100c)을 통해 주사선(102)에 전기적으로 접속된다.
- <100> 섬 형상 게이트 전극(106)은 제2 절연막(105)을 사이에 두고 각 화소의 채널 형성 영역상에 배치되고, 용량 배선(107)은 제2 절연막(105)을 사이에 두고 저저항 영역상에 배치된다. 용량 배선(107)이 제2 절연막(105)과 겹치는 영역의 막을 부분적으로 얇게 하는 공정을 추가함으로써, 보유 용량을 확대시킬 수 있다. 용량 배선(107)은 신호선 방향으로 각 화소에 연속적으로 배치되고, 표시 영역 외측에서 접지 또는 고정 전위에 전기적으로 접속된다.
- <101> 그 다음, 게이트 전극(106) 및 용량 배선(107)을 덮도록 제3 절연막(108)을 형성한다. 이 제3 절연막(108)에는, 플라즈마 CVD법 또는 스퍼터링법과 같은 방법에 의해 형성된 규소 함유 절연막이 사용된다. 또한, 이 제3 절연막(108)은 산화규소막, 산화질화규소막, 질화규소막, 또는 이들 막을 조합시킨 적층막으로 형성될 수 있다.
- <102> 그 다음, 제2 절연막(105)과 제3 절연막(108)에 선택적 에칭을 행하여, 도 3(A) 및 도 3(B)에 도시된 바와 같이 반도체막(소스 영역 또는 드레인 영역)에 이르는 제2 콘택트 홀(100a, 100b)을 형성한다.
- <103> 그 다음, Al, W, Ti 및 TiN을 주성분으로 하는 막 또는 이들 원소의 적층 구조를 가진 도전막(막 두께: 500 μm)을 제3 절연막(108)상에 형성하고, 패터닝을 행하여, 신호선(109, 111)과, 후에 형성되는 화소 전극과의 접속을 위한 섬 형상 전극(110)을 형성한다. 이 신호선(109, 111)은 반도체막에 이르는 제2 콘택트 홀(100a, 100b)을 통해 소스 영역 또는 드레인 영역에 접속된다. 마찬가지로, 섬 형상 전극(110)은 반도체막에 이르는 제2 콘택트 홀(100a)를 통해 소스 영역 또는 드레인 영역에 접속된다. 또한, 신호선(109, 111)은 용량 배선(107)과 평행한 방향으로 배치된다.
- <104> 섬 형상 전극(110)은 신호선(109)으로부터 격리되도록 배치된다. 그러나, 신호선(109)과 섬 형상 전극(110)이 함께 소스 영역에 접속되지 않는다. 마찬가지로, 신호선(109)과 섬 형상 전극(110)이 함께 드레인 영역에 접속되지 않는다.
- <105> 이 단계에서의 화소의 상면도가 도 1에 대응하고, 도 1의 A-A'선 및 B-B'선을 따라 취한 개략 단면 구조도가 각각 도 3(A) 및 도 3(B)에 대응한다.
- <106> 그 다음, 신호선(109)과 섬 형상 전극(110)을 덮도록 제4 절연막(112)을 형성한다. 이 제4 절연막(112)은 유기

절연재료 막, 산화규소막, 산화질화규소막 또는 질화규소막과 같은 막, 또는 이들 막을 조합시킨 적층막으로 형성될 수 있다.

<107> 이어서, Ti, Al, W, Cr, 또는 검은색 수지와 같은 재료로 형성되는 차광성이 높은 막을 제4 절연막(112)상에 형성하고, 소망의 형상으로 패터닝하여, 차광막(113)을 형성한다. 이 차광막(113)은 화소의 개구부를 제외한 영역을 차광하도록 메시(mesh)와 같이 배치된다.

<108> 본 실시예에서는, 차광막(113)이 전기적으로 부유(floating)로 되지만, 차광막 재료로서 저저항 막이 선택되는 경우, 표시 영역 외측에서 차광막을 임의의 전위로 제어하는 것이 가능하다.

<109> 그 다음, 차광막(113)상에 제5 절연막(114)을 형성한다. 이 제5 절연막(114)은 유기 절연재료로 된 막으로 형성하는 것이 좋다. 제5 절연막(114)을 유기 절연재료로 형성함으로써, 표면이 충분히 평탄화될 수 있다. 또한, 유기 수지재료가 일반적으로 유전율이 낮기 때문에 기생 용량이 감소될 수 있다. 그러나, 유기 수지재료는 흡습성이기 때문에, 보호막으로는 적합하지 않다. 따라서, 제5 절연막(114)은 산화규소막, 산화질화규소막, 및 질화규소막이 조합된 적층 구조일 수도 있다.

<110> 그 다음, 제4 절연막(112)과 제5 절연막(114)에 선택적 에칭을 행하여, 섬 형상 전극에 이르는 제3 콘택트 홀(100d)을 형성한다. 이 제3 콘택트 홀(100d)이 편의상 도 4에는 점선으로 나타내어졌다.

<111> 그 다음, ITO 막과 같은 투명 도전막을 형성하고, 패터닝하여, 화소 전극(115)을 형성한다. 화소 전극(115)은 제3 콘택트 홀(100d)을 통해 섬 형상 전극(110)에 접속된다. 각 화소 전극은 각 화소의 개구부를 덮도록 독립적으로 배치되어 있다.

<112> 이렇게 하여 형성된 TFT 기관에 액정 층(117)을 배향시키기 위한 배향막(116)을 형성한다. 그 다음, 대향 전극(119) 및 배향막(118)이 제공된 대향 기관(120)과 TFT 기관을 공지의 셀 조립 기술을 사용하여 함께 접합한 후, 양 기관 사이에 액정 재료를 주입하고 봉지하여, 2개의 기관 사이에 액정 층이 보유된 액정 셀을 완성시킨다.

상기한 제작공정을 이용하고, 또한, 표 2의 디자인 룰에 따라 배선, 반도체막 등을 배치함으로써, $236.9 \mu\text{m}^2$ 의 화소 개구 영역의 면적(개구율: 64.3%)과 $62.8 \mu\text{m}^2$ 의 보유 용량 영역의 면적이 얻어질 수 있다.

<113> 표 2

<114>	Si 층: 최소 크기 = $0.8 \mu\text{m}$, 최소 간격 = $1.5 \mu\text{m}$ 게이트 전극: 최소 크기 = $1.0 \mu\text{m}$, 최소 간격 = $1.5 \mu\text{m}$ 주사선 및 게이트 전극의 콘택트 홀: 최소 크기 = $1.0 \mu\text{m}$ 콘택트 홀과 게이트 전극의 마진 = $1.0 \mu\text{m}$ 주사선: 최소 크기 = $1.5 \mu\text{m}$, 최소 간격 = $1.5 \mu\text{m}$ 신호선 및 Si 층의 콘택트 홀: 최소 크기 = $1.0 \mu\text{m}$평방 콘택트 홀과 Si 층의 마진 = $1.0 \mu\text{m}$ 콘택트 홀과 주사선(게이트 전극)의 최소 간격 = $1.3 \mu\text{m}$ 신호선: 최소 크기 = $1.5 \mu\text{m}$, 최소 간격 = $1.5 \mu\text{m}$ 콘택트 홀 및 신호선의 마진 = $1.3 \mu\text{m}$ 화소 크기: $19.2 \mu\text{m}$평방 화소 TFT: L = $1.5 \mu\text{m}$, W = $0.8 \mu\text{m}$, 단일 게이트 주사선: 배선 폭의 최소 크기 = $1.0 \mu\text{m}$ 주사선: Si 층과 겹치는 부분에서의 배선 폭의 최소 크기 = $1.5 \mu\text{m}$ 용량 배선: 최소 크기 = $2.0 \mu\text{m}$
-------	--

<115> 본 실시예에서는, 재구성된 화소 영역에서, 게이트 전극(106) 및 주사선(102)을 접속하기 위한 콘택트 홀(100c)을 위한 영역을 마련할 필요가 있다. 또한, 본 실시예에서는, 섬 형상 규소막의 채널 형성 영역의 주변부를 차광하는 막은 상부 차광막만으로 되기 때문에, 상부 차광막을 구비한 구조로 하는 것이 바람직하다.

- <116> 삭제
- <117> 이 구성에 의하면, 주사선(102)이 채널 형성 영역 및 그의 주변부에 대한 하부 차광막으로서 기능하기 때문에, 액정 층(117)으로부터 입사하는 광이 TFT 기관의 하부 계면에서 반사되고, 채널 형성 영역 및 그의 주변부에 입사된다. 따라서, TFT로부터의 광 누출을 발생하는 것을 방지할 수 있어, 양호한 표시 품질을 얻을 수 있다.
- <118> [실시예 2]
- <119> 본 실시예에서는, 실시예 1에서 나타낸 액티브 매트릭스형 액정 표시장치의 구성을 도 5의 사시도를 참조하여 설명한다. 실시예 1의 것에 대응하는 부분은 동일 부호로 나타낸다.
- <120> 도 5에서, 액티브 매트릭스 기관은 기관(101)상에 형성된 화소부, 주사선 구동회로(802), 신호선 구동회로(803), 및 다른 신호처리회로로 구성된다. 화소부에는 화소 TFT(800)와 보유 용량(200)이 제공되어 있고, 화소부 주변에 제공되는 구동회로는 CMOS 회로를 기본으로 하여 구성되어 있다.
- <121> 또한, 용량 배선(107)이 신호선(109)에 평행한 방향으로 제공되어 있고, 보유 용량(200)의 상부 전극으로서 기능한다. 용량 배선(107)은 또한, 접지 또는 고정 전위에 접속된다.
- <122> 주사선 구동회로(802) 및 신호선 구동회로(803)로부터, 각각 주사선(102) 및 신호선(109)이 화소부까지 연장하고, 화소 TFT(800)에 접속되어 있다. 또한, FPC(Flexible Printed Circuit)(804)가 외부 입력력 단자(805)에 접속되어, 화상 신호와 같은 신호를 입력하는데 이용된다. FPC(804)는 보강 수지로 단단히 접촉되어 있다. 그리고, 접속 배선(806, 807)이 각 구동회로에 접속되어 있다. 도시되지 않았지만, 대향 기관(808)에는 차광막 및 투명 전극이 제공되어 있다.
- <123> [실시예 3]
- <124> 본 발명을 실시하여 형성된 화소 매트릭스 회로는 각종 전기광학 장치(액티브 매트릭스형 액정 표시장치, 액티브 매트릭스형 EL 표시장치, 및 액티브 매트릭스형 EC 표시장치)에 사용될 수 있다. 즉, 본 발명은 이들 전기광학 장치를 표시부로서 구비한 모든 전자 장치에 실시될 수 있다.
- <125> 그러한 전자 장치의 예로서는, 비디오 카메라, 디지털 카메라, 프로젝터(리어형 또는 프론트형), 헤드 장착형 표시장치(고글형 표시장치), 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 전자 책과 같은) 등을 들 수 있다. 이들의 예를 도 6(A)~도 6(F) 및 도 7(A)~도 7(D)에 나타낸다.
- <126> 도 6(A)는 본체(2001), 화상 입력부(2002), 표시부(2003) 및 키보드(2004)로 구성되는 퍼스널 컴퓨터를 나타낸다. 본 발명은 표시부(2003)에 적용될 수 있다.
- <127> 도 6(B)는 본체(2101), 표시부(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105), 및 수상(受像)부(2106)로 구성되는 비디오 카메라를 나타낸다. 본 발명은 표시부(2102)에 적용될 수 있다.
- <128> 도 6(C)는 본체(2201), 카메라부(2202), 수상부(2203), 조작 스위치(2204), 및 표시부(2205)로 구성되는 모바일 컴퓨터를 나타낸다. 본 발명은 표시부(2205)에 적용될 수 있다.
- <129> 도 6(D)는 본체(2301), 표시부(2302), 및 암(arm)부(2303)로 구성되는 고글형 표시장치를 나타낸다. 본 발명은 표시부(2302)에 적용될 수 있다.
- <130> 도 6(E)는 프로그램이 기록된 기록 매체(이하, 기록 매체라 한다)를 사용하는 플레이어를 나타내고, 이 플레이어는 본체(2401), 표시부(2402), 스피커부(2403), 기록 매체(2404), 및 조작 스위치(2405)로 구성된다. 이 플레이어는 기록 매체로서 DVD(Digital Versatile Disc), 콤팩트 디스크(CD) 등을 사용하여 음악이나 영화를 감상하고, 비디오 게임 또는 인터넷을 즐길 수 있다. 본 발명은 표시부(2402)에 적용될 수 있다.
- <131> 도 6(F)는 본체(2501), 표시부(2502), 접안부(2503), 조작 스위치(2504), 및 수상부(도시되지 않음)로 구성되는 디지털 카메라를 나타낸다. 본 발명은 표시부(2502)에 적용될 수 있다.
- <132> 도 7(A)는 투사(投寫) 유닛(2601), 스크린(2602) 등으로 구성되는 프론트형 프로젝터를 나타낸다. 본 발명은 투사 유닛(2601)을 구성하는 부분인 액정 표시장치(2808)에 적용될 수 있다.
- <133> 도 7(B)는 본체(2701), 투사 유닛(2702), 거울(2703), 스크린(2704) 등으로 구성되는 리어형 프로젝터를 나타낸다

다. 본 발명은 투사 유닛(2702)을 구성하는 부분인 액정 표시장치(2808)에 적용될 수 있다.

- <134> 도 7(C)는 도 7(A) 및 도 7(B)에 각각 나타낸 투사 유닛(2601, 2702)의 구조의 일 예를 나타낸다. 각 투사 유닛(2601, 2702)은 광원 광학계(2801), 거울(2802, 2804~2806), 다이크로익(dichroic) 거울(2803), 프리즘(2807), 액정 표시장치(2808), 위상차 판(2809), 및 투사(投射) 광학계(2810)로 구성된다. 투사 광학계(2810)는 투사 렌즈를 포함하는 광학계로 구성된다. 본 실시예에서는 3판식의 예를 나타내지만, 특별히 한정되는 것은 아니고, 예를 들어, 단판식의 광학계가 사용될 수도 있다. 또한, 실시자는 도 7(C)에서 화살표로 나타낸 광로 내에 광학 렌즈, 편광 기능을 가진 필름, 위상차를 조절하는 필름, IR 필름과 같은 광학계를 적절히 설치할 수도 있다.
- <135> 또한, 도 7(D)는 도 7(C)의 광원 광학계(2801)의 구성의 일 예를 나타낸다. 본 실시예에서는, 광원 광학계(2801)가 반사기(2811), 광원(2812), 렌즈 어레이(2813, 2814), 편광 변환소자(2815), 및 집광 렌즈(2816)로 구성된다. 도 7(D)에 도시된 광원 광학계는 일 예이고, 도시된 구성에 한정되는 것은 아니다. 예를 들어, 실시자는 광학 렌즈, 편광 기능을 가진 필름, 위상차를 조절하는 필름, IR 필름과 같은 광학계를 적절히 설치할 수도 있다.
- <136> 따라서, 본 발명의 적용 범위는 매우 넓고, 모든 분야의 전자 장치에 적용될 수 있다. 또한, 본 실시예의 전자 장치는 실시예 1과 실시예 2의 어떠한 조합으로 된 구성을 사용하여서도 실현될 수 있다.
- <137> [실시예 4]
- <138> 실시예 1에서는 단일 게이트 TFT의 예를 나타내었지만, 본 실시예에서는 이중 게이트 TFT의 예를 나타낸다. 그러나, 이들 구조는 기본적으로는 동일하다.
- <139> 먼저, 절연 표면을 가진 기판(401)상에 도전막을 형성하고, 패터닝을 행하여, 주사선(402)을 형성한다(도 8(A)). 이 주사선(402)은, 후에 형성되는 활성층을 광으로부터 보호하는 차광층으로도 기능한다. 기판(401)에는 석영 기판이 사용되고, 주사선(402)에는 폴리실리콘 막(막 두께: 50 nm)과 텅스텐 규화물(W-Si) 막(막 두께: 100 nm)의 적층 구조가 사용되었다. 또한, 이 폴리실리콘 막은 텅스텐 규화물 막으로부터의 오염으로부터 기판을 보호한다.
- <140> 그 다음, 주사선(402)을 덮도록 절연막(403a, 403b)을 100~1000 nm(전형적으로는 300~500 nm)의 두께로 형성한다(도 8(B)). 여기서는, CVD법에 의해 형성된 두께 100 nm의 산화규소막과 LPCVD법에 의해 형성된 두께 280 nm의 산화규소막을 적층하였다.
- <141> 그 다음, 비정질 반도체막을 10~100 nm의 두께로 형성한다. 여기서는, LPCVD법에 의해 두께 69 nm의 비정질 규소막을 형성하였다. 그 다음, 비정질 반도체막을 결정화하는 기술로서, 일본 공개특허공고 평8-78329호 공보에 개시된 결정화 기술을 사용하여, 비정질 반도체막의 결정화를 행한다. 상기 공보에 개시된 기술은 결정화를 조장하는 금속원소를 비정질 규소막에 선택적으로 첨가하고 열처리를 행하는 결정화 기술이다. 열처리를 행함으로써, 첨가된 영역으로부터 결정화가 개시된 결정질 규소막이 형성된다. 여기서는, 결정화를 조장하는 금속원소로서 니켈을 사용하였다. 결정화를 위한 열처리(600℃, 12시간)는 수소를 방출하기 위한 열처리(450℃, 1시간)를 행한 후에 행해졌다.
- <142> 그후, TFT의 활성층으로부터 니켈을 게터링한다. TFT의 활성층의 영역을 마스크(산화규소막)로 덮고, 결정질 규소막의 부분에 인(P)을 첨가한 다음, 질소분위기에서 600℃로 12시간 열처리를 행한다.
- <143> 마스크를 제거한 후, 패터닝을 행하여, 결정질 규소막의 불필요한 부분을 제거함으로써, 반도체층(404)을 형성한다(도 8(C(1))). 반도체층(404)의 형성 후의 화소의 상면도를 도 8(C(2))에 나타낸다. 도 8(C(2))의 A-A'선에 따른 단면도가 도 8(C(1))에 대응한다.
- <144> 그 다음, 마스크(405)를 형성하고, 보유 용량을 형성할 반도체층의 부분(보유 용량으로서의 영역)(406)에 인을 첨가한다(도 9(A)).
- <145> 그 다음, 마스크(405)를 제거하고, 반도체층을 덮도록 절연막을 형성한 후, 마스크(407)를 형성한다. 그리고, 보유 용량으로서의 영역(406)상에 있는 절연막을 제거한다(도 9(B)).
- <146> 그후, 마스크(407)를 제거하고, 열 산화를 행하여 절연막(게이트 절연막)(408a)을 형성한다. 이 열 산화를 통해, 게이트 절연막의 최종 막 두께는 80 nm로 된다. 보유 용량으로서의 영역상에는, 다른 영역의 것보다 얇게 절연막(408b)이 형성된다(도 9(C(1))). 이 단계에서의 화소의 상면도를 도 9(C(2))에 나타낸다. 도 9(C(2))의 B-

B'선에 따른 단면도가 도 9C(1)에 대응한다. 또한, 도 9C(2)에서 점선 안쪽에 나타난 영역은 얇은 절연막(408b)이 형성되는 영역이다.

<147> TFT의 채널 형성 영역이 될 영역에, p형 또는 n형 도전형을 부여하는 불순물 원소를 저농도로 첨가하는 채널 도핑 공정을 전체 표면에 또는 선택적으로 행한다. 이 채널 도핑 공정은 TFT의 스레시홀드(threshold) 전압을 제어하기 위한 공정이다. 디보란(B_2H_6)을 질량 분리하지 않고, 플라즈마 여기 이온 도핑법에 의해 붕소를 첨가한다. 물론, 질량 분리를 행하는 이온주입법이 사용될 수도 있다.

<148> 그 다음, 절연막(408a) 및 절연막(403a, 403b)상에 마스크(409)를 형성하고, 주사선(402)에 이르는 콘택트 홀을 형성한다(도 10(A)). 콘택트 홀의 형성 후에 마스크를 제거한다.

<149> 그 다음, 도전막을 형성하고, 패터닝을 행하여 게이트 전극(410) 및 용량 배선(411)을 형성한다(도 10(B)). 여기서, 인이 첨가된 규소막(막 두께: 150 nm)과 텅스텐 규화물 막(막 두께: 150 nm)의 적층 구조를 사용하였다. 절연막(408b)을 유전체로 하는 보유 용량이 용량 배선(411)과 반도체층의 부분(406)으로 구성된다.

<150> 그 다음, 게이트 전극(410) 및 용량 배선(411)을 마스크로 하여 자기정합적으로 인을 저농도로 첨가한다(도 10C(1)). 이 단계에서의 화소의 상면도를 도 10C(2)에 나타낸다. 도 10C(2)의 C-C'선에 따른 단면도가 도 10C(1)에 대응한다. 저농도로 첨가된 이 영역의 인의 농도는 $1 \times 10^{16} \sim 5 \times 10^{18}$ 원자/cm³, 전형적으로는 $3 \times 10^{17} \sim 3 \times 10^{18}$ 원자/cm³로 되도록 조절된다.

<151> 그 다음, 마스크(412)를 형성하고, 인을 고농도로 첨가하여, 소스 영역 또는 드레인 영역이 될 고농도 불순물 영역(413)을 형성한다(도 11(A)). 이 고농도 불순물 영역의 인의 농도는 $1 \times 10^{20} \sim 1 \times 10^{21}$ 원자/cm³ (전형적으로는 $2 \times 10^{20} \sim 5 \times 10^{20}$ 원자/cm³)로 되도록 조절된다. 게이트 전극(410)과 겹치는 반도체층(404)의 영역이 채널 형성 영역(414)이 되고, 마스크(412)로 덮인 반도체층(404)의 영역이 LDD 영역으로서 기능하는 저농도 불순물 영역(415)이 된다. 그 불순물 원소의 첨가 후에 마스크(412)를 제거한다.

<152> 도시되지 않았지만, 화소부와 동일 기관상에 형성되는 구동회로에 이용되는 p채널형 TFT를 형성하기 위해, n채널형 TFT가 되는 영역을 마스크로 덮고, 붕소를 첨가하여 소스 영역 또는 드레인 영역을 형성한다.

<153> 그 다음, 마스크(412)를 제거한 후에, 게이트 전극(410) 및 용량 배선(411)을 덮도록 패시베이션막(416)을 형성한다. 여기서, 패시베이션막에, 70 nm의 두께로 형성한 산화규소막을 사용하였다. 그 다음, 열처리를 행하여, 반도체층에 각각의 농도로 첨가된 p형 또는 n형 도전형을 부여하는 불순물 원소를 활성화한다. 이 열처리는 850℃로 30분간 행해진다.

<154> 그 다음, 유기 수지 재료로 된 층간절연막(417)을 형성한다. 여기서, 400 nm의 두께로 형성한 아크릴 수지막을 사용하였다. 그 다음, 반도체층에 이르는 콘택트 홀을 형성한 후에 전극(418) 및 소스 배선(419)을 형성한다. 본 실시예에서는, 전극(418) 및 소스 배선(419)에, 스퍼터링법에 의해 연속적으로 형성되는 100 nm의 Ti 막, 300 nm의 Ti 함유 Al 막, 및 150 nm의 Ti 막으로 이루어진 3층 구조의 적층막을 사용하였다(도 11B(1)). 도 11B(2)의 D-D'선에 따른 단면도가 도 11B(1)에 대응한다.

<155> 그 다음, 수소화 공정을 행한 후, 아크릴로 된 층간절연막(420)을 형성한다(도 12A(1)). 층간절연막(420)상에 차광성을 가진 100 nm의 도전막을 형성하여 차광층(421)을 형성한다. 이어서, 층간절연막(422)을 형성하고, 게이트 전극(418)에 이르는 콘택트 홀을 형성한다. 100 nm의 투명 도전막(여기서는 인듐주석산화(ITO) 막)을 형성하고, 패터닝을 행하여, 화소 전극(423, 424)을 형성한다. 도 12A(2)의 E-E'선에 따른 단면도가 도 12A(1)에 대응한다.

<156> 따라서, 화소부에서, 표시 영역의 면적(화소 크기: $26 \mu\text{m} \times 26 \mu\text{m}$)(개구율: 76.5%)이 확보될 수 있고, n채널형 TFT로 형성된 화소 TFT가 형성되고, 충분한 보유 용량(51.5 fF)이 얻어질 수 있다.

<157> 본 실시예는 일 예이므로, 본 발명이 본 실시예의 공정에 한정되지 않는다는 것은 말할 필요가 없다. 예를 들어, 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 및 실리콘(Si)으로 이루어진 군에서 선택된 원소, 또는 이들 원소의 조합으로 된 합금막(대표적으로는, Mo-W 합금 및 Mo-Ta 합금)으로 형성된 막이 각각의 도전막으로 사용될 수 있다. 또한, 각각의 절연막에는, 산화규소막, 질화규소막, 산화질화규소막, 및 유기 수지 재료(폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 및 BCB(benzocyclobutene))로 된 막이 사용될 수 있다.

- <158> 이렇게 하여 얻어진 TFT의 특성은 만족한 값을 나타내었다. TFT의 특성(V-I 특성)을 도 13에 나타낸다. 특히, 본 발명의 구조가 이중 게이트 구조이기 때문에, S값이 105.8 (mV/dec)의 우수한 값을 나타낸다. 또한, 본 발명의 구조를 제2화소 구조로써, V-I 특성 그래프의 개시점에서의 전압값을 나타내는 스레시홀드 전압(V_{th})이 $V_d = 0.1$ V인 경우 0.946 V이고, $V_d = 5$ V인 경우 0.886 V이다. 따라서, 매우 작은 0.06의 차이가 있다. 이 차이가 작을수록, 단채널 효과가 더욱 억제된다고 말할 수 있다. 또한, 이동도(μ_{FF})는 220 (cm^2/Vs)의 우수한 값을 나타낸다.
- <159> [실시예 5]
- <160> 본 실시예는, 개구율을 높이는 것과 함께 보유 용량을 확대시키기 위해, 주사선(502a)이 게이트 전극과는 다른 층에 형성되고, 용량 전극(502b)이 주사선(502a)과 같은 층에 형성되는 것을 특징으로 한다. 본 발명의 화소 구조의 예를 도 14, 도 15(A) 및 도 15(B)에 나타낸다.
- <161> 도 14의 A-A'선 및 B-B'선에 따른 개략 단면 구조도가 각각 도 15(A) 및 도 15(B)에 대응한다.
- <162> 도 14에서, 섬 형상으로 패터닝된 게이트 전극(506)이 절연막에 형성된 콘택트 홀(500c)을 통해 주사선(502a)에 접속되어 있고, 또한, 반도체막(504)이 콘택트 홀(500a)을 통해 신호선(509)에 접속되어 있다. 또한, 반도체막(504)은 콘택트 홀(500b)을 통해 전극(510)에 접속되어 있다. 신호선(509) 또는 전극(510)에 접속되는 반도체막의 영역을 소스 영역 또는 드레인 영역이라 부른다. 또한, 소스 영역과 드레인 영역 사이에는 채널 형성 영역이 형성되어 있고, 게이트 절연막을 사이에 두고 채널 형성 영역 위에 게이트 전극(506)이 존재한다. 간략화를 위해, 소스 영역, 드레인 영역, 및 채널 형성 영역이 도면에는 도시되지 않았다.
- <163> 본 실시예에서는, 도 14에 도시된 바와 같이, 게이트 전극(506)의 하층에 주사선(502a)을 형성하는 경우, 주사선(502a)은 반도체막(504)의 하층에 제공되어, 차광막으로서 기능할 수 있게 된다. 또한, 보유 용량은 반도체막을 하부 전극으로 하고, 반도체막을 덮는 절연막을 유전체로 하고, 용량 배선(507)을 상부 전극으로 하여 형성된다. 보유 용량은 반도체막을 덮는 절연막을 부분적으로 얇게 함으로써 확대될 수 있다.
- <164> 또한, 본 실시예의 보유 용량은 도 15(A) 및 도 15(B)에 도시된 바와 같이 절연막(503)을 유전체로 하여, 용량 배선(507)에 접속된 용량 전극(502b)으로 형성될 수도 있다. 따라서, 보유 용량이 효과적으로 확보될 수 있고, 이 화소 구조를 이용하는 액정 표시장치의 콘트라스트가 개선될 수 있다. 부호 501은 기판, 502는 게이트 절연막(제2 절연막), 508은 제3 절연막, 511은 신호선을 나타낸다.
- <165> 본 실시예의 구성에 의하면, 각 화소의 TFT는 절연막을 사이에 두고 채널 형성 영역의 상부 및 하부에 게이트 전극이 제공된 이중 게이트 구조일 수 있고, 제1 절연막의 막 두께를 적절히 설정하여 TFT의 특성을 향상시키면서, 주사선과 다른 배선에 의해 형성되는 기생 용량을 억제할 수 있다.
- <166> 본 실시예에 나타난 화소 구조를 제작하는 방법은 실시예 1 또는 실시예 4의 제작방법과 거의 같기 때문에, 여기서는 그의 설명을 생략한다.
- <167> 본 실시예는 실시예 1~실시예 4의 어느 구성과도 자유롭게 조합될 수 있다.
- <168> [실시예 6]
- <169> 본 실시예에서는, 화소 크기를 감소시키는 경우에 개구율을 높이는 것과 함께 보유 용량을 확대시키는 것에 대하여 설명한다. 특히, 본 실시예는 보유 용량이 차광막 및 화소 전극으로 형성되는 것을 특징으로 한다.
- <170> 도 16은 본 실시예의 액정 표시장치를 나타내는 단면도이다. 부호 601은 기판(TFT 기판)을 나타내고, 602는 주사선, 603은 제1 절연막, 604는 반도체막, 605는 게이트 절연막(제2 절연막), 606b는 게이트 전극, 606c는 게이트 배선, 606a는 용량 배선, 607은 제3 절연막, 608은 제3 절연막에 형성된 콘택트 홀을 통해 화소 전극(612)과 TFT를 접속하는 전극을 나타낸다.
- <171> 부호 609는 TFT를 덮는 제4 절연막을 나타내고, 610은 광 열화로부터 TFT를 보호하는 차광막, 611은 제5 절연막, 612는 콘택트 홀을 통해 전극(608)에 접속된 화소 전극, 613은 액정 층(614)을 배향시키는 배향막을 나타낸다.
- <172> 도 16에서, 대향 기판(617)상에 대향 전극(616) 및 배향막(615)이 제공되어 있다. 대향 기판(617)에는 차광막이나 컬러 필터도 제공될 수 있다.
- <173> 도 16에 도시된 바와 같이, 본 실시예의 보유 용량은, 용량 배선(606a), 반도체막(604), 및 유전체로서의 절연

막(605)으로 형성된 제1 보유 용량과, 차광막(610), 화소 전극(612), 및 유전체로서의 절연막(611)으로 형성된 제2 보유 용량으로 구성되어 있다. 절연막(611)은 유기 수지막, 또는 산화질화규소막 및 산화규소막 등과 같은 무기 절연막일 수 있다. 절연막의 두께는 실시자에 의해 적절히 결정될 수 있다.

- <174> 예를 들어, 화소 크기가 $14\ \mu\text{m} \times 14\ \mu\text{m}$ 로 설정되어도, 도 17(B)에 도시된 바와 같이 화소 전극을 구성함으로써, 충분한 보유 용량(약 100 fF) 및 48.8%의 개구율이 확보될 수 있다.
- <175> 도 17(A)는 전극(608)을 형성하는 공정에서의 상면도를 나타내고, 도 17(B)는 차광막(610) 및 화소 전극(612)을 형성하는 공정에서의 상면도이다. 도 16의 것에 대응하는 부분에는 동일 부호를 사용한다.
- <176> 본 실시예는 실시예 1~실시예 5의 어느 구성과도 자유롭게 조합될 수 있다.
- <177> 삭제

발명의 효과

- <178> 본 발명에 의하면, 종래에는 주사선 내의 배선 영역으로 사용된 영역(도 19의 A 영역에 대응하는 영역) 및 주사선/용량 배선 분리 영역이 보유 용량으로 사용될 수 있다. 또한, 각각의 주사선에 접속된 다수의 화소를 개개의 독립된 용량 배선에 접속되도록 구성함으로써, 신호 기입이 각 화소와 인접 화소에 연속적으로 행해질 수 있고, 상기 신호 기입을 행하는 경우에도, 각 화소가 인접 화소의 기입 전류의 영향을 받지 않는다. 또한, 각 용량 배선의 전기 부하가 시간적으로 분산되어, 유효 부하를 감소시킨다. 그리하여, 용량 배선 저항에 대한 요구가 경감된다.

따라서, 본 발명을 이용한 액정 표시장치에 의하면, 높은 개구율과, 각 화소내에 충분한 표시 신호 전위를 보유하는 보유 용량을 함께 가지는 액정 표시소자가 얻어진다. 따라서, 장치의 소형화 및 저소비전력화를 달성하면서 양호한 화상 표시를 얻을 수 있다.

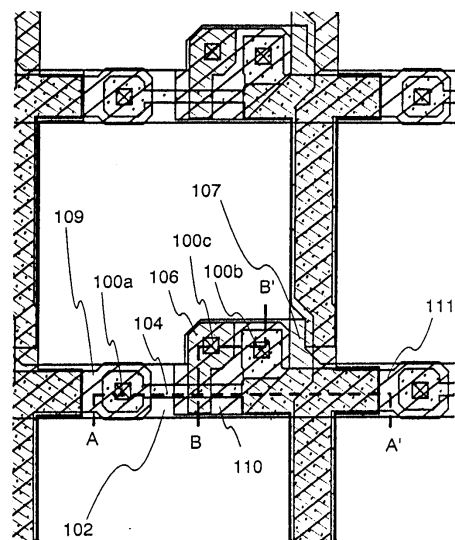
도면의 간단한 설명

- <1> 도 1은 화소의 상면도.
- <2> 도 2는 TFT 기관의 회로 구성을 나타내는 도면.
- <3> 도 3(A) 및 도 3(B)는 TFT 기관의 단면도.
- <4> 도 4는 액티브 매트릭스형 액정표시장치의 단면 구조를 나타내는 도면.
- <5> 도 5는 AM-LCD의 외관을 나타내는 도면.
- <6> 도 6(A)~도 6(F)는 전자 장치의 예를 나타내는 도면.
- <7> 도 7(A)~도 7(D)는 전자 장치의 예를 나타내는 도면.
- <8> 도 8(A)~도 8(C1)과 도 8(C2)는 화소부의 제작공정을 나타내는 단면도와 상면도.
- <9> 도 9(A)~도 9(C1)과 도 9(C2)는 화소부의 제작공정을 나타내는 단면도와 상면도.
- <10> 도 10(A)~도 10(C1)과 도 10(C2)는 화소부의 제작공정을 나타내는 단면도와 상면도.
- <11> 도 11(A) 및 도 11(B1)과 도 11(B2)는 화소부의 제작공정을 나타내는 단면도와 상면도.
- <12> 도 12(A1) 및 도 12(A2)는 화소부의 제작공정을 나타내는 단면도와 상면도.
- <13> 도 13은 TFT의 특성을 나타내는 그래프.
- <14> 도 14는 화소의 상면도.
- <15> 도 15(A) 및 도 15(B)는 화소 구조의 단면도.
- <16> 도 16은 화소 구조의 단면도.
- <17> 도 17(A) 및 도 17(B)는 화소의 상면도.

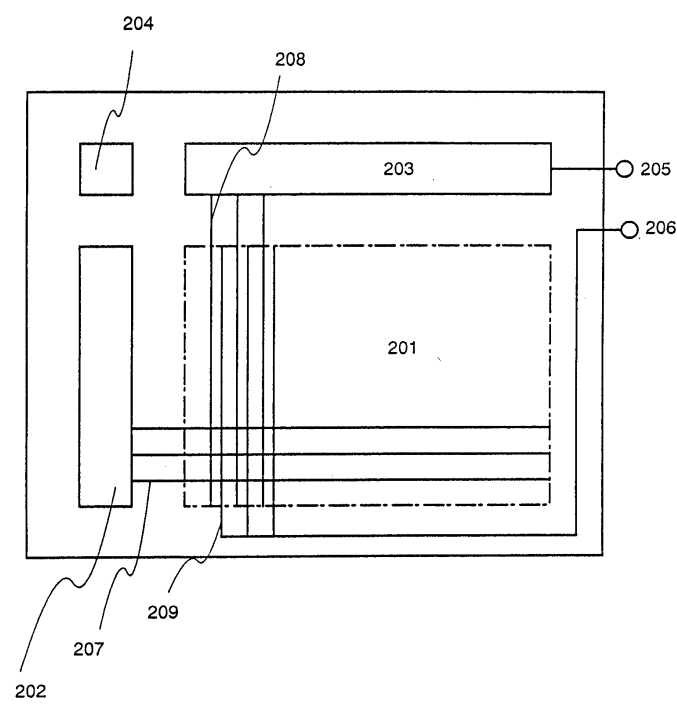
- <18> 도 18은 종래의 화소의 상면도.
- <19> 도 19는 종래의 화소의 개구 영역을 나타내는 도면.

도면

도면1

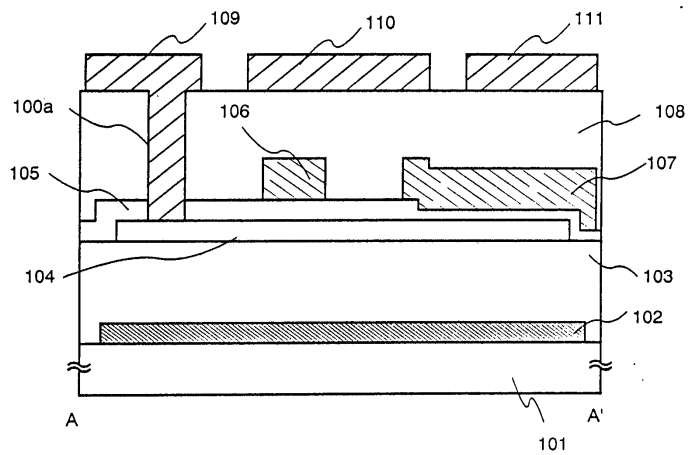


도면2

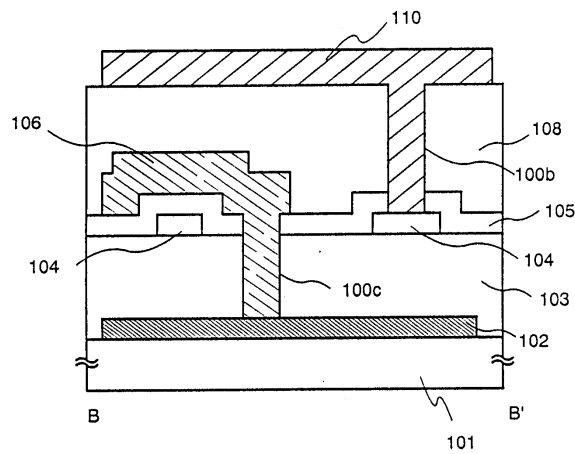


도면3

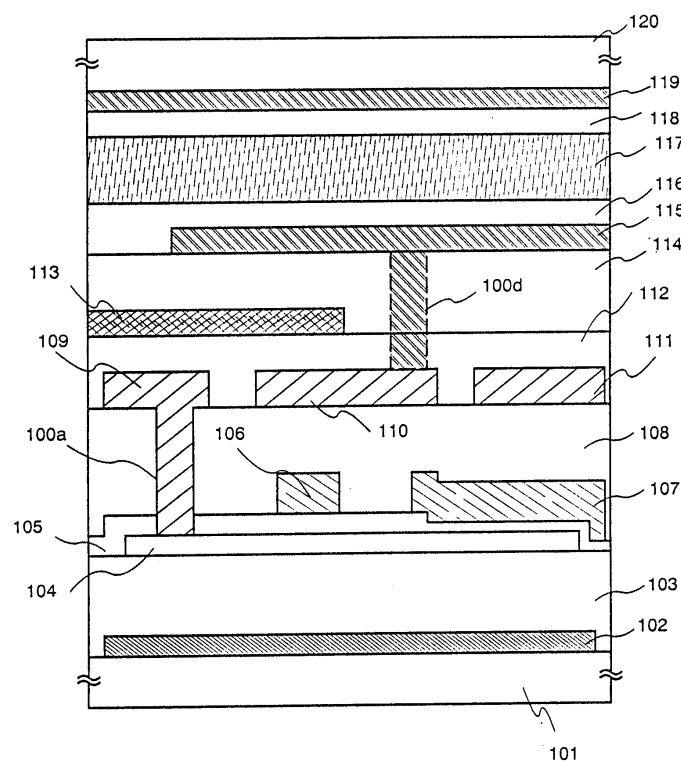
A A-A' 단면도



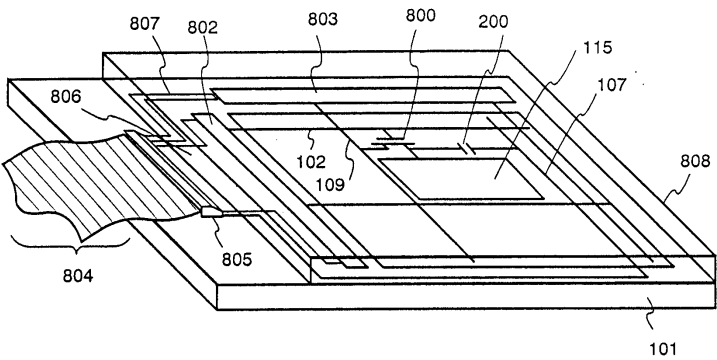
B B-B' 단면도



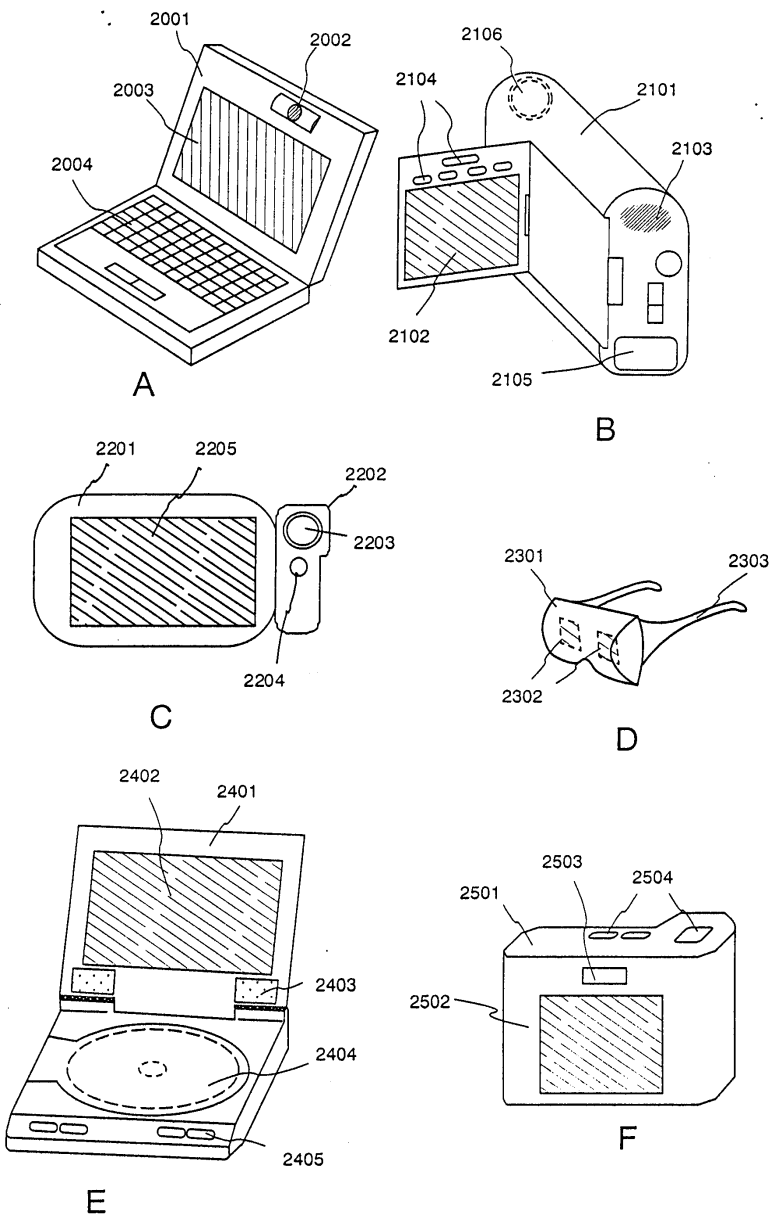
도면4



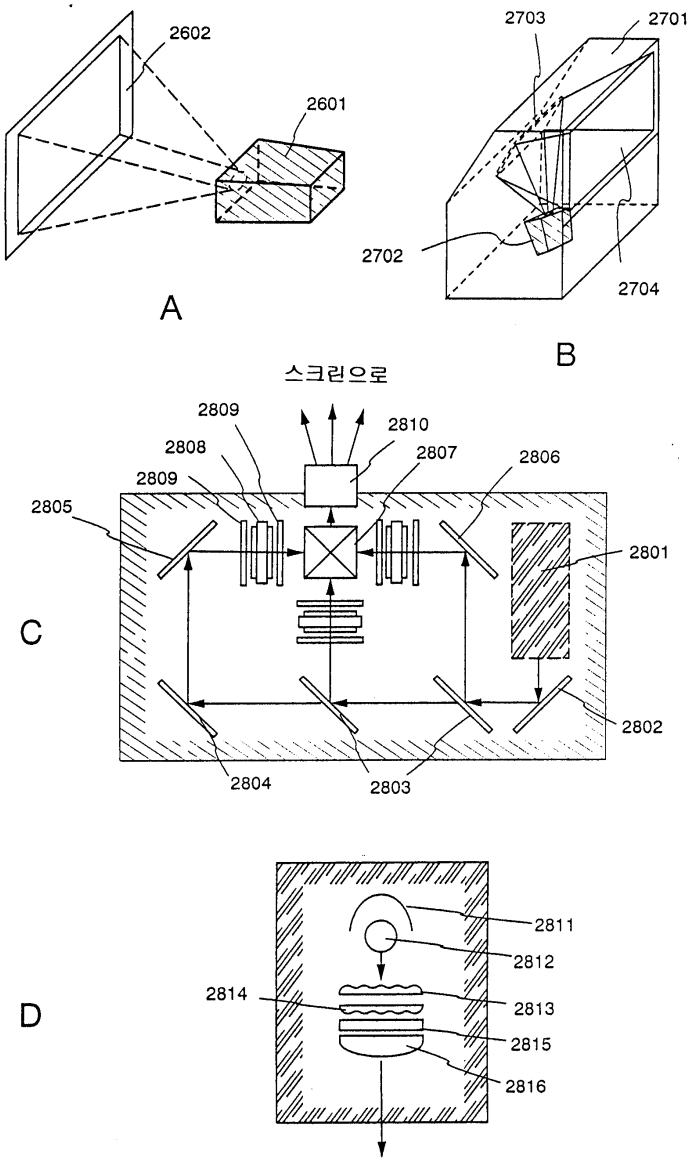
도면5



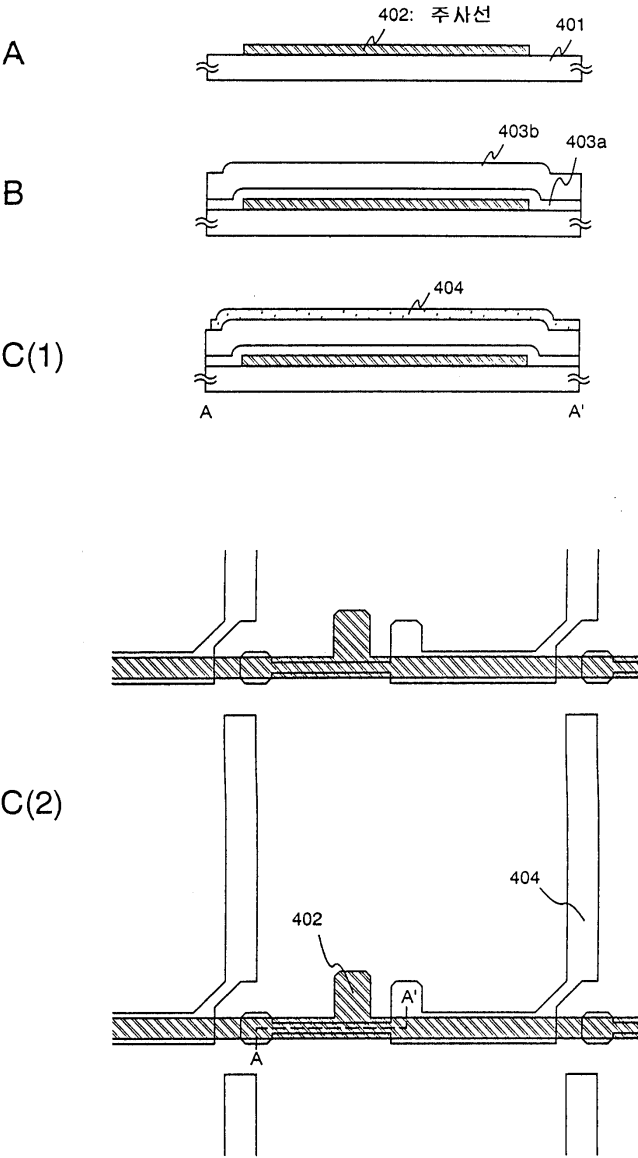
도면6



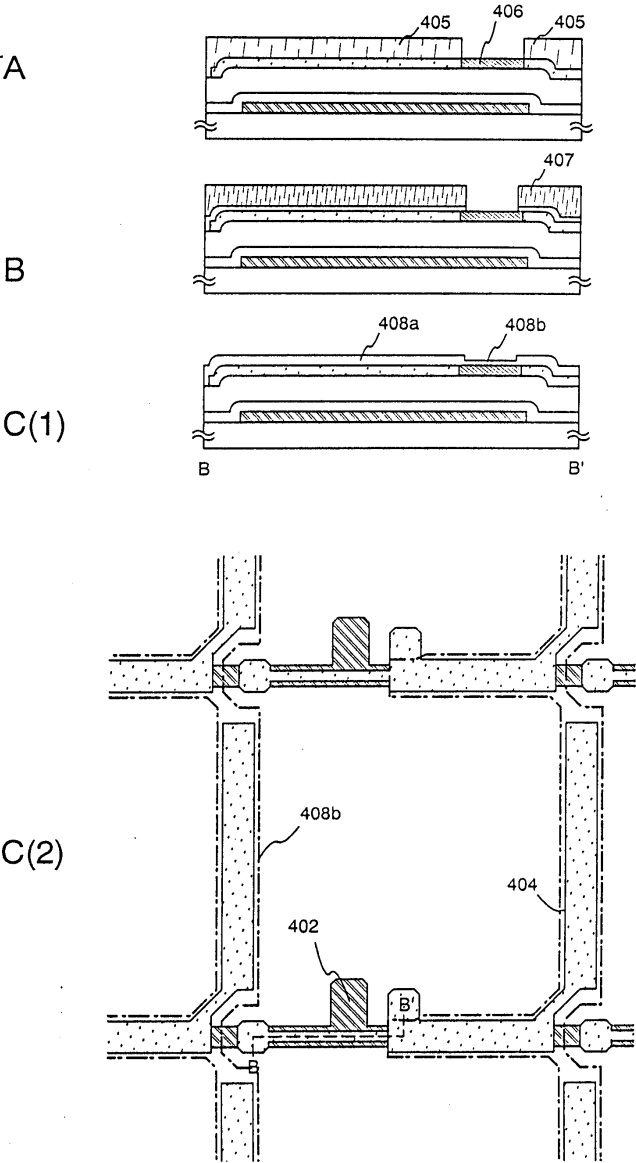
도면7



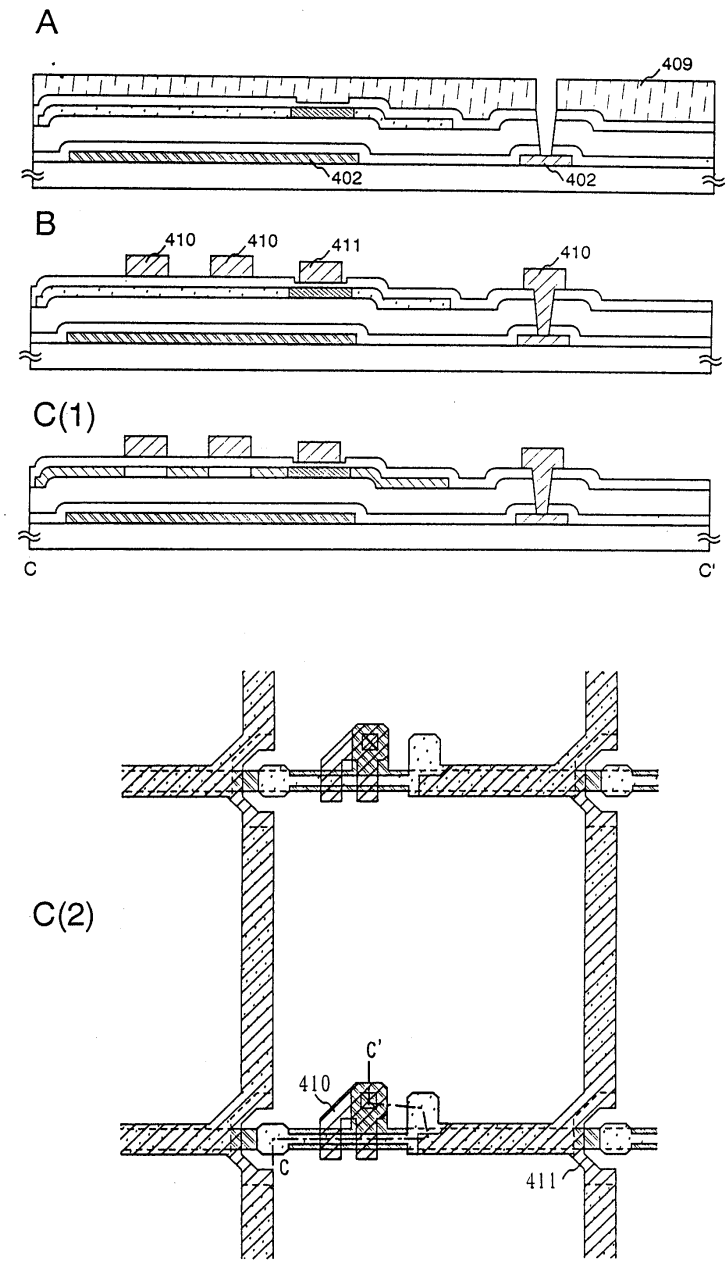
도면8



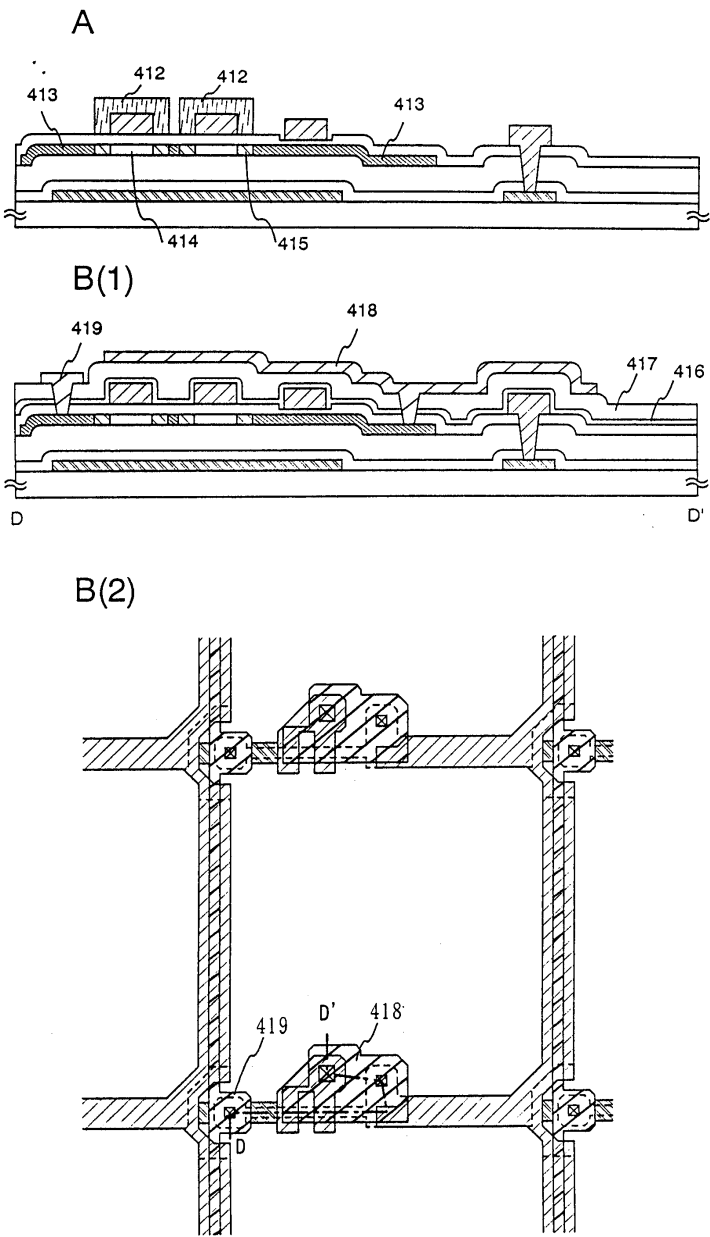
도면9



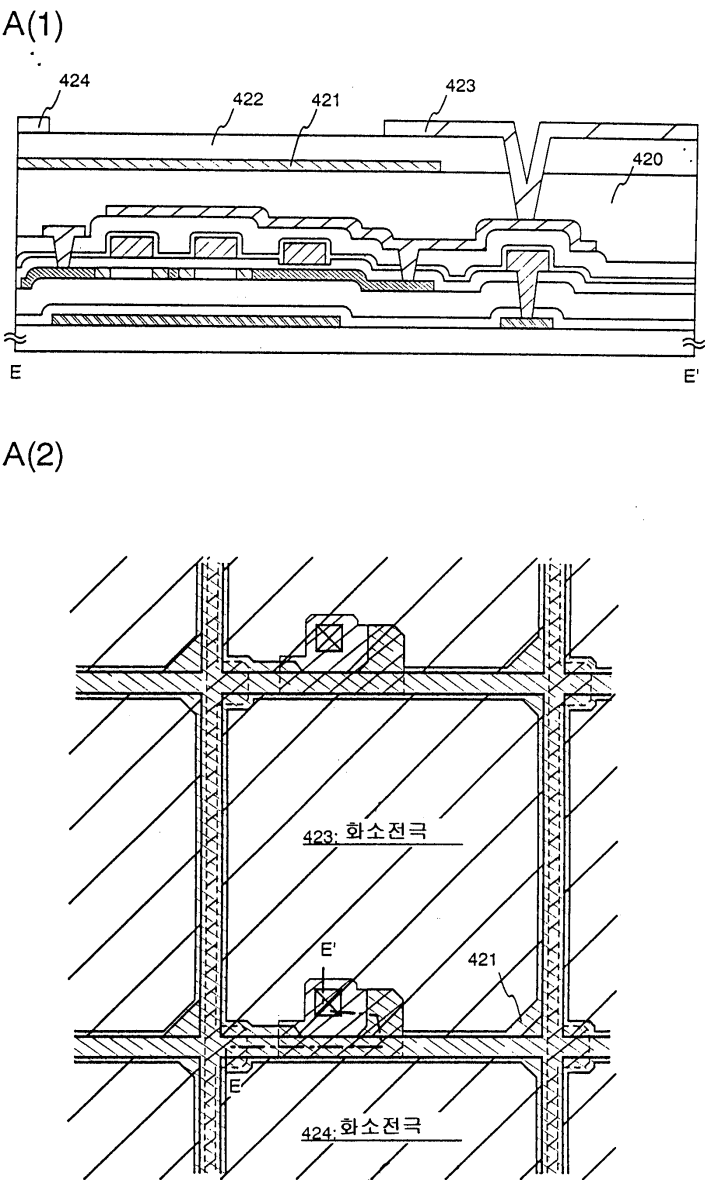
도면10



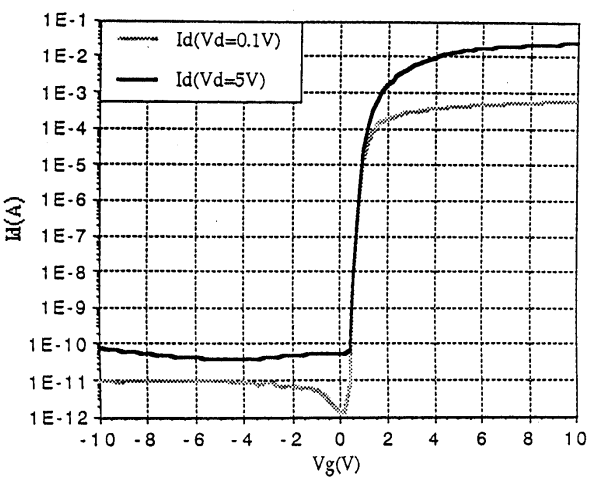
도면11



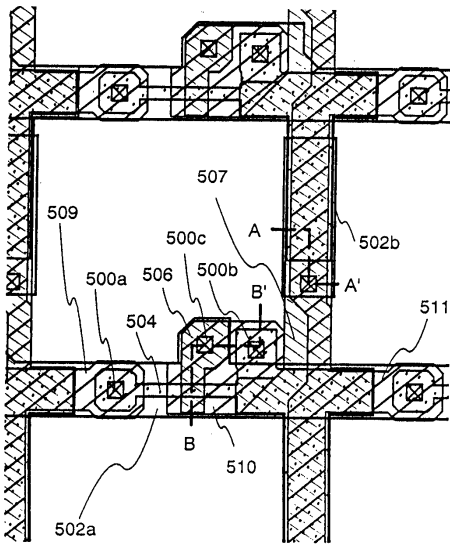
도면12



도면13

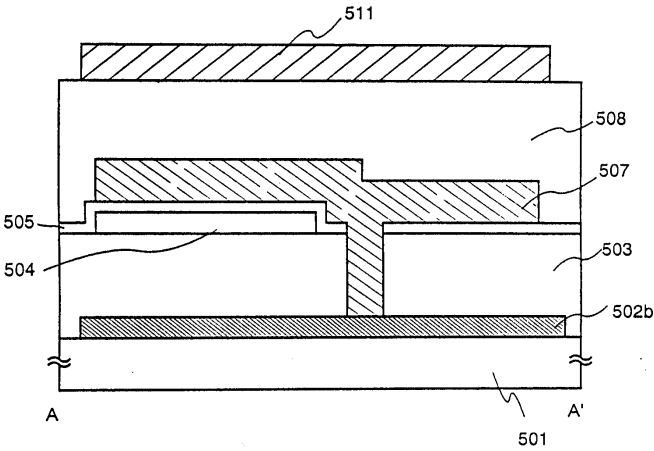


도면14

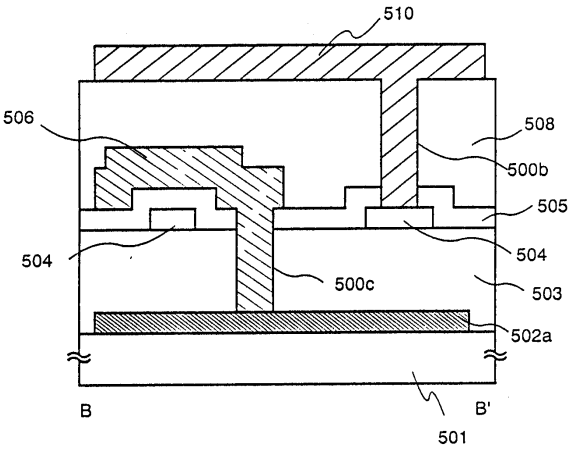


도면15

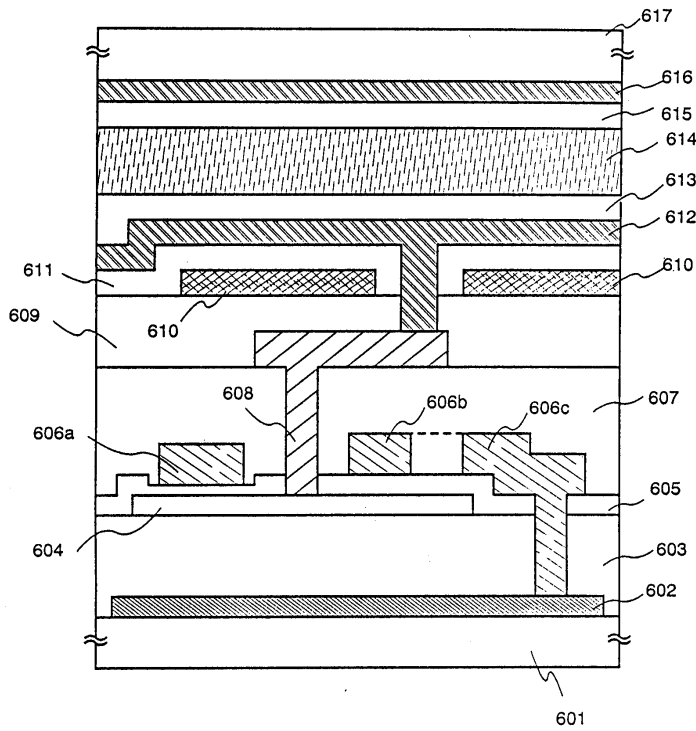
A A-A' 단면도



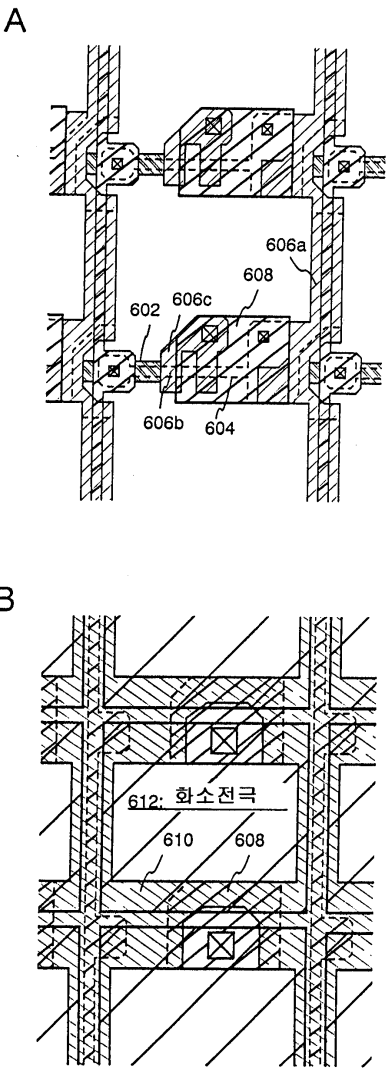
B B-B' 단면도



도면16

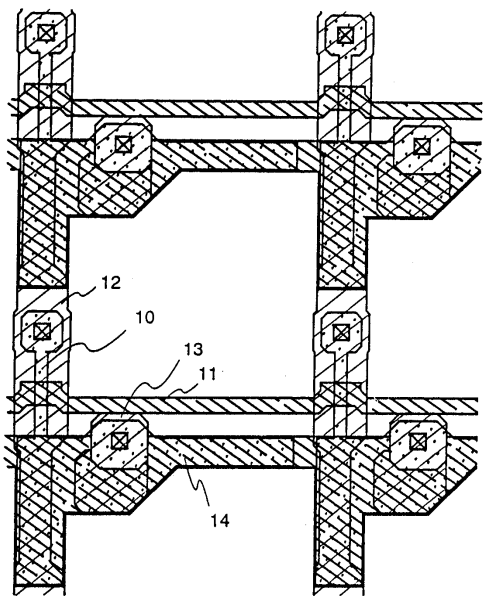


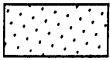
도면17



도면18

종래기술



	10: 반도체 막
	12: 신호선 13: 전극
	11: 주사선 14: 용량 배선

도면19

