

發明專利說明書

200409276

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92127930

※ 申請日期： 92 10 8 ※IPC 分類： H01L 21/30, 21/32

壹、發明名稱：(中文/英文)

半導體積體電路之佈局設計裝置，佈局設計方法，及佈局設計程式
LAYOUT DESIGN DEVICE FOR SEMICONDUCTOR INTEGRATED
CIRCUITS, LAYOUT DESIGN METHOD AND LAYOUT DESIGN
PROGRAM

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司 / SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通2丁目5番5號

5-5, 2-chome, Keihan-Hondori Moriguchi-City, Osaka, Japan

國 籍：(中文/英文) 日本國 / JAPAN

參、發明人：(共2人)

姓 名：(中文/英文)

1. 島村哲夫 / SHIMAMURA, TETSUO

2. 鹿倉康弘 / SHIKAKURA, YASUHIRO

住居所地址：(中文/英文)

1. 日本國群馬縣太田市東別所町227-2 日出本郷202

202, Sanraizu-Hongou, 227-2, Higashibessyo-cyo, Ota-shi, Gunma,
Japan

2. 日本國群馬縣邑樂郡大泉町仙石二丁目20番24號

20-24, 2-chome, Sengoku, Oizumi-machi, Oura-gun, Gunma, Japan

國 籍：(中文/英文)

1.2. 日本國 / JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☒ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本國；2002 年 11 月 15 日；特願 2002-332461 (主張優先權)

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種用以進行元件之佈局之佈局設計裝置、佈局設計方法及佈局設計程式。

【先前技術】

在半導體積體電路之佈局設計上，係藉由將該半導體積體電路所含之半導體元件作成元件單元(cell)，並依據電路圖作成含有該元件單元之塊單元(block cell)，以進行半導體積體電路之佈局。

第 16 圖係顯示典型的半導體積體電路之設計流程圖。在步驟 S100 的系統設計製程中，係決定電路規格、程序(process)以及晶片尺寸等系統的基本構想。在步驟 S102 的電路設計製程中，係進行具體的電路構成、各種常數的決定。在步驟 S104 的塊單元佈局設計製程中，係於用於電路之各元件中實施元件單元之佈局，並在之後，將該等元件單元加以組合以進行塊單元的佈局。在步驟 S106 的整體佈局設計中，係藉由適當配置塊單元來進行積體電路整體的佈局。在步驟 S108 的遮罩生成製程中，係根據積體電路的佈局來作成對應該程序的遮罩。在步驟 S110 的製程中，係採用遮罩來實施實際的程序，以製造半導體積體元件。

在上述塊單元佈局設計製程 S104 中，佈局設計者一面參照在電路設計製程 S102 所獲得之電路圖，一面採用 CAD 等圖式輸入支援裝置，來輸入構成元件之電極、絕緣

層、摻雜領域等之座標，以進行元件單元之佈局。

此時，為了減輕佈局設計者的負擔，而利用一種稱為標準方式的設計方法。以此標準方式即可將頻繁使用的標準的元件單元的佈局，預先保持在記憶裝置以作為元件庫(library)，並視需要選擇來自元件庫中的元件單元，以進行塊單元的佈局(例如日本特開平 5-218202 號公報)。

[專利文獻 1]日本特開平 5-218202 號公報

● 【發明內容】

[發明欲解決之問題]

但是，以具有許多客製化元件的類比積體電路等而言，由於所使用元件之構成要素之大小、形狀及配置等多有變更，而無法將元件單元的佈局予以標準化，故難以利用單元元件庫。因此，對於元件單元之各構成要素，需逐一輸入座標數據以進行元件單元之佈局。

此外，在將元件單元加以組合以進行塊單元之佈局之際，有時需要變更元件單元的本身佈局。而且，有時亦需要藉由重新設計電路來變更元件單元。此時，佈局設計者即需對元件單元之各構成要素重新輸入座標數據，使得佈局作業的問題益形繁雜。甚至，座標數據的輸入錯誤亦因此而大為增加。

此外，以包括電容元件或電阻元件之元件單元的積體電路而言，即使在佈局設計後，亦經常為了調整積體電路整體的延遲時間而必須微調電容值或電阻值，且必須重新輸入電容元件或電阻元件之各構成要素之座標。在此情況

下，亦會對佈局設計者造成負擔，導致開發時間延長的問題。

此外，在隨電容值或電阻值之微調整而變更電容元件或電阻元件之構成時，必須重新製作製程中所使用的大部分遮罩，故對製程產生極大影響，導致製造成本的增加。

而且，亦經常會有隨元件單元的調整而造成電路整體佈局的影響，而必須重新從頭開始進行佈局作業。

再者，在佈局設計後，由於電路設計者或系統設計者不易確認該結果是否良好，因此，難在電路設計者與佈局設計者之間，取得設計上的整合，而成為開發時間延遲的原因。

本發明係有鑑於上述習知技術之問題而研創者，其目的在於提供一種可減輕元件之佈局作業負擔之佈局設計裝置、佈局設計方法及佈局設計程式，俾解決上述至少其中之一問題。

[解決問題之方案]

為解決上述問題，本發明提供一種用以進行連接單位(unit)電阻所構成之電阻元件佈局之佈局設計方法，其特徵為包括：用以取得界定單位電阻之電阻值、連接型態、並聯配置數及串聯配置數之參數之參數取得步驟；以及根據用以界定前述電阻值之參數來決定單位電阻之基本構成，並根據用以界定前述連接型態、前述並聯配置數及前述串聯配置數之參數來配置及連接前述單位電阻之基本構成，以進行電阻元件佈局之元件單元產生步驟。

再者，在前述參數取得步驟中，亦可更進一步取得用以界定微調(trimming)電阻值之參數，而在前述元件單元產生步驟中，亦可更進一步根據用以界定前述微調電阻值之參數來變更前述單位電阻之基本構成之電極間隔，以進行電阻元件之佈局。

再且，在前述參數取得步驟中，亦可更進一步取得用以界定微調連接型態、微調並聯配置數及微調串聯配置數之參數，而在前述元件單元產生步驟中，亦可更進一步依據用以界定前述微調連接型態、前述微調並聯配置數及前述微調串聯配置數之參數來變更前述單位電阻之基本構成之配置及連接，以進行電阻元件之佈局。

為解決上述問題，本發明之另一型態係提供一種用以進行由單位電阻連接所構成之電阻元件佈局之佈局設計裝置，其特徵為包括：用以取得界定單位電阻之電阻值、連接型態、並聯配置數及串聯配置數之參數之參數取得機構；以及根據用以界定前述參數取得機構所取得之前述電阻值之參數來決定單位電阻之基本構成，並根據用以界定前述參數取得機構所取得之前述連接型態、前述並聯配置數及前述串聯配置數之參數來配置及連接前述單位電阻之基本構成，以進行電阻元件佈局之元件單元產生機構。

再者，在前述參數取得機構中，亦可更進一步取得用以界定微調(trimming)電阻值之參數，而在前述元件單元產生機構中，亦可更進一步根據用以界定前述參數取得機構所取得之前述微調電阻值之參數來變更前述單位電阻之

基本構成之電極間隔，以進行電阻元件之佈局。

而且，在前述參數取得機構中，亦可更進一步取得用以界定微調連接型態、微調並聯配置數及微調串聯配置數之參數，而在前述元件單元產生機構中，亦可更進一步依據用以界定前述參數取得機構所取得之前述微調連接型態、前述微調並聯配置數及前述微調串聯配置數之參數來變更前述單位電阻之基本構成之配置及連接，以進行電阻元件之佈局。

為解決上述問題，本發明之又一型態係提供一種用以進行由單位電阻連接所構成之電阻元件佈局之佈局設計程式，其特徵為使電腦執行下列處理，包括：用以取得界定單位電阻之電阻值、連接型態、並聯配置數及串聯配置數之參數之參數取得步驟；以及根據用以界定前述電阻值之參數來決定單位電阻之基本構成，並根據用以界定前述連接型態、前述並聯配置數及前述串聯配置數之參數來配置及連接前述單位電阻之基本構成，以進行電阻元件之佈局之元件單元產生步驟。

再者，在前述參數取得步驟中，亦可更進一步取得用以界定微調(trimming)電阻值之參數，而在前述元件單元產生步驟中，亦可更進一步根據用以界定前述微調電阻值之參數來變更前述單位電阻之基本構成之電極間隔，以進行電阻元件佈局之處理。

再且，在前述參數取得步驟中，亦可更進一步取得用以界定微調連接型態、微調並聯配置數及微調串聯配置數

之參數，而在前述元件單元產生步驟中，亦可更進一步依據用以界定前述微調連接型態、前述微調並聯配置數及前述微調串聯配置數之參數來變更前述單位電阻之基本構成之配置及連接，以進行電阻元件佈局之處理。

【實施方式】

[發明之實施型態]

本發明實施型態之佈局設計裝置，如第 1 圖所示，基本上係由控制部 10、輸入部 12、輸出部 14、記憶部 16 及匯流排 18 所構成。控制部 10、輸入部 12、輸出部 14 及記憶部 16 係透過匯流排 18，而連接成可傳遞資訊。

此外，佈局設計裝置係以包括界面部 20 為佳。藉由透過界面部 20，與外部的網路 22 連接成可傳遞資訊，即可由裝置外部接收佈局設計所需之參數等數據，或是可將佈局設計之結果輸出至裝置外部的電腦。

控制部 10 係藉由執行保持在記憶部 16 之佈局設計程式，而由輸入部 12 或界面部 20 取得用以進行佈局設計之參數，來進行元件單元內之佈局設計處理。

輸入部 12 係用以輸入佈局設計所需之數據。所輸入之數據係透過匯流排 18 傳送到控制部 10 或記憶部 16。以輸入部 12 而言，係以例如適當選擇採用鍵盤等之文字輸入裝置或滑鼠、手寫筆、軌跡球等位置指示裝置(pointing device)等為理想。

輸出部 14 係顯示由佈局結果或輸入部 12 所取得之參數等。以輸出部 14 而言，係例如適當選擇採用顯示器、印

表機等之輸出裝置等為較佳。

記憶部 16 係用以儲存及保持由控制部 10 所執行之佈局設計程式或由輸入部 12 所輸入之參數值之用。記憶部 16 之記憶內容可藉由控制部 10 適當參照。以記憶部 16 而言，係可例如適當選擇採用半導體記憶體、硬碟、軟碟、光碟、或磁帶等。

以下，茲參照第 2 圖之流程圖，詳細說明本實施型態之佈局設計方法。在本實施型態之佈局設計方法上，係將積體電路所含之元件自動產生作為元件單元，並將該元件單元加以組合以進行塊單元之佈局。

佈局設計方法之各步驟，係藉由電腦轉換成可執行的程式而儲存在記憶部 16。而程式係藉由控制部 10 來讀取執行。

預先以步驟 S100 之系統設計及步驟 S102 之電路設計步驟(參照第 16 圖)所設計之電路資訊，係由連接在匯流排 18 之外部數據庫叫出。

在步驟 S10 中，控制部 10 係取得所叫出之電路資訊中包含的各元件之型態及在步驟 S100 所指定之程序規則之類別數據。佈局設計者係由輸入部 12 來指定電路圖之設計部位。接收設計部位之指定的控制部 10，係判別設計部位的元件的型態，參照預先儲存在記憶部 16 的基本構成數據庫，以讀取所指定之元件之基本構成之數據。

例如，在積體電路中含有 NPN 型雙極電晶體(bipolar transistor)³⁰之情況下，如第 3 圖所示，係就射極(emitter)

電極 32、基極(base)電極 34、集極(collector)電極 36、射極摻雜領域 31、基極摻雜領域 33 及集極摻雜領域 35 等之形狀、大小及配置進行初期值(基準值)的讀取。有關於包圍電晶體 30 之元件分離領域 ISO37 亦可適當讀取初期值。在輸入其他元件型態之情況下亦可進行同樣之處理。

此等基本構成係依用以決定最小線寬、設計耐壓、設計性能等設計規則(程序規則)之各類別而預先準備。在反映輕微的修正等類似的複數個程序情況下，亦可先儲存共通部分，並依照設計規則僅將兩者間不同點之部分予以適當變更輸出。

在步驟 S12 中，控制部 10 係取得自動產生元件單元所需之參數。控制部 10 係參照預先儲存在記憶部 16 的參數數據庫，讀取佈局所需之參數型態及初期值以顯示在輸出部 14，促使佈局設計者變更參數值。佈局設計者如需變更輸出部 14 所顯示之參數值時，係採用輸入部 12 來變更參數值。

在此，所謂參數係指用以變更元件單元所含之元件之基本構成者。此外，參數亦以包含用於調整(微調)電容值或電阻值者為佳。有關於微調之參數茲容後陳述。

例如，在電路上使用雙極電晶體 30 時，如第 4 圖所示，係進行(a)基準部分之長度(E_LENGTH：射極長度)、(b)並聯配置在由元件單元亦即元件分離領域 ISO37 所包圍之領域內的元件數(E_MULTI：並聯元件數)、(c)集極的有無(C_OFF)、(d)射極之數量(E_NUM)、(e)集極之位置

(C_POSITION)、(f)電極之重複圖案(射極條數 E_ROW、基極條數 B_ROW 以及電極順序)之變更。

在此，(a)射極長度 E_LENGTH 係為顯示構成基準部分之射極電極之長度之參數，係設定由設計規則所決定之最小值以上之值。(b)並聯元件數 E_MULTI 係為顯示在單元內並聯配置之元件之數量之參數，係設定 1 以上之整數。(c)集極電極之有無 C_OFF 係為顯示是否設置集極電極之參數，在設置集極電極時設定為“ON”，在未設置集極電極時設定為“OFF”。(d)射極電極之數量 E_NUM 係為顯示射極電極之數量之參數，係設定 1 以上之整數。(e)射極電極之位置 C_POSITION 係為顯示是否將集極電極設在基極電極側、射極電極側或雙方其中之一之參數，當設置在基極電極側時設定為“TOP”，當設置在射極電極側時設定為“BOTTOM”，或設置在雙方時設定為“BOTH”。(f)電極之重複圖案係為顯示串聯配置元件時電極之配置圖案之參數，包括射極電極朝串聯方向之數量(射極條數 E_ROW)、基極電極朝串聯方向之數量(基極條數 B_ROW)及電極順序。在射極朝串聯方向之數量 E_ROW 及基極電極朝串聯方向之數量 B_ROW 上係設定 1 以上之整數。在電極順序上係擇一設定“E／B”或“B／E”。

在步驟 S14 中，係根據所輸入的參數值及設計規則，由控制部 10 變更元件之電極或摻雜領域之形狀、大小及配置等之基本構成而自動產生元件單元。

例如，在雙極電晶體中，係根據(a)射極長度

E_LENGTH、(b)並聯元件數 E_MULTI、(c)集極電極之有無 C_OFF、(d)射極電極之數量 E_NUM、(e)集極電極之位置 C_POSITION 以及(f)電極之重複圖案(發射極條數 E_ROW、基極條數 B_ROW、以及電極順序)之設定來變更元件之基本構成而產生元件單元。

(a)根據射極長度 E_LENGTH 之值，變更射極電極 32 之長度 d。如第 4 圖所示，如設定射極長度 E_LENGTH=4.6 μm 時，則如第 5(a)圖所示，射極電極 32 之長度 d 即設為 4.6 μm 。此外，其他電極及摻雜領域之尺寸亦隨該變更而變更。此外，在本例中，係以金屬電極與射極摻雜領域 31 作歐姆接觸之接觸孔之部分作為射極電極 32，其顯示射極電極 32 之形狀與大小完整地反映在射極摻雜領域 31 之形狀與大小之情況。應該控制的是射極摻雜領域 31 之形狀與大小與配置、以及用以與金屬電極作歐姆接觸之接觸孔之形狀與大小與配置，在兩者需分別控制之步驟中，宜變更其主要參數。

(b)根據並聯元件數 E_MULTI 之值，變更並聯配置在單元內之基板構成 30 之數量。如第 4 圖所示，茲假定當設定並聯元件數 E_MULTI=2 時，如第 5(b)圖所示，在由相同之元件分離領域 ISO37 所包圍之領域內將電晶體並聯排列配置成 2 個。此時，亦可一併變更射極長度 E_LENGTH 與並聯元件數 E_MULTI，而同時變更元件之尺寸以及並聯配置數。

(c)根據集極電極之有無 C_OFF 之設定，決定是否刪

除集極電極 36。例如，當集極電極之有無 C_OFF 為“ON”時，如第 5(c)圖所示，即成為具有集極電極 36 之元件之構成。另一方面，當集極電極之有無 C_OFF 為”OFF”時，則如第 5(d)圖所示，即成為刪除集極電極 36 之構成。此時，集極摻雜領域 35 即與集極電極 36 一同刪除。

(d)根據射極電極之數量 E_NUM 之設定，決定射極電極 32 之數量。當射極電極之數量 E_NUM 為 2 時，如第 5(e)圖所示，即朝圖示 x 方向變更成將射極電極 32 作成 2 個之構成，亦即相對於共通的基極摻雜領域 33 變更成將射極摻雜領域 31 形成 2 個之構成。同樣地，亦可對集極電極 36 或基極電極 34 設定參數，以變更電極數。

(e)根據集極電極之位置 C_POSITION 之設定，變更集極電極 36 之位置。當集極電極之位置 C_POSITION 為“TOP”時，如第 6(a)圖所示，集極電極 36 即配置在基極電極 34 側。當集極電極之位置 C_POSITION 為”BOTTOM”時，則如第 6(b)圖所示，集極電極 36 即配置在射極電極 32 側。此外，當集極電極之位置 C_POSITION 為”BOTH”時，則如第 6(c)圖所示，集極電極 36 即配置在基極 34 及射極電極 32 兩方之側。此時，集極摻雜領域 35 之位置亦隨集極電極 36 一併變更。

(f)根據電極之重複圖案(射極條數 E_ROW、基極條數 B_ROW 以及電極順序)，決定集極電極 36、基極電極 34 以及射極電極 32 對串聯方向之配置圖案。例如，當射極條數 E_ROW=2、基極條數 B_ROW=2 以及電極順序=”B/E”

時，如第 7(a)圖所示，即依集極電極 36、第 1 基極 34a、第 1 射極電極 32a、第 2 基極電極 34b 以及第 2 射極電極 32b 之順序配置電極。當電極順序="E/B"時，則如第 7(b)圖所示，依集極電極 36、第 1 射極電極 32a、第 1 基極電極 34a、第 2 射極電極 32b 以及第 2 基極電極 34b 之順序配置電極。當射極條數 E_ROW 與基極條數 B_ROW 之值不相等時，例如，射極條數 E_ROW=2 以及基極條數 B_ROW=3 時，如第 7(c)圖所示，集極電極 36、第 1 基極電極 34a、第 1 射極電極 32a、第 2 基極電極 34b、第 2 射極電極 32b、第 3 基極電極 34c 之順序配置。反之，當射極條數 E_ROW=3 以及基極條數 B_ROW=2 時，則如第 7(d)所示，依集極電極 36、第 1 射極電極 32a、第 1 基極電極 34a、第 2 射極電極 32b、第 2 基極電極 34b、第 3 射極電極 32c 之順序配置。此時，配屬在各電極之摻雜領域 31a、31b、31c、33 之圖案亦隨各電極之圖案變更而一同變更。

在此，雖係以雙極電晶體為例進行說明，但在其他元件型態，亦可同樣地依參數之設定值，來變更預設之元件之基本構成，以自動產生元件單元。

在步驟 S16 中，控制部 10 係將自動產生之元件單元顯示在輸出部 14 以促使佈局設計者確認，並接受來自佈局設計者之確認資訊的輸入，如果元件單元有問題時即返回步驟 S12，如無問題則移至步驟 S18 進行處理。

在此，如第 8 圖所示，亦可與元件單元之產生結果一併顯示設計規則及各參數值。藉此，不僅佈局設計者，系

統設計者或電路設計者亦可容易確認用以產生元件單元之設計規則及各參數值之整合性或妥當性。

此外，最好可在確認畫面上變更設計規則及各參數值，並依該變更來再度產生元件單元並予以顯示。藉此，即可易於確認設計規則及各參數值之變更與元件單元之產生的關係，而得以迅速產生元件單元。

在步驟 S18 中，控制部 10 係利用既有的 CAD 等編輯工具，來使佈局設計者利用手動或自動方式使元件單元佈局在塊單元內。例如，可利用採用數位轉換器(digitizer)的既有編輯工具。

在步驟 S20 中，控制部 10 係將塊單元之佈局結果顯示於輸出部 14，以促使佈局設計者輸入是否需要變更元件單元之確認資訊。在佈局設計者需要變更元件單元時，即將處理送回步驟 S12，而當不需變更時則移至步驟 S22 處理。

在步驟 S22 中，控制部 10 係使佈局設計者進行塊單元內之元件間之配線。例如，可利用備有壓縮工具(compaction tool)之既有的配線支援工具。此外，亦可採用自動配線工具。

在步驟 S24 中，控制部 10 係對塊單元之佈局及配線之結果應用既有的設計規則檢測(Design Rule Check, DRC)、自動比對檢證(Layout Versus Schematic, LVS)方法，判斷塊單元是否適合設計規則。如不適合設計規則時將處理送回步驟 S18，如適合設計規則時結束塊單元之佈

局設計。

在積體電路中含有複數個塊單元時，係藉由反覆執行佈局方法來進行所需之塊單元之佈局。

如上所述，依據本實施型態，即可根據設計規則及參數來變更預設之元件之基本構成，並藉此而自動產生元件單元，無須逐一輸入元件之構成要素之座標數據。因此，可降低佈局設計者必須輸入之數據量，同時可減輕佈局設計之負擔。尤其是，在對於例如具有多數客製化 IC 的類比積體電路因難以將單元予以標準化，而在無法利用單元元件庫之積體電路之佈局設計上極為有效。

此外，由於係以可與元件單元之產生結果一併比較設計規則及各參數值之型態來顯示，故即使非佈局設計專家之系統設計者或電路設計者亦得以容易確認佈局設計之結果，且容易回授到系統設計或電路設計。

< 變形例 1 >

茲參照第 9 圖說明有關包括電容元件 40 之元件單元之自動產生，作為本發明實施型態之變形例 1。

以下之說明係以進行電容值之微調整之參數為中心來說明，而對於與上述實施型態為同樣處理之步驟之說明則予以省略。

在步驟 S10 中，佈局設計者係指定電容元件 40 作為元件型態。在此，茲指定具有金屬—矽氮化膜—多晶矽電極之構造之 MOS 電容元件。具有在設置於基底的多晶矽電極上的絕緣膜上設有露出多晶矽電極表面之開口部分，

該開口部分由矽氮化膜覆蓋，且在矽氮化膜上覆蓋金屬電極之構成。電容值係由前述開口部分之面積與矽氮化膜之膜厚來決定。因此，前述開口部分之面積即成為電容之有效面積。

控制部 10 係接受作為電容元件 40 內容之指定，由基本構成數據庫讀取電容元件 40 之基本構成之初期值。

在步驟 S12 中，接收元件型態為電容元件 40 者，控制部 10 係由參數數據庫讀取最大電容值(CMAX)、最大電極寬度(WMAX)、最大電極長度(LMAX)、微調電容值(C)、微調電極寬度(W)及微調電極長度(L)之初期值而顯示於輸出部 14，以促使佈局設計者變更參數值。

在此，最好係以採用關係式(1)及(2)，輸入最大電容值 CMAX、最大電極寬度 WMAX 及最大電極長度 LMAX 之其中 2 個值，以及微調電容值 C、微調電極寬度 W 及微調電極長度 L 之其中 2 個值，來自動算出剩餘的參數值。

[數學式 1]

$$CMAX = \frac{\varepsilon g WMAX g LMAX}{d} \quad (1)$$

$$C = \frac{\varepsilon g W g L}{d} \quad (2)$$

在此，

d：絕緣膜之厚度

ε ：絕緣膜之介電常數

例如，對於 MOS 電容元件，輸入最大電容值 CMAX=

13.8pF、最大電極寬度 $W_{MAX}=10\mu m$ 、微調電容值 $C=6.9pF$ 及微調電極寬度 $W=10\mu m$ 時，即成為最大電極長度 $L_{MAX}=10\mu m$ 及微調電極長度 $L=5\mu m$ 。另外，上述之最大電極長度 L_{MAX} 與最大電極寬度 W_{MAX} 係指上述電容之有效面積部分之尺寸。

關係式(1)及(2)係於電容元件具有平行電極之構造時有效，而當具有溝渠(trench)型等複雜的構成時，則最好由經驗式求出參數。

在步驟 S14 中，係根據參數值而自動產生電容元件之元件單元。在此，茲省略有關根據多數(multi)等一般的參數之元件單元之自動產生之說明，僅就有關於根據電容元件所特有之參數之元件單元之產生詳細說明。

當微調電容值 C 與最大電容值 C_{MAX} 相等時，如第 10(a)圖所示，變更元件之基本構成各部之尺寸及配置俾使達到最大電容值 C_{MAX} 。亦即，將矽氧化膜上部電極之開口部分 42 之大小設為最大電極寬度 W_{MAX} 及最大電極長度 L_{MAX} ，而其他的基本構成則配合最大電極寬度 W_{MAX} 及最大電極長度 L_{MAX} 予以變更。

另一方面，當微調電容值 C 與最大電容值 C_{MAX} 不相等時，則如第 10(b)圖所示，僅變更開口部分 42a 之尺寸，俾使電容元件達到微調電容值 C 。亦即，係以開口部分 42a 作為微調電極寬度 W 及微調電極長度 L 。由於電容元件之電容值係由矽氧化膜之開口部分之有效面積所決定，故開口部分以外之構成不會從相對於最大電容值 C_{MAX} 者變

更。

在本變形例中，雖就 MOS 構造之電容元件進行說明，但對於具有其他構成之電容元件亦可予以同樣處理。

如上所述，藉由將微調電容值、微調電極寬度及微調電極長度作為參數輸入，即可僅變更開口部分之尺寸而產生具有所預期之電容值之元件單元。因此，即使電容值隨電路設計之變更而變更時，亦能將其對於整體佈局之影響抑制到最小，同時又可獲得所需之電容值。而且，僅需修正相對於在製程之最終階段中所用之金屬電極的開口部分之遮罩圖案，即可對應佈局設計之變更。

< 變形例 2 >

茲參照第 11 圖以說明包括電阻要素之元件單元之自動產生，作為本發明實施型態之變形例 2。

在以下之說明中，係以電阻元件之佈局原有的參數為中心進行說明，而有關與上述實施型態相同處理之步驟之說明則予以省略。

在步驟 S10 中，佈局設計者係指定電阻元件作為元件型態。控制部 10 係接受作為電阻元件內容之指定，由基本構成數據庫讀取電阻元件之基本構成之初期值。

在步驟 S12 中，接收元件型態為電阻元件者，控制部 10 係由參數數據庫讀取總電阻值(R)、單位電阻之電阻值(RUNIT)、連接型態(RCONN)、並聯配置數(PARA_N)、串聯配置數(SERI_N)、配線圖案之變更(ECO)及靜電破壞對策之有無(ESD)之初期值而顯示於輸出部 14，以促使佈局

設計者變更參數值。此外，亦可與上述實施型態同樣地，進行基準部分之長度、並列配置數、電極之重複圖案等之參數之設定。

總電阻值 R 係為顯示元件單元所包含之電阻元件之總電阻值之參數，輸入 0 以上之值。該值係可識別為電路圖中 1 個電阻元件之值。單位電阻值 $RUNIT$ 係顯示將元件單元所含之電阻元件予以分割之單位電阻 52 之平均每條的電阻值之參數。連接型態 $RCONN$ 係為顯示元件單元內單位電阻 52 之連接關係之參數，擇一設定“PARALLEL”、“PARALLEL_SERIAL”、“ZIGZAG”或“SERIAL”之其中之一。並聯配置數 $PARA_N$ 係為顯示在元件單元內並聯配置之單位電阻 52 之數量之參數，設定 1 以上的整數。串聯配置數 $SERI_N$ 係為顯示在元件單元內串聯配置之單位電阻 52 之數量之參數，設定 1 以上的整數。配線圖案之變更 ECO 係將依據連接型態 $RCONN$ 所決定之元件單元之構成予以變更，而於欲調整電阻值時所設定之參數，當進行調整時即設定“ON”，而不進行調整時則設定“OFF”。此配線圖案之變更 ECO 設定“ON”時，必須設定新的參數，此點將於後陳述。靜電破壞對策之有無 ESD ，係用以選擇一般電阻元件 54 或高耐絕緣性的電阻元件 54 之參數，在作為高耐絕緣性之電阻元件 54 時設定“ON”，而在作為一般電阻元件 54 時則設定“OFF”。

在上述說明中，當配線圖案之變更 ECO 為“ON”時，將更促使輸入微調並聯配置數(ECO_PARA_N)、微調串聯

配置數(ECO_SERI_N)、微調連接型態(ECO_RCONN)。

此等參數係用於變更一端設定之單位電阻 52 之連接關係之情況。微調並聯配置數 ECO_PARA_N 係為變更配線圖案時指定用以並聯連接單位電阻 52 之數量之參數，設定 1 以上之整數。微調串聯配置數 ECO_SERI_N 係在變更配線圖案時指定用以串聯連接單位電阻 52 之數量之參數，設定 1 以上之整數。微調連接型態 ECO_CONN 係為顯示在單元內單位電阻 52 之連接之參數，擇一設定“PARALLEL”、“PARALLEL_SERIAL”、“ZIGZAG”或“SERIAL”之其中之一。

在步驟 S14 中，係根據參數值而自動產生電阻元件之元件單元。在此，茲省略有關根據多數(multi)等一般的參數之元件單元之自動產生之說明，僅就有關於根據電阻元件所特有之參數之元件單元之產生詳細說明。

例如，當初期值之總電阻值 R 與單位電阻值 RUNIT 之值為相同時，決定單位電阻 52 之電極 50 間之距離，產生如第 11 圖所示之由 1 條單位電阻 52 所構成之元件單元。

距離 d 係可由公式(3)導出。薄層電阻值 γ_s 及摻雜層之寬度 W 係由作為對象之積體電路之特性等來決定。

[數學式 2]

$$R = \gamma_s \frac{d}{W} \quad (3)$$

在此，

γ_s 係薄層電阻值 ($\Omega / \square$)

當單位電阻值 RUNIT 小於總電阻值 R 時，或當指定並聯配置數 PARA_N 或串聯配置數 SERI_N 時，則依照所指定的參數產生複數個單位電阻 52，而決定該等配置及配線之連接關係。

例如，連接型態 RCONN="PARALLEL_SERIAL"、並聯配置數 PARA_N=3 及串聯配置數 SERI_N=2 時，如第 12(a) 圖所示，將單位電阻 52 配置成 3 個並聯而予以並聯連接，並將單位電阻 52 作成連接成 2 個串聯之構成。

在此，例如，假設連接型態 RCONN="PARALLEL"、並聯配置數 PARA_N=3，則如第 12(b) 圖所示，將單位電阻 52 配置成 3 個並聯而成為並聯連接之構成。此外，如果連接型態 RCONN="ZIGZAG"、串聯配置數 SERI_N=3，則如第 12(c) 圖所示，即將單位電阻 52 配置成 3 個並聯而成為左右交錯串聯連接之構成。此外，如果連接型態 RCONN="SERIAL"、串聯配置數 SERI_N=2，則如第 12(d) 圖所示，將單位電阻 52 配置成 2 個串聯而成為串聯連接之構成。同樣地，亦可藉由變更連接型態 RCONN、並聯配置數 PARA_N 及串聯配置數 SERI_N 之值，來適當變更元件單元內之單位電阻之連接。

此外，根據靜電破壞對策之設定之有無，變更單位電阻 52 之電極 50 之尺寸。當靜電破壞對策之有無 ESD="ON" 時，如第 13 圖所示，將其中一方之電極 50 增大到預定之尺寸，而變更成將電場集中予以緩和之構成。此時，為了

符合設計規則，最好自動調整一般電阻元件彼此間、施以靜電破壞對策之電阻元件彼此間以及一般電阻與施以靜電破壞對策之電阻元件彼此間之間隔。

再者，配線圖案之變更 ECO 設定為“ON”時，則進行以修正總電阻值 R 為目的之電阻元件 54 之微調。首先，根據微調連接型態 ECO_RCONN、微調並聯配置數 ECO_PARA_N 以及微調串聯配置數 ECO_SERI_N 之設定，變更單位電阻 52 相互之間的連接。亦即，單位電阻 52 之基本的配置係由連接型態 RCONN、並聯配置數 PARA_N 以及串聯配置數 SERI_N 來決定，且在保持該配置之狀態下根據微調連接型態 ECO_RCONN、微調並聯配置數 ECO_PARA_N 以及微調串聯配置數 ECO_SERI_N，僅變更單位電阻 52 之連接關係。

例如，連接型態 RCONN 為“PARALLEL”，並聯配置數 PARA_N 為 5，如第 14(a)圖所示，假設產生 5 個單位電阻 52 全部並聯連接之電阻元件 54。當微調連接型態 ECO_RCONN 設定為“PARALLEL_SERIAL”、微調並聯配置數 ECO_PARA_N 設定為 2 以及微調串聯配置數 ECO_SERI_N 設定為 2 時，如第 14(b)圖所示，並聯連接 2 個單位電阻 52，並變更為串聯連接 2 個單位電阻 52 的電阻元件 54。在第 14(b)圖之例中，未連接 5 條中之一條單位電阻 52a，可實現相對於總電阻值 R 達到 $4/5$ 的電阻值。如果增大單位電阻 52 之條數亦即總電阻值 R 之分割數，則可縮小可調整之電阻值的值。藉由驅使與其組成串

聯／並聯，即可達成用以調整電路常數之電阻值微調。而且，由於並非變更電阻元件 54 之本身面積，故可在週邊之圖案固定的狀態下修正電阻值，而且即使未連接之單位電阻 52a 存在於圖案圖上，亦可藉由將全單位電阻 52 予以組織化，而在電子數據上作成 1 個電阻元件來處理。

除上述之外，亦可使其具有可修正 1 條單位電阻 52 之電阻值本身之參數。此係藉由固定單位電阻 52 之大小，並修正電極 50 間之距離 d 而可達成。

首先，除上述的參數之外，係使其具有是否許可修正電極 50 間之距離之開關 CMR_USE、用以固定單位電阻 52 之圖案之單位電阻最大值 RUNIT_MAX 以作為參數。

當單位電阻最大值 RUNIT_MAX 與單位電阻值 RUNIT 相同時，不調整電極 50 間之距離 d 。當單位電阻值 RUNIT 小於單位電阻最大值 RUNIT_MAX 時，則採用重新由公式 (4) 導出電極 50 間之距離 d 之值的單位電阻 52 以進行佈局。此時，電極 50 間之距離 d 及與其相連之電極圖案以外的構成不予變更。

[數學式 3]

$$RUNIT_MAX = \gamma_s \frac{d}{W} \quad (4)$$

例如，當設定單位電阻最大值 RUNIT_MAX=60Ω 及單位電阻值 RUNIT=50Ω 時，如第 15 圖所示，電極 50 間之距離 d_2 即縮短到原來的距離 d_1 的 $5/6$ 而配置單位電阻 52。單位電阻 52 之面積係為固定，因此，並不會隨電阻值

修正(微調)而對週邊圖案產生影響。

綜上所述，藉由根據參數以決定電極間之連接，即可無須逐一輸入座標數據，自動產生包括電阻元件之元件單元。

此外，藉由將有關微調之參數作成可設定之方式，即可變更電極間之連接、電極間隔之長度，而自動產生經變更電阻值之元件單元。因此，即使電阻值隨電路設計之變更而有變更時，亦能抑制其對於整體佈局之影響達最小限度，同時獲得所需的電阻值。而且，僅需修正在製程之最終階段所用之金屬電極之遮罩圖案，即可對應佈局設計之變更。

[發明之效果]

依據本發明，在半導體積體電路之佈局設計中，無須輸入繁雜的座標數據，即可自動進行元件的佈局。

【圖式簡單說明】

第 1 圖係本發明實施型態中之局設計裝置之構成方塊圖。

第 2 圖係顯示本發明實施型態中之佈局設計方法之流程圖。

第 3 圖(a)及(b)係顯示本發明實施型態中之電晶體之基本構成之例圖。

第 4 圖係顯示本發明實施型態中之參數之設定輸入畫面圖。

第 5 圖(a)至(e)係說明本發明實施型態中之元件單元

之自動產生圖。

第 6 圖 (a) 至 (c) 係說明本發明實施型態中之元件單元之自動產生圖。

第 7 圖 (a) 至 (d) 係說明本發明實施型態中之元件單元之自動產生圖。

第 8 圖係顯示本發明實施型態中之元件單元之產生結果之顯示畫面圖。

第 9 圖 (a) 及 (b) 係顯示本發明變形例 1 中之電容元件之基本構成之例圖。

第 10 圖 (a) 及 (b) 係說明本發明變形例 1 中之電容元件之元件單元之自動產生圖。

第 11 圖 (a) 及 (b) 係顯示本發明變形例 2 中之電阻元件之基本構成之例圖。

第 12 圖 (a) 至 (d) 係說明本發明變形例 2 中之電阻元件之元件單元之自動產生圖。

第 13 圖係說明本發明變形例 2 中之電阻元件之元件單元之自動產生圖。

第 14 圖 (a) 及 (b) 係說明本發明變形例 2 中之電阻元件之元件單元之自動產生圖。

第 15 圖係說明本發明變形例 2 中之電阻元件之元件單元之自動產生圖。

第 16 圖係顯示積體電路之佈局設計之流程圖。

10 控制部

12 輸入部

14	輸出部	16	記憶部
18	匯流排	20	界面部
22	網路	30	雙極電晶體
31、31a、31b、31c			射極摻雜領域
32、32a、32b、32c			射極電極
33	基極摻雜領域	34、34a、34b、34c	基極電極
35	集極摻雜領域	36	集極電極
37	元件分離領域 ISO	40	電容元件
42、42a	開口部分	50	電極
52、52a	單位電阻	54	電阻元件

伍、中文發明摘要：

本發明係關於一種半導體積體電路之佈局設計裝置，佈局設計方法，及佈局設計程式，用以解決在習知之佈局設計方法中，為了產生元件單元而需輸入座標數據造成作業繁瑣之問題，其特徵為實行包括：用以取得界定單位電阻之電阻值 RUNIT、連接型態 RCONN、並聯配置數 PARA_N 及串聯配置數 SERI_N 之參數之參數取得步驟 S12；以及根據用以界定前述電阻值 RUNIT 之參數來決定單位電阻之基本構成，並根據用以界定前述連接型態 RCONN、前述並聯配置數 PARA_N 及前述串聯配置數 SERI_N 之參數來配置及連接前述單位電阻之基本構成，以進行電阻元件之佈局之元件單元產生步驟 S14；藉此解決上述問題。

陸、英文發明摘要：

A layout design device for semiconductor integrated circuits, a layout design method and a layout design program are disclosed for solving the troublesome operation due to the necessity of inputting the coordination data for generating the element cells in the prior layout design method, wherein the parameter obtaining step S12 for obtaining the parameters that prescribe the value of resistance RUNIT of the unit resistance, the connection type RCONN, the parallel arrangement number PARA_N and the series arrangement number SERI_N, and the element cells generating step S14 for deciding the basic composition of the unit resistance based on the parameter prescribing the value of resistance RUNIT, arranging and connecting the basic composition of the unit resistance based on the parameters prescribing the connection type RCONN, the parallel arrangement number PARA_N and the series arrangement number SERI_N, and conducting the layout of the resistance elements are comprised and conducted for solving the problems in the prior arts.

拾、申請專利範圍：

1. 一種佈局設計方法，係用以進行由單位電阻連接所構成之電阻元件佈局，其特徵為包括：

用以取得界定單位電阻之電阻值、連接型態、並聯配置數及串聯配置數之參數之參數取得步驟；以及

根據用以界定前述電阻值之參數來決定單位電阻之基本構成，並根據用以界定前述連接型態、前述並聯配置數及前述串聯配置數之參數來配置及連接前述單位電阻之基本構成，以進行電阻元件佈局之元件單元產生步驟。

2. 如申請專利範圍第 1 項之佈局設計方法，其中，

在前述參數取得步驟中，更進一步取得用以界定微調電阻值之參數，

而在前述元件單元產生步驟中，更進一步根據用以界定前述微調電阻值之參數來變更前述單位電阻之基本構成之電極間隔，以進行電阻元件之佈局。

3. 如申請專利範圍第 1 或第 2 項之佈局設計方法，其中，

在前述參數取得步驟中，更進一步取得用以界定微調連接型態、微調並聯配置數及微調串聯配置數之參數，

而在前述元件單元產生步驟中，更進一步依據用以界定前述微調連接型態、前述微調並聯配置數及前述微調串聯配置數之參數來變更前述單位電阻之基本構成之配置及連接，以進行電阻元件之佈局。

4. 一種佈局設計裝置，用以進行由單位電阻連接所構成之電阻元件佈局，其特徵為包括：

用以取得界定單位電阻之電阻值、連接型態、並聯配置數及串聯配置數之參數之參數取得機構；以及

根據用以界定前述參數取得機構所取得之前述電阻值之參數來決定單位電阻之基本構成，並根據用以界定前述參數取得機構所取得之前述連接型態、前述並聯配置數及前述串聯配置數之參數來配置及連接前述單位電阻之基本構成，以進行電阻元件佈局之元件單元產生機構。

5. 如申請專利範圍第 4 項之佈局設計裝置，其中，

在前述參數取得機構中，更進一步取得用以界定微調電阻值之參數，

而在前述元件單元產生機構中，更進一步根據用以界定前述參數取得機構所取得之前述微調電阻值之參數來變更前述單位電阻之基本構成之電極間隔，以進行電阻元件之佈局。

6. 如申請專利範圍第 4 或第 5 項之佈局設計裝置，其中，

在前述參數取得機構中，更進一步取得用以界定微調連接型態、微調並聯配置數及微調串聯配置數之參數，

而在前述元件單元產生機構中，更進一步依據用以界定前述參數取得機構所取得之前述微調連接型態、前述微調並聯配置數及前述微調串聯配置數之參數來變

更前述單位電阻之基本構成之配置及連接，以進行電阻元件之佈局。

7. 一種佈局設計程式，用以進行由單位電阻連接所構成之電阻元件佈局，其特徵為使電腦執行下列處理，包括：

用以取得界定單位電阻之電阻值、連接型態、並列配置數及串列配置數之參數之參數取得步驟；以及

根據用以界定前述電阻值之參數來決定單位電阻之基本構成，並根據用以界定前述連接型態、前述並聯配置數及前述串聯配置數之參數來配置及連接前述單位電阻之基本構成，以進行電阻元件之佈局之元件單元產生步驟。

8. 如申請專利範圍第 7 項之佈局設計程式，其中，

在前述參數取得步驟中，更進一步取得用以界定微調電阻值之參數，

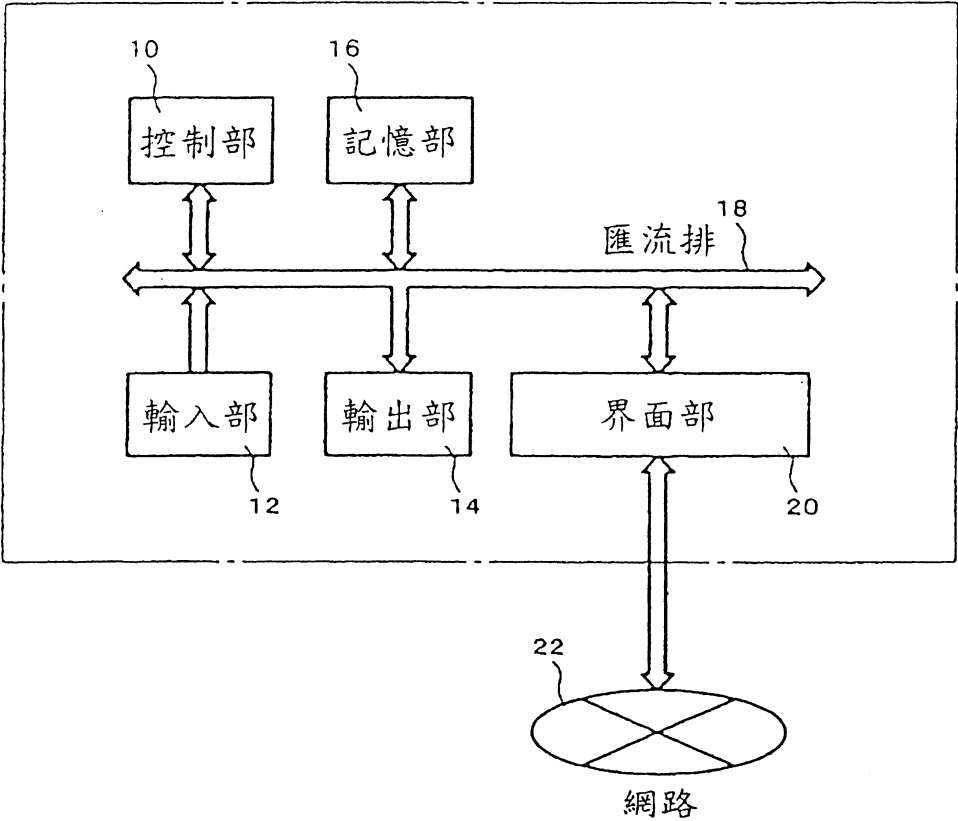
而在前述元件單元產生步驟中，更進一步根據用以界定前述微調電阻值之參數來變更前述單位電阻之基本構成之電極間隔，以進行電阻元件之佈局。

9. 如申請專利範圍第 7 或第 8 項之佈局設計程式，其中，

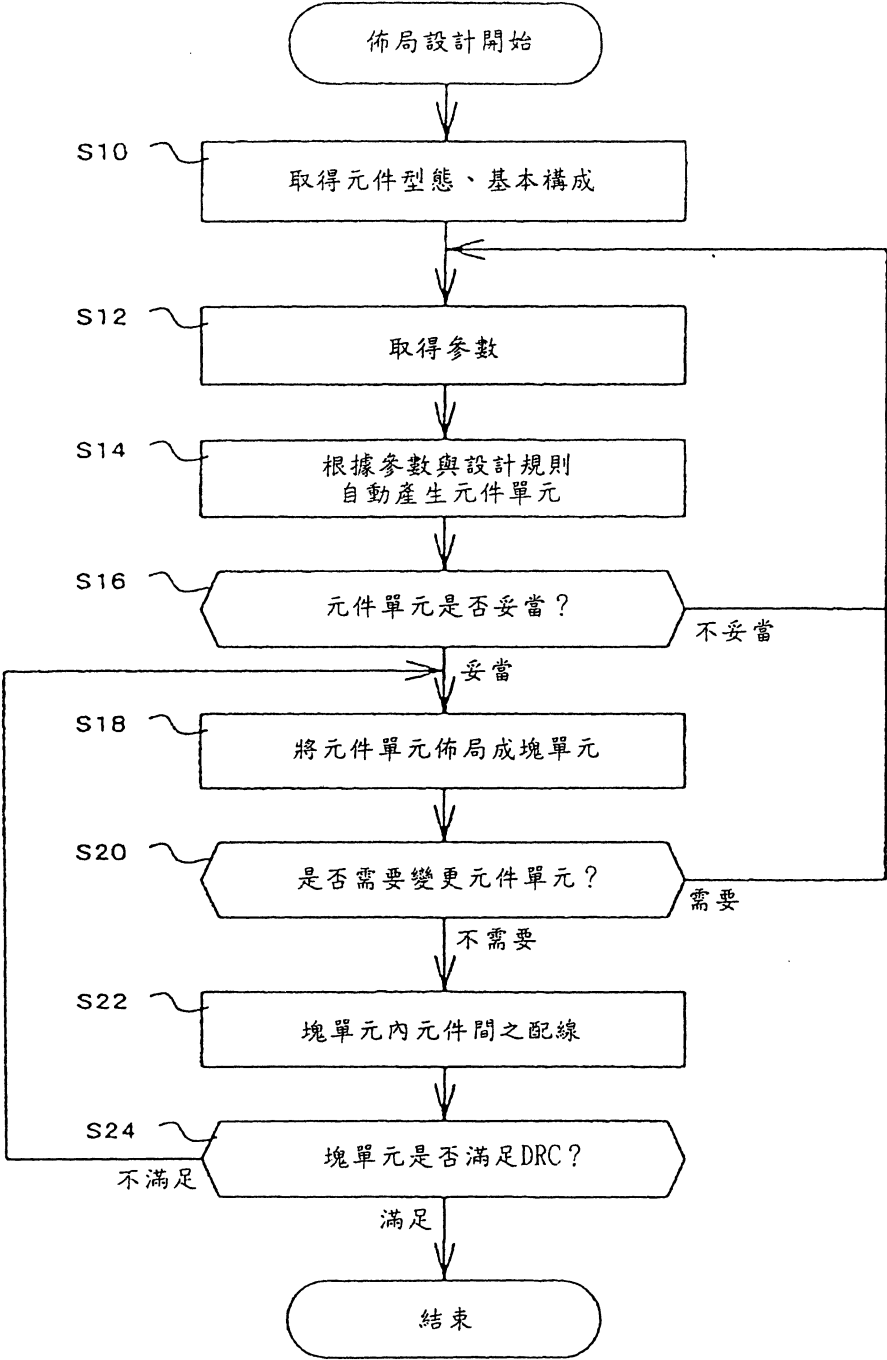
在前述參數取得步驟中，更進一步取得用以界定微調連接型態、微調並聯配置數及微調串聯配置數之參數，

而在前述元件單元產生步驟中，更進一步依據用以界定前述微調連接型態、前述微調並聯配置數及前述微調串聯配置數之參數來變更前述單位電阻之基本構成

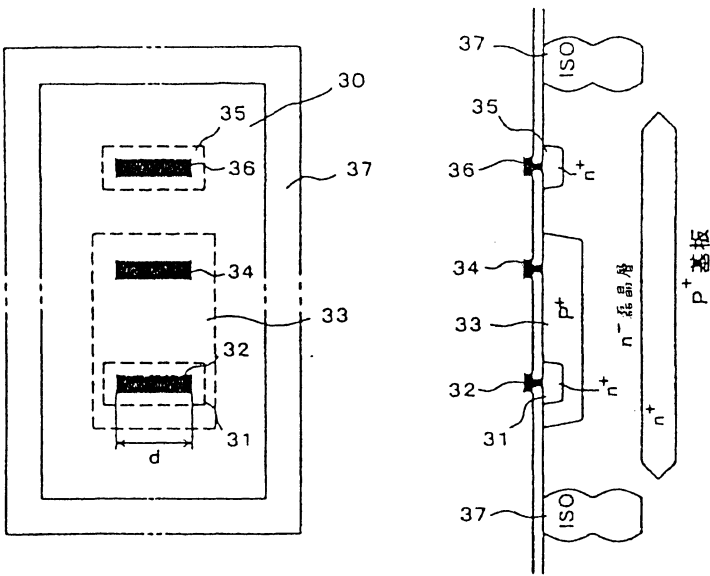
之配置及連接，以進行電阻元件佈局之處理。



第1圖



第2圖

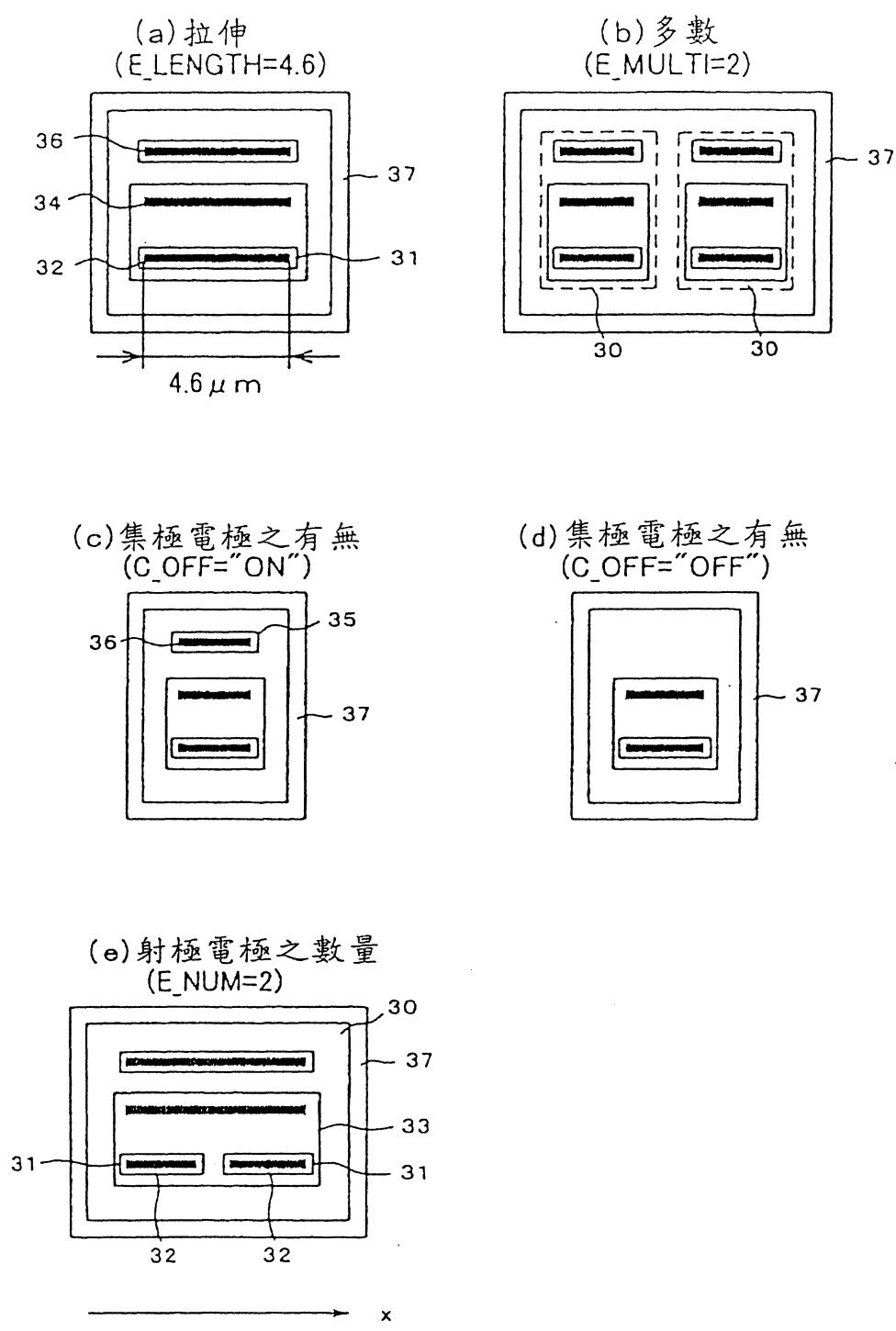


(a)電晶體之基本構成 (b)實際之元件側剖視圖

第3圖

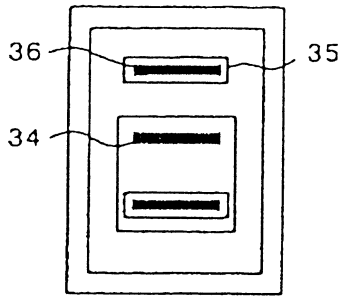
元件編號	1	元件型態	nnp Tr
(a) 射極長度		4.6	μm
(b) 並聯元件數		2	次
(c) 集極電極之有無		ON	
(d) 射極電極之數量		2	個
(e) 集極電極之位置		Top	
(f) 電極之重複圖案	(射極條數)	2	次
	(基極條數)	2	次
	(電極順序)	B/E	

第4圖

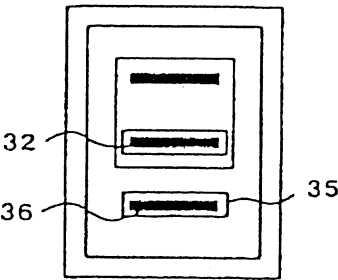


第5圖

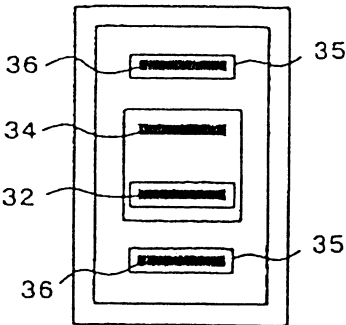
(a)集極電極之位置
(C_POSITION="TOP")



(b)集極電極之位置
(C_POSITION="BOTTOM")

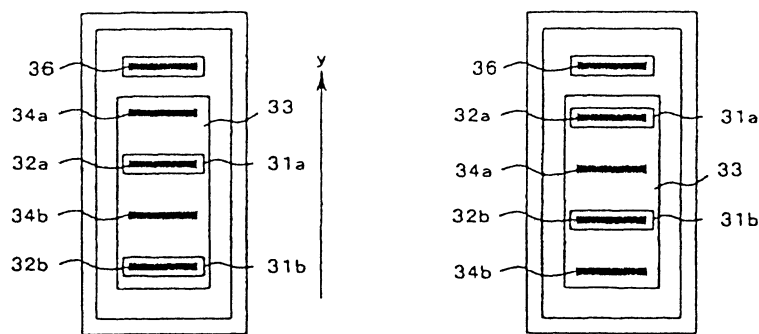


(c)集極電極之位置
(C_POSITION="BOTH")

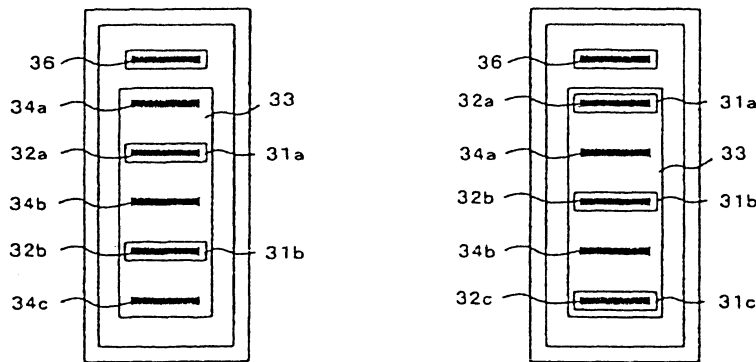


第6圖

(a)電極之配列圖案
(E_ROW=2,B_ROW=2,電極順序=B/E)(b)電極之配列圖案
(E_ROW=2,B_ROW=2,電極順序=E/B)



(c)電極之配列圖案
(E_ROW=2,B_ROW=3)(d)電極之配列圖案
(E_ROW=3,B_ROW=2)



第7圖

集極

基極1

射極1

基極2

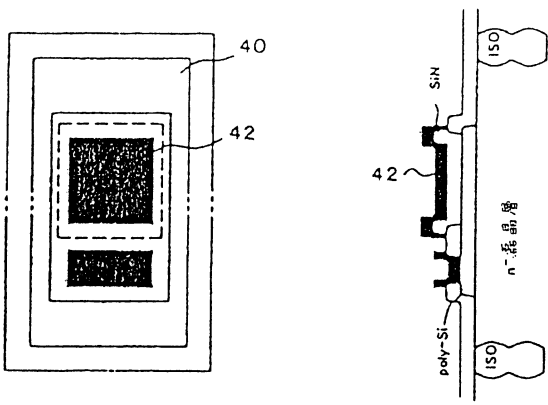
射極2

4.8 μm

4.8 μm

元件編號	1	元件型態	npn Tr
(a)射極長度			4.6 μm
(b)並聯元件數			2 次
(c)集極電極之有無			ON
(d)射極電極之數量			1 個
(e)集極電極之位置			Top
(f)電極之重複圖案		(射極條數)	2 次
		(基極條數)	2 次
		(電極順序)	B/E

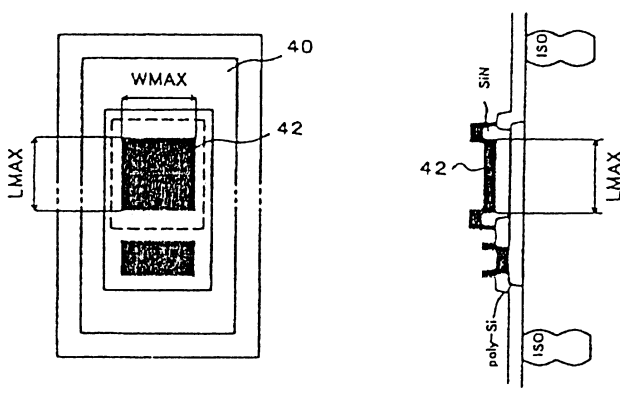
第8圖



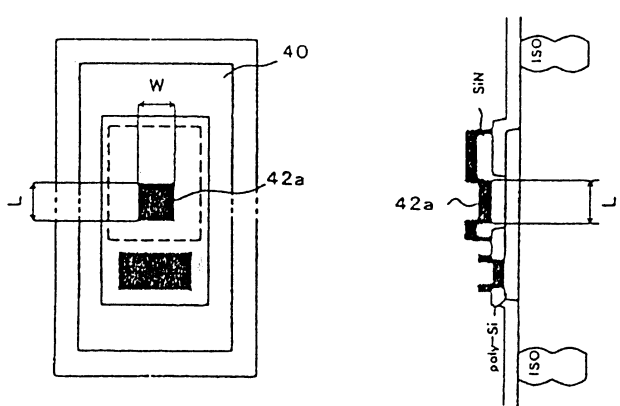
(a) 電容元件之基本構成 (b) 實際之元件側剖視圖

第9圖

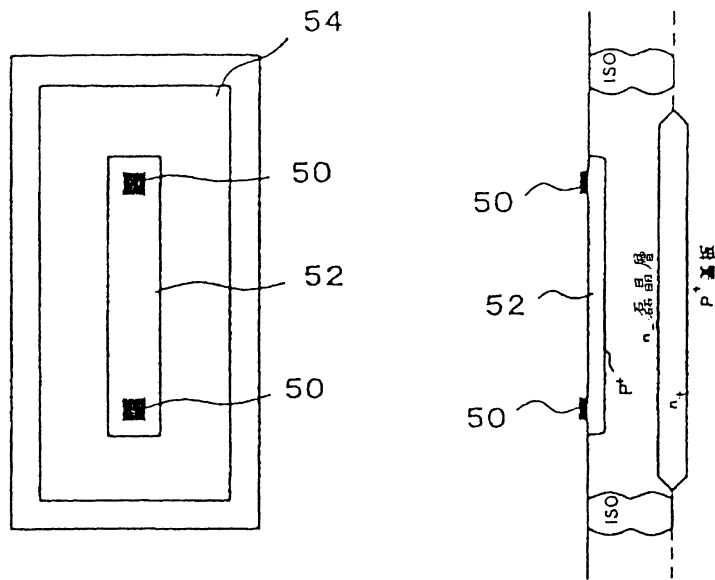
(a) 未輸入微調參數時



(b) 輸入有微調參數時

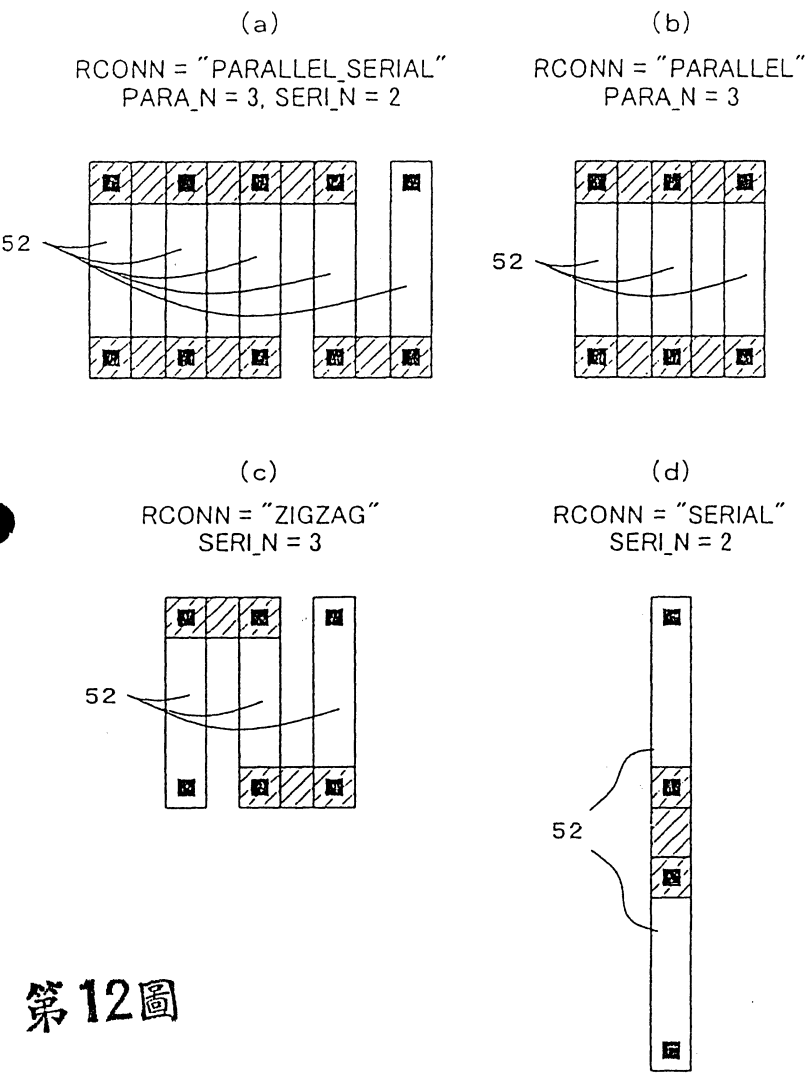


第10圖

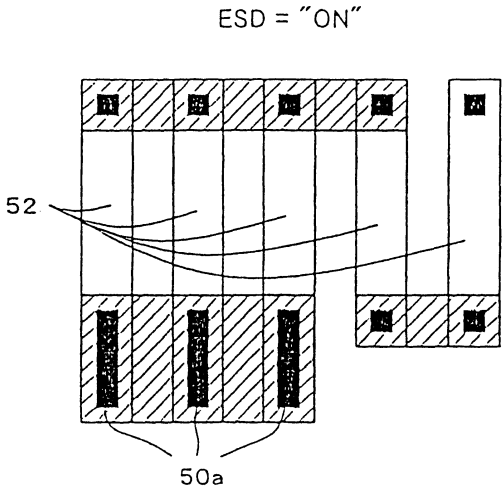


(a) 電阻元件之基本構成 (b) 電阻元件之側剖視圖

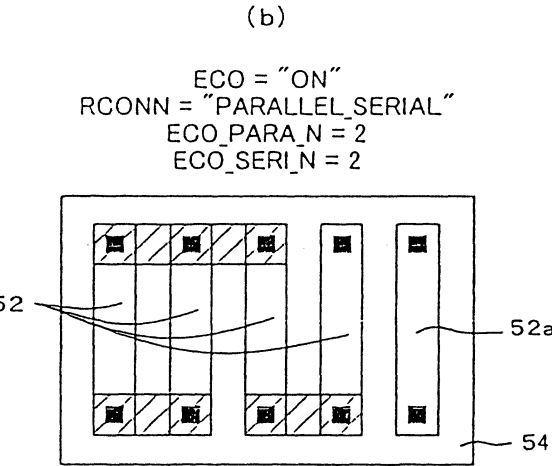
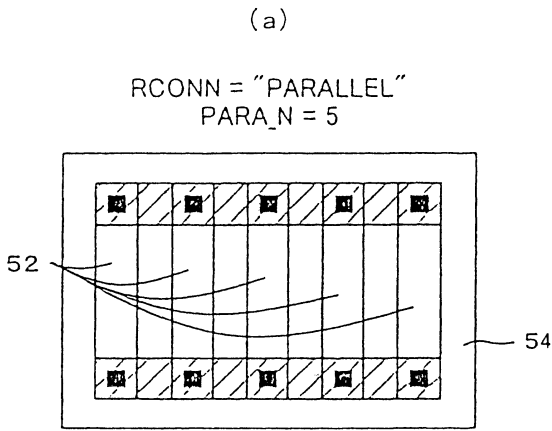
第11圖



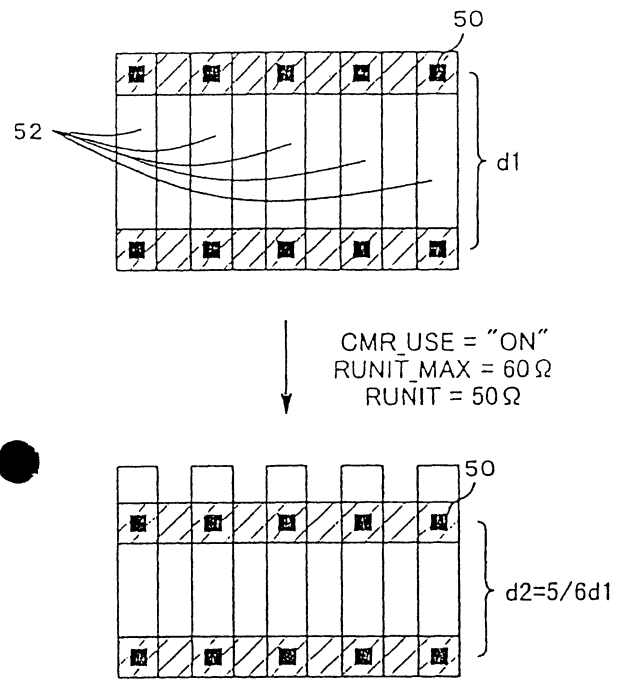
第12圖



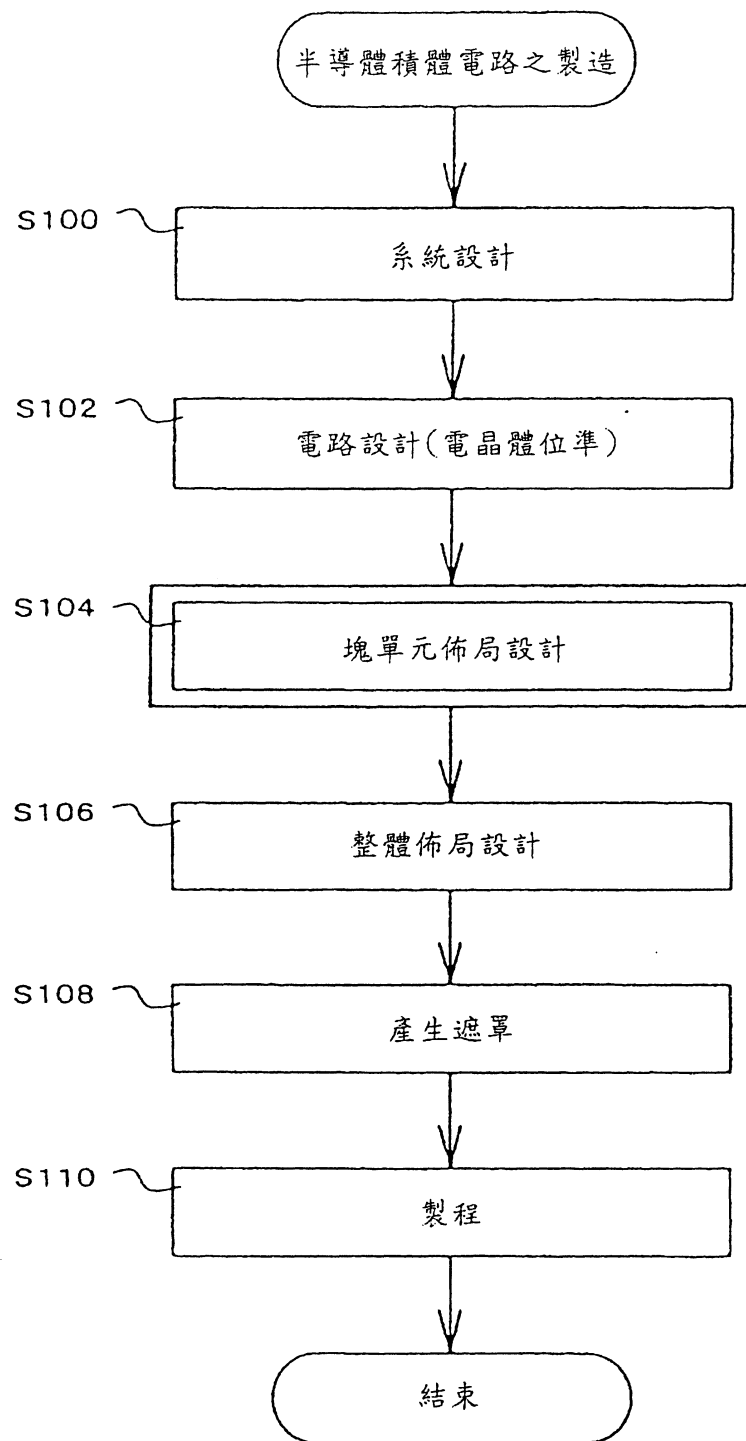
第13圖



第14圖



第15圖



第16圖

柒、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件代表符號簡單說明：

該代表圖無元件符號及其所代表之意義。

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：