

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-252020

(P2007-252020A)

(43) 公開日 平成19年9月27日(2007.9.27)

(51) Int. Cl.			F I			テーマコード (参考)
H02M	1/08	(2006.01)	H02M	1/08	A	5H006
H02M	1/00	(2007.01)	H02M	1/00	P	5H740
H02M	7/12	(2006.01)	H02M	7/12	H	

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願2006-67927 (P2006-67927)
 (22) 出願日 平成18年3月13日 (2006.3.13)

(71) 出願人 000005234
 富士電機ホールディングス株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100133167
 弁理士 山本 浩
 (72) 発明者 阿部 康
 神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社 内
 (72) 発明者 笹川 清明
 神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社 内
 Fターム(参考) 5H006 AA04 CA01 CA12 CA13 CB08
 CC02 DB01 FA01
 最終頁に続く

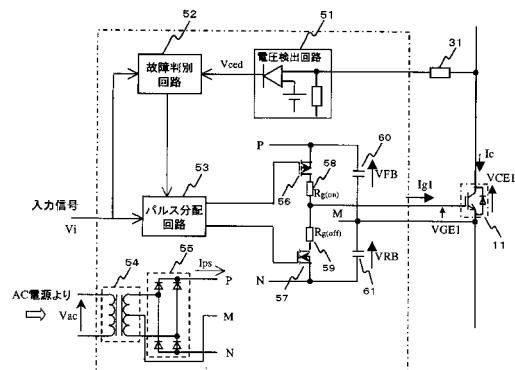
(54) 【発明の名称】 電力変換装置

(57) 【要約】

【課題】素子破壊が生じることを考慮して、素子の直列数を予め増加しておくことでアームに素子破壊が発生した場合においても、残りの正常な素子により継続運転が可能であるが、余分な素子が必要となり、装置の大型化やコスト増加などが問題になる。

【解決手段】複数個直列接続された自己消弧型半導体素子と、前記各半導体素子に設けられたゲート駆動回路とからなる半導体スイッチ回路において、前記半導体素子のいずれかが破壊し、コレクターエミッタ間が短絡状態になった時、残りの正常な素子のターンオフ動作が遅くなるように、当該ゲート駆動回路の順バイアス電圧と逆バイアス電圧の一方または両方の値を変化させる。ターンオフ動作を緩やかにすることにより、ターンオフ時のスパイク電圧が小さくなり、より少ない直列数での運転継続を可能とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数個直列接続された自己消弧型半導体素子と、前記各半導体素子に設けられたゲート駆動回路とからなる半導体スイッチ回路において、前記半導体素子のいずれかが破壊し、コレクターエミッタ間が短絡状態になった時、残りの正常な素子のターンオフ動作が遅くなるように、当該ゲート駆動回路の順バイアス電圧と逆バイアス電圧の一方または両方の値を変化させることを特徴とする電力変換装置。

【請求項 2】

複数個直列接続された自己消弧型半導体素子と、前記各半導体素子に設けられたゲート駆動回路とからなる半導体スイッチ回路を直列接続した上下アームにおいて、前記上下アームのいずれかの半導体素子が破壊し、コレクターエミッタ間が短絡状態になった時、当該アームと対向のアームの半導体スイッチ回路の半導体素子のターンオン動作が遅くなるように、当該ゲート駆動回路の順バイアス電圧と逆バイアス電圧の一方または両方の値を変化させることを特徴とする電力変換装置。

【請求項 3】

上記ゲート駆動回路の順バイアス電圧と逆バイアス電圧の一方または両方の値を変化させる手段は、電流制限特性を持たせた上下アーム共通の交流電源と、ゲート駆動回路内の順バイアス用半導体スイッチと逆バイアス用半導体スイッチを同時にオンさせ交流電源を過負荷にする手段とを備えたことを特徴とする請求項 1 および 2 に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数個直列接続された自己消弧型半導体素子（以下素子という）によって構成される電力変換装置に関し、特に直列接続された素子のいずれかに短絡故障が発生した時にゲート駆動条件を変更することにより、装置を止めることなく運転を継続させる技術に関する。

【背景技術】

【0002】

図 5 に、従来の技術を用いたインバータの回路構成例を示す。適用素子 11～14 は IGBT であり、これを 4 個直列接続し、上アーム 1 と下アーム 2 を構成している。ここの素子の直列数は、直流電圧 E_{dc} に対し、必要最小限としている。即ち、素子オフ時に、各素子に印加される直流電圧は $E_{dc}/4$ となるため、ターンオフ時のサージ電圧 ΔV を考慮し、図 6 (a) のように素子印加電圧が定格電圧内となるように素子の直列数を設定している。ここで、4 個の素子の中で IGBT 11 が破壊してコレクターエミッタ間が短絡状態になったと仮定する。この時、残り 3 個の素子、IGBT 12～14 により直流電圧 E_{dc} が分担されるようになるため、1 素子当りに印加される直流電圧は、 $E_{dc}/3$ となり、正常時と比べると印加される直流電圧が増加する。

【0003】

素子のスイッチング速度が同等であれば、サージ電圧の電圧増加分は図 6 (a) と同じとなり、図 6 (b) のように素子の耐圧を超えることになる。この結果、アームを構成する全素子が破壊されてしまい、装置の運転が継続できなくなる。図 7 に、継続運転を可能にした回路構成を示す。図 5 と比較すると、素子の直列数を 4 個から 5 個に増加させている。この時の 1 素子当たりのターンオフ波形を図 8 に示す。図 6 (a) と比較すると、正常時には 1 素子に印加される直流電圧分が $E_{dc}/5$ と小さくなるため、スパイク電圧（直流電圧分にサージ電圧を加えた素子への印加電圧）のピーク値が素子定格電圧に対して余裕があることが分かる。この状態で IGBT 11 が破壊して短絡状態となると、直流電圧分担は図 6 (a) と同じ $E_{dc}/4$ となるため、スパイク電圧のピーク値は素子定格電圧を超えることはない。これにより、継続運転が可能である。この方式の詳細については、特許文献 1 に記載されている。

【特許文献 1】特開平 11-252894 号公報

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述のように、素子破壊が生じたことを考慮して、素子の直列数を予め増加しておくことでアームに素子破壊が発生した場合においても、残りの正常な素子により継続運転が可能であるが、余分な素子が必要となり、装置の大型化やコスト増加などが問題になる。従って、本発明の課題は、必要最小限の素子数による直列接続によってアームを構成し、素子故障が発生した場合においても、継続運転を可能にすることにより、装置の小型化と低コスト化を図ることである。

【課題を解決するための手段】

【0005】

上述の課題を解決するため、第1の発明においては、複数個直列接続された自己消弧型半導体素子と、前記各半導体素子に設けられたゲート駆動回路とからなる半導体スイッチ回路において、前記半導体素子のいずれかが破壊し、コレクターエミッタ間が短絡状態になった時、残りの正常な素子のターンオフ動作が遅くなるように、当該ゲート駆動回路の順バイアス電圧と逆バイアス電圧の一方または両方の値を変化させる。

【0006】

第2の発明においては、複数個直列接続された自己消弧型半導体素子と、前記各半導体素子に設けられたゲート駆動回路とからなる半導体スイッチ回路を直列接続した上下アームにおいて、前記上下アームのいずれかの半導体素子が破壊し、コレクターエミッタ間が短絡状態になった時、当該アームと対向のアームの半導体スイッチ回路の半導体素子のターンオン動作が遅くなるように、当該ゲート駆動回路の順バイアス電圧と逆バイアス電圧の一方または両方の値を変化させる。

【0007】

第3の発明においては、第1および第2の発明において、ゲート駆動回路の順バイアス電圧と逆バイアス電圧の一方または両方の値を変化させる手段は、電流制限特性を持たせた上下アーム共通の交流電源と、ゲート駆動回路内の順バイアス用半導体スイッチと逆バイアス用半導体スイッチを同時にオンさせ交流電源を過負荷にする手段とを備える。

【発明の効果】

【0008】

本発明では、複数個直列接続されたアーム内の素子のいずれかに短絡故障が発生した場合、残りの素子のゲート駆動条件や対向アームの素子の駆動条件を変更してサージ電圧を抑制するようにしているため、素子に印加されるスパイク電圧が素子の定格電圧以下に抑制され、装置の運転を継続可能となる。この結果、従来のように素子が破壊されたことを前提に余裕を持たせて直列素子数を決める必要がなくなり、装置の小型化と低コスト化が可能となる。

【発明を実施するための最良の形態】

【0009】

本発明の要点は、複数個直列接続したアーム内の素子のいずれかに短絡故障が発生した場合、残りの素子のゲート駆動条件や対向アームの素子の駆動条件を変更してサージ電圧を抑制するようにして、素子に印加されるスパイク電圧を素子の定格電圧以下に抑制し、運転を継続させるようにした点である。

【実施例1】

【0010】

図1に、本発明の第1の実施例（全体構成）を示す。この回路は、2レベルインバータの一相分を構成しており、素子としてIGBT（11～14）を4個直列接続している。ここでは、図5と同様、必要最小限の直列数としている。21～24は各素子のゲート駆動回路、3は交流出力の駆動回路用AC電源であり、各ゲート駆動回路へ順バイアス用、逆バイアス用の電力を供給している。また、各素子のコレクターエミッタ間電圧を検出するため、各素子のコレクタは各ゲート駆動回路21～24に各々抵抗31～34を介して

10

20

30

40

50

入力される。

【0011】

図2に、ゲート駆動回路1素子分の詳細な構成図を示す。56が順バイアス用トランジスタ、57が逆バイアス用トランジスタで、入力信号Viがオン信号の時トランジスタ56がオン、オフ信号の時トランジスタ57がオンして、IGBT11のゲートにバイアス電圧を印加する。VFBとVRBは各々順バイアス電圧、逆バイアス電圧で、58、59は各々順バイアス用、逆バイアス用のゲート抵抗で、Rg(on)は抵抗58の抵抗値、Rg(off)は抵抗59の抵抗値である。54は各ゲート駆動回路と絶縁するためのトランス、55は整流回路で、AC電源から順バイアス電圧VFBと逆バイアス電圧VRBを生成している。ここで、P-M間にはコンデンサ60が、M-N間にはコンデンサ61が接続され、平滑された駆動用電源を得ている。電圧検出回路51は、IGBT11のコレクターエミッタ間電圧を検出して、基準値との比較によって電圧の有無を検出し、そのロジック信号を出力する回路、故障判別回路52は、電圧検出回路51からの信号と入力信号Viの関係から故障を検出し、この故障信号をパルス分配回路53に出力する回路である。また、パルス分配回路53では、正常時、入力信号に応じた信号をトランジスタ56、57へ出力し、故障判別回路52から素子故障の信号を受けた時には、トランジスタ56、57の両方をオンとする信号を出力させるようにする。

【0012】

図3に、各信号のタイムチャートを示す。ここでは、IGBT11がオフ時に素子破壊が発生してコレクターエミッタ間が短絡状態になったと仮定する。IGBT11が破壊すると、図3に示すように入力信号がオフにもかかわらず、電圧検出回路51から“電圧無し”の信号が出力される。入力信号ViとIGBT電圧VCE1との関係により、故障判別回路52によって故障と判断され、パルス分配回路53にこの信号が出力される。その後、パルス分配回路53からはトランジスタ56と57の両方をオンにする信号を出力する。この時、駆動用電源の出力（整流器55の出力）には、通常時に流れる電流と比較すると、非常に大きな電流Ipsが流れる。Ipsの最大値Ips(max)は、次式で表される。

【0013】

$$I_{ps}(\max) = (V_{FB} + V_{RB}) / \{R_{g(on)} + R_{g(off)}\}$$

ここで、AC電源3の過電流制限レベルをIps(max)となるように設定し、この電流が流れた時にAC電源内において電流制限機能が働き、出力電圧が低下するようにする。これにより、図3に示すようにVFB、VRB共にレベルが低下する。

【0014】

この時の正常素子のターンオフ波形を図4に示す。図4(a)が正常時、図4(b)が故障検出時の波形である。図4(a)では、4つの素子で電圧を均等に分担しているため、1素子の波形は図に示すように、素子の最大印加電圧は、 $E_{dc}/4 + \Delta V$ となる。1素子が破壊して短絡状態となると、他の3素子で電圧を分担するため、直流印加電圧は $E_{dc}/3$ となり、図4(b)のように直流電圧の分担が増加する。その後、素子がターンオフする時、上記したように順バイアス電圧と逆バイアス電圧の差電圧 ΔV_B が減少する。これによって、ゲート電流が小さくなるため、ゲート抵抗を増加させた場合と等価な動作となる。即ち、ゲート電圧をVFBからVRBに緩やかに変化させる。その結果、ターンオフ動作が遅くなり、サージ電圧 ΔV が抑制される。以上の動作により、正常素子が定格電圧を超えること無く、継続運転をすることができる。

【0015】

上アームがオン状態で電流が並列接続された還流ダイオード(FWD)を流れているモードで、下アームIGBTがターンオンするとIGBT11～14に内蔵されている還流ダイオード(FWD)が逆回復し、スパイク電圧が印加される。しかし、AC電源3が上・下アームに共通であれば、故障検出した時には上記の動作と同様に下アーム素子のターンオン動作が遅くなる。即ち、ゲート電圧をVRBからVFBに緩やかに変化させる。これより、還流ダイオード(FWD)の逆回復が緩やかになり、スパイク電圧が抑制され、

継続運転を可能にできる。

【0016】

以上の説明のように、素子故障が発生した時、駆動用電源の電圧を低下させることにより、IGBTのゲートを充放電するスピード（ゲート電圧の時間変化率）が緩やかになり、結果としてIGBTターンオフ時のスパイク電圧と還流ダイオードの逆回復時のスパイク電圧が低減される。

【0017】

また、順バイアス電圧と逆バイアス電圧の一方または両方の値を変化させる手段としては、IGBTの故障情報を各ゲート駆動回路から上下アーム共通のAC電源へ送出し、AC電源の中で出力電圧の設定値を変更する方式でも実現可能である。

10

【産業上の利用可能性】

【0018】

本発明は、自己消弧型半導体素子を複数個直列接続して構成する高圧大容量の変換装置、半導体式高圧遮断機などへの適用が可能である。

【図面の簡単な説明】

【0019】

【図1】素子を4直列接続した場合の本発明の実施例を示す回路構成図

【図2】図1の1素子当たりのゲート駆動回路の構成図

【図3】図2の動作波形例

【図4】ターンオフ時の動作を説明するための波形

20

【図5】従来の回路構成図

【図6】図5のターンオフ波形

【図7】従来の継続運転を可能とした回路構成図

【図8】図7のターンオフ波形

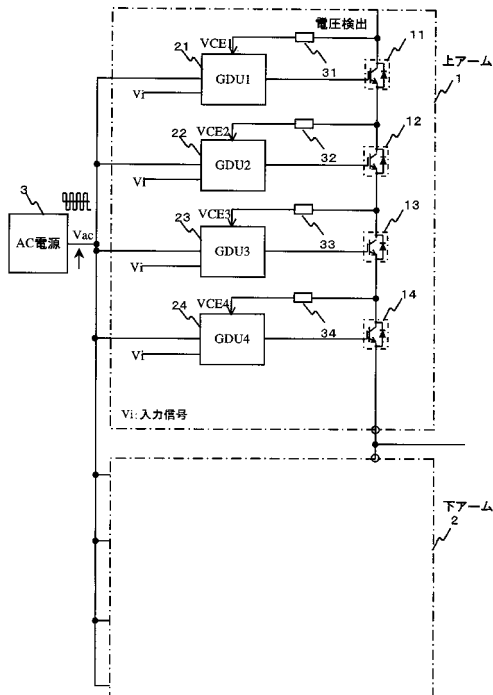
【符号の説明】

【0020】

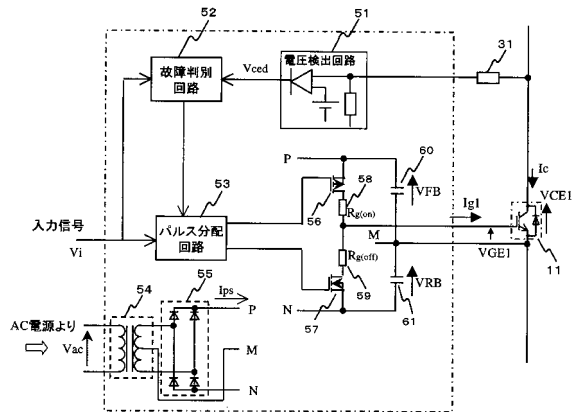
1・・・上アーム	2・・・下アーム	3・・・AC電源
4・・・直流電源	11～15・・・IGBT	
21～24・・・ゲート駆動回路	31～34、58、59・・・抵抗	
51・・・電圧検出回路	52・・・故障判別回路	
53・・・パルス分配回路	54・・・トランス	55・・・整流回路
56、57・・・トランジスタ	60、61・・・コンデンサ	

30

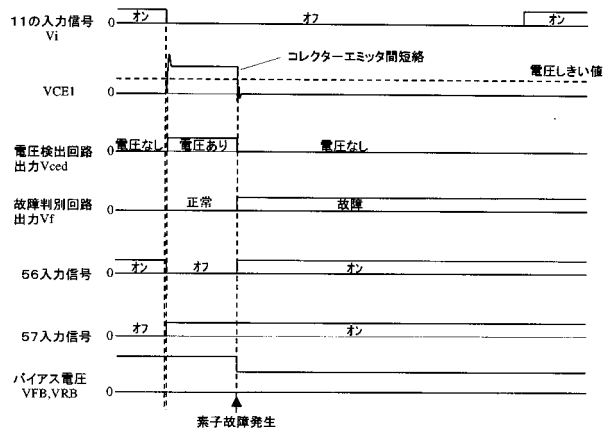
【図 1】



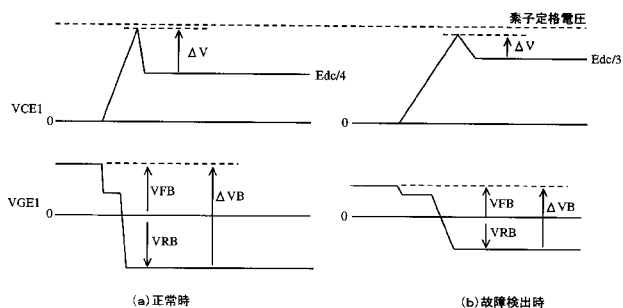
【図 2】



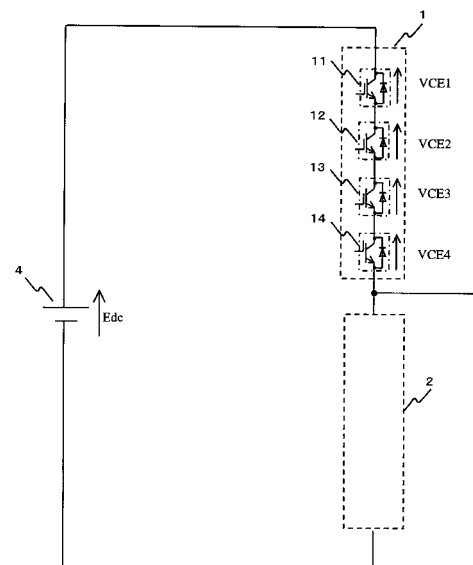
【図 3】



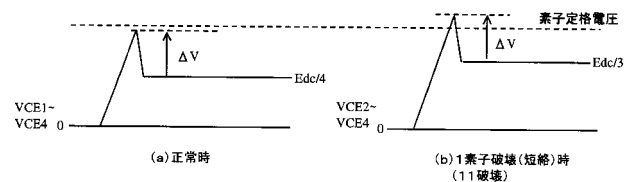
【図 4】



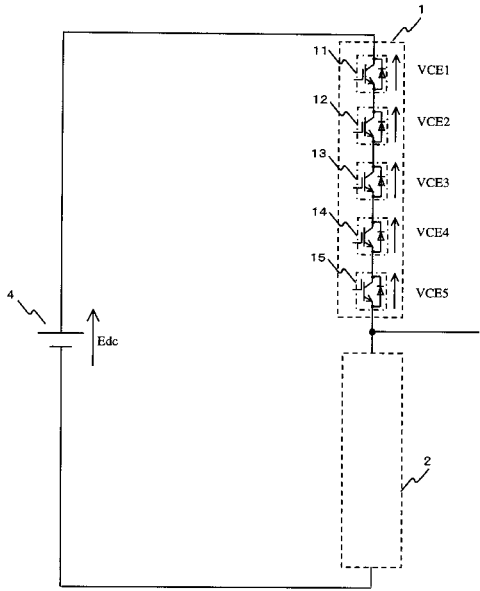
【図 5】



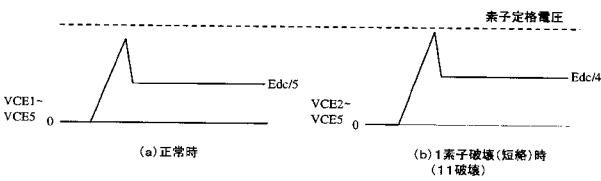
【図 6】



【図 7】



【図 8】



フロントページの続き

Fターム(参考) 5H740 AA04 AA08 BA11 BB01 HH05 KK01 MM01