

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5154588号
(P5154588)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int. Cl. F I
 HO2M 7/06 (2006.01) HO2M 7/06 S
 HO2M 7/10 (2006.01) HO2M 7/10 B

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2010-18132 (P2010-18132)	(73) 特許権者	390013723
(22) 出願日	平成22年1月29日 (2010.1.29)		TDKラムダ株式会社
(65) 公開番号	特開2011-160508 (P2011-160508A)		東京都中央区日本橋一丁目13番1号
(43) 公開日	平成23年8月18日 (2011.8.18)	(74) 代理人	100080089
審査請求日	平成23年2月4日 (2011.2.4)		弁理士 牛木 護
		(74) 代理人	100161665
			弁理士 高橋 知之
		(74) 代理人	100137800
			弁理士 吉田 正義
		(72) 発明者	渡邊 満
			東京都品川区東五反田一丁目11番15号
			電波ビルディング TDKラムダ株式会社 社内

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

交流電源からの入力電圧を全波整流する第1の整流回路に接続され、前記第1の整流回路を倍電圧整流方式で動作させるか否かを切換える切換え素子と、

前記切換え素子をオンまたはオフに駆動する駆動回路と、を備えたスイッチング電源装置において、

前記駆動回路は、前記入力電圧を全波整流する第2の整流回路と、この第2の整流回路からの全波整流出力を平滑化せずに電源電圧として利用する定電流回路と、この定電流回路の動作を前記全波整流の波高値に基づいて強制停止させる強制停止回路を備え、

前記定電流回路は、前記第2の整流回路からの全波整流出力を積分する積分回路と、この積分回路の出力電圧を所定の電圧値以下に制限するツェナーダイオードと、このツェナーダイオードにより所定の電圧値以下に制限された前記積分回路の出力電圧が制御端子に

入力されるトランジスタと、を備え、
 前記切換え素子は、前記トランジスタから供給される電流に基づいて駆動されることを特徴とするスイッチング電源装置。

【請求項2】

前記切換え素子は双方向三端子サイリスタであり、

前記双方向三端子サイリスタは、前記トランジスタから供給される電流により発光する発光素子と、この発光素子と対になる受光素子とからなる光結合素子により駆動されることを特徴とする請求項1記載のスイッチング電源装置。

【請求項 3】

前記切換え素子は電磁リレーのスイッチであり、

前記トランジスタから供給される電流が前記電磁リレーを開閉させるコイルに供給されることを特徴とする請求項 1 記載のスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、各種電気機器の入力自動切換回路に関し、特に異なる入力電圧を検出して、その入力電圧に対応するように整流回路の動作を切換え制御する入力自動切換回路を備えたスイッチング電源装置に関する。

10

【背景技術】

【0002】

現在、世界の商用電源は100V系と200V系の二地域に分けられている。こうした異なる地域の入力電圧を検出して、その入力電圧に対応するように整流回路の動作を切換え制御する入力自動切換回路が、例えば特許文献1や特許文献2などに開示されている。

【0003】

これらの特許文献1や特許文献2では、何れも整流回路が4つのダイオードをブリッジ接続したダイオードブリッジで構成され、整流回路の出力端間には、2つの平滑コンデンサを直列接続した平滑回路が設けられている。また、整流回路の一方の入力端と対をなす平滑コンデンサの接続点との間には、入力自動切換回路の切換え素子としてトライアック（双方向三端子サイリスタ）が接続され、100V系の入力電圧の場合には切換え素子をオンにして、整流回路を倍電圧整流方式にする一方で、200V系の入力電圧の場合には切換え素子をオフにして、整流回路を全波整流方式にすることで、平滑回路の両端間に常に所望の直流電圧を得るようにしている。

20

【0004】

特許文献1の入力自動切換回路は、切換え素子の駆動回路にオペアンプなどの比較器が組み込まれている。この比較器は、平滑回路の両端間電圧を分圧した検出用電圧と、駆動回路の内部で設定された基準電圧とを比較するもので、当該比較器の動作電圧や基準電圧を生成するために、交流入力電圧を直流に整流してこれを駆動回路の電源電圧とする制御電源が設けられている。

30

【0005】

また、特許文献2の入力自動切換回路も、切換え素子の駆動回路に同等の機能を有するオペアンプが組み込まれており、ここでは交流入力電圧を直流に整流して駆動回路の電源電圧とするために、ダイオード整流器と電解コンデンサからなる整流平滑回路が駆動回路に設けられている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特許第3024330号公報明細書

【特許文献2】特開昭63-89061号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかし、上記従来技術では次のような問題がある。

【0008】

特許文献1の入力自動切換回路では、交流入力電圧を直流化した電圧を、駆動回路の電源電圧としているため、電源電圧を生成する制御電源において常に固定の損失（待機電力）が発生する。

【0009】

また、特許文献2の入力自動切換回路では、交流入力電圧の印加に耐え得る高耐圧の電

50

解コンデンサを用いる必要があり、駆動回路における部品の大型化と寿命が問題となる。

【0010】

そこで本発明は、待機電力の損失低減を図り、且つ高耐圧の電解コンデンサを用いることなく、入力電圧に対応して駆動回路が整流回路の整流方式を適正に切り換えることができ、長寿命化および小型化が可能なスイッチング電源装置を提供することを、その目的とする。

【課題を解決するための手段】

【0011】

本発明のスイッチング電源装置は、上記目的を達成するために、交流電源からの入力電圧を全波整流する第1の整流回路に接続され、前記第1の整流回路を倍電圧整流方式で動作させるか否かを切換える切換え素子と、前記切換え素子をオンまたはオフに駆動する駆動回路と、を備えたスイッチング電源装置において、前記駆動回路は、前記入力電圧を全波整流する第2の整流回路と、この第2の整流回路からの全波整流出力を平滑化せずに電源電圧として利用する定電流回路と、この定電流回路の動作を前記全波整流の波高値に基づいて強制停止させる強制停止回路を備え、前記定電流回路は、前記第2の整流回路からの全波整流出力を積分する積分回路と、この積分回路の出力電圧を所定の電圧値以下に制限するツェナーダイオードと、このツェナーダイオードにより所定の電圧値以下に制限された前記積分回路の出力電圧が制御端子に入力されるトランジスタと、を備え、前記切換え素子は、前記トランジスタから供給される電流に基づいて駆動されることを特徴とする。

【0012】

この場合、前記切換え素子は双方向三端子サイリスタであり、前記双方向三端子サイリスタは、前記トランジスタから供給される電流により発光する発光素子と、この発光素子と対になる受光素子とからなる光結合素子により駆動されるのが好ましい。

【0013】

また、前記切換え素子は電磁リレーのスイッチであり、前記トランジスタから供給される電流が前記電磁リレーを開閉させるコイルに供給されてもよい。

【発明の効果】

【0014】

本発明のスイッチング電源装置によれば、交流電源からの入力電圧を整流平滑して直流電圧にすることなく、第2の整流回路からの整流出力をそのまま定電流回路が電源電圧として取り入れることで、第1の整流回路を倍電圧整流方式で動作させるか否かを切換える切換え素子を、定電流回路に備えたトランジスタから供給される電流に基づいて駆動させることができる。これにより、スイッチング電源装置として待機電力の損失低減を図り、且つ従来のような平滑用の高耐圧の電解コンデンサを用いることなく、入力電圧に対応して駆動回路が第1の整流回路の整流方式を適正に切り換えることができ、長寿命化および小型化が可能になる。

【0015】

また本発明の好ましいスイッチング電源装置によれば、入力電圧が何らかの原因で停止すると、第2の整流回路からの整流出力を電源電圧とする発光素子も同時に発光停止し、双方向三端子サイリスタを即時オフにすることができる。したがって、特に入力電圧の瞬停後再投入時に、双方向三端子サイリスタがオンし続けることに起因する突入電流の発生を防止することができる。

【0016】

また本発明の好ましいスイッチング電源装置によれば、電磁リレーを利用して駆動回路が第1の整流回路の整流方式を適正に切り換えることが可能になる。

【図面の簡単な説明】

【0017】

【図1】本発明の第1実施例における入力自動切換回路を含むスイッチング電源装置の回路図である。

【図2】同上、トリガ生成回路で生成されるトリガ電流の波形図である。

【図3】本発明の第2実施例における入力自動切換回路を含むスイッチング電源装置の回路図である。

【発明を実施するための形態】

【0018】

以下、添付図面に基づき入力自動切換回路の好適な回路例を詳細に説明する。なお、各実施例において共通する構成には共通の符号を付し、同一箇所の説明は重複を避けるために極力省略する。

【実施例1】

【0019】

図1は、本発明の第1実施例における入力自動切換回路を含むスイッチング電源装置の回路図である。同図において、1は入力電源であるAC100V系またはAC200V系の商用電源、2は商用電源1からの交流入力電圧 V_{in} を整流する整流回路であり、これは4つのブリッジ接続されたダイオード(図示せず)などの整流素子を組み合わせて構成される。整流回路2の出力端間には、2つの平滑コンデンサ3,4を直列に接続した平滑回路5が接続配置され、この平滑回路5の両端間に発生する直流電圧 V_c が、図示しない負荷(例えば、DC-DCコンバータ)の入力電圧として当該負荷に供給される。

【0020】

前記整流回路2の一方の入力端と対をなす平滑コンデンサ3,4の接続点との間には、整流回路2を全波整流方式または倍電圧整流方式の何れかに切換える切換え素子として、トライアック(双方向三端子サイリスタ)8が接続される。ここでは、トライアック8の第1主端子が整流回路2の一方の入力端に接続され、トライアック8の第2主端子が平滑コンデンサ3,4の接続点に接続されるが、トライアック8の第1主端子とゲートとの間には、抵抗9とフォトトライアック11の受光素子13との直列回路が接続され、トライアック8の第2主端子とゲートとの間には、抵抗15とコンデンサ16とによる並列回路が接続される。これらの抵抗9,15およびコンデンサ16は、トライアック8の誤点弧防止回路として必要に応じて付加されるものであり、トライアック8やフォトトライアック11と共に、整流回路2の動作すなわち整流方式を切換え制御する入力自動切換回路21の一部を構成している。

【0021】

31は、前記交流入力電圧 V_{in} を監視して、トライアック8をオンまたはオフに駆動する駆動回路である。駆動回路31は、交流入力電圧 V_{in} を整流する整流回路32と、整流回路32からの整流電圧レベルを監視して、その電圧レベルが所定値に達すると、高入力すなわちAC200V系の商用電源1からの入力電圧 V_{in} が印加されたと判断して信号を出力する高入力検出回路33と、整流回路32の出力端に抵抗34,フォトトライアック11の発光素子12, MOS型FET35, 抵抗36を順に直列接続してなるトリガ生成回路38と、整流回路32からの整流電圧を電源電圧として、トリガ生成回路38で生成されるトリガ電流が定電流となるようにMOS型FET35を制御する定電流回路39と、前記高入力検出回路33が高入力と判断して、その検出端子Dからパルス信号が出力されるのを受けて、前記MOS型FET35をオフ状態に保持し、トリガ生成回路38に流れるトリガ電流を持続的に停止させるラッチ回路40とにより構成される。

【0022】

駆動回路31の各部の構成についてさらに説明すると、整流回路32は例えば4つのブリッジ接続されたダイオード(図示せず)を組み合わせて構成され、その出力端には全波整流された電圧が駆動回路31の電源電圧として発生する。なお、整流回路32の損失を低減するために、実施例中の全波整流方式に代わる別な整流方式を動作するものであってもよい。トリガ生成回路38を構成するフォトトライアック11は、このトリガ生成回路38で生成されるトリガ電流を電氣的に絶縁してトライアック8のゲートに伝送するもので、具体的には発光ダイオードからなる発光素子12と光ゲート入力形トライアックからなる受光素子13を光結合させた素子である。こうした光結合素子は他にも知られている

10

20

30

40

50

が、切換え素子が主端子間で双方向に電流を流せるトライアック 8 である場合、トリガ生成回路 3 8 の光結合素子もフォトトライアック 1 1 を使用するのが好ましい。

【 0 0 2 3 】

また、フォトトライアック 1 1 の発光素子 1 2 と直列に接続する MOS 型 FET 3 5 は、この発光素子 1 2 へのトリガ電流の流れ込みを可能または阻止するスイッチ素子として設けられる。ここでは、Nチャネルの MOS 型 FET 3 5 のゲート電圧が H (高) レベルになると、MOS 型 FET 3 5 がオンして、整流回路 3 2 からの全波整流を電源としたトリガ電流が、抵抗 3 4 を介して発光素子 1 2 に流れ込む一方で、MOS 型 FET 3 5 のゲート電圧が L (低) レベルになると、MOS 型 FET 3 5 がオフして、発光素子 1 2 へのトリガ電流の流れ込みが遮断されるようになっている。スイッチ素子としては、MOS 型 FET 3 5 以外の各種制御端子付き半導体素子などを用いてもよい。

10

【 0 0 2 4 】

定電流回路 3 9 は、整流回路 3 2 の出力端に、抵抗 4 5 と、ツェナーダイオード 4 6 , コンデンサ 4 7 , 抵抗 4 8 からなる並列回路を直列に接続し、この抵抗 4 5 と並列回路の接続点に、抵抗 4 9 を介して MOS 型 FET 3 5 のゲートを接続することで構成される。ここでのコンデンサ 4 7 は、MOS 型 FET 3 5 や後述するラッチ回路 4 0 のトランジスタ 5 1 , 5 2 をオンし得る程度の電荷を蓄積できればよく、従来の電解コンデンサよりも遥かに低い耐圧のものを使用できる。

【 0 0 2 5 】

ラッチ回路 4 0 は、PNP 型トランジスタ 5 1 のベースとコレクタを、NPN 型トランジスタ 5 2 のコレクタとベースにそれぞれ接続したサイリスタと、トランジスタ 5 2 のベースとエミッタ間に接続する抵抗 5 3 とにより構成され、サイリスタのゲートに相当するトランジスタ 5 2 のベースに、前記高入力検出回路 3 3 の検出端子 D が接続され、サイリスタのアノードに相当するトランジスタ 5 1 のエミッタに、MOS 型 FET 3 5 の制御端子であるゲートが接続される。

20

【 0 0 2 6 】

次に、上記構成についてその作用を、図 2 の波形図に基づき説明する。なお、図 2 において、上段は整流回路 3 2 からの整流電圧波形であり、下段はトリガ生成回路 3 8 で生成されるトリガ電流の波形である。

【 0 0 2 7 】

商用電源 1 からの入力電圧 V_{in} が印加され始めると、その入力電圧 V_{in} が整流回路 2 および入力自動切換回路 2 1 の整流回路 3 2 でそれぞれ整流される。整流回路 2 からの整流電圧は、平滑コンデンサ 3 , 4 により平滑されるが、整流回路 3 2 からの整流電圧は、図 2 の波形図に示すように、高耐圧の電解コンデンサで平滑されることなく、トリガ生成回路 3 8 と定電流回路 3 9 にそのまま電源電圧として供給される。

30

【 0 0 2 8 】

ここで、商用電源 1 が AC 100 V 系の低入力である場合、高入力検出回路 3 3 では整流回路 3 2 からの整流電圧レベルが常に所定値以下となるため、検出端子 D からの検出用のパルス信号は出力されず、ラッチ回路 4 0 のサイリスタはオフして、定電流回路 3 9 はラッチ回路 4 0 の影響を受けずに動作するようになる。そのため定電流回路 3 9 は、整流回路 3 2 からの整流電圧が 0 V から上昇すると、抵抗 4 5 を介してコンデンサ 4 7 を充電し、コンデンサ 4 7 の両端間電圧をツェナーダイオード 4 6 のツェナー電圧に維持すると共に、整流回路 3 2 からの整流電圧が下降して 0 V に近づくと、コンデンサ 4 7 に蓄積した電荷を抵抗 4 8 で放電する動作を繰り返すことで、MOS 型 FET 3 5 のドレインからソースに流れる電流 (すなわちトリガ生成回路 3 8 において、整流回路 3 2 から抵抗 3 4 , 発光素子 1 2 を順に通って MOS 型 FET 3 5 に流れ込むトリガ電流) が、入力電圧 V_{in} のゼロクロス付近を除いて一定値となるように、抵抗 4 9 を介してコンデンサ 4 7 に接続する MOS 型 FET 3 5 のゲート電圧を制御する。

40

【 0 0 2 9 】

こうして、トリガ生成回路 3 8 に図 2 に示すような定電流制御されたトリガ電流が発生

50

すると、そのトリガ電流はフォトトライアック 11 の発光素子 12 から受光素子 13 に信号伝送される。したがって、トリガ電流が増加してトライアック 8 のトリガレベルに達すると、当該トライアック 8 がオンして、整流回路 2 の一方の入力端と平滑コンデンサ 3, 4 の接続点との間が導通し、整流回路 2 は直列接続された平滑コンデンサ 3, 4 の作用による倍電圧整流を行ない、平滑コンデンサ 3, 4 の両端間に所要の直流電圧 V_c を発生させる。

【0030】

一方、商用電源 1 が AC 200V 系の高入力である場合、高入力検出回路 33 では整流回路 32 からの整流電圧レベルが周期的に所定値を越え、その検出端子 D からパルス信号が繰り返し出力される。こうなると、ラッチ回路 40 を構成するサイリスタのゲートにパルス信号が印加され、当該サイリスタがターンオンして、定電流制御している MOS 型 FET 35 のゲート電圧を L レベルにし、MOS 型 FET 35 をオフにする。

10

【0031】

ラッチ回路 40 によって MOS 型 FET 35 がオフ状態を維持すると、トリガ生成回路 38 にはトリガ電流が発生せず、トライアック 8 はオフ状態となり、整流回路 2 の一方の入力端と平滑コンデンサ 3, 4 の接続点との間が非導通になる。したがって、この場合は整流回路 2 で全波整流された電圧が平滑コンデンサ 3, 4 により平滑化され、倍電圧整流時と同等の直流電圧 V_c が平滑コンデンサ 3, 4 の両端間に発生する。

【0032】

また、図 1 に示すトライアック 8 とフォトトライアック 11 を組み合わせた回路構成では、入力電圧 V_{in} が何らかの原因で停止した場合、トライアック 8 が即時オフする。これはフォトトライアック 11 の発光素子 12 を動作させる電源電圧が、整流回路 32 からの全波整流電圧であるため、入力電圧 V_{in} が停止すると同時に全波整流電圧も停止して、発光素子 12 の発光が止まるからである。そのため、入力電圧 V_{in} が瞬間的に停止後、再投入したときに、入力電圧 V_{in} の遮断時にオフしたトライアック 8 が、入力電圧 V_{in} の再投入時にフォトトライアック 11 によるゼロクロス検出により再びオンして、整流回路 2 による倍電圧整流方式の動作を再開させることができる。つまり、入力電圧 V_{in} の瞬停時において、整流回路 2 による倍電圧整流方式の動作が直ちに停止せず、トライアック 8 がオン状態を維持したまま入力電圧 V_{in} を再投入すると、負荷に対して突入電流が発生する可能性があるが、図 1 に示す回路では、整流回路 32 からの整流電圧がフォト

20

30

【0033】

以上のように本実施例では、交流電源である商用電源 1 からの入力電圧 V_{in} を全波整流する第 1 の整流回路たる整流回路 2 に接続され、この整流回路 2 を倍電圧整流方式で動作させるか否かを切替える切替え素子としてのトライアック 8 と、トライアック 8 をオンまたはオフに駆動する駆動回路 31 とを備えたスイッチング電源装置の入力自動切替回路 21 において、入力電圧 V_{in} を全波整流する第 2 の整流回路たる整流回路 32 と、この整流回路 32 からの整流出力を平滑化せずに電源電圧として利用する定電流回路 39 と、この定電流回路 39 の動作を前記全波整流の波高値に基づいて強制停止させる強制停止回路としての高入力検出回路 33 とラッチ回路 40 とを、駆動回路 31 が備えており、定電流回路 39 は、整流回路 32 からの全波整流出力を積分する積分回路としてのコンデンサ 47 および抵抗 48 と、この積分回路の出力電圧を所定の電圧値以下に制限するツェナーダイオード 46 と、このツェナーダイオード 46 により所定の電圧値以下に制限された積分回路の出力電圧が制御端子であるゲートに入力されるトランジスタとしての MOS 型 FET 35 と、を備え、トライアック 8 は、MOS 型 FET 35 から供給される電流に基づいて駆動されることを特徴とする。

40

【0034】

この場合、交流入力電圧 V_{in} を整流平滑して直流電圧にすることなく、整流回路 32 からの整流出力をそのまま定電流回路 39 が電源電圧として取り入れることで、整流回路

50

2を倍電圧整流方式で動作させるか否かを切換えるトライアック8を、定電流回路39に備えたMOS型FET35から供給される電流に基づいて駆動させることができる。そのため、入力自動切換回路21として待機電力の損失低減を図り、且つ従来のような平滑用の高耐圧の電解コンデンサを用いることなく、入力電圧 V_{in} に対応して駆動回路31が整流回路2の整流方式を適正に切り換えることが可能になる。

【0035】

また、特に本実施例の切換え素子はトライアック8であり、トライアック8は、MOS型FET35から供給される電流により発光する発光素子12と、この発光素子12と対になる受光素子13とからなる光結合素子としてのフォトリアック11により駆動される。

10

【0036】

この場合、入力電圧 V_{in} が何らかの原因で停止すると、整流回路32からの整流出力を電源電圧とする発光素子12も同時に発光停止し、トライアック8を即時オフにすることができる。したがって、特に入力電圧 V_{in} の瞬停後再投入時に、トライアック8がオンし続けることに起因する突入電流の発生を防止することができる。

【実施例2】

【0037】

図3は、本発明の第2実施例における入力自動切換回路21を含む電源装置の回路図である。同図において、ここでは切換え素子がトライアック8ではなく電磁リレー61のスイッチ62で構成され、またトリガ生成回路38が、電磁リレー61のコイル63と、MOS型FET35と、抵抗36を順に直列接続して構成される。電磁リレー61のコイル63はコアである鉄芯(図示せず)に巻回され、コイル63に流れるトリガ電流によって、電磁氣的にスイッチ62を開閉するようになっており、トリガ電流が所定値以下ではスイッチ62が開いてオフし、トリガ電流が所定値を越えるとスイッチ62が閉じてオンする。なお、それ以外の構成は前記第1実施例と共通している。

20

【0038】

そして本実施例においても、商用電源1からの入力電圧 V_{in} が印加され始めると、その入力電圧 V_{in} が整流回路2および入力自動切換回路21の整流回路32でそれぞれ整流される。整流回路2からの整流電圧は、平滑コンデンサ3,4により平滑されるが、整流回路32からの整流電圧は、図2の波形図に示すように、高耐圧の電解コンデンサで平滑されることなく、トリガ生成回路38と定電流回路39にそのまま電源電圧として供給される。

30

【0039】

ここで、商用電源1がAC100V系の低入力である場合、高入力検出回路33の検出端子Dからはパルス信号は出力されず、ラッチ回路40のサイリスタはオフして、定電流回路39はラッチ回路40の影響を受けずに動作するようになる。そのため定電流回路39は、整流回路32から電磁リレー61のコイル63を順に通ってMOS型FET35に流れ込むトリガ電流が、入力電圧 V_{in} のゼロクロス付近を除いて一定値となるように、MOS型FET35のゲート電圧を制御する。そして、トリガ生成回路38に図2に示すような定電流制御されたトリガ電流が発生し、そのトリガ電流が一定値を越えると電磁リレー61のスイッチ62が閉じる。それにより、整流回路2の一方の入力端と平滑コンデンサ3,4の接続点との間が導通し、整流回路2は直列接続された平滑コンデンサ3,4の作用による倍電圧全波整流を行ない、平滑コンデンサ3,4の両端間に所要の直流電圧 V_c を発生させる。

40

【0040】

一方、商用電源1がAC200V系の高入力である場合、高入力検出回路33の検出端子Dからパルス信号が繰り返し出力されるので、定電流制御しているMOS型FET35のゲート電圧はLレベルになり、MOS型FET35はオフする。ラッチ回路40によってMOS型FET35がオフ状態を維持すると、トリガ生成回路38にはトリガ電流が発生せず、電磁リレー61のスイッチ62は開いて、整流回路2の一方の入力端と平滑コン

50

デンサ 3, 4 の接続点との間が非導通になる。したがって、この場合は整流回路 2 で全波整流された電圧が平滑コンデンサ 3, 4 により平滑化され、倍電圧整流時と同等の直流電圧 V_c が平滑コンデンサ 3, 4 の両端間に発生する。

【0041】

なお、図 2 の波形図では、入力電圧 V_{in} のゼロクロス付近でトリガ電流が所定値以下となるが、ここで使用する電磁リレー 61 は、コイル 63 を流れる電流が変化してからスイッチ 62 の開閉が切り換わるまでのタイムラグが大きいので、入力電圧 V_{in} のゼロクロス付近であってもスイッチ 62 はオフにならない。これにより、スイッチ 62 が周期的に開閉することによる電磁リレー 61 の寿命低下を防ぐことができる。

【0042】

また別な手段として、入力電圧 V_{in} のゼロクロス付近でトリガ電流のレベルを持ち上げる回路を、駆動回路 31 に組み込んでもよい。この場合、スイッチ 62 がオフからオンに切り換わるトリガ電流のレベルよりも、スイッチ 62 がオンからオフに切り換わるトリガ電流のレベルが低い電磁リレー 61 を用いれば、同様の原因に基づく電磁リレー 61 の寿命低下を確実に防ぐことができる。

【0043】

以上のように、本実施例では交流電源である商用電源 1 からの入力電圧 V_{in} を全波整流する整流回路 2 に接続され、この整流回路 2 を倍電圧整流方式で動作させるか否かを切替える切替え素子としての電磁リレー 61 のスイッチ 62 と、当該スイッチ 62 をオンまたはオフに駆動する駆動回路 31 とを備えた入力自動切替回路 21 において、入力電圧 V_{in} を全波整流する整流回路 32 と、この整流回路 32 からの整流出力を平滑化せずに電源電圧として利用する定電流回路 39 と、この定電流回路 39 の動作を前記全波整流の波高値に基づいて強制停止させる強制停止回路としての高入力検出回路 33 とラッチ回路 40 とを、駆動回路 31 が備えており、定電流回路 39 は、整流回路 32 からの全波整流出力を積分する積分回路としてのコンデンサ 47 および抵抗 48 と、この積分回路の出力電圧を所定の電圧値以下に制限するツェナーダイオード 46 と、このツェナーダイオード 46 により所定の電圧値以下に制限された積分回路の出力電圧が制御端子であるゲートに入力されるトランジスタとしての MOS 型 FET 35 と、を備え、電磁リレー 61 は、MOS 型 FET 35 から供給される電流に基づいて駆動されることを特徴とする。

【0044】

この場合、交流入力電圧 V_{in} を整流平滑して直流電圧にすることなく、整流回路 32 からの整流出力をそのまま定電流回路 39 が電源電圧として取り入れることで、整流回路 2 を倍電圧整流方式で動作させるか否かを切替える電磁リレー 61 のスイッチ 62 を、定電流回路 39 に備えた MOS 型 FET 35 から供給される電流に基づいて駆動させることができる。そのため、入力自動切替回路 21 として待機電力の損失低減を図り、且つ従来のような平滑用の高耐圧の電解コンデンサを用いることなく、入力電圧 V_{in} に対応して駆動回路 31 が整流回路 2 の整流方式を適正に切り換えることができ、長寿命化および小型化が可能になる。

【0045】

また、本実施例の切替え素子は電磁リレー 61 のスイッチ 62 であり、MOS 型 FET 35 から供給される電流が電磁リレー 61 を開閉させるコイル 63 に供給されており、トリガ生成回路 38 は、前記電源電圧が印加される電磁リレー 61 のコイル 63 を備えている。

【0046】

この場合、電磁リレー 61 を利用して駆動回路 31 が整流回路 2 の整流方式を適正に切り換えることが可能になる。

【0047】

なお本発明は、本実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。ここでいう倍電圧とは、2 倍に限らずそれ以上の整数倍の電圧も含む。また整流回路 2 は、実施例中の全波整流方式に代わる別な整流方式を動作するもので

10

20

30

40

50

あってもよい。

【符号の説明】

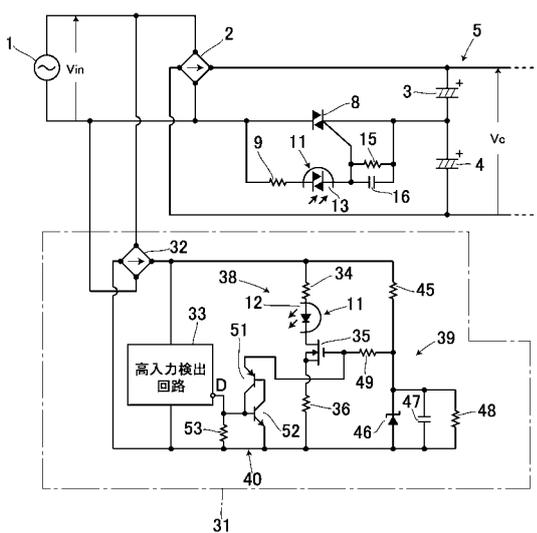
【0048】

- 1 商用電源（交流電源）
- 2 整流回路（第1の整流回路）
- 8 トライアック（切換え素子）
- 11 フォトリライアック（光結合素子）
- 12 発光素子
- 13 受光素子
- 32 整流回路（第2の整流回路）
- 33 高入力検出回路（強制停止回路）
- 35 MOS型FET（トランジスタ）
- 38 トリガ生成回路（信号生成回路）
- 39 定電流回路
- 40 ラッチ回路（強制停止回路）
- 46 ツェナーダイオード
- 47 コンデンサ（積分回路）
- 48 抵抗（積分回路）
- 61 電磁リレー
- 62 スイッチ（切換え素子）
- 63 コイル

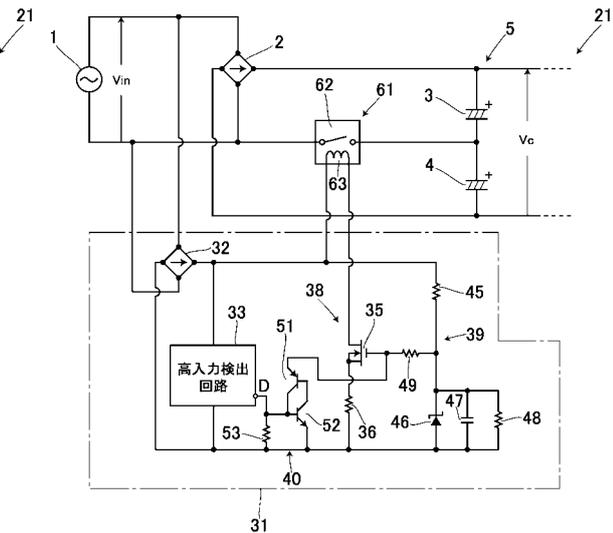
10

20

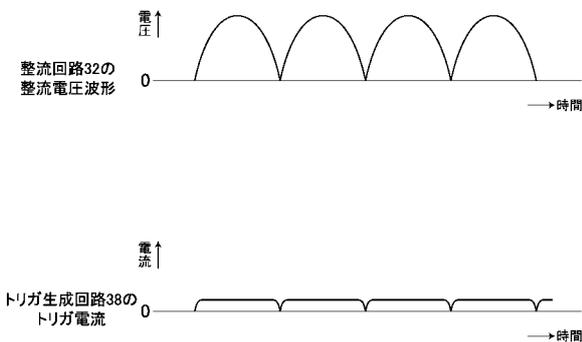
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 斎藤 隆

東京都品川区東五反田一丁目11番15号 電波ビルディング TDKラムダ株式会社内

審査官 下原 浩嗣

(56)参考文献 特開平05-030729(JP,A)

特開平01-138969(JP,A)

特開昭57-046675(JP,A)

実開平03-091083(JP,U)

特開平02-299473(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/06

H02M 7/10