СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1418710 A1

(51) 4 G 06 F 9/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

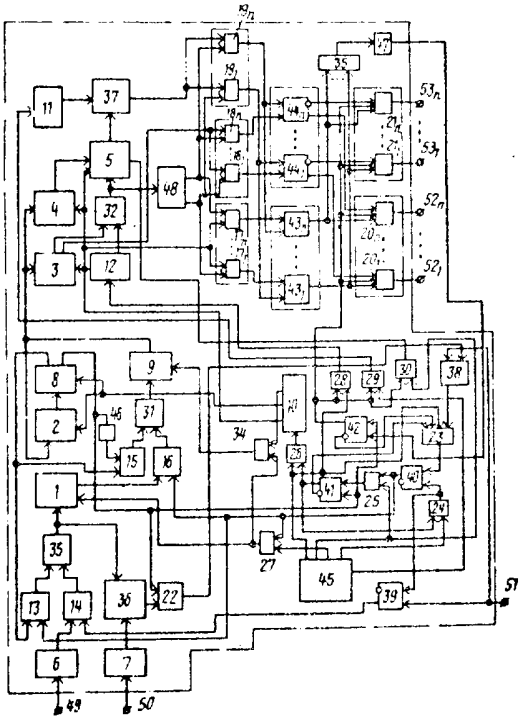
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4191826/24-24
(22) 09.02.87
(46) 23.08.88. Бюл. № 31
(71) Институт проблем моделирования в энергетике АН УССР
(72) В.В.Васильев, И.А.Табунщик, Е.В.Тонкаль, В.В.Федотов и И.В.Федотов
(53) 681.325(088.8)
(56) Авторское свидетельство СССР № 1024930, кл. G 06 F 15/20, 1982.
Авторское свидетельство СССР № 1206791, кл. G 06 F 9/26, 1985.

(54) УСТРОЙСТВО ПРОГРАММНОГО УПРАВЛЕНИЯ

(57) Изобретение относится к цифровым вычислительным машинам для программного управления и может быть использовано при построении специализированных вычислительных устройств для формирования последовательности команд применительно к приводам станков с программным управлением. Цель изобретения - расширение области применения. Цель достигается за счет формирования последовательности команд, которые представляют собой сетевую структуру. Устройство содержит с первого по пятый блоки 1-5 памяти, с первого по четвертый регистры 6-9, кольцевой регистр 10, первый 11 и второй 12 счетчики импульсов, с первой по девятую группы элементов И 13-21, с первого по девятый элементы И 22-30, с первой по третью группы элементов ИЛИ 31-33, первый 34 и второй 35 элементы ИЛИ, первую 36 и



(19) SU (11) 1418710 A1

вторую 37 схемы сравнения, с первого по пятый триггеры 38-42, первую 43 и вторую 44 группы триггеров и блок 45 синхронизации. 1 ил.

1

Изобретение относится к цифровым вычислительным машинам для программного управления и, с точки зрения конструкции вычислительного устройства, может быть использовано при построении специализированных вычислительных устройств для осуществления формирования последовательности команд применительно, например, к приводам станков с программным управлением.

Целью изобретения является расширение области применения устройства за счет формирования последовательности команд, которые представляют сетевую структуру.

На чертеже приведена схема предлагаемого устройства.

Устройство содержит первый, второй, третий, четвертый и пятый блоки 1-5 памяти, первый, второй, третий и четвертый регистры 6-9, кольцевой регистр 10, первый 11 и второй 12 счетчики импульсов, первую, вторую, третью и четвертую группы элементов И 13-16, пятую, шестую, седьмую, восьмую и девятую группы элементов И 17_1-17_n, 18_1-18_n, 19_1-19_n, 20_1-20_n, 21_1-21_n, с первого по девятый элементы И 22-30, первую, вторую и третью группы элементов ИЛИ 31-33, первый элемент ИЛИ 34, второй элемент ИЛИ 35, первую 36 и вторую 37 схемы сравнения, первый, второй, третий, четвертый и пятый триггеры 38-42, первую и вторую группы триггеров 43_1-43_n и 44_1-44_n, блок 45 синхронизации, первый 46 и второй 47 элементы НЕ, дешифратор 48 кода, первый 49 и второй 50 входы условий, вход 51 пуска, первые и вторые выходы кода операций 52_1-52_n, 53_1-53_n.

Устройство работает следующим образом.

В исходном состоянии, перед решением задачи регистры 6-9, счетчики 11 и 12 и кольцевой регистр 10 обнуляются, а триггеры 43_1-43_n, 44_1-44_n и 38-42 устанавливаются в нулевое состояние.

2

Исходными условиями для устройства в задаче формирования последовательности команд, которые представляют сетевую структуру, например, для управления приводами станка является мультиграф, определяющий последовательность работы приводов.

Конфигурация мультиграфа отображает последовательность выполнения технологического процесса, в его ветви отображают отдельные операции указанного процесса. При этом ветви между двумя смежными вершинами мультиграфа отображают операции, которые должны выполняться одновременно. Вершины и ветви мультиграфа номеруются. На основании условий выполнения технологического процесса каждой ветви мультиграфа кроме номера приписывают следующие параметры: вес - продолжительность работы привода, знак - направление работы привода и номер привода.

Информация о конфигурации мультиграфа заносится в блоки 1 и 2 памяти. В блоке 1 памяти адресом каждой ячейки служит номер вершины мультиграфа, а информацией, хранимой в этой ячейке, является номер одной из ветвей, выходящей из данной вершины. В блоке 2 памяти адресом первой ее ячейки служит номер ветви, выходящей из вершины и хранимый по адресу-номеру этой вершины в блоке 1 памяти. Информацией, хранимой в этой ячейке блока 2 памяти, является номер одной из смежных ветвей, который в дальнейшем служит адресом одной из последующих ячеек этого блока 2 памяти. В ячейке блока 2 памяти по адресу-номеру последней смежной ветви информационной частью является номер вершины, в которую эти смежные ветви входят. Для отличия информации о номере

ветви от номера вершины в блок 2 памяти введена метка - значащая единица. Эта единица или метка заносится в последний разряд, который выделен специально, только тех ячеек памяти, информационная часть которых составляет номер вершины. Остальные параметры ветвей мультиграфа заносятся в блоки 3 и 4 памяти. В блоке 3 памяти адресом каждой ячейки служит номер ветви мультиграфа, а информационной частью - номер привода и знак, определяющий направление работы привода. В блоке 4 памяти адресом каждой ячейки также служит номер ветви мультиграфа, а информационной частью вес, характеризующий продолжительность работы привода, номер которого приписан данной ветви.

Перед началом решения задачи в регистры 6 и 7 через входы 49 и 50 условий заносятся соответственно номера начальной и конечной вершин мультиграфа.

Работа устройства начинается с момента подачи сигнала на вход 51 пуска. Вся работа устройства представляет собой циклически повторяющиеся и следующие друг за другом два этапа. Первый этап включает загрузку блока 5 памяти информацией о продолжительности работы того или иного привода. Направление работы этих приводов при этом загружается в первую 43_1-43_n и вторую 44_1-44_n группы триггеров. Второй этап включает слежение за продолжительностью работы каждого привода и отключение его в требуемый момент времени.

Первый этап заключается в следующем. Сигнал с полюса 51 устанавливает триггеры 38 и 39 в единичное состояние. Единичное состояние триггера 39 выдает разрешение, которое поступает на входы элементов И 14 группы. Это обеспечивает прохождение кода - номер начальной вершины мультиграфа через группы элементов И 14 и ИЛИ 33 на адресный вход блока 1 памяти.

Единичное состояние триггера 38 выдает разрешение на элемент И 23, что позволяет импульсу ГИ 1 с блока 45 синхронизации пройти через этот элемент и установить триггер 40 в единичное состояние. Причем блок 45 синхронизации выдает на первых четырех своих выходах импульсы, сдвинутые относительно друг друга, частота следования каждого из которых выше частоты импульсов, выдаваемых на пятом выходе, во столько раз, сколько приводов у станка.

Единичное состояние триггера 40 выдает разрешение на входы элементов И 25, 27 и группы элементов И 16. В результате, импульс ГИ 2 от блока 45 синхронизации поступает на вход установки в единицу триггера 41 и устанавливает его в единичное состояние, а импульс ГИ 3 проходит через элемент И 27 и поступает на вход считывания блока 1 памяти. Кроме того, импульс ГИ 3 с выхода элемента И 27 поступает через элемент ИЛИ 34 на вход занесения информации в регистр 9. В результате, информация, считываемая из ячейки по адресу - номер начальной вершины с выхода блока 1 памяти, поступает через группы элементов И 16 и ИЛИ 31 на вход регистра 9 и записывается в него. Этой информацией будет номер первой ветви, выходящей из начальной вершины мультиграфа.

Единичное состояние триггера 41 выдает разрешение на входы элементов И 24 и 26. Разрешение на входе элемента И 24 дает возможность импульсу ГИ 4 пройти через этот элемент и установить триггеры 40 и 39 в нулевое состояние. Нулевое состояние триггера 40 снимает разрешение с входов элементов И 25 и 27, что не позволяет проходить очередным импульсам ГИ 2 и ГИ 3 соответственно через эти элементы, и разрешение с входа элементов И группы 16.

Разрешение, поступившее на вход элемента И 26 с прямого выхода триггера 41, дает возможность импульсу ГИ 1 пройти через элемент И 26 на вход кольцевого регистра 10. При этом на первом разрядном выходе кольцевого регистра 10 появляется сигнал, который поступает на вход считывания блоков 3 и 4 памяти, на вход записи блока 5 памяти и на один из входов каждого элемента И 17_1-17_n. В результате с информационного выхода блока 3 памяти через группу элементов ИЛИ 32 на адресный вход блока 5 памяти и на вход дешифратора 48 кода поступает номер привода станка. Одновременно на один из входов всех элементов И 18_1-18_n поступает информация о направлении работы указанного привода. Причем условно принято пря-

мое направление работы привода кодировать нулем, а обратное - единицей. Одновременно с этим с информационного выхода блока 4 памяти на информационный вход блока 5 памяти поступает продолжительность работы привода. Информация, считываемая из блоков 3 и 4 памяти, находилась в ячейке, адрес которой определяет номер ветви мультиграфа, поступающий из регистра 9.

Дешифрация номера привода дешифратором 48 кода позволяет выбрать соответствующие этому приводу элементы И из каждой группы элементов И 17_1-17_n и И 18_1-18_n. При этом триггер из группы триггеров 43_1-43_n и триггер из группы 44_1-44_n устанавливаются в соответствующее состояние. Триггер из группы триггеров 43_1-43_n устанавливается в единичное состояние, так как сигнал с выхода выбранного дешифратором 48 кода элемента И 17 из группы элементов И 17_1-17_n поступает на вход установки единицы соответствующего этому элементу триггера. Триггер из группы триггеров 44_1-44_n устанавливается в единичное состояние, если соответствующий ему привод имеет обратное направление работы, что обеспечивается прохождением единицы из блока 3 памяти через выбранный дешифратором 48 кода элемент И 18_i на вход установки в "1" триггера 44_i. В противном случае (прямое направление работы привода) триггер 44_i останется в нулевом состоянии, так как из блока 3 памяти на вход элементов И 18_1-18_n "1" не поступает.

Таким образом, в результате действия сигнала, поступившего с первого разрядного выхода кольцевого регистра в блок 5 памяти, в ячейку по адреме - номер привода, будет записана продолжительность работы привода, а триггеры, соответствующие данному приводу, из группы триггеров 43_1-43_n и 44_1-44_n, будут установлены в единичное или нулевое состояние.

Поступление очередного импульса ГИ 1 через элемент И 26 на вход кольцевого регистра 10 снимает сигнал с его первого разрядного выхода и выдает сигнал на втором разрядном выходе. Сигнал со второго разрядного выхода кольцевого регистра 10 поступает на вход считывания блока 2 памяти и вход занесения информации в регистр 8.

На адресный вход блока 2 памяти поступает номер ветви с выхода регистра 9. Из ячейки блока 2 памяти по этому адресу считывается информация, которой является номер смежной ветви и которая поступает на вход регистра 8. Считываемый из блока 2 памяти номер записывается в регистр 8.

Поступление очередного импульса ГИ 1 через элемент И 26 на вход кольцевого регистра 10 снимет сигнал с его второго разрядного выхода и выдает сигнал на третьем разрядном выходе С третьего разрядного выхода регистра 10 сигнал через элемент ИЛИ 34 поступает на вход занесения информации регистра 9. По сигналу, поступившему с выхода элемента ИЛИ 34, информация с выхода регистра 8 через группу элементов И 15 и ИЛИ 31 поступает на вход регистра 9 и записывается в нем. Это происходит потому, что на втором входе группы элементов И 15 есть разрешение с выхода элемента НЕ 46. Разрешение на выходе элемента НЕ 46 присутствует до тех пор, пока на его вход не поступает метка, которая представляет значащую единицу в последнем разряде ячейки памяти.

Очередной импульс ГИ 1, поступивший через элемент И 26 на вход кольцевого регистра 10, снимает сигнал с его третьего разрядного выхода и выдает сигнал на первом разрядном выходе.

В дальнейшем, описанные выше операции первого этапа повторяются. При этом в регистр 9 будет записана информация, которой является номер первой из смежных ветвей.

Окончание первого этапа (загрузки) определяется моментом появления метки из блока 2 памяти на выходе регистра 9. Метка свидетельствует о том, что в регистре 8 находится номер вершины мультиграфа, в которую входят смежные ветви. Эта метка снимет разрешение с входов элементов И группы 15 и поступает на входы установки в "0" и "1" триггеров 41 и 42 соответственно. В результате, триггер 41 устанавливается в нулевое состояние, а триггер 42 - в единичное. Нулевое состояние триггера 41 прекращает поступление импульсов ГИ 1 на

вход кольцевого регистра 10 через элемент И 26.

Единичное состояние триггера 42 свидетельствует о том, что устройство перешло к выполнению второго этапа. Единичное состояние триггера 42 выдает разрешение на элементы И 28-30 и на входы всех элементов И 20_1-20_n и 21_1-21_n. Это разрешение подключает триггеры 43_1-43_n и 44_1-44_n к приводам. Каждый привод соединяется с устройством с помощью выходов 52_1-52_n, 53_1-53_n. Причем каждый привод соединяется с одним выходом из группы 52_1-52_n и одним из группы 53_1-53_n. Если на выходе 53_i появляется положительный сигнал относительно одноименного выхода 52_i, то привод работает в прямом направлении. Если на выходе 52_i появляется положительный сигнал относительно одноименного выхода 53_i, то привод работает в обратном направлении. Направление работы определяется триггером 44_i. Отсутствие сигналов одновременно на обоих входах 52 и 53_i свидетельствует о том, что данный привод в настоящий момент вообще не участвует в работе.

Разрешение с прямого выхода триггера 42 дает возможность импульсам ГИ 1 от блока 45 синхронизации поступать через элемент И 28 на вход счетчика 12 импульсов. Эти импульсы накапливаются в счетчике 12 импульсов. Следовательно, на выходе счетчика 12 меняется код, который поступает через группу элементов ИЛИ 32 на адресный вход блока 5 памяти. Этим обеспечивается смена адреса ячеек блока 5 памяти. Одновременно на вход считывания блока 5 памяти поступают с выхода элемента И 30 импульсы ГИ 2, что обеспечивает считывание информации из ячеек блока 5 памяти. Этой информацией является продолжительность работы привода, которая поступает на первый вход схемы 37 сравнения. На второй вход схемы 37 сравнения поступает код с выхода счетчика 11 импульсов. Код, поступающий из счетчика 11 импульсов, является кодом текущего времени. Он формируется счетчиком 11 импульсов в результате накопления им импульсов, которые поступают через элемент И 29 от блока 45 синхронизации. Эти импульсы имеют частоту следования, пропорциональную единице времени (например, секунда, минута, час и т.д.).

При совпадении кодов схема 37 сравнения выдает сигнал, который поступает на входы группы элементов И 19_1-19_n. Этот сигнал пройдет только через тот элемент И 19_i, который выберет дешифратор 48 кода. Такой элемент И 19_i соответствует приводу, номер которого в данный момент присутствует на адресном входе блока 5 памяти и входе дешифратора 48 кода.

Сигнал с выхода элемента И 19_i поступает на соответствующие триггеры 43_i и 44_i и устанавливает их в нулевое состояние. Это, в свою очередь, снимает положительный сигнал с соответствующих выходов 52_i и 53_i и привод, соединенный с этими выходами, прекращает их работу.

Второй этап завершается в тот момент, когда на выходе элемента ИЛИ 35 исчезает сигнал. Это случится тогда, когда все триггеры 43_1-43_n устанавливаются в нулевое состояние, что свидетельствует о завершении работы всех приводов по заданной программе. При этом все триггеры 44_1-44_n также будут установлены в нулевое состояние. В результате, на выходе элемента НЕ 47 появляется сигнал, который поступает на вход установки в "0" триггера 42 и устанавливает этот триггер в нулевое состояние.

Нулевое состояние триггера 42 снимает разрешение с элементов И 28-30 и выдает разрешение на элемент И 23. После чего устройство опять переходит к выполнению первого этапа. Отличие будет только в том, что на адресный вход блока 1 памяти через группу элементов И 13 и ИЛИ 33 с выхода регистра 8 поступает номер вершины, в которую входят смежные ветви. Это обеспечивается тем, что триггер 43 находится в нулевом состоянии и нет разрешения на входы элементов И группы 14. Разрешение на вход группы элементов И 13 в этом случае поступает с прямого выхода триггера 40.

Описанные выше этапы будут циклически повторяться до тех пор, пока номер вершины, записанный в регистре 7, не совпадет с номером вершины, в которую входят смежные ветви и который поступает с выхода регистра 8. Сравнение производится следующим об-

разом. Номер конечной вершины мультиграфа с выхода регистра 7 поступает на схему 36 сравнения, куда с выхода регистра 8 через группу элементов И 13 и ИЛИ 33 поступает номер вершины, в которую входят смежные ветви. В случае совпадения номеров, схема 36 сравнения кодов выдает сигнал на первый вход элемента И 22. На второй вход элемента И 22 в этот момент поступает метка с выхода регистра 8. В результате, на выходе элемента И 22 появляется сигнал, который поступает на вход установки в "0" триггера 38 и устанавливает его в нулевое состояние. Это свидетельствует об окончании решения задачи формирования последовательности команд, которые представляют сетевую структуру, для управления приводами.

Формула изобретения

Устройство программного управления, содержащее первый, второй, третий, четвертый и пятый блоки памяти, первый, второй, третий и четвертый регистры, первый счетчик импульсов, первую группу элементов И, первую и вторую группы элементов ИЛИ, первую и вторую схемы сравнения, первый триггер и блок синхронизации, причем информационные входы первого и второго регистров соответственно являются первым и вторым входами условий устройства, выходы второго регистра соединены с первой группой входов первой схемы сравнения, с первого по (n-1)-й (где n - число управляемых устройством операционных блоков) выходы третьего регистра соединены с первыми входами элементов И первой группы, информационный вход третьего регистра соединен с выходом второго блока памяти, адресный вход которого соединен с выходом четвертого регистра и с адресными входами третьего и четвертого блоков памяти, информационные входы которого соединены с выходами элементов ИЛИ первой группы, а адресные входы пятого блока памяти соединены с выходами элементов ИЛИ второй группы, отличающееся тем, что, с целью расширения области применения за счет формирования последовательности команд, которые представляют сетевую структуру, в устройство введены вторая, третья, четвертая, пятая, шестая, седьмая, восьмая и девятая группы элементов И, с первого по девятый элементы И, первый и второй элементы ИЛИ, первый и второй элементы НЕ, третья группа элементов ИЛИ, второй очетчик импульсов, дешифратор кода, кольцевой регистр, второй, третий, четвертый, пятый триггеры и первая и вторая группы триггеров, причем информационные выходы первого регистра соединены с первыми входами элементов И второй группы, вторые входы которых соединены с прямым выходом второго триггера, а выходы элементов И второй группы соединены с первыми элементами ИЛИ третьей группы, вторые входы соединены с выходами элементов И первой группы, вторые входы которых соединены с первой группой входов шестого элемента И, с прямым выходом третьего триггера, с первой группой входов четвертого элемента И и с первыми входами элементов И четвертой группы, вторые входы которых соединены с выходами первого блока памяти, а выходы элементов И четвертой группы соединены с первыми входами элементов ИЛИ первой группы, вторые входы которых соединены с выходами элементов И третьей группы, первые входы которых соединены с первыми входами элементов И первой группы, а вторые входы элементов И третьей группы соединены с выходом первого элемента НЕ, вход которого соединен с (n)-м выходом третьего регистра, с первым входом первого элемента И, с входом установки в "0" четвертого триггера и с входом установки в "1" пятого триггера, а второй вход первого элемента И соединен с выходом первой схемы сравнения, вторая группа входов которой соединена с выходами элементов ИЛИ третьей группы и с адресными входами первого блока памяти, вход разрешения считывания которого соединен с выходом шестого элемента И и с первым входом первого элемента ИЛИ, причем счетный вход первого счетчика импульсов соединен с выходом восьмого элемента И, а выход первого счетчика импульсов соединен с первым входом второй схемы сравнения, второй вход которой соединен с выходом пятого блока памяти, информационный вход которого соединен с выходом четвертого блока памяти, вход разрешения считывания которого соединен с входами разрешения считывания третьего и вхо-

дом разрешения записи пятого блоков памяти, с первыми входами элементов И пятой группы и с первым выходом кольцевого регистра, а вторые входы элементов И пятой группы соединены с первыми входами элементов И шестой и седьмой групп и с первым выходом дешифратора кода, информационные входы которого соединены с адресными входами пятого блока памяти и выходами элементов ИЛИ второй группы, первые входы которых соединены с выходами второго счетчика импульсов, счетный вход которого соединен с выходом седьмого элемента И, а вторые входы элементов ИЛИ второй группы соединены с (n-1) выходами третьего блока памяти, (n)-й выход которого соединен с вторыми входами элементов И шестой группы, выходы которых соединены с входами установки в "1" триггеров второй группы, прямые выходы которых соединены с первыми входами элементов И восьмой группы, вторые входы которых соединены с первыми входами элементов И девятой группы триггеров первой группы, прямыми выходами первой группы входов второго элемента ИЛИ, выход которого соединен с входом второго элемента НЕ, выход которого соединен с входом установки в "0" пятого триггера, входы установки в "1" триггеров первой группы соединены с выходами элементов И пятой группы, входы установки в "0" триггеров первой и второй групп соединены с выходами элементов И седьмой группы, вторые входы которых соединены с выходами второй схемы сравнения, инверсные выходы триггеров второй группы соединены с вторыми входами элементов И девятой группы, третьи входы которых соединены с третьими входами элементов И восьмой группы, с первыми входами седьмого, восьмого и девятого элементов И и прямым выходом пятого триггера, прямой выход первого триггера соединен с первым входом второго элемента И, выход которого соединен с прямым входом третьего триггера, входы установки в "0" второго и третьего триггеров соединены с выходом третьего элемента И, первый вход которого соединен с первым выходом блока синхронизации, второй выход которого соединен с первым входом пятого и вторыми входами седьмого и второго элементов И, третий выход блока синхронизации соединен с второй группой входов четвертого и вторым входом девятого элементов И, выход которого соединен с входом разрешения считывания пятого блока памяти, а четвертый и пятый выходы блока синхронизации соединены соответственно с вторым входом восьмого и второй группой входов шестого элементов И, а вторые входы третьего и пятого элементов И соединены с прямым выходом четвертого триггера, вход установки в "1" которого соединен с выходом четвертого элемента И, а инверсный выход четвертого триггера соединен с третьим входом второго элемента И, четвертый вход которого соединен с инверсным выходом пятого триггера, выход пятого элемента И соединен с информационным входом кольцевого регистра, третий выход которого соединен с вторым входом первого элемента ИЛИ, выход которого соединен с входом разрешения записи четвертого регистра, второй выход кольцевого регистра соединен с входом разрешения записи третьего регистра и входом разрешения считывания второго блока памяти, выход первого элемента И соединен с входом установки в "0" первого триггера, вход установки в "1" которого соединен с входом установки в "1" второго триггера и является входом пуска устройства, первыми и вторыми выходами кода операций которого являются соответственно выходы элементов И восьмой и девятой групп.

Составитель В.Криворучко
Редактор Г.Волкова Техред И.Верес Корректор Н.Король

Заказ 4154/46 Тираж 704 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4