

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3752230号
(P3752230)**

(45) 発行日 平成18年3月8日(2006.3.8)

(24) 登録日 平成17年12月16日(2005.12.16)

(51) Int. Cl. F I
H O 4 B 1/50 (2006.01) H O 4 B 1/50

請求項の数 6 (全 21 頁)

(21) 出願番号	特願2003-37472 (P2003-37472)	(73) 特許権者	000003067
(22) 出願日	平成15年2月14日(2003.2.14)		T D K株式会社
(65) 公開番号	特開2004-266361 (P2004-266361A)		東京都中央区日本橋1丁目13番1号
(43) 公開日	平成16年9月24日(2004.9.24)	(74) 代理人	100107559
審査請求日	平成17年1月27日(2005.1.27)		弁理士 星宮 勝美
早期審査対象出願		(72) 発明者	中井 信也
			東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
		(72) 発明者	藤岡 秀昭
			東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
		審査官	山中 実
			最終頁に続く

(54) 【発明の名称】 フロントエンドモジュール

(57) 【特許請求の範囲】

【請求項1】

第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号と第3の周波数帯域における受信信号とを処理するためのフロントエンドモジュールであって、

アンテナに接続され、前記第1ないし第3の周波数帯域を分離する第1の分離手段と、
前記第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、前記第1の周波数帯域における送信信号と受信信号とを分離する第2の分離手段と

、
前記第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、前記第2の周波数帯域における送信信号と受信信号とを分離する第3の分離手段と

、
前記第1ないし第3の分離手段を集積するための1つの集積用多層基板とを備え、
前記第1の分離手段は、前記集積用多層基板の内部または表面上の導体層を用いて構成され、

前記第1の分離手段はフィルタを含み、

前記第2の分離手段または第3の分離手段は、前記弾性波素子と前記第1の分離手段との間に設けられてインピーダンスを調整するディレーラインを含み、

前記第2の分離手段に含まれる2つの弾性波素子および前記第3の分離手段に含まれる2つの弾性波素子は、前記集積用多層基板の上面に実装され、

前記集積用多層基板は、内部の導体層として、グランド層と、前記グランド層と前記集

10

20

積用多層基板の上面との間に配置されて前記ディレーラインを構成する導体層と、前記グラウンド層と集積用多層基板の下面との間に配置されて前記第 1 の分離手段に含まれる前記フィルタを構成する導体層とを含み、

フロントエンドモジュールは、更に、前記集積用多層基板の下面に配置され、前記第 1 の分離手段に含まれる前記フィルタを構成する前記導体層に接続された端子を備えたことを特徴とするフロントエンドモジュール。

【請求項 2】

更に、前記ディレーラインと前記第 1 の分離手段との間に設けられた整合回路を備え、前記集積用多層基板は、内部の導体層として、更に、前記グラウンド層と前記集積用多層基板の上面との間に配置されて前記整合回路を構成する導体層を含むことを特徴とする請求項 1 記載のフロントエンドモジュール。

10

【請求項 3】

前記第 1 の分離手段は、

第 1 の周波数帯域内の周波数の信号を通過させ、第 2 および第 3 の周波数帯域内の周波数の信号を遮断するフィルタと、

第 2 の周波数帯域内の周波数の信号を通過させ、第 1 および第 3 の周波数帯域内の周波数の信号を遮断するフィルタと、

第 3 の周波数帯域内の周波数の信号を通過させ、第 1 および第 2 の周波数帯域内の周波数の信号を遮断するフィルタとを有することを特徴とする請求項 1 または 2 記載のフロントエンドモジュール。

20

【請求項 4】

前記第 1 の分離手段は、

前記アンテナに接続され、第 1 ないし第 3 の周波数帯域のうちの 1 つの周波数帯域内の周波数の信号を通過させ、他の 2 つの周波数帯域内の周波数の信号を遮断する第 1 のフィルタと、

前記アンテナに接続され、前記第 1 のフィルタが通過させる前記 1 つの周波数帯域内の周波数の信号を遮断し、前記第 1 のフィルタが遮断する前記 2 つの周波数帯域内の周波数の信号を通過させる第 2 のフィルタと、

前記第 2 のフィルタに接続され、前記 2 つの周波数帯域のうちの一方の周波数帯域内の周波数の信号を通過させ、他方の周波数帯域内の周波数の信号を遮断する第 3 のフィルタと、

30

前記第 2 のフィルタに接続され、前記一方の周波数帯域内の周波数の信号を遮断し、前記他方の周波数帯域内の周波数の信号を通過させる第 4 のフィルタとを有することを特徴とする請求項 1 または 2 記載のフロントエンドモジュール。

【請求項 5】

前記第 3 の周波数帯域における受信信号は、位置検出機能のための信号であることを特徴とする請求項 1 ないし 4 のいずれかに記載のフロントエンドモジュール。

【請求項 6】

前記第 1 および第 2 の周波数帯域のそれぞれにおける送信信号および受信信号は、符号分割多重接続方式の信号であることを特徴とする請求項 1 ないし 5 のいずれかに記載のフロントエンドモジュール。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯電話等の通信装置において送信信号および受信信号を処理するためのフロントエンドモジュールに関する。

【0002】

【従来の技術】

近年、携帯電話（セルラホン）は、第 3 世代を迎え、単なる通話機能だけではなく、電子メールや画像データを伝送できる高速データ通信機能をも有することが必須となりつつあ

50

り、更には、位置検出機能を有することが要求されている。

【0003】

例えば、米国では、携帯電話に、位置検出機能を持たせることを義務付ける法律が制定されている。米国では、例えば、AMPS (Advanced Mobile Phone System) で用いられる、およそ800MHz～900MHzの周波数帯域とPCS (Personal Communications Service) で用いられる、およそ1800MHz～2000MHzの周波数帯域の2つの周波数帯域(デュアルバンド)に対応する符号分割多重接続(以下、CDMAとも記す。)方式の携帯電話に、位置検出機能として、1500MHz近傍の周波数帯域を使用するGPS (Global Positioning System) の受信機能を搭載することにより、上記の要求を達成している。この携帯電話では、3つの周波数帯域を扱う必要がある。

10

【0004】

携帯電話では、上述のように新たな機能が付加されると、回路がより複雑になると共に部品点数が増える。そのため、携帯電話では、より高密度の部品実装技術が要求されている。また、このような事情から、携帯電話の内部の高周波回路では、その実装スペースを削減するため、部品の小型軽量化、複合化および集積化が不可欠となっている。

【0005】

特許文献1には、AMPS, PCS, GPSの各周波数帯域を分離する複合型LCフィルタ回路が記載されている。

【0006】

また、特許文献2には、3つの周波数帯域を使用する3つの通信方式のそれぞれの送信信号および受信信号を処理するためのフロントエンドモジュールが記載されている。このフロントエンドモジュールでは、ダイプレクサによって、低周波数帯域と高周波数帯域とを分離する。低周波数帯域には、第1の通信方式の周波数帯域が含まれている。高周波数帯域には、第2および第3の通信方式の2つの周波数帯域が含まれている。第1の通信方式の送信信号と受信信号は、アンテナスイッチによって分離される。また、第2および第3の通信方式の受信信号と、第2および第3の通信方式の送信信号は、他のアンテナスイッチによって分離される。また、第2の通信方式の受信信号と第3の通信方式の受信信号は、2つのSAW(弾性表面波)フィルタによって分離される。また、特許文献2には、フロントエンドモジュールの構成要素をセラミック多層基板に一体化することが記載されている。

20

30

【0007】

また、特許文献3には、3つの周波数帯域を使用する3つの通信システムのそれぞれの送信信号および受信信号を処理するための高周波モジュールが記載されている。この高周波モジュールでは、ダイプレクサによって、低周波数帯域と高周波数帯域とを分離する。高周波数帯域には、第1および第2の通信システムの2つの周波数帯域が含まれている。低周波数帯域には、第3の通信システムの周波数帯域が含まれている。第1および第2の通信システムの受信信号と、第1および第2の通信システムの送信信号は、第1の高周波スイッチによって分離される。また、第3の通信システムの送信信号と受信信号は、第2の高周波スイッチによって分離される。また、第1の通信システムの受信信号と第2の通信システムの受信信号は、2つのSAWフィルタによって分離される。また、特許文献3には、複数のシート層を積層してなる積層体によって、高周波モジュールの構成要素を複合化することが記載されている。

40

【0008】

【特許文献1】

特開2003-8385号公報

【特許文献2】

特開2002-101005号公報

【特許文献3】

特開2002-43977号公報

【0009】

50

【発明が解決しようとする課題】

前述の通話機能、高速データ通信機能および位置検出機能を有する携帯電話を実現するためには、第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号と、第3の周波数帯域における位置検出機能のための受信信号とを処理できるフロントエンドモジュールを実現することが望まれる。

【0010】

特許文献1に記載された複合型LCフィルタ回路では、3つの周波数帯域を分離する機能は有しているが、各周波数帯域における送信信号と受信信号とを分離する機能は有していない。そのため、携帯電話等の通信装置において、上記複合型LCフィルタ回路を用いる場合には、この複合型LCフィルタ回路の他に、各周波数帯域における送信信号と受信信号とを分離する回路を設ける必要がある。その場合における部品の小型軽量化、複合化および集積化については、特許文献1では考慮されていない。

10

【0011】

特許文献2に記載されたフロントエンドモジュールでは、アンテナスイッチを用いて送信信号と受信信号とを分離している。ところで、CDMA方式では、送信機能と受信機能のいずれもが常時動作していなければならない。そのため、特許文献2に記載されたフロントエンドモジュールでは、CDMA方式に対応することができないという問題点がある。

【0012】

特許文献3に記載された高周波モジュールでは、高周波スイッチを用いて送信信号と受信信号とを分離している。そのため、特許文献2に記載されたフロントエンドモジュールと同様に、特許文献3に記載された高周波モジュールでは、CDMA方式に対応することができないという問題点がある。

20

【0013】

なお、特許文献2および特許文献3では、2つの通信方式の受信信号を分離する2つのSAWフィルタを含むものをSAWデュプレクサと称している。しかし、一般的に、デュプレクサは、送信信号と受信信号とを分離するものを指す。本発明の実施の形態においても、送信信号と受信信号とを分離するものをデュプレクサと呼ぶ。従って、特許文献2および特許文献3におけるSAWデュプレクサは、機能上、本発明の実施の形態におけるデュプレクサとは異なるものである。

【0014】

本発明はかかる問題点に鑑みてなされたもので、その目的は、第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号と第3の周波数帯域における受信信号とを処理できると共に符号分割多重接続方式に対応可能で、且つ小型軽量化、複合化および集積化が容易なフロントエンドモジュールを提供することにある。

30

【0015】**【課題を解決するための手段】**

本発明のフロントエンドモジュールは、第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号と第3の周波数帯域における受信信号とを処理するためのモジュールであって、

アンテナに接続され、第1ないし第3の周波数帯域を分離する第1の分離手段と、
第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、
第1の周波数帯域における送信信号と受信信号とを分離する第2の分離手段と、
第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、
第2の周波数帯域における送信信号と受信信号とを分離する第3の分離手段と、
第1ないし第3の分離手段を集積するための1つの集積用多層基板とを備え、第1の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されているものである。

40

【0016】

本発明のフロントエンドモジュールでは、第1の分離手段によって、第1ないし第3の周波数帯域が分離され、2つの弾性波素子を含む第2の分離手段によって、第1の周波数帯

50

域における送信信号と受信信号とが分離され、2つの弾性波素子を含む第3の分離手段によって、第2の周波数帯域における送信信号と受信信号とが分離される。第1ないし第3の分離手段は、1つの集積用多層基板によって集積されている。また、第1の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されている。なお、弾性波素子とは、弾性波を利用した素子である。弾性波素子は、弾性表面波を利用する弾性表面波素子でもよいし、バルク弾性波を利用するバルク弾性波素子でもよい。

【0017】

本発明のフロントエンドモジュールにおいて、第2の分離手段に含まれる2つの弾性波素子および第3の分離手段に含まれる2つの弾性波素子は集積用多層基板に実装され、弾性波素子以外の第2の分離手段および第3の分離手段の回路部分の少なくとも一部は、集積用多層基板の内部または表面上の導体層を用いて構成されていてもよい。

10

【0018】

また、本発明のフロントエンドモジュールにおいて、第1の分離手段は、第1の周波数帯域内の周波数の信号を通過させ、第2および第3の周波数帯域内の周波数の信号を遮断するフィルタと、第2の周波数帯域内の周波数の信号を通過させ、第1および第3の周波数帯域内の周波数の信号を遮断するフィルタと、第3の周波数帯域内の周波数の信号を通過させ、第1および第2の周波数帯域内の周波数の信号を遮断するフィルタとを有していてもよい。

【0019】

また、本発明のフロントエンドモジュールにおいて、第1の分離手段は、アンテナに接続され、第1ないし第3の周波数帯域のうちの1つの周波数帯域内の周波数の信号を通過させ、他の2つの周波数帯域内の周波数の信号を遮断する第1のフィルタと、アンテナに接続され、第1のフィルタが通過させる1つの周波数帯域内の周波数の信号を遮断し、第1のフィルタが遮断する2つの周波数帯域内の周波数の信号を通過させる第2のフィルタと、第2のフィルタに接続され、2つの周波数帯域のうちの一方の周波数帯域内の周波数の信号を通過させ、他方の周波数帯域内の周波数の信号を遮断する第3のフィルタと、第2のフィルタに接続され、一方の周波数帯域内の周波数の信号を遮断し、他方の周波数帯域内の周波数の信号を通過させる第4のフィルタとを有していてもよい。

20

【0020】

また、本発明のフロントエンドモジュールにおいて、第3の周波数帯域における受信信号は、位置検出機能のための信号であってもよい。

30

【0021】

また、本発明のフロントエンドモジュールにおいて、第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号は、符号分割多重接続方式の信号であってもよい。

【0022】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。本発明の一実施の形態に係るフロントエンドモジュールは、AMPSで用いられる周波数帯域（以下、AMPS帯域と記す。）における送信信号および受信信号と、PCSで用いられる周波数帯域（以下、PCS帯域と記す。）における送信信号および受信信号と、GPSにおける受信信号とを処理するためのモジュールである。GPSにおける受信信号は、位置検出機能のための信号である。AMPS帯域は本発明における第1の周波数帯域に対応し、PCS帯域は本発明における第2の周波数帯域に対応し、GPSにおける受信信号の周波数帯域（以下、GPS帯域と記す。）は本発明における第3の周波数帯域に対応する。また、本実施の形態において、AMPS帯域における送信信号および受信信号と、PCS帯域における送信信号および受信信号は、いずれも符号分割多重接続方式の信号である。

40

【0023】

図2は、上記各送信信号および受信信号の周波数帯域を示している。図2において、記号TXは送信信号を表し、記号RXは受信信号を表している。AMPS帯域における送信信号の周波数帯域は、824MHz～849MHzである。AMPS帯域における受信信号

50

の周波数帯域は、869MHz～894MHzである。PCS帯域における送信信号の周波数帯域は、1850MHz～1910MHzである。PCS帯域における受信信号の周波数帯域は、1930MHz～1990MHzである。GPSにおける受信信号の周波数帯域は、1574MHz～1576MHzである。

【0024】

まず、図1を参照して、本実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例について説明する。図1に示した高周波回路は、アンテナ1と、このアンテナ1に接続された本実施の形態に係るフロントエンドモジュール2と、主に信号の変調および復調を行う集積回路3とを備えている。高周波回路は、更に、それぞれ入力端がフロントエンドモジュール2に接続され、出力端が集積回路3に接続された3つのローノイズアンプ4A、4P、4Gを備えている。高周波回路は、更に、それぞれ入力端が集積回路3に接続された2つの電力増幅器5A、5Pと、入力端が電力増幅器5Aの出力端に接続され、出力端がフロントエンドモジュール2に接続されたアイソレータ6Aと、入力端が電力増幅器5Pの出力端に接続され、出力端がフロントエンドモジュール2に接続されたアイソレータ6Pとを備えている。

10

【0025】

フロントエンドモジュール2は、トリプレクサ11と、2つのデュプレクサ12、13と、これらを集積するための1つの集積用多層基板を備えている。トリプレクサ11は本発明における第1の分離手段に対応し、デュプレクサ12は本発明における第2の分離手段に対応し、デュプレクサ13は本発明における第3の分離手段に対応する。

20

【0026】

トリプレクサ11は、第1ないし第4のポートを有している。第1のポートはアンテナ1に接続されている。第2のポートはデュプレクサ12に接続されている。第3のポートはデュプレクサ13に接続されている。第4のポートはローノイズアンプ4Gの入力端に接続されている。トリプレクサ11は、AMPS帯域とPCS帯域とGPS帯域とを分離する。すなわち、トリプレクサ11は、第2のポートに入力されたAMPS帯域における送信信号を第1のポートより出力すると共に、第1のポートに入力されたAMPS帯域における受信信号を第2のポートより出力する。また、トリプレクサ11は、第3のポートに入力されたPCS帯域における送信信号を第1のポートより出力すると共に、第1のポートに入力されたPCS帯域における受信信号を第3のポートより出力する。また、トリプレクサ11は、第1のポートに入力されたGPS帯域における受信信号（図では、GPS/RXと記す。）を第4のポートより出力する。

30

【0027】

デュプレクサ12は、共通端子と送信端子と受信端子とを有している。共通端子はトリプレクサ11の第2のポートに接続されている。送信端子はアイソレータ6Aの出力端に接続されている。受信端子はローノイズアンプ4Aの入力端に接続されている。デュプレクサ12は、AMPS帯域における送信信号（図では、AMPS/TXと記す。）と受信信号（図では、AMPS/RXと記す。）とを分離する。すなわち、デュプレクサ12は、送信端子に入力されたAMPS帯域における送信信号を共通端子より出力すると共に、共通端子に入力されたAMPS帯域における受信信号を受信端子より出力する。

40

【0028】

デュプレクサ13は、共通端子と送信端子と受信端子とを有している。共通端子はトリプレクサ11の第3のポートに接続されている。送信端子はアイソレータ6Pの出力端に接続されている。受信端子はローノイズアンプ4Pの入力端に接続されている。デュプレクサ13は、PCS帯域における送信信号（図では、PCS/TXと記す。）と受信信号（図では、PCS/RXと記す。）とを分離する。すなわち、デュプレクサ13は、送信端子に入力されたPCS帯域における送信信号を共通端子より出力すると共に、共通端子に入力されたPCS帯域における受信信号を受信端子より出力する。

【0029】

次に、トリプレクサ11の構成の2つの例について説明する。まず、図3を参照して、ト

50

リプレクサ 1 1 の構成の第 1 の例について説明する。第 1 の例のトリプレクサ 1 1 は、第 1 ないし第 4 のポート 2 1 ~ 2 4 と、ローパスフィルタ（以下、L P F と記す。）2 5 と、ハイパスフィルタ（以下、H P F と記す。）2 6 と、バンドパスフィルタ（以下、B P F と記す。）2 7 とを有している。L P F 2 5、H P F 2 6、B P F 2 7 の各一端は第 1 のポート 2 1 に接続されている。L P F 2 5 の他端は第 2 のポート 2 2 に接続されている。H P F 2 6 の他端は第 3 のポート 2 3 に接続されている。B P F 2 7 の他端は第 4 のポート 2 4 に接続されている。

【 0 0 3 0 】

図 4 は、L P F 2 5 の特性、すなわち周波数と利得との関係を模式的に表している。図 4 に示したように、L P F 2 5 は、A M P S 帯域内の周波数の信号を通過させ、P C S 帯域および G P S 帯域内の周波数の信号を遮断する。なお、L P F 2 5 の代わりに、A M P S 帯域内の周波数の信号を通過させ、P C S 帯域および G P S 帯域内の周波数の信号を遮断する高域除去型のノッチフィルタを用いてもよい。

10

【 0 0 3 1 】

図 5 は、H P F 2 6 の特性、すなわち周波数と利得との関係を模式的に表している。図 5 に示したように、H P F 2 6 は、P C S 帯域内の周波数の信号を通過させ、A M P S 帯域および G P S 帯域内の周波数の信号を遮断する。なお、H P F 2 6 の代わりに、P C S 帯域内の周波数の信号を通過させ、A M P S 帯域および G P S 帯域内の周波数の信号を遮断する低域除去型のノッチフィルタを用いてもよい。

20

【 0 0 3 2 】

図 6 は、B P F 2 7 の特性、すなわち周波数と利得との関係を模式的に表している。図 6 に示したように、B P F 2 7 は、G P S 帯域内の周波数の信号を通過させ、A M P S 帯域および P C S 帯域内の周波数の信号を遮断する。

【 0 0 3 3 】

次に、図 7 を参照して、トリプレクサ 1 1 の構成の第 2 の例について説明する。第 2 の例のトリプレクサ 1 1 は、第 1 ないし第 4 のポート 2 1 ~ 2 4 と、一端が第 1 のポート 2 1 に接続され、他端が第 2 のポート 2 2 に接続された L P F 3 1 と、一端が第 1 のポート 2 1 に接続された H P F 3 2 とを有している。第 2 の例のトリプレクサ 1 1 は、更に、一端が H P F 3 2 の他端に接続され、他端が第 3 のポート 2 3 に接続された H P F 3 3 と、一端が H P F 3 2 の他端に接続され、他端が第 4 のポート 2 4 に接続された L P F 3 4 とを有している。

30

【 0 0 3 4 】

図 8 は、L P F 3 1 の特性、すなわち周波数と利得との関係を模式的に表している。図 8 に示したように、L P F 3 1 は、A M P S 帯域内の周波数の信号を通過させ、P C S 帯域および G P S 帯域内の周波数の信号を遮断する。なお、L P F 3 1 の代わりに、A M P S 帯域内の周波数の信号を通過させ、P C S 帯域および G P S 帯域内の周波数の信号を遮断する高域除去型のノッチフィルタを用いてもよい。

【 0 0 3 5 】

図 9 は、H P F 3 2 の特性、すなわち周波数と利得との関係を模式的に表している。図 9 に示したように、H P F 3 2 は、P C S 帯域および G P S 帯域内の周波数の信号を通過させ、A M P S 帯域内の周波数の信号を遮断する。なお、H P F 3 2 の代わりに、P C S 帯域および G P S 帯域内の周波数の信号を通過させ、A M P S 帯域内の周波数の信号を遮断する低域除去型のノッチフィルタを用いてもよい。

40

【 0 0 3 6 】

図 1 0 は、H P F 3 3 の特性、すなわち周波数と利得との関係を模式的に表している。図 1 0 に示したように、H P F 3 3 は、P C S 帯域内の周波数の信号を通過させ、G P S 帯域内の周波数の信号を遮断する。なお、H P F 3 3 の代わりに、P C S 帯域内の周波数の信号を通過させ、G P S 帯域内の周波数の信号を遮断する低域除去型のノッチフィルタを用いてもよい。

【 0 0 3 7 】

50

図 1 1 は、L P F 3 4 の特性、すなわち周波数と利得との関係を模式的に表している。図 1 1 に示したように、L P F 3 4 は、G P S 帯域内の周波数の信号を通過させ、P C S 帯域内の周波数の信号を遮断する。なお、L P F 3 4 の代わりに、G P S 帯域内の周波数の信号を通過させ、P C S 帯域内の周波数の信号を遮断する高域除去型のノッチフィルタを用いてもよい。

【 0 0 3 8 】

次に、図 1 2 ないし図 1 6 を参照して、トリプレクサ 1 1 において用いられる各フィルタの構成の例について説明する。

【 0 0 3 9 】

図 1 2 は、L P F 2 5 , 3 1 , 3 4 として用いられる L P F の構成の一例を示す回路図である。この L P F は、2 つの端子 4 1 , 4 2 と、インダクタ 4 3 と、3 つのキャパシタ 4 4 ~ 4 6 とを有している。インダクタ 4 3 の一端は端子 4 1 に接続され、インダクタ 4 3 の他端は端子 4 2 に接続されている。キャパシタ 4 4 の一端は端子 4 1 に接続され、キャパシタ 4 4 の他端は端子 4 2 に接続されている。キャパシタ 4 5 の一端は端子 4 1 に接続され、キャパシタ 4 5 の他端は接地されている。キャパシタ 4 6 の一端は端子 4 2 に接続され、キャパシタ 4 6 の他端は接地されている。

10

【 0 0 4 0 】

図 1 3 は、図 1 2 に示した L P F の代わりに用いることの可能な高域除去型のノッチフィルタの構成の一例を示す回路図である。このノッチフィルタは、2 つの端子 5 1 , 5 2 と、2 つのインダクタ 5 3 , 5 4 と、キャパシタ 5 5 とを有している。インダクタ 5 3 の一端は端子 5 1 に接続されている。インダクタ 5 4 の一端はインダクタ 5 3 の他端に接続され、インダクタ 5 4 の他端は端子 5 2 に接続されている。キャパシタ 5 5 の一端はインダクタ 5 3 の他端に接続され、キャパシタ 5 5 の他端は端子 5 2 に接続されている。

20

【 0 0 4 1 】

図 1 4 は、H P F 2 6 , 3 2 , 3 3 として用いられる H P F の構成の一例を示す回路図である。この H P F は、2 つの端子 6 1 , 6 2 と、3 つのインダクタ 6 3 , 6 5 , 6 6 と、キャパシタ 6 4 とを有している。インダクタ 6 3 の一端は端子 6 1 に接続され、インダクタ 6 3 の他端は端子 6 2 に接続されている。キャパシタ 6 4 の一端は端子 6 1 に接続され、キャパシタ 6 4 の他端は端子 6 2 に接続されている。インダクタ 6 5 の一端は端子 6 1 に接続され、インダクタ 6 5 の他端は接地されている。インダクタ 6 6 の一端は端子 6 2 に接続され、インダクタ 6 6 の他端は接地されている。

30

【 0 0 4 2 】

図 1 5 は、図 1 4 に示した H P F の代わりに用いることの可能な低域除去型のノッチフィルタの構成の一例を示す回路図である。このノッチフィルタは、2 つの端子 7 1 , 7 2 と、2 つのキャパシタ 7 3 , 7 5 と、インダクタ 7 4 とを有している。キャパシタ 7 3 の一端は端子 7 1 に接続されている。インダクタ 7 4 の一端はキャパシタ 7 3 の他端に接続され、インダクタ 7 4 の他端は端子 7 2 に接続されている。キャパシタ 7 5 の一端はキャパシタ 7 3 の他端に接続され、キャパシタ 7 5 の他端は端子 7 2 に接続されている。

【 0 0 4 3 】

図 1 6 は、B P F 2 7 として用いられる B P F の構成の一例を示す回路図である。この B P F は、2 つの端子 8 1 , 8 2 と、6 つのキャパシタ 8 3 ~ 8 8 と、2 つのインダクタ 9 1 , 9 2 とを有している。キャパシタ 8 3 の一端は端子 8 1 に接続されている。キャパシタ 8 4 の一端はキャパシタ 8 3 の他端に接続されている。キャパシタ 8 5 の一端はキャパシタ 8 4 の他端に接続され、キャパシタ 8 5 の他端は端子 8 2 に接続されている。キャパシタ 8 6 の一端は端子 8 1 に接続され、キャパシタ 8 6 の他端は端子 8 2 に接続されている。キャパシタ 8 7 の一端は、キャパシタ 8 3 , 8 4 の接続点に接続され、キャパシタ 8 7 の他端は接地されている。キャパシタ 8 8 の一端は、キャパシタ 8 4 , 8 5 の接続点に接続され、キャパシタ 8 8 の他端は接地されている。インダクタ 9 1 の一端は、キャパシタ 8 7 の一端に接続され、インダクタ 9 1 の他端は接地されている。インダクタ 9 2 の一端は、キャパシタ 8 8 の一端に接続され、インダクタ 9 2 の他端は接地されている。

40

50

【 0 0 4 4 】

次に、図 1 7 を参照して、デュプレクサ 1 2 , 1 3 の回路構成の一例について説明する。図 1 7 に示したデュプレクサ 1 2 , 1 3 は、共通端子 1 0 1 と送信端子 1 0 2 と受信端子 1 0 3 とを有している。共通端子 1 0 1 はトリプレクサ 1 1 に接続される。送信端子 1 0 2 はアイソレータ 6 A またはアイソレータ 6 P に接続される。受信端子 1 0 3 はローノイズアンプ 4 A またはローノイズアンプ 4 P に接続される。

【 0 0 4 5 】

デュプレクサ 1 2 , 1 3 は、更に、一端が共通端子 1 0 1 に接続された送信側ディレーライン（図 1 7 では送信側 D L と記す。） 1 0 4 と、出力端が送信側ディレーライン 1 0 4 の他端に接続され、入力端が送信端子 1 0 2 に接続された送信側 B P F 1 0 5 とを有している。デュプレクサ 1 2 , 1 3 は、更に、一端が共通端子 1 0 1 に接続された受信側ディレーライン（図 1 7 では受信側 D L と記す。） 1 0 6 と、入力端が受信側ディレーライン 1 0 6 の他端に接続され、出力端が受信端子 1 0 3 に接続された受信側 B P F 1 0 7 とを有している。B P F 1 0 5 , 1 0 7 は、いずれも弾性波素子を用いて構成されている。

10

【 0 0 4 6 】

送信側ディレーライン 1 0 4 および受信側ディレーライン 1 0 6 は、各端子 1 0 1 , 1 0 2 , 1 0 3 からデュプレクサ 1 2 , 1 3 を見たときのインピーダンスが以下のように調整される。すなわち、共通端子 1 0 1 からデュプレクサ 1 2 , 1 3 を見たときには、送信信号の周波数帯域および受信信号の周波数帯域においてインピーダンスがほぼ 5 0 となる。送信端子 1 0 2 からデュプレクサ 1 2 , 1 3 を見たときには、送信信号の周波数帯域ではインピーダンスがほぼ 5 0 となり、受信信号の周波数帯域ではインピーダンスが十分に大きくなる。受信端子 1 0 3 からデュプレクサ 1 2 , 1 3 を見たときには、受信信号の周波数帯域ではインピーダンスがほぼ 5 0 となり、送信信号の周波数帯域ではインピーダンスが十分に大きくなる。なお、B P F 1 0 5 , 1 0 7 の構成によっては、送信側ディレーライン 1 0 4 と受信側ディレーライン 1 0 6 の一方のみを設ければよい場合もある。

20

【 0 0 4 7 】

なお、上述のインピーダンスの関係を実現するために、図 1 7 に示したデュプレクサ 1 2 , 1 3 における共通端子 1 0 1、送信端子 1 0 2、受信端子 1 0 3 と、それらに接続される外部の回路との間に、必要に応じて整合回路を設けてもよい。図 1 8 は、デュプレクサ 1 2 , 1 3 およびそれに接続される整合回路の回路構成の一例を示す回路図である。図 1 8 に示した例におけるデュプレクサ 1 2 , 1 3 の構成は、図 1 7 に示したデュプレクサ 1 2 , 1 3 の構成と同様である。図 1 8 に示した例では、共通端子 1 0 1 に整合回路 1 1 1 が接続され、送信端子 1 0 2 に整合回路 1 1 2 が接続され、受信端子 1 0 3 に整合回路 1 1 3 が接続されている。これらの整合回路 1 1 1 , 1 1 2 , 1 1 3 は、フロントエンドモジュール 2 に含まれている。

30

【 0 0 4 8 】

整合回路 1 1 1 は、端子 1 1 4 と、2つのキャパシタ 1 1 5 , 1 1 6 とを有している。端子 1 1 4 はトリプレクサ 1 1 に接続される。キャパシタ 1 1 5 の一端は端子 1 1 4 に接続され、キャパシタ 1 1 5 の他端は共通端子 1 0 1 に接続されている。キャパシタ 1 1 6 の一端は共通端子 1 0 1 に接続され、キャパシタ 1 1 6 の他端は接地されている。

40

【 0 0 4 9 】

整合回路 1 1 2 は、端子 1 1 7 と、2つのキャパシタ 1 1 8 , 1 1 9 と、インダクタ 1 2 0 とを有している。キャパシタ 1 1 8 の一端は端子 1 1 7 に接続されている。キャパシタ 1 1 9 の一端はキャパシタ 1 1 8 の他端に接続され、キャパシタ 1 1 9 の他端は送信端子 1 0 2 に接続されている。インダクタ 1 2 0 の一端はキャパシタ 1 1 8 の他端に接続され、インダクタ 1 2 0 の他端は接地されている。

【 0 0 5 0 】

整合回路 1 1 3 は、端子 1 2 1 と、インダクタ 1 2 2 と、キャパシタ 1 2 3 とを有している。インダクタ 1 2 2 の一端は受信端子 1 0 3 に接続され、インダクタ 1 2 2 の他端は端

50

子 1 2 1 に接続されている。キャパシタ 1 2 3 の一端は端子 1 2 1 に接続され、キャパシタ 1 2 3 の他端は接地されている。

【 0 0 5 1 】

図 1 9 は、デュプレクサ 1 2 , 1 3 における送信側 B P F 1 0 5 の特性、すなわち周波数と利得との関係を模式的に表している。図 1 9 に示したように、送信側 B P F 1 0 5 は、送信信号（図 1 9 では T X と記す。）を通過させ、受信信号（図 1 9 では R X と記す。）を遮断する。

【 0 0 5 2 】

図 2 0 は、デュプレクサ 1 2 , 1 3 における受信側 B P F 1 0 7 の特性、すなわち周波数と利得との関係を模式的に表している。図 2 0 に示したように、受信側 B P F 1 0 7 は、受信信号（図 2 0 では R X と記す。）を通過させ、送信信号（図 2 0 では T X と記す。）を遮断する。

10

【 0 0 5 3 】

次に、図 2 1 ないし図 2 4 を参照して、フロントエンドモジュール 2 の構造について説明する。図 2 1 は、フロントエンドモジュール 2 の外観の一例を示す斜視図である。図 2 1 に示したように、フロントエンドモジュール 2 は、1 つの集積用多層基板 1 3 0 を備えている。トリプレクサ 1 1 と 2 つのデュプレクサ 1 2 , 1 3 は、この集積用多層基板 1 3 0 によって集積されている。集積用多層基板 1 3 0 は、誘電体層と、パターン化された導体層とが交互に積層された構造になっている。集積用多層基板 1 3 0 は、例えば低温焼成セラミック多層基板になっている。フロントエンドモジュール 2 の回路は、集積用多層基板 1 3 0 の内部または表面上の導体層と、集積用多層基板 1 3 0 に搭載された部品とによって構成されている。特に、トリプレクサ 1 1 は、集積用多層基板 1 3 0 の内部または表面上の導体層を用いて構成されている。

20

【 0 0 5 4 】

図 1 7 に示したように、デュプレクサ 1 2 , 1 3 は、それぞれ 2 つの B P F 1 0 5 , 1 0 7 を有している。B P F 1 0 5 , 1 0 7 は、いずれも弾性波素子を用いて構成されている。古くから、B P F としては、誘電体共振器を用いて構成されたものが使用されていた。しかしながら、誘電体共振器を用いた B P F は、大きく重いため、フロントエンドモジュールの小型軽量化には不向きである。本実施の形態では、デュプレクサ 1 2 , 1 3 は、弾性波素子を用いて構成された B P F 1 0 5 , 1 0 7 を有しているため、B P F 1 0 5 , 1 0 7 を含めたフロントエンドモジュール 2 の小型軽量化が可能である。

30

【 0 0 5 5 】

なお、ここでは、弾性波素子として弾性表面波素子を用いた場合の例について説明するが、弾性表面波素子の代わりにバルク弾性波素子を用いてもよい。弾性表面波素子が圧電体の表面を伝播する音波（弾性表面波）を利用しているのに対し、バルク弾性波素子は、圧電体内部を伝播する音波（バルク弾性波）を利用するものである。このバルク弾性波素子のうち、特に圧電体薄膜を用いて作製されたものを薄膜バルク波素子と呼び、特に圧電体薄膜を用いて作製された共振器を薄膜バルク波共振器（Film Bulk Acoustic Resonator : F B A R）と呼ぶ。上記弾性波素子としては、上記薄膜バルク波素子を用いてもよい。この薄膜バルク波素子は、弾性表面波素子に比べて温度特性が良好である。一般に、弾性表面波素子の温度特性が 4 0 p p m / 程度であるのに対し、薄膜バルク波素子の温度特性は 2 0 p p m / 程度である。従って、薄膜バルク波素子は、フィルタに要求される急峻な周波数特性を実現するのに有利である。

40

【 0 0 5 6 】

図 2 1 において、符号 1 3 1 , 1 3 2 は、デュプレクサ 1 2 における B P F 1 0 5 , 1 0 7 に用いられる弾性表面波素子を含むチップを表わし、符号 1 3 3 , 1 3 4 は、デュプレクサ 1 3 における B P F 1 0 5 , 1 0 7 に用いられる弾性表面波素子を含むチップを表わしている。チップ 1 3 1 ~ 1 3 4 は集積用多層基板 1 3 0 の上面に実装されている。弾性表面波素子以外のデュプレクサ 1 2 , 1 3 の回路部分の少なくとも一部は、集積用多層基板 1 3 0 の内部または表面上の導体層を用いて構成されている。図 2 1 には、弾性表面波

50

素子以外のデュプレクサ 12, 13 の回路部分の一部が、集積用多層基板 130 の上面に実装されたチップ部品 135 ~ 137 によって構成され、弾性表面波素子以外のデュプレクサ 12, 13 の回路部分の残りの部分が、集積用多層基板 130 の内部または表面上の導体層を用いて構成されている例を示している。しかし、弾性表面波素子以外のデュプレクサ 12, 13 の回路部分は、全てインダクタとキャパシタによって構成できるため、弾性表面波素子以外のデュプレクサ 12, 13 の回路部分の全部を集積用多層基板 130 の内部または表面上の導体層を用いて構成してもよい。

【0057】

集積用多層基板 130 の上面、およびこの上面に実装されたチップ 131 ~ 134 およびチップ部品 135 ~ 137 は、シールドケース 138 によって覆われている。

10

【0058】

図 22 は、図 21 において符号 140 で示した断面を表わす断面図である。図 22 に示したように、チップ 131 は、LiTaO₃ 等の圧電材料からなる圧電基板 141 と、この圧電基板 141 の一方の面に形成された櫛形電極 142 と、この櫛形電極 142 を外部の回路に接続するための接続電極 143 と、櫛形電極 142 を覆うカバー 144 とを有している。接続電極 143 は、櫛形電極 142 と同一面上に配置されている。また、櫛形電極 142 とカバー 144 との間には空間が形成されている。チップ 131 は、櫛形電極 142 が集積用多層基板 130 の上面に対向するように、フリップチップボンディングによって、集積用多層基板 130 の上面に実装されている。チップ 132 ~ 134 の構造および実装方法もチップ 131 と同様である。

20

【0059】

図 22 において、符号 151 は、アンテナ 1 に接続されるアンテナ端子を示し、符号 152 は、AMP S 帯域における受信信号を出力する出力端子を示し、符号 153 は、グランド端子を示している。これらの端子 151 ~ 153 は、集積用多層基板 130 の下面に配置されている。また、符号 154 は、集積用多層基板 130 の内部に配置されたグランド層を示している。このグランド層 154 は、グランド端子 153 に接続されている。

【0060】

また、図 22 に示した例では、チップ 131 は、デュプレクサ 12 における受信側 BPF 107 を構成するものとしている。また、図 22 には、集積用多層基板 130 の内部に形成された回路部分の例として、図 3 に示した構成のトリプレクサ 11 における LPF 25 (図 12 に示した構成の LPF) と、図 18 に示した整合回路 111 と、図 18 に示した受信側ディレーライン 106 と、図 18 に示した整合回路 113 とを示している。図 23 は、図 22 において符号 160 で示した部分、すなわち、整合回路 111 および受信側ディレーライン 106 を示す斜視図である。

30

【0061】

図 21 に示した例では、集積用多層基板 130 の上面が平坦で、この平坦な上面にチップ 131 ~ 134 が実装されている。他の例として、図 24 に示したように、集積用多層基板 130 の上面にチップ 131 ~ 134 を収納する 4 つの凹部 139 を形成し、この凹部 139 内にそれぞれチップ 131 ~ 134 を配置してもよい。

【0062】

40

図 21 に示したフロントエンドモジュール 2 の大きさは、例えば、縦 5.4 mm、横 4.0 mm、高さ 1.8 mm になっている。

【0063】

次に、図 25 ないし図 30 を参照して、本実施の形態に係るフロントエンドモジュール 2 に対する第 1 の比較例のフロントエンドモジュールについて説明する。まず、図 25 を参照して、第 1 の比較例のフロントエンドモジュールを含む携帯電話の高周波回路の一例について説明する。図 25 に示した高周波回路は、2 つのアンテナ 201A, 201B と、これらのアンテナ 201A, 201B に接続されたフロントエンドモジュール 202 とを備えている。アンテナ 201A は、AMP S 帯域および PCS 帯域における信号の送信および受信に用いられる。アンテナ 201B は、GPS における受信信号の受信に用いられ

50

る。

【0064】

図25に示した高周波回路は、更に、主にAMP S帯域およびPCS帯域における信号の変調および復調を行う集積回路203Aと、主にGPSにおける受信信号の復調を行う集積回路203Bとを備えている。高周波回路は、更に、それぞれ入力端がフロントエンドモジュール202に接続され、出力端が集積回路203Aに接続された2つのローノイズアンプ204A、204Pと、入力端がフロントエンドモジュール202に接続され、出力端が集積回路203Bに接続されたローノイズアンプ204Gとを備えている。高周波回路は、更に、それぞれ入力端が集積回路203Aに接続された2つの電力増幅器205A、205Pと、入力端が電力増幅器205Aの出力端に接続され、出力端がフロントエンドモジュール202に接続されたアイソレータ206Aと、入力端が電力増幅器205Pの出力端に接続され、出力端がフロントエンドモジュール202に接続されたアイソレータ206Pとを備えている。

10

【0065】

フロントエンドモジュール202は、ダイプレクサ210と、2つのデュプレクサ212、213と、BPF214とを備えている。ダイプレクサ210は、第1ないし第3のポートを有している。第1のポートはアンテナ201Aに接続されている。第2のポートはデュプレクサ212に接続されている。第3のポートはデュプレクサ213に接続されている。ダイプレクサ210は、AMP S帯域とPCS帯域とを分離する。すなわち、ダイプレクサ210は、第2のポートに入力されたAMP S帯域における送信信号を第1のポートより出力すると共に、第1のポートに入力されたAMP S帯域における受信信号を第2のポートより出力する。また、ダイプレクサ210は、第3のポートに入力されたPCS帯域における送信信号を第1のポートより出力すると共に、第1のポートに入力されたPCS帯域における受信信号を第3のポートより出力する。

20

【0066】

デュプレクサ212は、共通端子と送信端子と受信端子とを有している。共通端子はダイプレクサ210の第2のポートに接続されている。送信端子はアイソレータ206Aの出力端に接続されている。受信端子はローノイズアンプ204Aの入力端に接続されている。デュプレクサ212は、AMP S帯域における送信信号（図では、AMP S / TXと記す。）と受信信号（図では、AMP S / RXと記す。）とを分離する。すなわち、デュプレクサ212は、送信端子に入力されたAMP S帯域における送信信号を共通端子より出力すると共に、共通端子に入力されたAMP S帯域における受信信号を受信端子より出力する。

30

【0067】

デュプレクサ213は、共通端子と送信端子と受信端子とを有している。共通端子はダイプレクサ210の第3のポートに接続されている。送信端子はアイソレータ206Pの出力端に接続されている。受信端子はローノイズアンプ204Pの入力端に接続されている。デュプレクサ213は、PCS帯域における送信信号（図では、PCS / TXと記す。）と受信信号（図では、PCS / RXと記す。）とを分離する。すなわち、デュプレクサ213は、送信端子に入力されたPCS帯域における送信信号を共通端子より出力すると共に、共通端子に入力されたPCS帯域における受信信号を受信端子より出力する。

40

【0068】

BPF214の入力端はアンテナ201Bに接続され、BPF214の出力端はローノイズアンプ204Gの入力端に接続されている。BPF214は、アンテナ201Bによって受信したGPSにおける受信信号（図では、GPS / RXと記す。）を選択的に通過させる。

【0069】

ダイプレクサ210の回路構成は、図3に示したトリプレクサ11の構成から、BPF27および第4のポート24を除いた構成である。デュプレクサ212、213の回路構成は、本実施の形態におけるデュプレクサ12、13の回路構成と同様である。

50

【 0 0 7 0 】

第 1 の比較例のフロントエンドモジュール 2 0 2 は、ダイプレクサ 2 1 0 と 2 つのデュプレクサ 2 1 2 , 2 1 3 と B P F 2 1 4 とが、それぞれ別個の部品とされ、これらが、マザー基板上に半田付け等の方法によって実装されて構成されている。

【 0 0 7 1 】

図 2 6 は、ダイプレクサ 2 1 0 の外観の一例を示す平面図である。図 2 6 に示したダイプレクサ 2 1 0 は、第 1 ないし第 3 のポートに対応する端子 2 1 0 A , 2 1 0 B , 2 1 0 C と、3 つのグランド端子 2 1 0 G とを有している。図 2 6 に示した例では、ダイプレクサ 2 1 0 の大きさは、縦 2 . 0 mm、横 1 . 2 mm になっている。

【 0 0 7 2 】

図 2 7 は、デュプレクサ 2 1 2 , 2 1 3 の外観の一例を示す斜視図である。図 2 7 に示したデュプレクサ 2 1 2 , 2 1 3 は、それぞれ B P F に用いられる弾性表面波素子を含む 2 つのチップ 2 2 1 , 2 2 2 と、この 2 つのチップ 2 2 1 , 2 2 2 が実装された実装基板 2 2 3 と、チップ 2 2 1 , 2 2 2 を覆うシールドケース 2 2 4 とを有している。実装基板 2 2 3 は多層基板になっている。図 2 7 に示した例では、デュプレクサ 2 1 2 , 2 1 3 の大きさは、縦 5 mm、横 5 mm、高さ 1 . 5 mm になっている。

【 0 0 7 3 】

図 2 8 は、図 2 7 におけるチップ 2 2 1 を通る断面を示す断面図である。図 2 8 におけるチップ 2 2 1 の構造は、図 2 2 に示したチップ 1 3 1 の構造と同様である。図 2 8 には、共通端子 2 3 1、受信端子 2 3 2、受信側ディレーライン 2 3 3 および整合回路 2 3 4 が示されている。受信側ディレーライン 2 3 3 および整合回路 2 3 4 は、実装基板 2 2 3 の内部または表面上の導体層を用いて形成されている。

【 0 0 7 4 】

図 2 9 は第 1 の比較例におけるフロントエンドモジュールの構成部品の配置例を示す平面図、図 3 0 はこの配置例を示す斜視図である。この例では、マザー基板上に、ダイプレクサ 2 1 0、デュプレクサ 2 1 2 , 2 1 3 およびそれらの周辺回路が配置される第 1 の領域 2 3 7 と、B P F 2 1 4 およびその周辺回路が配置される第 2 の領域 2 3 8 とが設けられている。この例では、B P F 2 1 4 の大きさは、縦 3 mm、横 6 mm になっている。また、この例では、第 1 の領域 2 3 7 の大きさは縦 1 3 mm、横 1 0 mm で、第 2 の領域 2 3 8 の大きさは縦 5 mm、横 1 0 mm になっている。

【 0 0 7 5 】

次に、図 3 1 ないし図 3 3 を参照して、本実施の形態に係るフロントエンドモジュール 2 に対する第 2 の比較例のフロントエンドモジュールについて説明する。第 2 の比較例のフロントエンドモジュールの回路構成は、図 1 に示したフロントエンドモジュール 2 と同様である。しかし、第 2 の比較例では、トリプレクサと 2 つのデュプレクサは、それぞれ別個の部品とされ、これらが、マザー基板上に半田付け等の方法によって実装されて構成されている。図 3 1 は、第 2 の比較例におけるトリプレクサの外観の一例を示す平面図である。図 3 1 に示したトリプレクサ 2 1 1 は、第 1 ないし第 4 のポートに対応する端子 2 1 1 A , 2 1 1 B , 2 1 1 C , 2 1 1 D と 2 つのグランド端子 2 1 1 G とを有している。図 3 1 に示した例では、トリプレクサ 2 1 1 の大きさは、縦 3 . 2 mm、横 2 . 5 mm になっている。トリプレクサ 2 1 1 の回路構成は、図 3 または図 7 に示したトリプレクサ 1 1 の回路構成と同様である。

【 0 0 7 6 】

図 3 2 は、図 3 1 に示したトリプレクサ 2 1 1 の断面図である。図 3 3 は、図 3 2 において符号 2 4 1 , 2 4 2 で示した部分を分解して示す斜視図である。図 3 2 に示したように、トリプレクサ 2 1 1 は多層基板を有している。図 3 2 および図 3 3 には、端子 2 1 1 A と、この端子 2 1 1 A に接続された L P F 2 2 5 とが示されている。L P F 2 2 5 は、多層基板の内部または表面上の導体層を用いて形成されている。この L P F 2 2 5 は、図 1 2 に示した構成になっている。すなわち、L P F 2 2 5 は、インダクタ 4 3 と 3 つのキャパシタ 4 4 ~ 4 6 を有している。なお、図 3 2 において、符号 2 4 0 はグランド層を示し

10

20

30

40

50

ている。

【0077】

第2の比較例におけるフロントエンドモジュールの構成部品の配置は、例えば、図29および図30において、BPF214およびその周辺回路が除かれ、ダイプレクサ210の代わりにトリプレクサ211が配置されたものとなる。トリプレクサ211はダイプレクサ210よりも大きいので、マザー基板上で、第2の比較例におけるフロントエンドモジュールが占める領域は、図29および図30における第1の領域237よりも若干大きなものとなる。

【0078】

本実施の形態に係るフロントエンドモジュール2は、第1の比較例および第2の比較例のいずれと比較しても、占有面積を小さくすることができる。

10

【0079】

以上説明したように、本実施の形態に係るフロントエンドモジュール2は、AMP S帯域とPCS帯域とGPS帯域とを分離するトリプレクサ11と、AMP S帯域における送信信号と受信信号とを分離するデュプレクサ12と、PCS帯域における送信信号と受信信号とを分離するデュプレクサ13とを備えている。デュプレクサ12は、それぞれフィルタとして機能する2つの弾性波素子を含んでいる。デュプレクサ13も、それぞれフィルタとして機能する2つの弾性波素子を含んでいる。本実施の形態では、トリプレクサ11、デュプレクサ12、13は、集積用多層基板130によって集積されている。トリプレクサ11は、集積用多層基板130の内部または表面上の導体層を用いて構成されている。

20

【0080】

以上のことから、本実施の形態によれば、1つのアンテナ1に接続されるフロントエンドモジュール2によって、AMP S帯域とPCS帯域のそれぞれにおける送信信号および受信信号と、GPSにおける受信信号とを処理することができる。また、本実施の形態では、デュプレクサ12、13によって送信信号と受信信号とを分離するので、符号分割多重接続方式に対応可能である。また、本実施の形態によれば、小型軽量化、複合化および集積化が容易なフロントエンドモジュール2を実現することができる。また、本実施の形態によれば、位置検出機能を有する携帯電話を実現することが可能になる。

【0081】

30

また、本実施の形態では、デュプレクサ12におけるBPF105、107に用いられる弾性表面波素子を含むチップ131、132と、デュプレクサ13におけるBPF105、107に用いられる弾性表面波素子を含むチップ133、134は、集積用多層基板130の上面に実装されている。そして、弾性表面波素子以外のデュプレクサ12、13の回路部分の少なくとも一部は、集積用多層基板130の内部または表面上の導体層を用いて構成されている。これにより、フロントエンドモジュール2をより小型軽量化することが可能になる。

【0082】

また、本実施の形態によれば、弾性波素子を含むデュプレクサ12、13を、トリプレクサ11と一体化することにより、デュプレクサ12、13とその周辺回路とのインピーダンス整合を最適化することが可能になる。従って、本実施の形態によれば、フロントエンドモジュール2の性能を向上させることも可能になる。

40

【0083】

なお、本発明は、上記実施の形態に限定されず、種々の変更が可能である。例えば、実施の形態では、BPF105に用いられる弾性表面波素子を含むチップと、BPF107に用いられる弾性表面波素子を含むチップとを別体にしてしている。しかし、本発明では、これらの2つのチップを合体して1つのチップとしてもよい。

【0084】

また、実施の形態で挙げた3つの周波数帯域の組み合わせは一例であり、本発明は、他の周波数帯域の組み合わせに対しても適用することができる。

50

【 0 0 8 5 】

【 発明の効果 】

以上説明したように請求項 1 ないし 6 のいずれかに記載のフロントエンドモジュールは、第 1 ないし第 3 の周波数帯域を分離する第 1 の分離手段と、第 1 の周波数帯域における送信信号と受信信号とを分離する第 2 の分離手段と、第 2 の周波数帯域における送信信号と受信信号とを分離する第 3 の分離手段とを備えている。第 2 の分離手段は、それぞれフィルタとして機能する 2 つの弾性波素子を含んでいる。第 3 の分離手段も、それぞれフィルタとして機能する 2 つの弾性波素子を含んでいる。第 1 ないし第 3 の分離手段は、1 つの集積用多層基板によって集積されている。また、第 1 の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されている。従って、本発明によれば、第 1 および第 2 の周波数帯域のそれぞれにおける送信信号および受信信号と第 3 の周波数帯域における受信信号とを処理できると共に符号分割多重接続方式に対応可能で、且つ小型軽量化、複合化および集積化が容易なフロントエンドモジュールを実現することができるという効果を奏する。

10

【 0 0 8 6 】

また、本発明のフロントエンドモジュールでは、第 2 の分離手段に含まれる 2 つの弾性波素子および第 3 の分離手段に含まれる 2 つの弾性波素子は、集積用多層基板に実装され、弾性波素子以外の第 2 の分離手段および第 3 の分離手段の回路部分の少なくとも一部は、集積用多層基板の内部または表面上の導体層を用いて構成されている。従って、本発明によれば、フロントエンドモジュールをより小型軽量化することが可能になるという効果を奏する。

20

【 0 0 8 7 】

また、請求項 5 記載のフロントエンドモジュールでは、第 3 の周波数帯域における受信信号は位置検出機能のための信号である。従って、本発明によれば、位置検出機能を有する携帯電話等の通信装置を実現することが可能になるという効果を奏する。

【 図面の簡単な説明 】

【 図 1 】 本発明の一実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例を示すブロック図である。

【 図 2 】 本発明の一実施の形態に係るフロントエンドモジュールによって処理される信号の周波数帯域を示す説明図である。

30

【 図 3 】 図 1 におけるトリプレクサの構成の第 1 の例を示すブロック図である。

【 図 4 】 図 3 におけるローパスフィルタの特性を示す説明図である。

【 図 5 】 図 3 におけるハイパスフィルタの特性を示す説明図である。

【 図 6 】 図 3 におけるバンドパスフィルタの特性を示す説明図である。

【 図 7 】 図 1 におけるトリプレクサの構成の第 2 の例を示すブロック図である。

【 図 8 】 図 7 における第 1 のポートに接続されたローパスフィルタの特性を示す説明図である。

【 図 9 】 図 7 における第 1 のポートに接続されたハイパスフィルタの特性を示す説明図である。

【 図 10 】 図 7 における第 3 のポートに接続されたハイパスフィルタの特性を示す説明図である。

40

【 図 11 】 図 7 における第 4 のポートに接続されたローパスフィルタの特性を示す説明図である。

【 図 12 】 図 3 または図 7 に示したトリプレクサにおいて用いられるローパスフィルタの構成の一例を示す回路図である。

【 図 13 】 図 12 に示したローパスフィルタの代わりに用いることの可能な高域除去型のノッチフィルタの構成の一例を示す回路図である。

【 図 14 】 図 3 または図 7 に示したトリプレクサにおいて用いられるハイパスフィルタの構成の一例を示す回路図である。

【 図 15 】 図 14 に示したハイパスフィルタの代わりに用いることの可能な低域除去型の

50

ノッチフィルタの構成の一例を示す回路図である。

【図 1 6】図 3 に示したトリプレクサにおいて用いられるバンドパスフィルタの構成の一例を示す回路図である。

【図 1 7】図 1 におけるデュプレクサの構成の一例を示すブロック図である。

【図 1 8】図 1 におけるデュプレクサおよびそれに接続される整合回路の構成の一例を示す回路図である。

【図 1 9】図 1 7 または図 1 8 における送信側バンドパスフィルタの特性を示す説明図である。

【図 2 0】図 1 7 または図 1 8 における受信側バンドパスフィルタの特性を示す説明図である。

10

【図 2 1】本発明の一実施の形態に係るフロントエンドモジュールの外観の一例を示す斜視図である。

【図 2 2】図 2 1 に示したフロントエンドモジュールの断面図である。

【図 2 3】図 2 2 における一部を示す斜視図である。

【図 2 4】本発明の一実施の形態に係るフロントエンドモジュールの構造の他の例を示す断面図である。

【図 2 5】第 1 の比較例のフロントエンドモジュールを含む携帯電話の高周波回路の一例を示すブロック図である。

【図 2 6】図 2 5 におけるダイプレクサの外観の一例を示す平面図である。

【図 2 7】図 2 5 におけるデュプレクサの外観の一例を示す斜視図である。

20

【図 2 8】図 2 7 に示したデュプレクサの断面図である。

【図 2 9】第 1 の比較例におけるフロントエンドモジュールの構成部品の配置例を示す平面図である。

【図 3 0】第 1 の比較例におけるフロントエンドモジュールの構成部品の配置例を示す斜視図である。

【図 3 1】第 2 の比較例のフロントエンドモジュールにおけるトリプレクサの外観の一例を示す平面図である。

【図 3 2】図 3 1 に示したトリプレクサの断面図である。

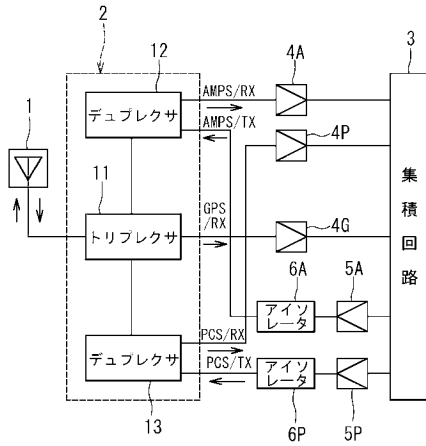
【図 3 3】図 3 2 における一部を分解して示す斜視図である。

【符号の説明】

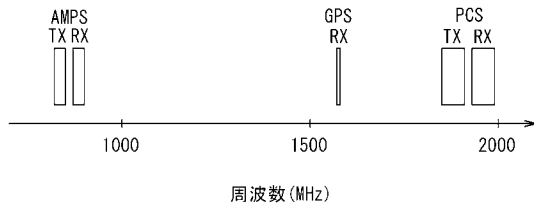
30

1 ... アンテナ、2 ... フロントエンドモジュール、3 ... 集積回路、1 1 ... トリプレクサ、1 2 , 1 3 ... デュプレクサ、1 0 5 ... 送信側バンドパスフィルタ、1 0 7 ... 受信側バンドパスフィルタ、1 3 0 ... 集積用多層基板、1 3 1 ~ 1 3 4 ... チップ。

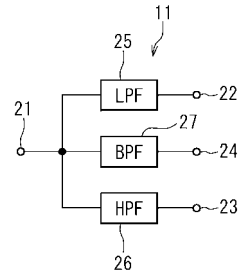
【図 1】



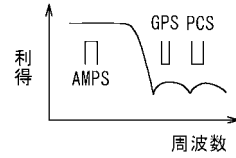
【図 2】



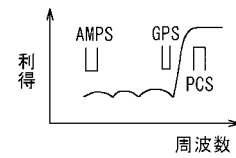
【図 3】



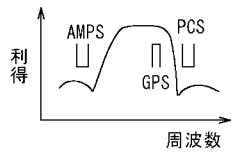
【図 4】



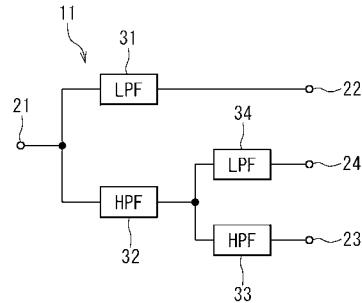
【図 5】



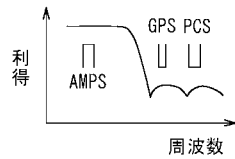
【図 6】



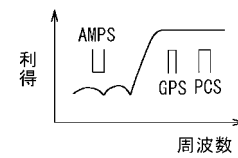
【図 7】



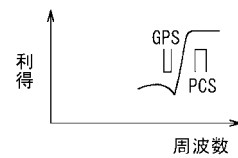
【図 8】



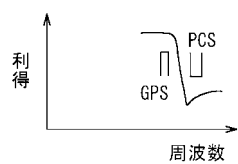
【図 9】



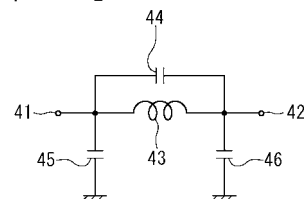
【図 10】



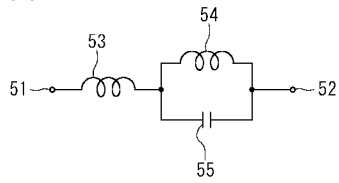
【図 11】



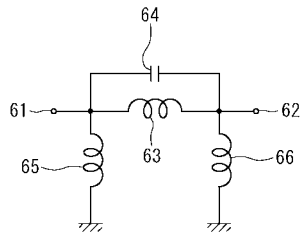
【図 12】



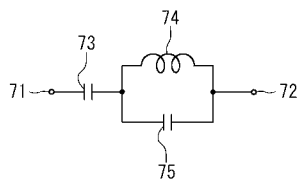
【図 1 3】



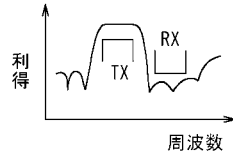
【図 1 4】



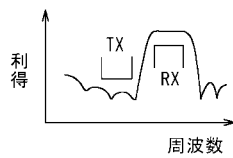
【図 1 5】



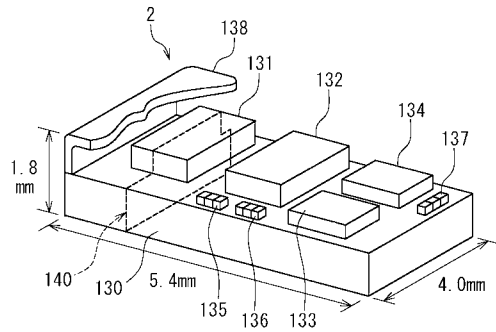
【図 1 9】



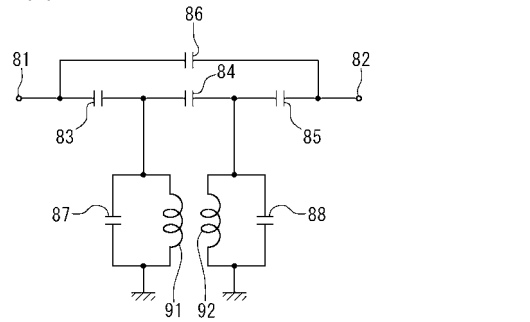
【図 2 0】



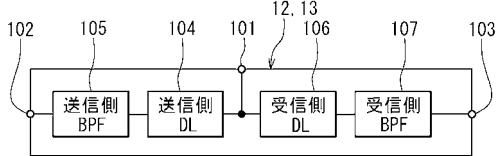
【図 2 1】



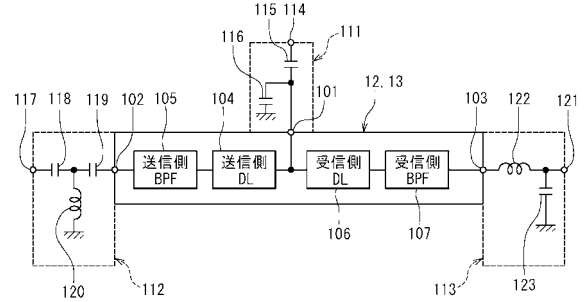
【図 1 6】



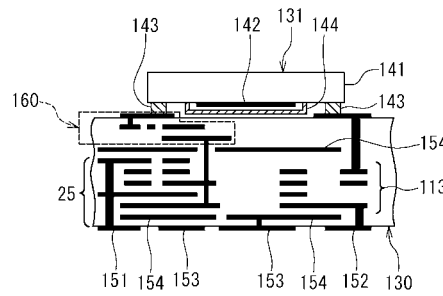
【図 1 7】



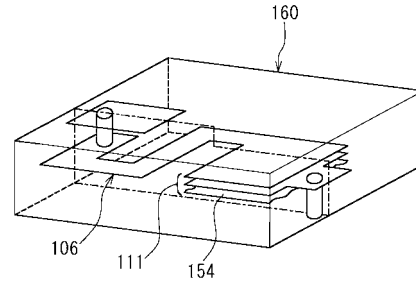
【図 1 8】



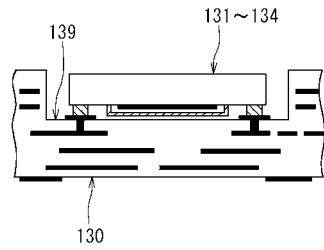
【図 2 2】



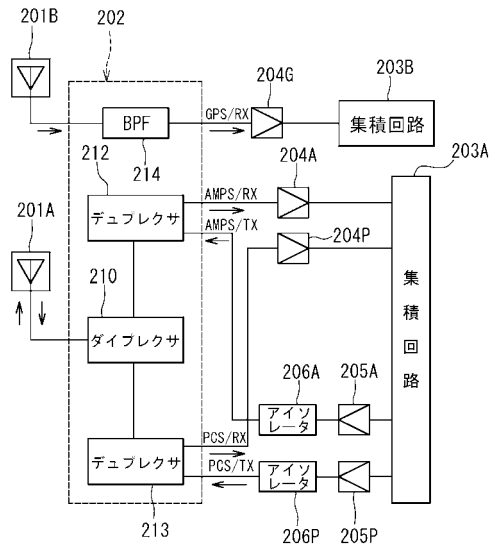
【図 2 3】



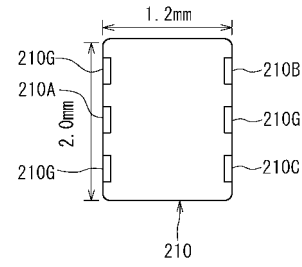
【図 24】



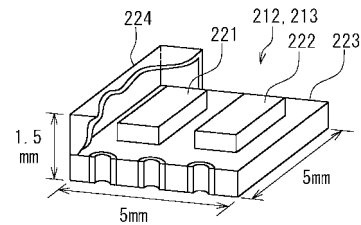
【図 25】



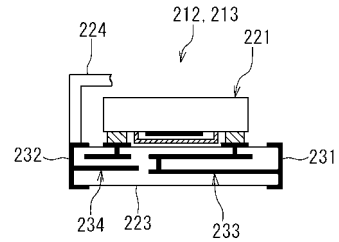
【図 26】



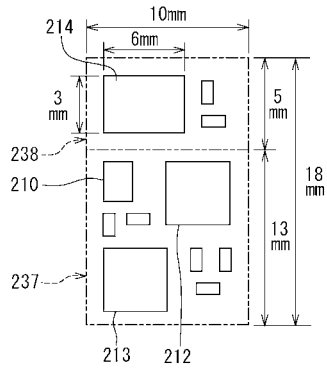
【図 27】



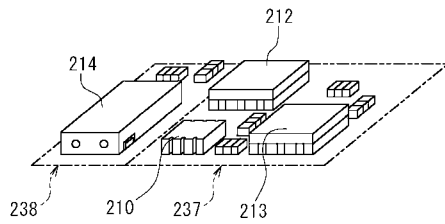
【図 28】



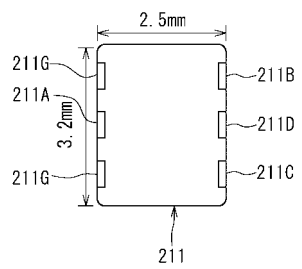
【図 29】



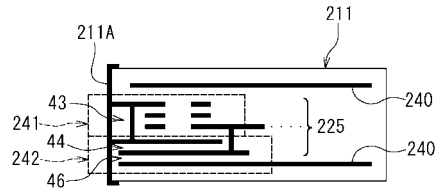
【図 30】

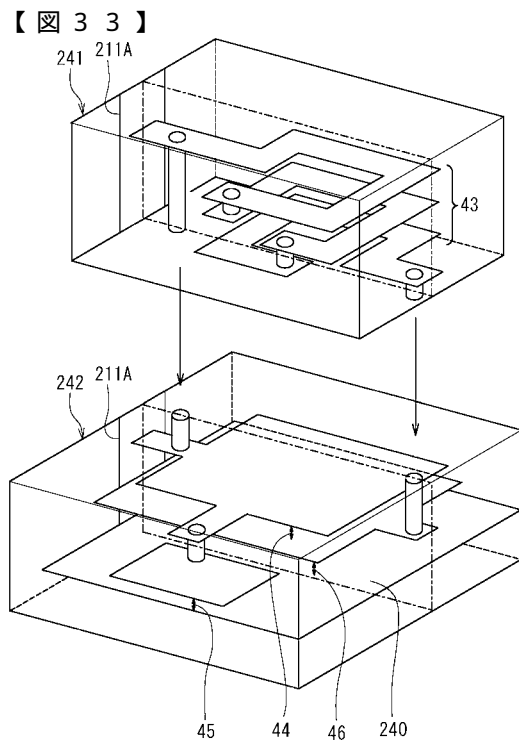


【図 31】



【図 32】





フロントページの続き

(56)参考文献 特開2003-008385(JP,A)
特開2002-141764(JP,A)
特開2003-032140(JP,A)
特開2002-208873(JP,A)
特開2002-223102(JP,A)
特開平09-307399(JP,A)
特開平08-191230(JP,A)
国際公開第01/048935(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H04B 1/50
H03H 7/075
H03H 7/46
H03H 9/64
H03H 9/72