

發明專利說明書 594878

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：P1121732 ※IPC分類：H01L 21/31
※申請日期：P1. P. 73

壹、發明名稱

(中文) 金屬閘極互補金氧半導體及其製造方法

(英文) METAL GATE CMOS AND METHOD OF MANUFACTURING THE SAME

貳、發明人(共1人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 許勝藤

(英文) SHENG TENG HSU

住居所地址：(中文) 美國華盛頓州坎瑪斯市綴特街 2216 號

(英文) 2216 NW TROUT COURT, CAMAS, WA 98607, U.S.A.

國籍：(中文) 美國

(英文) U.S.A.

參、申請人(共1人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商夏普股份有限公司

(英文) SHARP KABUSHIKI KAISHA

住居所或營業所地址：(中文) 日本國大阪府大阪市阿倍野區長池町 22 番 22 號

(英文) 22-22, NAGAIKECHO, ABENO-KU, OSAKA-SHI,

OSAKA 545-8522, JAPAN

國籍：(中文) 日本

(英文) JAPAN

代表人：(中文) 町田 勝彦

(英文) KATSUHIKO MACHIDA

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 美國；2001 年 9 月 24 日；09/963,080

2. _____

3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國；2001 年 9 月 24 日；09/963,080

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

動矽-淺溝隔離介面上之矽切痕，尤其，如圖 12 所示，該矽切痕包含在淺溝區中，直接與該元件主動區相鄰之楔形間隙，此係切痕通常導致一角轉變效應，其會使該元件不可靠。

因此，元件有其必要減少在矽-淺溝隔離介面上之矽切痕，亦即減少角轉變效應，此外，元件製程有其必要減少步驟，以便盡可能地改良製程之良率。

發明概述

本發明提供一強健之金屬閘極互補金氧半導體 (CMOS)，其為主動矽-淺溝隔離 (STI) 介面上並無矽切痕，該元件係以因為本發明從已知製程中減少一氮化物蝕刻步驟、一氧化物蝕刻步驟，以及一氧化步驟，而較先前技藝製程簡單之製程加以製造，該製程亦提供自我對準平坦化終點，以提供該元件較佳之平坦化，主動矽-淺溝隔離介面尚無矽切痕而製造之元件，提供一較可靠之閘極氧化物，並消除了角轉變效應。

因此，本發明之一目標，係提供一較簡單且更強健之金屬閘極互補金氧半導體裝置，及其製造方法。

本發明之另一目標，係提供一方法，可從先前已知製程中，消除一氮化物蝕刻步驟、一氧化物蝕刻步驟，以及一氧化製程步驟。

本發明之進一步目標，係提供一種元件，其具有較佳之平坦化能力，且在其主動之矽-淺溝隔離介面上，沒有矽切痕。

該基板可包含一如技藝中所知之矽晶圓，一未經植入之矽層 14 被沈積於基板 12 上，一氧化物層 16 接著被沈積於矽層 14 上，氧化物層 16 通常厚度 18 約為 2 nm 至 20 nm，一第一氮化物層 20 通常厚度 22 約為 100 nm 至 200 nm，這些層可藉由任何已知方法沈積，例如在技藝中廣泛已知之化學氣相沈積，或類似者。

圖 2 係該元件在淺溝隔離蝕刻後之圖示，對圖 1 之元件應用光阻，以藉由蝕刻在淺溝區中之矽、氧化物及氮化物，形成淺溝隔離區 24 及 26，在一較佳方法步驟中，蝕刻約 400 nm 至 1000 nm 於基板 12 之矽中，該蝕刻可藉由任何技藝中已知之蝕刻製程，該光阻接著被去除，以留下一島狀區域 28，亦稱為主動區域，其稍後會被成形為一閘極區、一源極區及一汲極區，因此，在製程之此階段，該閘極區並未與該源極區與該汲極區隔絕，換句話說，在製程之此階段，該源極與汲極並未藉由植入或類似之製程而被暴露或形成。

圖 3 係該元件在一氧化物層沈積後之圖示，尤其，該蝕刻傷害，係藉由任何廣泛已知之製程而清潔，接著，一氧化物層 30，其由 2 nm 至 10 nm 之熱氧化物與一較厚沈積之氧化物所組成，被沈積於圖 2 之元件上，該氧化物層被沈積至某深度，使其可充填淺溝隔離 (STI) 區 24 與 26，且可覆蓋島狀區域 28，氧化物層 30 之厚度 32 通常為 400 nm 至 1000 nm，其尺寸最好相同於淺溝區 24 與 26 之深度，該氧化物層可藉由任何技藝中已知之方法沈積，氧化物層 30 通常被沈積

以在淺溝區 24 中形成一凹洞區 34，凹洞區 34 通常有一下表面 36，位置靠近基板 12，亦即，較該第一氮化物層 20 之最高表面 38 低，這使得在淺溝區 24 與 26 中第二氮化物層，可被沈積至某深度，低於由第一氮化物層之最高表面 38 所定義之平面 40。

圖 4 係該元件在第二氮化物層沈積後之圖示，一第二氮化物層 42 被沈積於圖 4 之元件上至一厚度 44，其尺寸最好等於或略小於第一氮化物之厚度 22，尤其，第二氮化物層通常可充填凹洞 34 與淺溝隔離區 26 至一高於平面 40 之深度。

再參照圖 4，沈積於淺溝區 24 之凹洞 34 與淺溝區 26 中之氮化物材料，可分別等於平坦化終點 46 與 48，因為氮化物材料一般可以低於氧化物材料之速度被拋光，換句話說，平坦化終點 46 與 48 定位在主動區 28 之相對側，可作用如拋光步驟之煞車，以便提供主動區 28 精準且平坦之平坦化，換句話說，終點 46、主動區 28 及終點 48 之上表面，被對準以定義平面 40，如此則該平坦化步驟，可較佳地在該表面被拋光至暴露出平面 40 時停止。

圖 5 係該元件經平坦化後之圖示，顯示經沈積之平坦化終點，尤其，圖 4 之元件經歷一平坦化步驟，如化學機械拋光 (CMP) 步驟，以平坦化該元件，該平坦化步驟通常會將第二氮化物層 42，與主動區表面上，及 STI 區 24 與 26 中之氧化物層 30 拋掉，平坦化終點 46 及 48 可確保主動區 28 被均勻地拋光，因此，圖 5 所示之元件，包含在淺溝區 24 與 26

P+離子佈植，直到製程中此一步驟，元件之源極與汲極區尚未形成，因此，這些區域在製程之較早步驟中不會受到污染，圖8係沿著"X"截面方向之圖示，儘管圖8未顯示，假閘極島54可包含氧化物間隙於其中。

圖9A至B係該元件在一氧化物層沈積後之圖示，尤其，具有厚度相當於第一氮化物層20與第三氮化物層50(示於圖6中)厚度相加後兩倍之一氧化物層60，被沈積於圖8所示之元件上，氧化物層60接著受到平坦化，藉由例如化學機械拋光(CMP)，使得氧化物層之厚度62等於假閘極54之高度，CMP之後，該氮化物替代閘極電極54之上表面被暴露於矽晶圓上，圖9A顯示"X"截面方向圖示，同時圖9B顯示該元件"Y"截面方向之圖示。

圖10A至B係該元件在假閘極與假閘極氧化物之去除，且閘極介電材料與閘極電極材料沈積後之圖示，尤其，該氮化物假閘極54(示於圖9A)，最好是藉由熱磷酸去除之，在主動區中氮化物閘極54下之氧化物16(示於圖9A)。係藉由BHF蝕刻製程去除之，替代氮化物閘極區接著接著變成閘極溝64。一高介電常數(high-K)之介電材料薄層66，接著藉由任何已知方法如濺鍍或CVD製程，沈積於溝槽64之底表面與側表面，high-K介電材料66之厚度，取決於元件將被使用之科技節點，該high-K介電材料通常會被鍍在閘極溝之底表面與側表面上，以及氧化物60之上暴露表面，在high-K介電材料之沈積後，一金屬閘極電極材料68被沈積於介電材料上之溝槽64中，該閘極介電材料可包含氧化鉭

(Ta₂O₅)、氧化鈦 (TiO₂)、氧化鋯 (ZrO₂)、氧化釷 (La₂O₃)、氧化鈺 (HfO₂)、氧化釷 (Y₂O₃)、及其矽酸鹽以及其他類似材料，該閘極電極材料可包含技藝中已知之任何適用材料，如氮化鈦 (TiN)、氮化鎢 (WN)、氮化鉭 (TaN)、銅 (Cu)、鋁 (Al) 及類似者，晶圓表面上之金屬接著以 CMP 去除，在較佳具體實施例中，閘極溝完全被金屬所填滿，如圖 10A 至 B 所示，然而，在其他具體實施例中，閘極溝並不需要完全被金屬所填滿，圖 10A 與 10B 分別顯示該結構沿著 "X" 方向之截面圖示，及沿著 "Y" 方向之截面圖示，熟知該技藝者將瞭解層 16 與層 60 均為氧化物層，係為了說明之便而呈現互相分開。

以上直到製程中此處，該閘極電極材料尚未被沈積，因此，該閘極材料並未被該元件製程之先前步驟所污染，此外，由於在該製程終點處附近形成閘極溝，以及由於沒有多晶矽沈積於閘極島附近之步驟，故不需要氧化物間隙，因此，本發明之製程可從先前技藝之方法中消除數個製程步驟，此可增加創新製程整體之良率，且製造更強健之元件。

圖 11A 至 B 係最終元件包含元件金屬化之圖示，尤其，源極 56、閘極 68 及汲極 58 分別包含一金屬接觸 70、72 及 74，沈積接觸點 70、72 及 74 之氧化物惰性與金屬化製程，可用任何技藝敘述之製程完成之，如同熟知該技藝者所瞭解，圖 11A 與圖 11B 分別顯示該電晶體在金屬化完成後之 "X" 方向截面圖示，及 "Y" 方向之截面圖示。

肆、中文發明摘要

本文敘述一種金屬閘極互補金氧半導體 (CMOS) 及其製造方法，該方法包含在該元件金屬化之前，沈積金屬閘極電極材料之最終步驟，因此，該金屬閘極材料在製程中不會被污染，該元件之製造會產生氧化物間隙，如此則完成之元件不會產生在主動矽-淺溝槽隔離介面上之矽切痕，此外，假閘極材料係用於界定平坦化終止，其於製程中可對元件做精準之平坦化。

伍、英文發明摘要

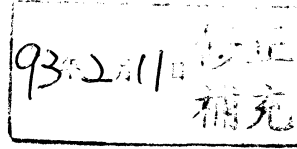
A metal gate complementary metal oxide semiconductor (CMOS) and a method of manufacturing the same is disclosed. The method includes depositing the metal gate electrode material as a final step before metallization of the device. Accordingly, the metal gate material is not subject to contamination during the fabrication process. The device is fabricated without the use of oxide spacers so that the finished device does not suffer from silicon faceting at the active silicon-to-shallow-trench-isolation-interface. Moreover, the dummy gate material is used to define planarization stops that allow precise planarization of the device during fabrication.

陸、(一)、本案指定代表圖為：第_____圖

(二)、本代表圖之元件代表符號簡單說明：

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)第 091121732 號專利申請案
中文說明書替換頁(93 年 2 月)



玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

發明範圍

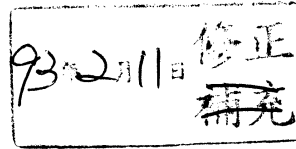
本發明有關於一種金屬閘極互補金氧半導體 (CMOS) 及其製造方法，以及尤其有關於一種強健之金屬閘極 CMOS，其不具有位於主動矽 - 淺溝隔離 (STI) 介面上之矽切痕，以及製造這種元件之方法。

發明背景

傳統金屬閘極互補金氧半導體 (CMOS) 元件係使用多步驟製造，例如，氮沈積與蝕刻步驟、氧化物沈積與蝕刻步驟、以及平坦化步驟，有了該製程之每一額外步驟，該製程之整體良率可能會降低，因此，需減少所需製程步驟之數目，以便改良整體製造之良率。

Ma 等人之美國專利第 6200866B1，描述使用鍍化矽及其他合金作為金氧半導體場效電晶體 (MOSFET) 製造之替代閘極，該方法敘述沈積一鍍化矽層於源極、汲極與閘極區上之步驟，源極區與汲極區上之鍍化矽，接著被蝕刻至留下閘極區上一島狀鍍化矽，而源極區與汲極區上鍍化矽被蝕刻殆盡，接著源極區與汲極區藉由植入製程之類加以製造，氧化物間隙接著被形成於閘極島周圍，一複晶層沈積於源極區、汲極區以及閘極區上，接著用化學機械拋光平坦化該元件，該假閘極材料接著被去除，而閘極介電材料與閘極電極材料被沈積。

由於製程中早期形成之淺溝隔離，隨後氧化物/氮化物墊蝕刻製程步驟自始至終，所產生之元件一般會包含在主



本發明之更進一步目標，係提供一種元件，其包含一種更可靠之閘極氧化物，其可減少或消除角轉變效應。

附圖之簡短敘述

圖 1 係該元件在第一氮化物層沈積後之圖示；

圖 2 係該元件在淺溝蝕刻後之圖示；

圖 3 係該元件在一氧化物層沈積後之圖示；

圖 4 係該元件在第二氮化物層沈積後之圖示；

圖 5 係該元件在平坦化後之圖示，顯示已沈積之平坦化終點；

圖 6 係該元件在第三氮化物層沈積後之圖示；

圖 7A 至 7B 係該元件在該氮化物層被蝕刻至留下一假閘極島後之圖示；

圖 8 係該元件在源極區與汲極區形成後之圖示；

圖 9A 至 9B 係該元件在一氧化物層沈積後之圖示；

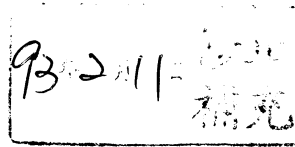
圖 10A 至 10B 係該元件在去除該假閘極，且閘極介電材料與閘極電極材料沈積後之圖示；

圖 11A 至 11B 係最終元件之圖示，其包含該元件之金屬化；

圖 12 係先前技藝元件之圖示，顯示在主動區與該淺溝隔離間之介面上有切痕。

較佳具體實施例之詳細敘述

現在看到附圖，圖 1 係該元件在第一氮化物層沈積後之圖示，在接下來製程之舉例中，以一中間間隙金屬為例，因此，未經植入之矽在氧化物與第一氮化物沈積前被生長，尤其，該製程如下所述，元件 10 係以基板 12 製造，其中

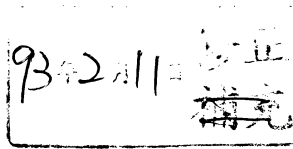


，及主動區 28 中暴露之氮化物材料，如上所述，整個主動區 28 被以氮化物 20 塗覆，包含閘極區、源極區與汲極區，此外，在製程之此階段，經植入之源極區與汲極區尚未形成。

圖 6 係元件 10 在第三氮化物層沈積後之圖示，尤其，一第三氮化物層 50 被沈積於圖 5 之元件上，至一厚度 52 約為 50 nm 至 200 nm，在主動區 28 中，該第三氮化物層直接沈積於第一氮化物層 20 之頂端，如此則在主動區 28 中整個氮化物層之高度，會延伸超過淺溝隔離區 24 與 26 中氧化物材料之高度，在製程之此階段，源極區與汲極區尚未被暴露或形成。

圖 7A 至 B 係該元件在氮化物層蝕刻並留下一假閘極島之圖示，首先應用一光阻以保護主動區 28 之一小部分，即閘極電極區 54，該氮化物層接著被蝕刻並留下閘極電極區域 54 成為一獨立島，島 54 為一假閘極，或犧牲閘極，其材料最終會被去除或被最終閘極材料所取代，圖 7A 顯示一截面圖示，顯示新暴露之源極區 56、閘極區 54，及新暴露之汲極區 58，此圖示亦即 "X" 方向之截面圖示，圖 7B 顯示在這些圖中，通過閘極電極 54 之截面圖示，亦即 "Y" 方向截面圖示，淺溝隔離區在每個方向上看起均相同，在其他具體實施例中，淺溝隔離區在不同方向上有不同之形狀。

圖 8 係該元件在源極區與汲極區形成後之圖示，源極區與汲極區 56 與 58，係分別藉由佈植或任何已知源極與汲極形成程序所形成，例如輕量植入汲極佈植 (LDD) 以及 N⁺ 或

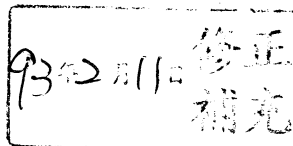


如圖 3 至圖 6 所示，因為假閘極之部分在淺溝隔離之前被沈積，該創新製程不會在淺溝附近之主動區造成切痕，因此，以本發明製程製造之元件，不會遭遇角轉變效應，且將比先前技藝之元件更為可靠，因此，將不會有邊緣電晶體效應，且電晶體 10 之漏電流將減至最低。

在本方法之另一具體實施例中，上述製程之第一、第二及第三氮化物層，可用多晶矽加以取代，而不需更改該製程之其他細節。

如此，敘述了一種金屬閘極金氧半導體 (CMOS) 及其製造方法，更特別者，敘述了在主動矽-淺溝隔離 (STI) 介面上無矽切痕，強健之金屬閘極金氧半導體，以及製造這種元件之方法，儘管以說明較佳結構及該元件之較佳製造方法，仍應瞭解可如附加申請專利範圍中所界定者，不背離本發明之範圍下，做出進一步之改變與修正。

(10)第 091121732 號專利申請案
中文說明書替換頁(93 年 2 月)

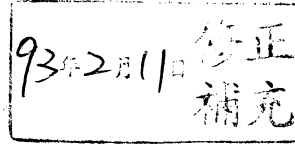


發明說明續頁

【元件符號說明】

10	裝置	44	厚度
12	基板	46	平坦化終點
14	未經植入之矽層	48	平坦化終點
16	氧化物層	50	第三氮化物層
18	厚度	52	厚度
20	第一氮化物層	54	閘極電極區 (島)
22	厚度	56	新暴露之源極區
24	淺溝隔離區	58	新暴露之汲極區
26	淺溝隔離區	60	氧化物層
28	島狀區域	62	厚度
30	氧化物層	64	閘極溝
32	厚度	66	高介電常數之介電材料
34	凹洞區	68	金屬閘極電極材料
36	下表面	70	金屬接觸
38	最高表面	72	金屬接觸
40	平面	74	金屬接觸
42	第二氮化物層		

第 091121732 號專利申請案
中文申請專利範圍替換本(93 年 2 月)



拾、申請專利範圍

1. 一種製造半導體裝置之方法，其包含步驟有：

提供基板，其包含具有犧牲閘極島、源極區及汲極區之主動區；

維持該犧牲閘極島，在製造源極裝置於該源極區中時，不需氧化物間隙；以及

維持該犧牲閘極島，在製造汲極裝置於該汲極區中時，不需氧化物間隙；

其中該提供基板（其包含具有犧牲閘極島、源極區及汲極區之主動區）之步驟，包含：

提供矽基板，其包含主動區與淺溝區；

在該基板之主動區與淺溝區上沉積矽層；

在該主動區與淺溝區之矽層上沉積氧化物層；

在該主動區與淺溝區之氧化物層上沉積犧牲閘極材料層；

蝕刻該淺溝區之矽層、氧化物層及犧牲閘極材料以於該主動區周圍形成淺溝；

在該淺溝區與主動區沉積氧化物層；及

使該裝置平坦化以暴露該主動區。

2. 一種製造半導體裝置之方法，其包含步驟有：

提供矽基板，其包含主動區及圍繞該主動區之淺溝，其中該主動區包含源極區、閘極區及汲極區；

沉積假閘極材料遍佈於該基板之主動區；

93.2.11 修正
補充

申請專利範圍續頁

沉積氧化物層在該淺溝；

在該源極區與汲極區蝕刻該假閘極材料以界定假閘極島；

維持該假閘極島，在製造源極裝置於該源極區中時，不需氧化物間隙；

維持該假閘極島，在製造汲極裝置於該汲極區中時，不需氧化物間隙；

沉積氧化物層於該源極與汲極裝置上；

移除該假閘極島以形成閘極溝；及

沉積閘極材料在該閘極溝以界定閘極；

其中，該沉積氧化物層在該淺溝之步驟包含：

將氧化物層沉積遍佈該主動區及沉積於該淺溝；及更包含將在該淺溝中氧化物層及遍佈該主動區之氧化物層平坦化，以暴露該主動區之假閘極材料之步驟。

3. 如申請專利範圍第2項之方法，其中進一步包含步驟有：

沉積最終氧化物層遍佈該主動層；

製造源極接觸墊貫穿該最終氧化物層至該源極裝置；

製造閘極接觸墊貫穿該最終氧化物層至該閘極；及

製造汲極接觸墊貫穿該最終氧化物層至該汲極裝置。

4. 如申請專利範圍第2項之方法，其中在沉積閘極材料於該閘極溝以界定閘極前，更進一步包含沉積介電材料於該閘極溝之步驟。

5. 如申請專利範圍第2項之方法，其中在該源極區與汲極區蝕刻該假閘極材料以形成假閘極島前，更進一步包

含沉積第一與第二假閘極材料終點，其中該第一終點與第二終點係於該假閘極兩端上相對配置，且實施將在該淺溝中氧化物層及遍佈該主動區之氧化物層平坦化，以暴露該主動區之假閘極材料之步驟直到該假閘極與該第一及第二終點各自暴露為止。

93年2月11日 修正 補充

拾壹、圖式

圖 1

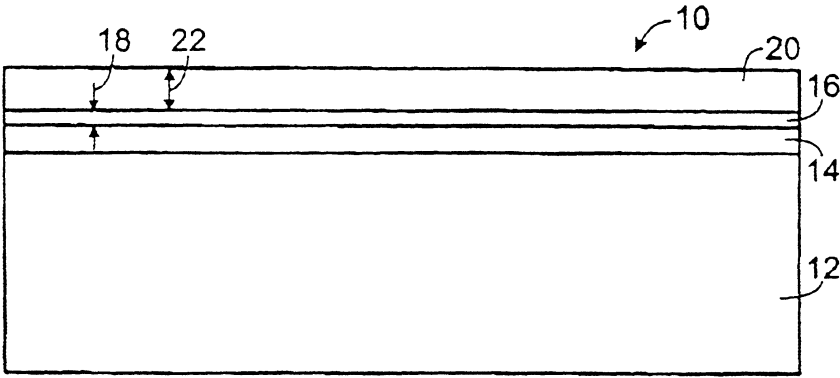


圖 2

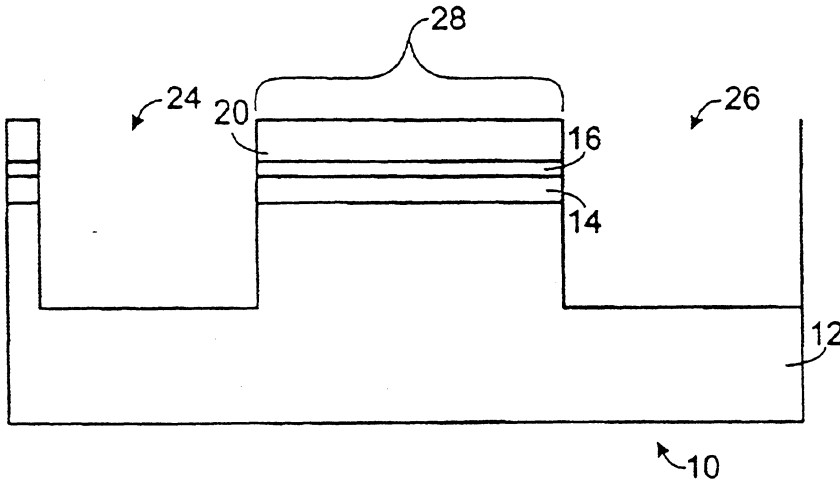


圖 3

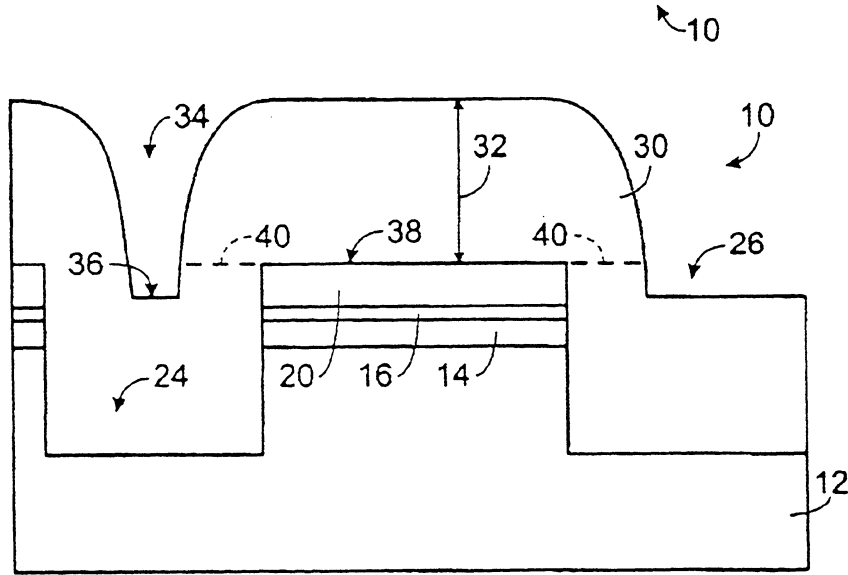


圖 4

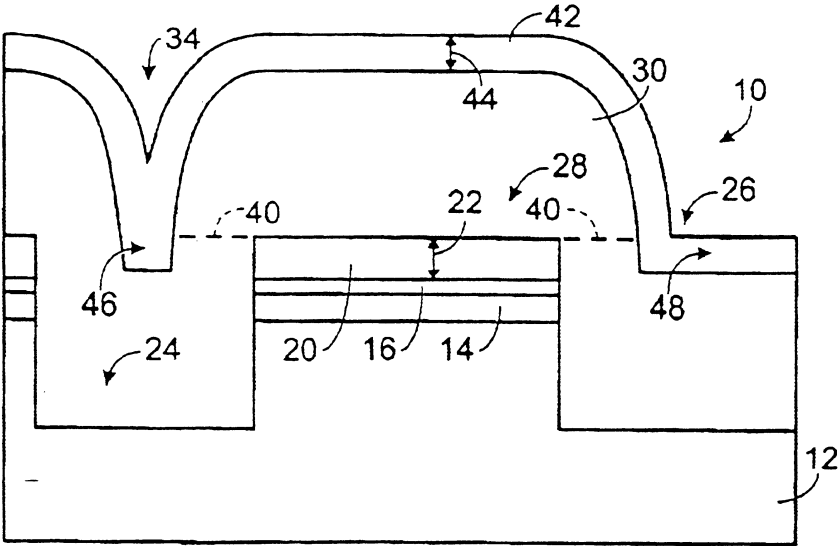


圖 5

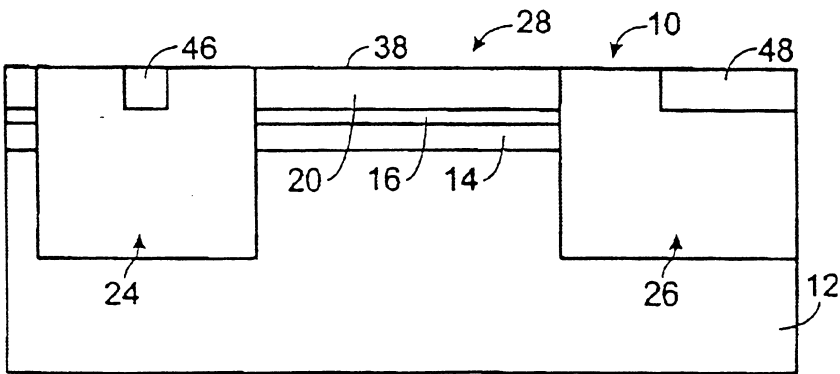


圖 6

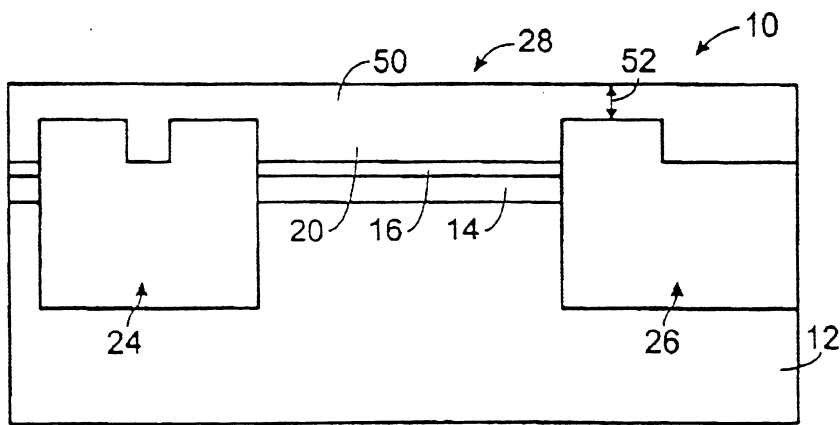


圖 7A

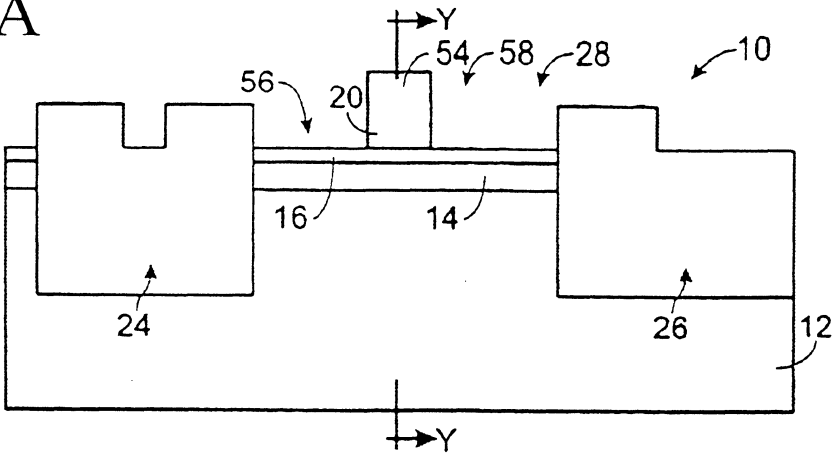


圖 7B

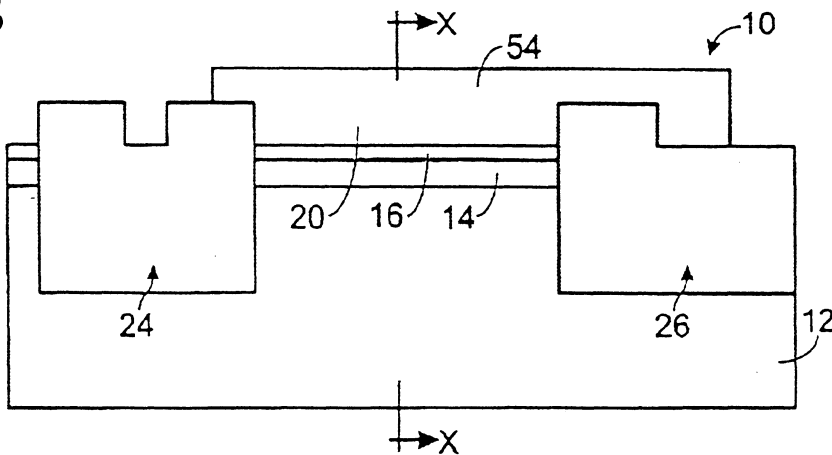


圖 8

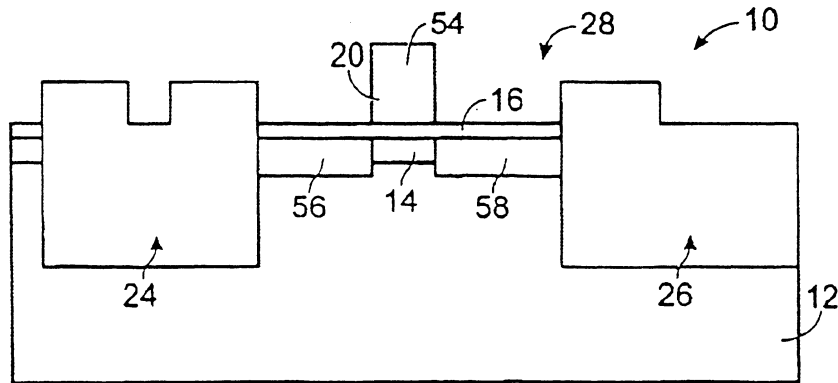


圖 9A

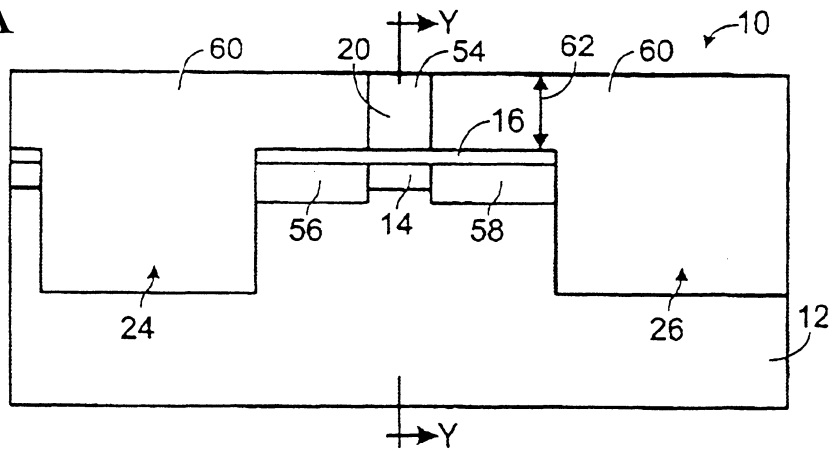


圖 9B

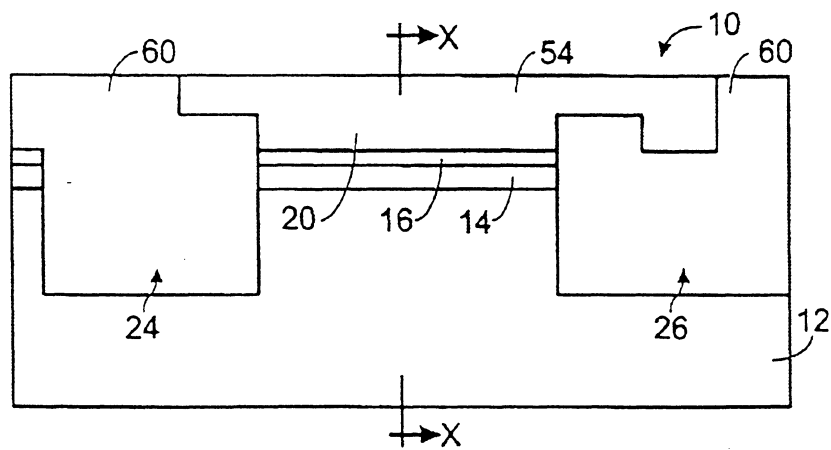


圖 10A

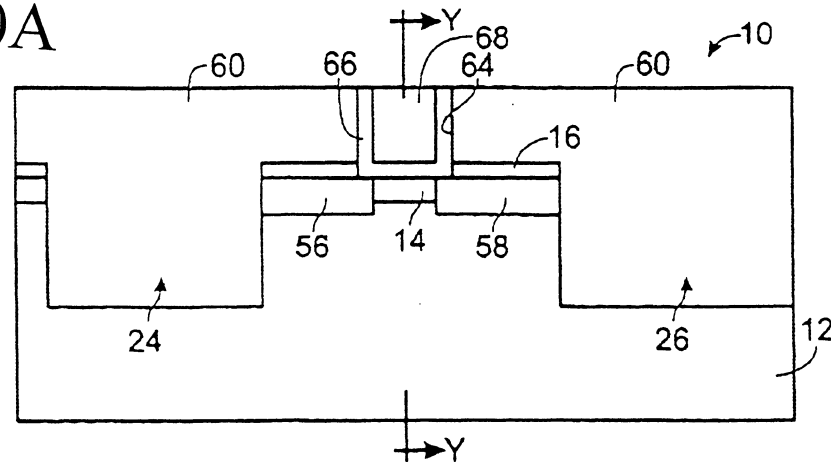


圖 10B

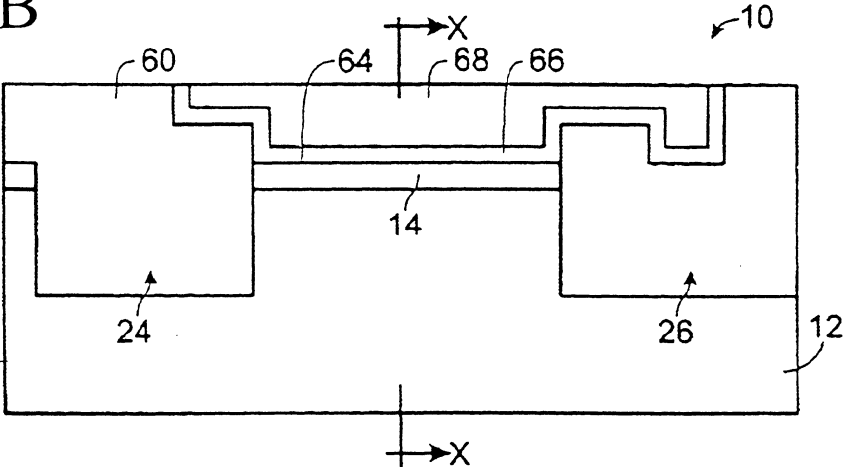


圖 11A

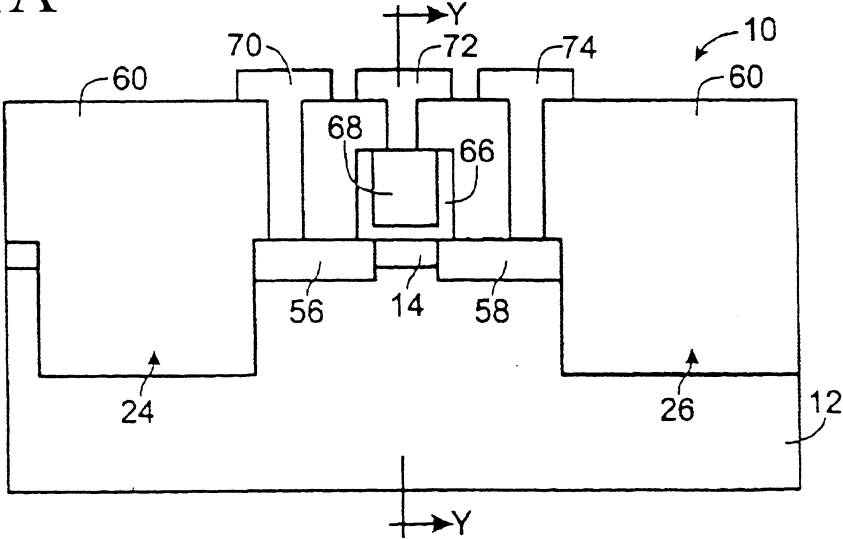


圖 11B

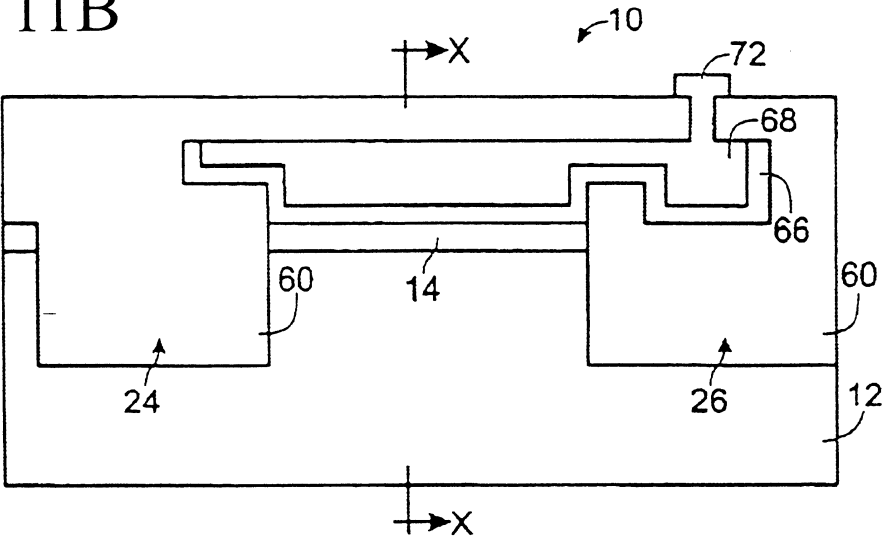


圖 12
(先前技藝)

