

## 【特許請求の範囲】

## 【請求項 1】

基板（30）および、上面（40）と垂直方向に伸びる側壁（38）とを有するゲート電極（32）上に、スペーサ層（34）をたい積するステップと、

前記スペーサ層（34）上に保護層（42）を形成するステップと、

前記ゲート電極（32）の上面（40）上の前記スペーサ層（34）から前記保護層（42）を除去するとともに前記ゲート電極（40）の前記側壁（38）に平行な前記スペーサ層（34）上の前記保護層（42）を除去しないように、前記保護層（42）をエッチングするステップと、

前記ゲート電極（42）上に、前記ゲート電極（40）の前記側壁（38）と平行に伸びる、実質的に垂直な2つの側壁（52）をそれぞれ有する複数のスペーサ（46）を形成するために、前記基板（30）および前記ゲート電極（32）の前記上面（40）から前記スペーサ層（34）を除去するように、前記スペーサ層（34）をエッチングするステップと、

を含む、スペーサを形成する方法。

## 【請求項 2】

前記スペーサ層（34）は、200 以上の厚さでたい積される、請求項 1 記載の方法。

## 【請求項 3】

前記保護層（42）は、約 10 から約 100 の厚さで形成される、請求項 2 記載の方法。

## 【請求項 4】

前記スペーサ層（34）は窒化物であり、前記保護層（42）は酸化物である、請求項 3 記載の方法。

## 【請求項 5】

基板（30）上に、垂直方向に伸びる側壁（38）を有するゲート電極（32）を形成するステップと、

前記ゲート電極（32）上に、前記ゲート電極の側壁（38）と実質的に平行な、垂直方向に伸びる一組の平坦な側壁（52）をそれぞれ有する複数の第 1 側壁スペーサ（46）を形成するステップと、

前記ゲート電極（32）および前記第 1 側壁スペーサ（46）が前記基板（30）をマスキングした状態で、ソース/ドレイン注入を実行するステップと、

を含む、半導体デバイスを形成する方法。

## 【請求項 6】

前記複数の第 1 側壁スペーサ（46）を形成するステップは、

前記基板（30）および前記ゲート電極（32）上に、スペーサ層（34）をたい積するステップと、

前記スペーサ層（34）上に保護層（42）を形成するステップと、

前記第 1 側壁スペーサ（46）を形成するように、前記保護層（42）および前記スペーサ層（34）をエッチングするステップと、を含む、請求項 5 記載の方法。

## 【請求項 7】

前記エッチングするステップは、平坦であり、前記ゲート電極の側壁（38）と実質的に平行である、前記保護層（42）の垂直方向に伸びている部分以外の前記保護層（42）を除去するように、前記保護層（42）をドライエッチングするステップを含む、請求項 6 記載の方法。

## 【請求項 8】

前記エッチングするステップは、

前記ゲート電極の側壁（38）と前記保護層（42）の垂直方向に伸びる部分との間に前記スペーサ層（34）を残した状態で、前記基板（30）および前記ゲート電極（32）の上面（40）から前記スペーサ層（34）を除去するように、前記スペーサ層（34）

10

20

30

40

50

）をエッチングするステップをさらに含む、請求項 7 記載の方法。

【請求項 9】

前記第 1 側壁スペーサ（46）中に第 2 側壁スペーサ（44）を形成するステップをさらに含む、請求項 8 記載の方法。

【請求項 10】

前記スペーサ層（34）は、前記スペーサ層（34）に高度に選択的であり、前記保護層（42）を実質的にエッチングしないエッチャントでエッチングされる、請求項 8 記載の方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、概して半導体プロセスの分野に関し、より詳しくは、半導体デバイス中のスペーサおよびソース/ドレインの形成に関する。

【背景技術】

【0002】

半導体デバイスの形成においては、ソース/ドレインを注入する間のマスクの役割を果たすスペーサを、ゲートの側壁に形成することが望ましい。一般的なスペーサの形成方法および注入プロセスを、図 1 ないし図 3 に示す。

【0003】

図 1 において、基板 10 は、その上に形成されるゲート 12 を有する。ゲート 12 は、例えばポリシリコンゲートとすることができ、ソース/ドレイン拡張領域 16 は、例えば、注入マスクとしてゲート 12 を使用するイオン注入によって形成される。

20

スペーサ層 14 は、化学蒸着法のような任意の適切な方法によってたい積される。このスペーサ層は、窒化ケイ素、酸化シリコン、低誘電率（low-k）材料のような任意の適切な材料で形成することができ、

【0004】

等方性エッチングが実行され、その結果、図 2 のようになる。

この等方性エッチングは、ゲート 12 の側壁から伸びる「D」形状のスペーサ 18 を生成する。スペーサ 18 は、ゲート 12 に沿って、ソース/ドレイン注入プロセスを実行する際のマスクを形成する。

30

短チャネル効果を減少させるべく、深いソース/ドレイン領域をゲート 12 から一定間隔をあけて配置することが望ましい。深いソース/ドレイン・インプラントを形成すべく、矢印 20 によって示されるイオン注入プロセスが実行される。

しかしながら、図 2 における D 形状のスペーサ 18 の構造によって認識されるように、D 形状のスペーサ 18 の外側の領域は、外縁において比較的薄いプロファイルを有している。

これにより、比較的高エネルギーのプロセスである深いソース/ドレイン注入プロセスの間、イオンの「パンチスルー」（突抜け現象）が生じ得る。

【0005】

図 3 は、スペーサ 18 の薄いプロファイルによるパンチスルーが生じた結果を示す図である。

40

深いソース/ドレイン注入の位置の制御は、スペーサ 18 の下の、符号 24 で示される領域におよぶソース/ドレイン領域 22 を形成することになる。

この符号 24 で示される領域は、図 3 において符号 26 で示される、望ましい領域からさらに広がっている。よって、ソース/ドレイン注入プロセスの間の、D 形状のスペーサ 18 のパンチスルーによってチャンネルが短くなってしまい、好ましくない。

【0006】

D 形状のスペーサ 18 の他の好ましくない点は、ダブルスペーサの形成または相互接続層の絶縁膜（interconnect layer dielectrics）の形成のようなプロセスにおいて必要とされるさらなるフィルム蒸着における共形性（コンフォーミティ）（conformity）が悪化

50

することである。

スペーサの外形の傾斜性は、後のフィルム蒸着における共形性を低下させる。

【発明の要約】

【0007】

さらなるフィルム蒸着における共形性を改善するとともに、ソース/ドレイン注入プロセスにおける制御性の高い、スペーサおよび半導体デバイスの形成方法が必要とされている。

【0008】

これらの要求や他の要求は、基板および、上面と垂直方向に伸びる側壁とを有するゲート電極上に、スペーサ層をたい積するステップと、スペーサ層上に保護層を形成するステップと、を含む、スペーサを形成する方法を提供する、本発明の実施形態によって満たされる。

10

この保護層は、ゲート電極の上面上のスペーサ層から保護層を除去するとともに、ゲート電極の側壁に平行なスペーサ層上の保護層を除去しないように、エッチングされる。

スペーサ層は、ゲート電極上に、複数のスペーサ（各スペーサは、ゲート電極の側壁に平行に伸びる、実質的に垂直な2つの側壁を有する）を形成するために、基板およびゲート電極の上面からスペーサ層を除去するようにエッチングされる。

【0009】

スペーサ層上に保護層を提供することによって、エッチングプロセスの間、スペーサの側壁が保護される。このエッチングプロセスの結果、実質的に矩形（I形状）のスペーサが形成される。したがって、本発明によるスペーサは、注入プロファイルを制御しにくくする、より薄い外縁を有しない。

20

さらに、スペーサの比較的垂直である外側の壁は、ダブルスペーサ・プロセスや相互接続層の絶縁膜のように、さらなるフィルム蒸着における共形性を増加させる。

【0010】

上述した要求は、基板上に、垂直方向に伸びる側壁を有するゲート電極を形成するステップと、ゲート電極上に第1側壁スペーサを形成するステップとを含む、半導体デバイスを形成する方法を提供する、本発明の他の実施形態によっても満たされる。第1側壁スペーサはそれぞれ、ゲート電極の側壁と実質的に平行な、垂直方向に伸びる一組の平坦な側壁を有している。ソース/ドレイン注入プロセスは、ゲート電極および第1側壁スペーサにより基板がマスキングされた状態で実行される。

30

【0011】

上述した要求は、基板、垂直な側壁を有する基板上のゲート、および側壁スペーサを含んだ半導体デバイスを提供する、本発明の他の実施形態によっても満たされる。側壁スペーサは、ゲートの側壁上にあり、矩形断面を有しており、ゲートの高さの半分以上の高さに、垂直方向に伸びている。側壁スペーサによって定義される、イオン注入されたソース/ドレイン領域が提供される。

【0012】

以上の本発明の構造および他の構造、態様および利点は、添付の図面と共に次の本発明の詳細な説明から、より明白になる。

40

【発明を実施するための最良の形態】

【0013】

本発明は、スペーサの形成、および進歩したCMOSFETデバイス技術のソース/ドレイン注入ドーズ量プロファイル（implant dose profile）に関する問題を解決することを目的とする。

特に、本発明は、ソース/ドレイン注入プロセス中に、注入ドーズ量プロファイルの制御を低下させるパンチスルーが生じ得る、従来方法によりD形状に形成されたスペーサの外縁が比較的より薄いことに関する問題を解決する。

この発明は、ゲート上に実質的に矩形の（I形状）のスペーサを形成し、ソース/ドレイン注入プロセスの間にこのスペーサをマスクとして使用することによって、ソース/ド

50

レイン注入プロセスの間の注入ドーズ量プロファイリングを改善する。

本発明のスペーサは、パンチスルーが生じ得る、より薄い領域を有しないので、本発明は、正確なソース/ドレイン注入量プロファイリングを提供する。

本発明のさらなる利点は、急峻な側壁により共形性が増加することであり、フィルム蒸着を改善することができる。

共形性の改善により、第２スペーサを形成するのにより薄いフィルム蒸着を使用することができるので、この共形性の増加はディープサブミクロンＣＭＯＳＦＥＴ製造における重要な利点である。

したがって、デバイスに対して、傾斜度（pitch）がより小さい、より大きなスペーサを得ることができる。

10

#### 【００１４】

図４は、本発明の実施形態による製造の一段階における半導体デバイスの概略的な断面図である。図４では、基板３０は、従来技術によってその上に形成された、ポリシリコンゲートのようなゲート電極３２を有している。ソース/ドレイン拡張領域３６を生成すべく、マスクとしてゲート３２を使用するソース/ドレイン拡張領域形成プロセスを実行する。

#### 【００１５】

ゲート３２は、側壁３８および上面４０を有する。ゲート３２の側壁３８は、一般的に反応性イオンエッチング（ＲＩＥ）のようなドライエッチング技術によって形成される。この側壁３８は、実質的に垂直であり平坦である。

20

#### 【００１６】

スペーサ層３４は、基板３０およびゲート３２上にたい積される。このスペーサ層３４は、窒化物、酸化物、低誘電率（low-k）材料等のような任意の適切な絶縁材料で形成することができる。

このたい積は、例えば化学蒸着法のような適切な技術により実行することができる。適切な深さまたは厚さのスペーサ層３４が形成される。この適切な深さまたは厚さは、スペーサ層３４のエッチング後、最終的に形成されるスペーサの所望の幅による。本発明の例示的な実施形態の一例においては、スペーサ層は、約３００ から約８００ の厚さにたい積される。

#### 【００１７】

30

図２に記載のように、従来の技術においては、Ｄ形状のスペーサを形成すべく、スペーサ層３４を形成した後、等方性エッチングが実行される。

しかしながら本発明においては、図５に示すように、等方性エッチングの代わりに、保護層４２を形成する。この保護層４２は、スペーサ層３４上に共形にたい積される。この保護層４２の材料は、スペーサ層３４を形成する材料と異なる。

保護層４２中の材料は、特定のエッチャントによるエッチングにスペーサ層３４が晒される場合、実質的にエッチングされないようなものであるべきである。

換言すると、スペーサを形成するようにスペーサ層３４をエッチングする間、スペーサ層３４中の材料に高度に選択的なエッチャントが使用されるべきである。

例えばスペーサ層３４が窒化物で形成されている場合、保護層４２に適切な材料は、例えば酸化物である。さらに、保護層４２の材料は、高い共形性を示すべきである。

40

#### 【００１８】

この保護層４２の厚さは、本発明の実施形態におけるスペーサ層３４の厚さよりもずっと少ない。

スペーサ層３４から形成されるスペーサの側壁を適切に保護すべく、例えば、約１０から約１００ の厚さとすることができる。

保護層４２の残余は、除去され、何の役割も果たさない所以、スペーサ層は、スペーサ層３４から形成されるスペーサの側壁を十分保護できる厚さのみが必要となる。その結果、保護層４２を比較的薄くすることが、材料費および処理時間を縮小するのに望ましい。

#### 【００１９】

50

図 6 は、保護層 4 2 のうち、ゲート 3 2 の側壁 3 8 に平行である、スペーサ層 3 4 の垂直方向に伸びる側壁に沿った部分以外を除去するエッチングプロセスを実行した後の、図 5 の構造を示している。保護層 4 4 のこれらの領域は、図 6 において参照符号 4 4 により示される。エッチングは、反応性イオンエッチングのようなドライエッチングである。保護層 4 2 の部分は、垂直方向に伸びる領域 4 4 を除いて除去される。従来のドライエッチング技術を使用してもよい。

【 0 0 2 0 】

図 7 は、スペーサ層 3 4 をエッチングし、基板 3 0 およびゲート電極 3 2 の上面 4 0 上からスペーサ層 3 4 を除去すべく、第 2 エッチングを実行した後の、図 6 の構造を示している。

10

この第 2 エッチングの実行により、ゲート 3 2 のゲート側壁 3 8 上にスペーサ 4 6 が形成される。

【 0 0 2 1 】

エッチングプロセス（ドライエッチングまたは等方性ウェットエッチングのいずれかであり得る）の間、スペーサ 4 6 の外側の側壁 5 2 上の保護層 4 4 は、スペーサ層材料がエッチングプロセス中に浸食されないように保護する。したがって、スペーサ 4 6 の、垂直方向の（実質的に垂直方向の）外側の側壁 5 2 が形成される。

その断面において、スペーサ 4 6 は、矩形形状、または " I 形状 " を呈する。

したがって、スペーサ 4 6 には、ソース / ドレイン注入プロセスの間にパンチスルーが生じやすい薄い外側の領域がない。

20

【 0 0 2 2 】

図 8 に示すように、ソース / ドレイン領域 4 8 を形成すべく、ソース / ドレイン注入プロセスを実行する。スペーサ 4 6 の形状が I 形状であるので、ソース / ドレインの注入ドーピング量は正確で、スペーサ 4 6 の外縁の下側に広がらない。

図 8 には保護領域 4 4 が記載されているが、この実施形態は単なる一例であり、他の実施形態において、保護領域 4 4 は、スペーサ層 3 4 のエッチングの後に不要なものとして除去される。とにかく極薄（例えば 10 nm）である保護領域 4 4 がないことは、I 形状のスペーサ 4 6 によって達成されるドーピング・プロファイルに顕著な影響を与えない。

【 0 0 2 3 】

第 1 側壁 4 6 の外側の側壁 5 2 の垂直性により、第 2 側壁スペーサ（図 8 中の点線で第 2 側壁スペーサ 5 4 として示される）の形成のような、さらなるフィルム蒸着をする際の共形性が改善される。または、相互接続層の絶縁膜のような他のフィルム蒸着をする際の共形性が改善される。

30

共形性の増加により、第 2 スペーサを形成するのに、より薄いフィルム蒸着を実行することができる。これにより、デバイスに対して、より傾斜度の小さい、より大きなスペーサを形成することができる。

【 0 0 2 4 】

このように、本発明は、スペーサの角部からの注入浸透がないため、より制御されたソース / ドレイン注入ドーピング量を呈し、デバイスに対して、より傾斜度の小さい、より大きなスペーサを得ることができる半導体デバイス、およびこの半導体デバイスを製造する方法を提供する。

40

【 0 0 2 5 】

以上、本発明を詳細に説明し図示したが、これはあくまでも例示であって、本発明を制限しようとするものではなく、本発明の範囲は、添付の請求項の記載によってのみ制限されることは、明確に理解されるべきである。

【図面の簡単な説明】

【 0 0 2 6 】

【図 1】従来の方法による、ある製造段階にある半導体デバイスの概略的な断面図。

【図 2】従来の方法に従って、スペーサを形成するように等方性エッチングをした後の図 1 の構造を示す図。

50

【図 3】ソース/ドレイン注入プロセスを実行した後の図 2 の構造を示す図。

【図 4】スペーサ層をたい積した後の、本発明の実施形態による 1 つの製造段階にある半導体デバイスの概略的な断面図。

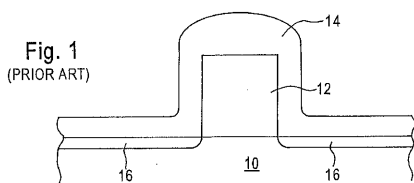
【図 5】本発明の実施形態に従って、スペーサ層上に保護層をたい積した後の図 4 の構造を示す図。

【図 6】本発明の実施形態に従って、保護層をエッチングした後の図 5 の構造を示す図。

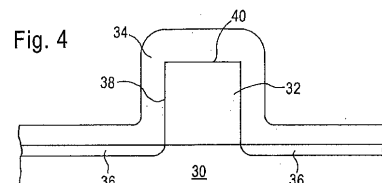
【図 7】本発明の実施形態に従って、スペーサ層をエッチングした後の図 6 の構造を示す図。

【図 8】本発明の実施形態により、ソース/ドレイン注入プロセスが実行される間の図 7 の構造を示す図。

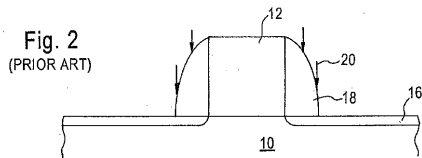
【図 1】



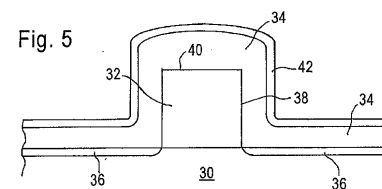
【図 4】



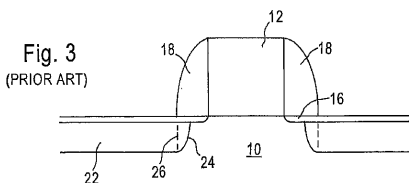
【図 2】



【図 5】



【図 3】



【図 6】

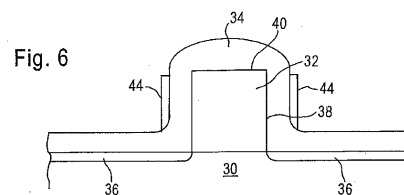


Fig. 7

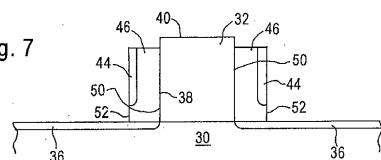
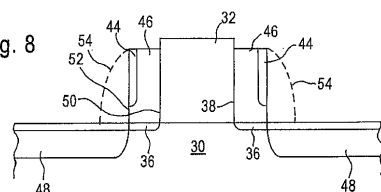


Fig. 8



前記ゲート電極（４２）上に、前記ゲート電極（４０）の前記側壁（３８）に平行に伸びる、実質的に垂直な２つの側壁（５２）をそれぞれ有する複数の第１スペーサ（４６）を形成するために、前記基板（３０）および前記ゲート電極（３２）の前記上面（４０）から前記スペーサ層（３４）を除去するように、前記スペーサ層（３４）をエッチングす

るステップと、

前記ゲート電極および前記第 1 スペースにより前記基板をマスクングした状態で、ソース/ドレイン注入を実行するステップと、

前記ソース/ドレイン注入の後、前記第 1 スペース上に第 2 スペースを形成するステップと、

を含む、スペースを形成する方法。

【請求項 2】

前記スペース層 ( 3 4 ) は、200 以上の厚さでたい積される、請求項 1 記載の方法。

【請求項 3】

前記保護層 ( 4 2 ) は、約 10 から約 100 の厚さで形成される、請求項 2 記載の方法。

【請求項 4】

前記スペース層 ( 3 4 ) は窒化物であり、前記保護層 ( 4 2 ) は酸化物である、請求項 3 記載の方法。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/US2004/035407A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L21/336 H01L21/266

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 004 851 A (PENG ET AL) 21 December 1999 (1999-12-21) column 3, line 46 - column 4, line 25 -----	1-8, 10
X	US 2003/227054 A1 (SAIKI TAKASHI) 11 December 2003 (2003-12-11) paragraph '0045! - paragraph '0052! -----	5-10
X	US 6 426 524 B1 (LAM CHUNG HON ET AL) 30 July 2002 (2002-07-30) the whole document -----	1-4
X	US 4 488 351 A (MOMOSE ET AL) 18 December 1984 (1984-12-18) column 5, line 28 - column 6, line 7 ----- -/--	1-3, 5-8, 10

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

\*A\* document defining the general state of the art which is not considered to be of particular relevance

\*E\* earlier document but published on or after the international filing date

\*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

\*O\* document referring to an oral disclosure, use, exhibition or other means

\*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*&amp;\* document member of the same patent family

Date of the actual completion of the international search

22 April 2005

Date of mailing of the international search report

02/05/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5618 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

G        , J

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/US2004/035407

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/045061 A1 (KWON HYUNG-SHIN ET AL) 6 March 2003 (2003-03-06) paragraph '0005! - paragraph '0013! -----	1,2,5-10
X	US 2002/140100 A1 (YOKOYAMA YUJI) 3 October 2002 (2002-10-03) figure 2 -----	1,4

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US2004/035407

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6004851	A	21-12-1999	NONE	
US 2003227054	A1	11-12-2003	JP 2004014875 A	15-01-2004
US 6426524	B1	30-07-2002	US 6190961 B1	20-02-2001
US 4488351	A	18-12-1984	JP 1746637 C	25-03-1993
			JP 4034819 B	09-06-1992
			JP 59138379 A	08-08-1984
			DE 3462969 D1	07-05-1987
			EP 0127725 A1	12-12-1984
US 2003045061	A1	06-03-2003	KR 2003018795 A	06-03-2003
US 2002140100	A1	03-10-2002	JP 2002299281 A	11-10-2002
			US 2004104485 A1	03-06-2004

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 フイカイ ツォン

アメリカ合衆国、ニュー ヨーク州 12590、ワッピンガーズ フォールズ、ポピュラ ブル  
バード 509

(72)発明者 スリカンテスワラ ダクシナ - マーシー

アメリカ合衆国、ニュー ヨーク州 12590、ワッピンガーズ フォールズ、タウン ビュー  
ドライブ 258

F ターム(参考) 5F140 AA18 BF01 BF04 BG09 BG12 BG14 BG48 BG51 BG52 BH14  
BK02 BK13