



- (51) 국제특허분류:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
- (21) 국제출원번호: PCT/KR2015/007287
- (22) 국제출원일: 2015년 7월 14일 (14.07.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2014-0088727 2014년 7월 15일 (15.07.2014) KR
- (71) 출원인: 한양대학교 산학협력단 (IUCF-HYU(INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) [KR/KR]; 133-791 서울시 성동구 왕십리로 222, Seoul (KR).
- (72) 발명자: 김태환 (KIM, Taewhan); 135-927 서울시 강남구 도곡로 43길 21 101-303, Seoul (KR). 안준성 (AHN, Joonsung); 137-762 서울시 서초구 서초중앙로 220 1동 801호, Seoul (KR). 유주태 (RYU, Jutae); 412-718 경기도 고양시 덕양구 충장로 123번길 26 304동 1002호, Gyeonggi-do (KR).
- (74) 대리인: 박상열 (PARK, Sangyoul); 153-768 서울시 금천구 가산디지털2로 98 1-315, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

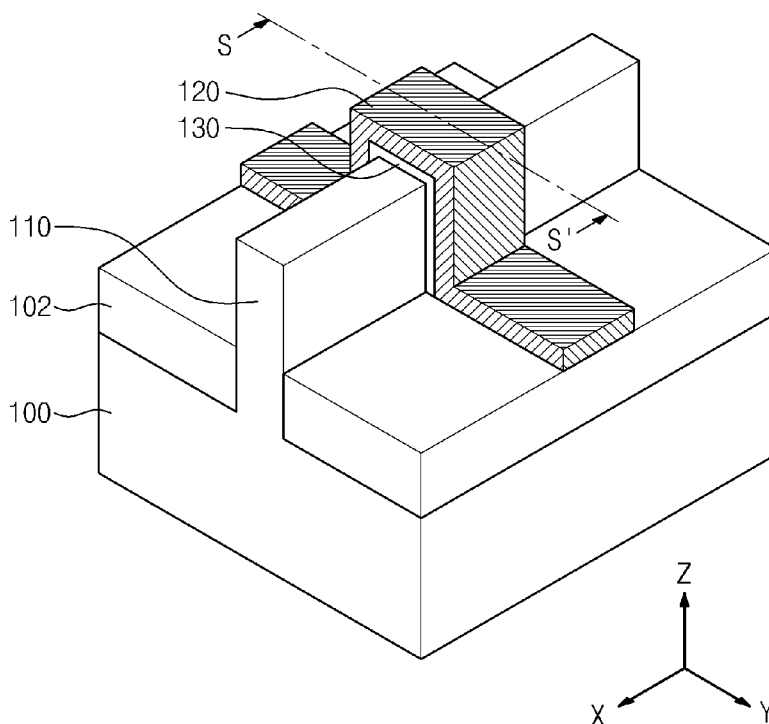
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: FIN FIELD EFFECT TRANSISTOR

(54) 발명의 명칭: 핀 전계 효과 트랜지스터



(57) Abstract: A fin field effect transistor is provided. The fin field effect transistor comprises: a fin-shaped active pattern protruding from a substrate and extending in a first direction; a gate electrode extending in a second direction intersecting the active pattern; and a gate insulation film interposed between the gate electrode and the active pattern, wherein the active pattern includes a channel region defined by the gate electrode, and the channel region includes a lightly doped region doped with a first doping concentration and a heavily doped region doped with a second doping concentration higher than the first doping concentration.

(57) 요약서: 핀 전계 효과 트랜지스터가 제공된다. 상기 핀 전계 효과 트랜지스터는, 기판으로부터 돌출되고, 제 1 방향으로 연장하는 핀(fin) 형태의 활성 패턴, 상기 활성 패턴을 가로지르는 제 2 방향으로 연장하는 게이트 전극, 및 상기 게이트 전극과 상기 활성 패턴 사이의 게이트 절연막을 포함하되, 상기 활성 패턴은, 상기 게이트 전극에 의해 정의되는 채널 영역을 포함하되, 상기 채널 영역은, 제 1 도핑 농도로 도핑된 저농도 도핑 영역, 및 상기 제 1 도핑 농도보다 높은 제 2 도핑 농도로 도핑된 고농도 도핑 영역을 포함한다.

명세서

발명의 명칭: 핀 전계 효과 트랜지스터

기술분야

- [1] 본 발명은 핀 전계 효과 트랜지스터에 관련된 것으로, 보다 상세하게는, 기판으로부터 돌출된 핀 형태의 활성 패턴이 저농도 도핑 영역 및 고 농도 채널 영역을 포함하는 핀 전계 효과 트랜지스터에 관련된 것이다.

배경기술

- [2] 일반적인 구조인 수평채널을 갖는 트랜지스터는 디자인 룰이 줄어들어 따라 여러가지 문제를 유발하여 트랜지스터의 축소(scale-down)에 한계가 있다. 축소된 수평채널 트랜지스터의 가장 큰 문제점으로 채널의 길이가 짧아져 단채널효과 및 DIBL(Drain Induced Barrier Lower)효과를 들 수 있다.
- [3] 통상적인 트랜지스터에서 채널의 길이가 50 nm 이하로 축소되면 공정변수에 의해 소자특성의 산포도가 높아지며, 채널길이가 30 nm 이하일 경우 단채널효과 및 DIBL효과가 극심해져 트랜지스터가 정상적으로 동작하기 어려운 것으로 알려져 있다.
- [4] 이러한 문제를 해결하기 위해, 대한민국 특허 등록 공보 10-0645065(출원번호 10-2005-0054688)에 개시된 것과 같이, 핀의 하부에 절연막을 개재하여, 핀을 이웃하는 핀으로부터 고립시켜, 프로그램 디스터번스(program disturbance)를 방지하는 핀 전계 효과 트랜지스터가 개발되고 있다.
- [5] 한편, 비휘발성 메모리 소자는 기억 용량의 효율을 높이기 위하여 소형화, 대용량화가 필요로 하게 되었다. 기존의 메모리 소자는 트랩(trapped) 또는 플로팅(floating) 된 전자의 양을 구별하여 각각의 기억 상태를 정의하여 멀티레벨 소자로의 연구가 진행되어 왔으나 전자의 양을 센싱하는데 한계가 있어 2-bit 이상을 가진 소자의 읽기 동작은 용이하지 않은 실정이다. 복수의 게이트를 사용하는 멀티비트 소자에 대한 연구가 수행되었으나 기존의 비휘발성 메모리 소자와 구조 및 셀(cell) 모양이 다르기 때문에 기존의 공정장치로 복수의 게이트를 사용하는 멀티비트 소자 제작시 공정과정이 복잡하고 소형화에 한계가 있는 단점이 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명이 해결하고자 하는 일 기술적 과제는 고신뢰성의 핀 전계 효과 트랜지스터 및 그 제조 방법을 제공하는 데 있다.
- [7] 본 발명이 해결하고자 하는 다른 기술적 과제는 멀티비트 동작이 가능한 핀 전계 효과 트랜지스터 및 그 제조 방법을 제공하는 데 있다.
- [8] 본 발명이 해결하고자 하는 또 다른 기술적 과제는 인접한 셀 사이의 간섭이 최소화된 핀 전계 효과 트랜지스터 및 그 제조 방법을 제공하는 데 있다.

과제 해결 수단

- [9] 상기 기술적 과제를 해결하기 위해, 본 발명은 핀 전계 효과 트랜지스터를 제공한다.
- [10] 일 실시 예에 따르면, 상기 핀 전계 효과 트랜지스터는, 기판으로부터 돌출되고, 제1 방향으로 연장하는 핀(fin) 형태의 활성 패턴, 상기 활성 패턴을 가로지르는 제2 방향으로 연장하는 게이트 전극, 및 상기 게이트 전극과 상기 활성 패턴 사이의 게이트 절연막을 포함하되, 상기 활성 패턴은, 상기 게이트 전극에 의해 정의되는 채널 영역을 포함하되, 상기 채널 영역은, 제1 도핑 농도로 도핑된 저농도 도핑 영역, 및 상기 제1 도핑 농도보다 높은 제2 도핑 농도로 도핑된 고농도 도핑 영역을 포함할 수 있다.
- [11] 일 실시 예에 따르면, 상기 활성 패턴은, 상기 제1 방향으로 연장하는 제1 측벽, 및 상기 제2 측벽에 대향하고 상기 제1 방향으로 연장하는 제2 측벽을 포함하고, 상기 저농도 도핑 영역은 상기 제1 측벽에 인접하게 위치하고, 상기 고농도 도핑 영역은 상기 제2 측벽에 인접하게 위치하는 것을 포함할 수 있다.
- [12] 일 실시 예에 따르면, 상기 활성 패턴은, 상기 저농도 도핑 영역 및 상기 고농도 도핑 영역 사이에 위치하고, 상기 제1 도핑 농도 및 상기 제2 도핑 농도보다 낮은 도핑 농도를 갖는 중간 영역(intermediate region)을 포함할 수 있다.
- [13] 일 실시 예에 따르면, 상기 게이트 전극은, 서로 인접하되, 상기 제1 방향으로 이격된, 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 활성 패턴은, 상기 제1 및 제2 게이트 전극에 의해 각각 정의되는, 제1 채널 영역 및 제2 채널 영역을 포함하고, 상기 제1 채널 영역은 상기 제1 도핑 농도로 도핑된 제1 저농도 도핑 영역, 및 상기 제2 도핑 농도로 도핑된 제1 고농도 도핑 영역을 포함하고, 상기 제2 채널 영역은 상기 제1 도핑 농도로 도핑된 제2 저농도 도핑 영역, 및 상기 제2 도핑 농도로 도핑된 제2 고농도 도핑 영역을 포함하고, 상기 제1 저농도 도핑 영역 및 상기 제2 저농도 도핑 영역은, 상기 활성 패턴 내에서 상기 제1 방향 및 상기 제2 방향으로 이격되고, 상기 제1 고농도 도핑 영역 및 상기 제2 고농도 도핑 영역은, 상기 활성 패턴 내에서 상기 제1 방향 및 상기 제2 방향으로 이격되는 것을 포함할 수 있다.
- [14] 일 실시 예에 따르면, 상기 활성 패턴은, 상기 제1 방향으로 연장하는 제1 측벽, 및 상기 제2 측벽에 대향하고 상기 제1 방향으로 연장하는 제2 측벽을 포함하고, 상기 제1 저농도 도핑 영역 및 상기 제2 고농도 도핑 영역은, 상기 제1 측벽에 인접하게 위치하고, 상기 제1 고농도 도핑 영역 및 상기 제2 저농도 도핑 영역은, 상기 제2 측벽에 인접하게 위치하는 것을 포함할 수 있다.
- [15] 일 실시 예에 따르면, 상기 게이트 전극은, 상기 제2 게이트 전극을 사이에 두고, 상기 제1 게이트 전극과 상기 제1 방향으로 이격된, 제3 게이트 전극을 더 포함하고, 상기 활성 패턴은, 상기 제3 게이트 전극에 의해 정의되는, 제3 채널 영역을 더 포함하되, 상기 제3 채널 영역은, 상기 제1 도핑 농도로 도핑된 제3

저농도 도핑 영역, 및 상기 제2 도핑 농도로 도핑된 제3 고농도 도핑 영역을 포함하고, 상기 제3 저농도 도핑 영역은, 상기 제2 저농도 도핑 영역과 상기 제1 방향 및 상기 제2 방향으로 이격되고, 상기 제3 고농도 도핑 영역은, 상기 제2 고농도 도핑 영역과 상기 제1 방향 및 상기 제2 방향으로 이격되는 것을 포함할 수 있다.

- [16] 일 실시 예에 따르면, 상기 활성 패턴은, 상기 제1 방향으로 연장하는 제1 측벽, 및 상기 제2 측벽에 대향하고 상기 제1 방향으로 연장하는 제2 측벽을 포함하고, 상기 제1 저농도 도핑 영역, 상기 제2 고농도 도핑 영역, 및 상기 제3 저농도 도핑 영역은, 상기 제1 측벽에 인접하게 위치하고, 상기 제1 고농도 도핑 영역, 상기 제2 저농도 도핑 영역, 및 제3 고농도 도핑 영역은, 상기 제2 측벽에 인접하게 위치하는 것을 포함할 수 있다.

발명의 효과

- [17] 본 발명의 실시 예에 따르면, 핀 형태의 활성 패턴은, 게이트 전극에 의해 정의되는 채널 영역을 포함하되, 상기 채널 영역은, 활성 패턴의 제1 측벽에 인접한 저농도 도핑 영역, 및 상기 활성 패턴의 제2 측벽에 인접한 고농도 도핑 영역을 포함한다. 이로 인해, 본 발명의 실시 예에 따른 핀 전계 효과 트랜지스터는 2개의 문턱 전압을 가지고, 멀티비트로 동작될 수 있다.
- [18] 또한, 복수의 게이트 전극들에 의해 정의되는 채널 영역들은, 서로 교대로 배열된 고농도 도핑 영역 및 저농도 도핑 영역을 가질 수 있다. 이로 인해, 인접한 셀들 사이의 간섭이 최소화되어, 고신뢰성의 핀 전계 효과 트랜지스터가 제공될 수 있다.

도면의 간단한 설명

- [19] 도 1은 본 발명의 제1 실시 예에 따른 핀 전계 효과 트랜지스터를 설명하기 위한 사시도이다.
- [20] 도 2는 도 1의 S-S'에 대한 단면도이다.
- [21] 도 3은 본 발명의 제2 실시 예에 따른 핀 전계 효과 트랜지스터를 설명하기 위한 사시도이다.
- [22] 도 4는 도 3의 A-A', B-B', 및 C-C'에 대한 단면도들이다.
- [23] 도 5는 본 발명이 제3 실시 예에 따른 핀 전계 효과 트랜지스터를 설명하기 위한 도면이다.
- [24] 도 6은 본 발명의 제4 실시 예에 따른 핀 전계 효과 트랜지스터를 설명하기 위한 도면이다.

발명의 실시를 위한 형태

- [25] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명할 것이다. 그러나 본 발명의 기술적 사상은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화 될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의

사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[26] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.

[27] 또한, 본 명세서의 다양한 실시 예들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에 제 1 구성요소로 언급된 것이 다른 실시 예에서는 제 2 구성요소로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 또한, 본 명세서에서 '및/또는'은 전후에 나열한 구성요소들 중 적어도 하나를 포함하는 의미로 사용되었다.

[28] 명세서에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함한다. 또한, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 구성요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 구성요소 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 배제하는 것으로 이해되어서는 안 된다. 또한, 본 명세서에서 "연결"은 복수의 구성 요소를 간접적으로 연결하는 것, 및 직접적으로 연결하는 것을 모두 포함하는 의미로 사용된다.

[29] 또한, 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 것이다.

[30]

[31] 도 1은 본 발명의 제1 실시 예에 따른 편 전계 효과 트랜지스를 설명하기 위한 사시도이고, 도 2는 도 1의 S-S'에 대한 단면도이다.

[32] 도 1 및 도 2를 참조하면, 기판(100) 상에 제1 방향으로 연장하는 핀(fin) 형태의 활성 패턴(110, active pattern)이 배치된다. 상기 제1 방향은, 도 1에서 X 축 방향일 수 있다. 상기 활성 패턴(110)은, 상기 기판(100)으로부터 돌출될 수 있다. 상기 활성 패턴(110) 및 상기 기판(100)을 별개의 구성으로 설명되지만, 상기 활성 패턴(110)은 상기 기판(100)의 일부분일 수 있다. 상기 기판(100)은, 실리콘(Si) 기판, 화합물 반도체 기판(예를 들어, GaAs, AlGaAs, InGaAsP 등) 등일 수 있다.

[33] 상기 기판(100) 상에 소자 분리막(120)이 배치될 수 있다. 상기 활성 패턴(110)은 상기 소자 분리막(120)을 관통하여, 위로(도 1에서, Z 축 방향)로 돌출될 수 있다.

[34] 상기 활성 패턴(110) 및 상기 소자 분리막(102) 상에 게이트 전극(120)이 배치될

- 수 있다. 상기 게이트 전극(120)은, 상기 제1 방향(도 1에서, X축 방향)으로 연장하는 상기 활성 패턴(110)을 제2 방향으로 가로질 수 있다. 상기 제2 방향은 상기 제1 방향과 교차하는 방향(도 1에서, Y축 방향)일 수 있다.
- [35] 상기 게이트 전극(120) 및 상기 활성 패턴(110) 사이에 게이트 절연막(130)이 배치될 수 있다. 상기 게이트 절연막(130)은, 절연 물질(예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘산질화물, 금속산화물 등)으로 형성될 수 있다.
- [36] 상기 활성 패턴(110)은 상기 제1 방향 및 상기 제2 방향에 직각인 제3 방향(도 1에서 Z축 방향)으로 연장하는 제1 측벽(110a) 및 제2 측벽(110b)을 포함할 수 있다. 상기 제1 측벽(110a) 및 상기 제2 측벽(110b)은 상기 게이트 절연막(130)과 접촉될 수 있다. 상기 제1 측벽(110a) 및 상기 제2 측벽(110b)은 서로 마주볼(facing) 수 있다.
- [37] 상기 활성 패턴(110)은, 상기 게이트 전극(120)에 인가되는 전압에 의해 정의되는 채널 영역을 포함할 수 있다. 상기 채널 영역은, 상기 게이트 전극(120)과 중첩(overlap)되는 상기 활성 패턴(110)의 일부분에 정의될 수 있다.
- [38] 상기 채널 영역은, 제1 도핑 농도로 도핑된 저농도 도핑 영역(120a), 상기 제1 도핑 농도보다 높은 제2 도핑 농도로 도핑된 고농도 도핑 영역(120b), 및 상기 제1 및 제2 도핑 농도보다 낮은 도핑 농도를 갖는 중간 영역(120c, intermediate region)을 포함할 수 있다. 상기 저농도 도핑 영역(120a) 및 상기 고농도 도핑 영역(120b)은, 상기 제1 측벽(110a) 및 상기 제2 측벽(110b)에 각각 인접하게 배치될 수 있다. 상기 중간 영역(120c)은, 상기 저농도 도핑 영역(120a) 및 상기 고농도 도핑 영역(120b) 사이에 위치할 수 있다. 일 실시 예에 따르면, 도 2에 도시된 바와 달리, 상기 중간 영역(120c)은 생략될 수 있다.
- [39] 일 실시 예에 따르면, 상기 저농도 도핑 영역(120a) 및 상기 고농도 도핑 영역(120b)을 갖는, 상기 채널 영역은, 포토리소그래피 공정으로 형성될 수 있다. 예를 들어, 상기 채널 영역을 형성하는 단계는, 상기 활성 영역(110)의 제1 측벽(110a)에 인접한 일부분 상에 제1 물질막을 형성하는 단계, 상기 제1 물질막을 도핑 방지막으로 사용하여, 상기 제2 측벽(110b)에 인접한 일부분에 도펀트로 도핑하는 단계, 및 상기 제1 물질막을 제거하는 단계, 도펀트로 상기 활성 영역(110)을 도핑하는 단계를 포함할 수 있다.
- [40] 상기 채널 영역의 상기 저농도 도핑 영역(120a) 및 상기 고농도 도핑 영역(120b)은, 서로 다른 문턱 전압을 가질 수 있다. 이로 인해, 하나의 셀(cell)이 4가지 상태의 드레인 전류 분포를 가질 수 있고, 이에 따라 멀티 비트(2-bit) 동작이 가능한 편 전계 효과 트랜지스터 제공될 수 있다.
- [41] 예를 들어, 서로 다른 두 개의 문턱전압 중 작은 값을 V_{th1} 라 하고 큰 값을 V_{th2} 라고 하면, V_{th1} 과 V_{th2} 사이의 특정 구동전압을 가했을 때 드레인 전류를 I_1 이라고 정의한다. V_{th2} 와 드레인 전류가 수렴하는 전압인 V_{sat} 사이의 특정 구동전압에서 흐르는 드레인 전류를 I_2 로 정의하고, 드레인 전류의 수렴 값을 I_{on} 으로 정의한다. 본 발명의 실시 예에 따른 편 전계 효과 트랜지스터의 드레인 전류를 센싱하여 I_1

보다 작은 경우 00, 상기 드레인 전류가 I_1 보다 크고 I_2 보다 작은 상태일 때를 01, 상기 드레인 전류 값이 I_2 보다 크고 I_{on} 보다 작은 상태를 10, 상기 드레인 전류 값이 I_{on} 이 되면 그 상태를 11로 정의될 수 있다. 이와 같은 구동 방식으로 4가지 드레인 전류 분포를 갖는 2-bit의 멀티 비트 동작이 가능한 편 전계 효과 트랜지스터가 제공될 수 있다.

- [42] 상기 제1 방향(도 1에서, X축 방향)으로 복수의 게이트 전극들이 더 제공되는 경우, 상기 고농도 도핑 영역 및 상기 저농도 도핑 영역은 서로 교대로(alternating) 배치될 수 있다. 이를, 도 3 및 도 4를 참조하여 설명한다.
- [43] 도 3은 본 발명의 제2 실시 예에 따른 편 전계 효과 트랜지스터를 설명하기 위한 사시도이고, 도 4는 도 3의 A-A', B-B', 및 C-C'에 대한 단면도들이다.
- [44] 도 3 및 도 4를 참조하면, 도 1을 참조하여 설명된 제1 방향(도 3에서, X축 방향)으로 연장하는 상기 활성 패턴(110) 상에, 제1 내지 제3 게이트 전극들(121, 122, 123)이 상기 제1 방향으로 배열될 수 있다.
- [45] 상기 제1 내지 제3 게이트 전극들(121, 122, 123)에 의해, 상기 활성 패턴(110) 내에 제1 내지 제3 채널 영역들이 각각 정의될 수 있다. 상기 제1 내지 제3 채널 영역들은, 상기 제1 내지 제3 게이트 전극들(121, 122, 123)과 중첩되는 상기 활성 패턴(110)의 일부분들에 정의될 수 있다.
- [46] 상기 제1 내지 제3 채널 영역들의 각각은, 저농도 도핑 영역 및 고농도 도핑 영역을 가질 수 있다. 상기 저농도 도핑 영역들 및 상기 고농도 도핑 영역들은, 상기 제1 방향(도 3에서 X 축 방향)으로 서로 교대로 배열되어, 상기 제1 내지 제3 채널 영역들 사이에 간섭이 최소화될 수 있다.
- [47] 구체적으로, 상기 제1 채널 영역은, 제1 도핑 농도로 도핑된 제1 저농도 도핑 영역(121a), 및 상기 제1 도핑 농도보다 높은 제2 도핑 농도로 도핑된 제1 고농도 도핑 영역(121b)을 포함할 수 있다. 상기 제2 채널 영역은, 상기 제1 도핑 농도로 도핑된 제2 저농도 도핑 영역(122a), 및 상기 제2 도핑 농도로 도핑된 제2 고농도 도핑 영역(122b)을 포함할 수 있다. 상기 제3 채널 영역은, 상기 제1 도핑 농도로 도핑된 제3 저농도 도핑 영역(123a), 및 상기 제2 도핑 농도로 도핑된 제3 고농도 도핑 영역(123b)을 포함할 수 있다.
- [48] 상기 제1 저농도 도핑 영역(121a), 상기 제2 고농도 도핑 영역(122b), 및 상기 제3 저농도 도핑 영역(123a)은, 상기 제1 측벽(110a)에 인접하게 위치할 수 있다. 다시 말하면, 상기 제1 저농도 도핑 영역(121a), 상기 제2 고농도 도핑 영역(122b), 및 상기 제3 저농도 도핑 영역(123a)은, 상기 활성 패턴(110)이 연장하는 상기 제1 방향(도 3에서 X축 방향)으로, 배열될 수 있다. 상기 제1 고농도 도핑 영역(121b), 상기 제2 저농도 도핑 영역(122a), 및 상기 제3 고농도 도핑 영역(123a)은 상기 제2 측벽(110b)에 인접하게 배치될 수 있다. 다시 말하면, 상기 제1 고농도 도핑 영역(121b), 상기 제2 저농도 도핑 영역(122a), 및 상기 제3 고농도 도핑 영역(123a)은, 상기 활성 패턴(110)이 연장하는 상기 제1 방향(도 3에서 X축 방향)으로, 배열될 수 있다. 이에 따라, 상기 제1 방향으로 배열된 상기 제1

저농도 도핑 영역(121a), 상기 제2 고농도 도핑 영역(122b), 및 상기 제3 저농도 도핑 영역(123a)과, 상기 제1 방향으로 배열된 상기 제1 고농도 도핑 영역(121b), 상기 제2 저농도 도핑 영역(122a), 및 상기 제3 고농도 도핑 영역(123a)은, 상기 제2 방향(도 3에서 Y 축 방향)으로 서로 이격될 수 있다.

- [49] 상기 제1 저농도 도핑 영역(121a) 및 상기 제2 저농도 도핑 영역(122a)은, 상기 활성 패턴(110) 내에서 상기 제1 방향(도 3에서 X축 방향) 및 상기 제2 방향(도 3에서 Y축 방향)으로 이격될 수 있다. 상기 제3 저농도 도핑 영역(123a)은 상기 제2 저농도 도핑 영역(122a)과 상기 활성 패턴(110) 내에서 상기 제1 방향 및 상기 제2 방향으로 이격될 수 있다.
- [50] 상기 제1 고농도 도핑 영역(121b) 및 상기 제2 고농도 도핑 영역(122b)은, 상기 활성 패턴(110) 내에서 상기 제1 방향 및 상기 제2 방향으로 이격될 수 있다. 상기 제3 고농도 도핑 영역(123b)은, 상기 제2 고농도 도핑 영역(122b)과 상기 활성 패턴(110) 내에서 상기 제1 방향 및 상기 제2 방향으로 이격될 수 있다.
- [51] 도 1에서, 상기 활성 패턴(110)이 상기 소자 분리막(102)을 관통하여 상기 기판(100)으로부터 돌출되는 것으로 설명되었지만, 본 발명의 제3 실시 예에 따르면, 활성 패턴이 소자 분리막 상에 배치될 수 있다. 본 발명의 제3 실시 예에 따른 핀 전계 효과 트랜지스터와 본 발명의 제1 실시 예에 따른 핀 전계 효과 트랜지스터의 차이점이 도 5를 참조하여 설명되며, 본 발명의 제1 실시 예에 따른 핀 전계 효과 트랜지스터와 동일한 부분은 설명이 생략된다.
- [52] 도 5는 본 발명이 제3 실시 예에 따른 핀 전계 효과 트랜지스터를 설명하기 위한 도면이다.
- [53] 도 5를 참조하면, 도 1 및 도 2를 참조하여 설명된 본 발명의 제1 실시 예에 따른 핀 전계 효과 트랜지스터와 달리, 소자 분리막(104) 상에 활성 패턴(110)이 배치될 수 있다. 이 경우, 상기 활성 패턴(110)은 상기 기판(100)의 일부분을 구성하지 않는다. 상기 활성 패턴(110)은, 상기 소자 분리막(104) 상에 반도체 막을 형성한 후, 상기 반도체 막을 식각하여 형성될 수 있다.
- [54] 도 5를 참조하여 설명된 본 발명의 제3 실시 예에 따른 핀 전계 효과 트랜지스터에서, 도 3 및 도 4를 참조하여 설명된 것과 같이, 복수의 게이트 전극들이 제공되는 경우, 저농도 도핑 영역 및 고농도 도핑 영역이 서로 교대로 배열될 수 있다. 본 발명의 제4 실시 예에 따른 핀 전계 효과 트랜지스터와 본 발명의 제3 실시 예에 따른 핀 전계 효과 트랜지스터의 차이점이 도 6을 참조하여 설명되며, 본 발명의 제3 실시 예에 따른 핀 전계 효과 트랜지스터와 동일한 부분은 설명이 생략된다.
- [55] 도 6은 본 발명의 제4 실시 예에 따른 핀 전계 효과 트랜지스터를 설명하기 위한 도면이다.
- [56] 도 6을 참조하면, 도 3 및 도 4를 참조하여 설명된 본 발명의 제2 실시 예에 따른 핀 전계 효과 트랜지스터와 달리, 도 5를 참조하여 설명된 것과 같이, 상기 소자 분리막(104) 상에 활성 패턴(110)이 배치될 수 있다.

[57] 상기 활성 패턴(110) 및 상기 소자 분리막(104) 상에 복수의 게이트 전극들(121, 122, 123)에 배치되고, 상기 복수의 게이트 전극들(121, 122, 123)에 의해 정의되는 복수의 채널 영역들의 각각은, 도 3 및 도 4를 참조하여 설명된 것과 같이, 고농도 도핑 영역 및 저농도 도핑 영역을 포함할 수 있다.

[58]

[59] 이상, 본 발명을 바람직한 실시 예를 사용하여 상세히 설명하였으나, 본 발명의 범위는 특정 실시 예에 한정되는 것은 아니며, 첨부된 특허청구범위에 의하여 해석되어야 할 것이다. 또한, 이 기술분야에서 통상의 지식을 습득한 자라면, 본 발명의 범위에서 벗어나지 않으면서도 많은 수정과 변형이 가능함을 이해하여야 할 것이다.

산업상 이용가능성

[60] 본 발명의 실시 예에 따른 핀 전계효과 트랜지스터는, 메모리 소자를 포함하는 다양한 전자 소자, 광전 소자, 및 정보 저장 매체에 사용될 수 있다.

청구범위

- [청구항 1] 기판으로부터 돌출되고, 제1 방향으로 연장하는 핀(fin) 형태의 활성 패턴;
상기 활성 패턴을 가로지르는 제2 방향으로 연장하는 게이트 전극;
및
상기 게이트 전극과 상기 활성 패턴 사이의 게이트 절연막을 포함하되,
상기 활성 패턴은, 상기 게이트 전극에 의해 정의되는 채널 영역을 포함하되, 상기 채널 영역은, 제1 도핑 농도로 도핑된 저농도 도핑 영역, 및 상기 제1 도핑 농도보다 높은 제2 도핑 농도로 도핑된 고농도 도핑 영역을 포함하는 핀 전계 효과 트랜지스터.
- [청구항 2] 제1 항에 있어서,
상기 활성 패턴은, 상기 제1 방향으로 연장하는 제1 측벽, 및 상기 제2 측벽에 대향하고 상기 제1 방향으로 연장하는 제2 측벽을 포함하고,
상기 저농도 도핑 영역은 상기 제1 측벽에 인접하게 위치하고,
상기 고농도 도핑 영역은 상기 제2 측벽에 인접하게 위치하는 것을 포함하는 핀 전계 효과 트랜지스터.
- [청구항 3] 제1 항에 있어서,
상기 활성 패턴은, 상기 저농도 도핑 영역 및 상기 고농도 도핑 영역 사이에 위치하고, 상기 제1 도핑 농도 및 상기 제2 도핑 농도보다 낮은 도핑 농도를 갖는 중간 영역(intermediate region)을 포함하는 핀 전계 효과 트랜지스터.
- [청구항 4] 제1 항에 있어서,
상기 게이트 전극은, 서로 인접하되, 상기 제1 방향으로 이격된, 제1 게이트 전극 및 제2 게이트 전극을 포함하고,
상기 활성 패턴은, 상기 제1 및 제2 게이트 전극에 의해 각각 정의되는, 제1 채널 영역 및 제2 채널 영역을 포함하고,
상기 제1 채널 영역은, 상기 제1 도핑 농도로 도핑된 제1 저농도 도핑 영역, 및 상기 제2 도핑 농도로 도핑된 제1 고농도 도핑 영역을 포함하고,
상기 제2 채널 영역은, 상기 제1 도핑 농도로 도핑된 제2 저농도 도핑 영역, 및 상기 제2 도핑 농도로 도핑된 제2 고농도 도핑 영역을 포함하고,
상기 제1 저농도 도핑 영역 및 상기 제2 저농도 도핑 영역은, 상기 활성 패턴 내에서 상기 제1 방향 및 상기 제2 방향으로 이격되고,
상기 제1 고농도 도핑 영역 및 상기 제2 고농도 도핑 영역은, 상기

[청구항 5]

활성 패턴 내에서 상기 제1 방향 및 상기 제2 방향으로 이격되는 것을 포함하는 핀 전계 효과 트랜지스터.

제4 항에 있어서,

상기 활성 패턴은, 상기 제1 방향으로 연장하는 제1 측벽, 및 상기 제2 측벽에 대향하고 상기 제1 방향으로 연장하는 제2 측벽을 포함하고,

상기 제1 저농도 도핑 영역 및 상기 제2 고농도 도핑 영역은, 상기 제1 측벽에 인접하게 위치하고,

상기 제1 고농도 도핑 영역 및 상기 제2 저농도 도핑 영역은, 상기 제2 측벽에 인접하게 위치하는 것을 포함하는 핀 전계 효과 트랜지스터.

[청구항 6]

제4 항에 있어서,

상기 게이트 전극은, 상기 제2 게이트 전극을 사이에 두고, 상기 제1 게이트 전극과 상기 제1 방향으로 이격된, 제3 게이트 전극을 더 포함하고,

상기 활성 패턴은, 상기 제3 게이트 전극에 의해 정의되는 제3 채널 영역을 더 포함하되,

상기 제3 채널 영역은, 상기 제1 도핑 농도로 도핑된 제3 저농도 도핑 영역, 및 상기 제2 도핑 농도로 도핑된 제3 고농도 도핑 영역을 포함하고,

상기 제3 저농도 도핑 영역은, 상기 제2 저농도 도핑 영역과 상기 제1 방향 및 상기 제2 방향으로 이격되고,

상기 제3 고농도 도핑 영역은, 상기 제2 고농도 도핑 영역과 상기 제1 방향 및 상기 제2 방향으로 이격되는 것을 포함하는 핀 전계 효과 트랜지스터.

[청구항 7]

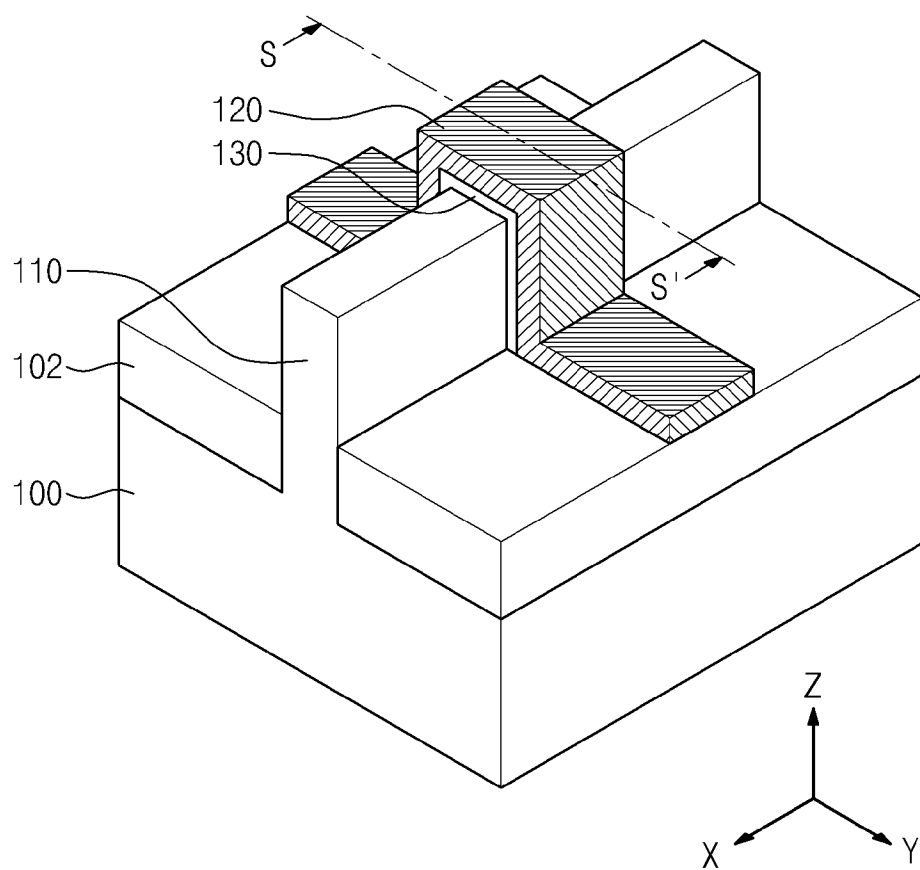
제6 항에 있어서,

상기 활성 패턴은, 상기 제1 방향으로 연장하는 제1 측벽, 및 상기 제2 측벽에 대향하고 상기 제1 방향으로 연장하는 제2 측벽을 포함하고,

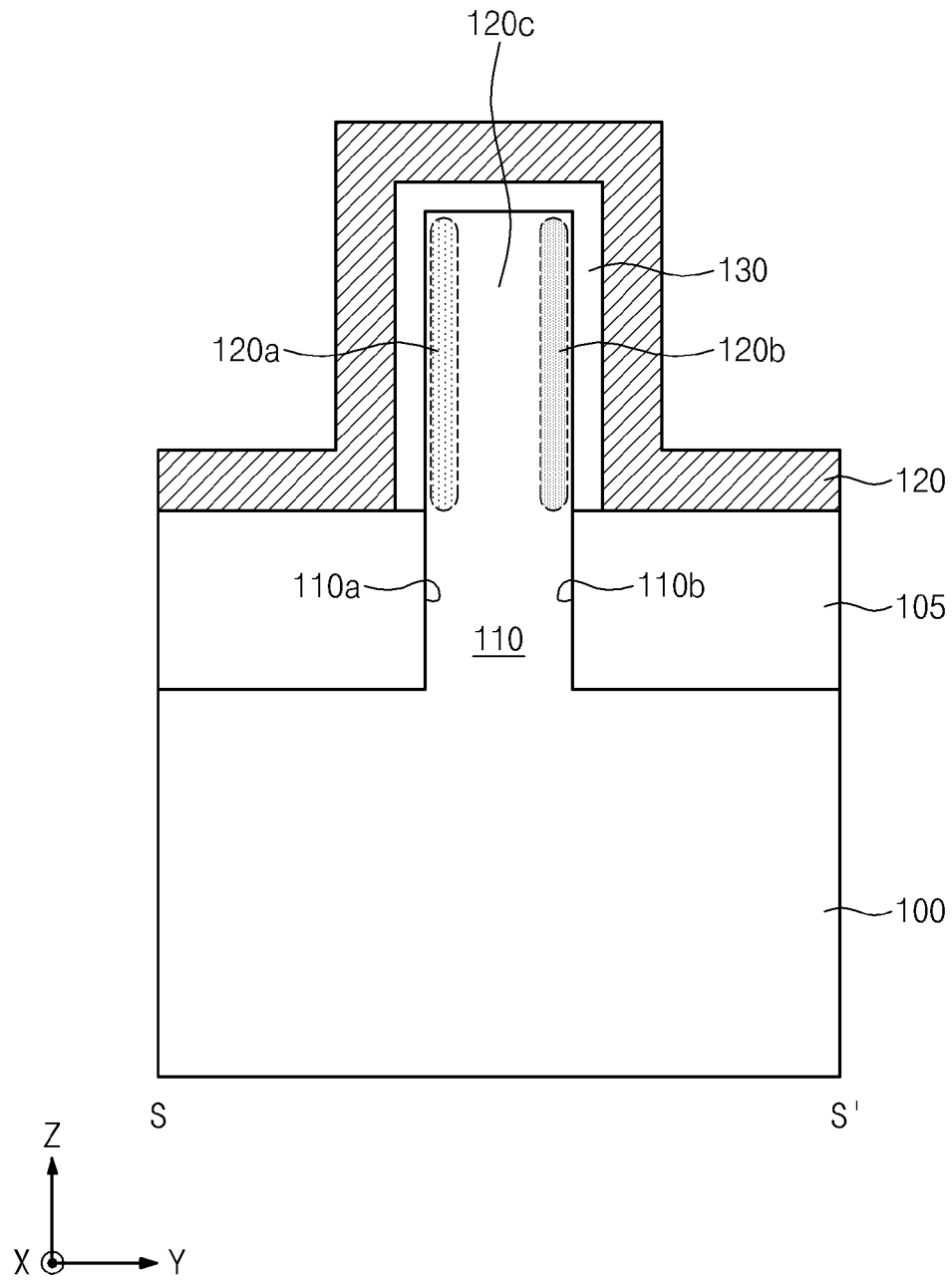
상기 제1 저농도 도핑 영역, 상기 제2 고농도 도핑 영역, 및 상기 제3 저농도 도핑 영역은, 상기 제1 측벽에 인접하게 위치하고,

상기 제1 고농도 도핑 영역, 상기 제2 저농도 도핑 영역, 및 제3 고농도 도핑 영역은, 상기 제2 측벽에 인접하게 위치하는 것을 포함하는 핀 전계 효과 트랜지스터.

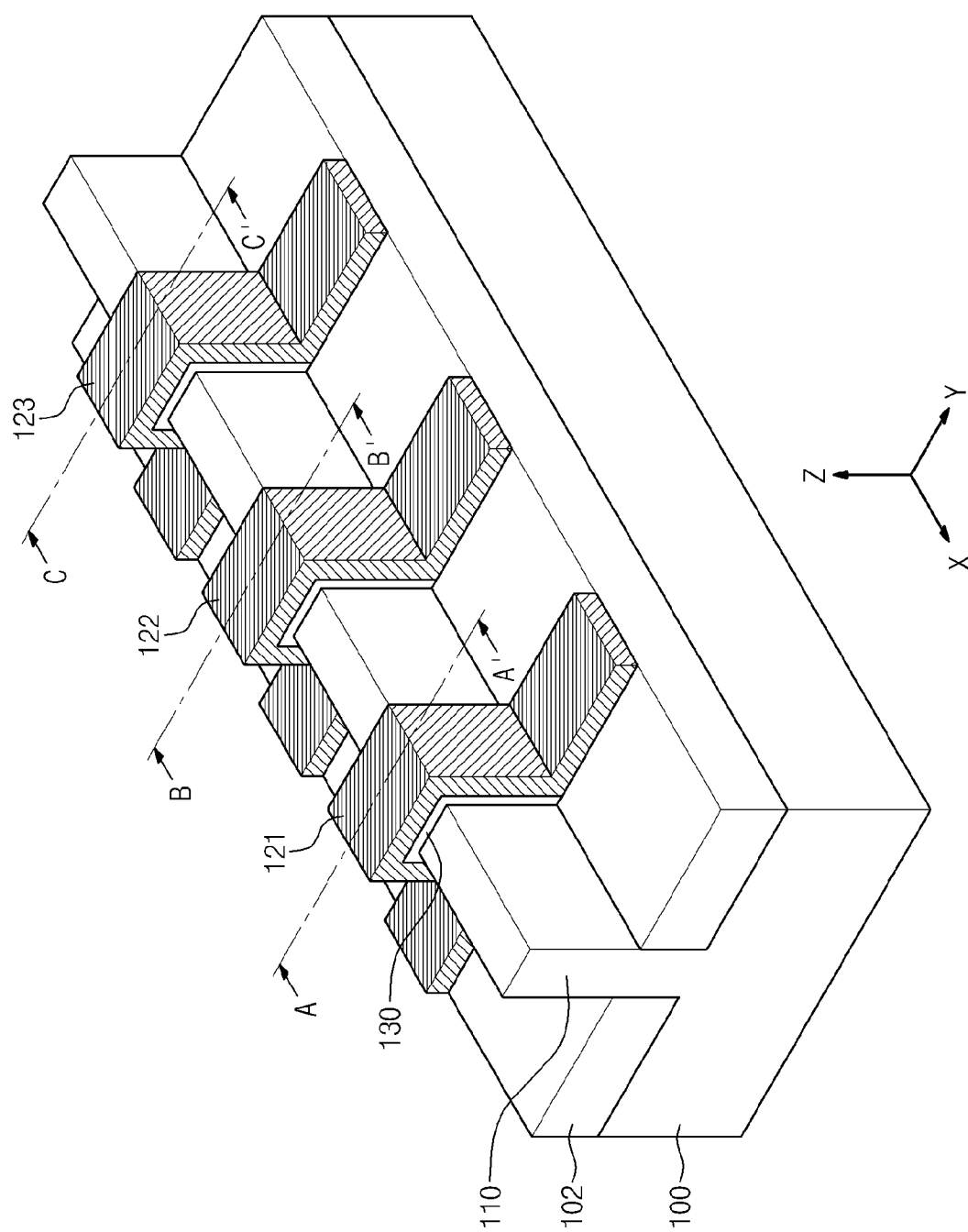
[Fig. 1]



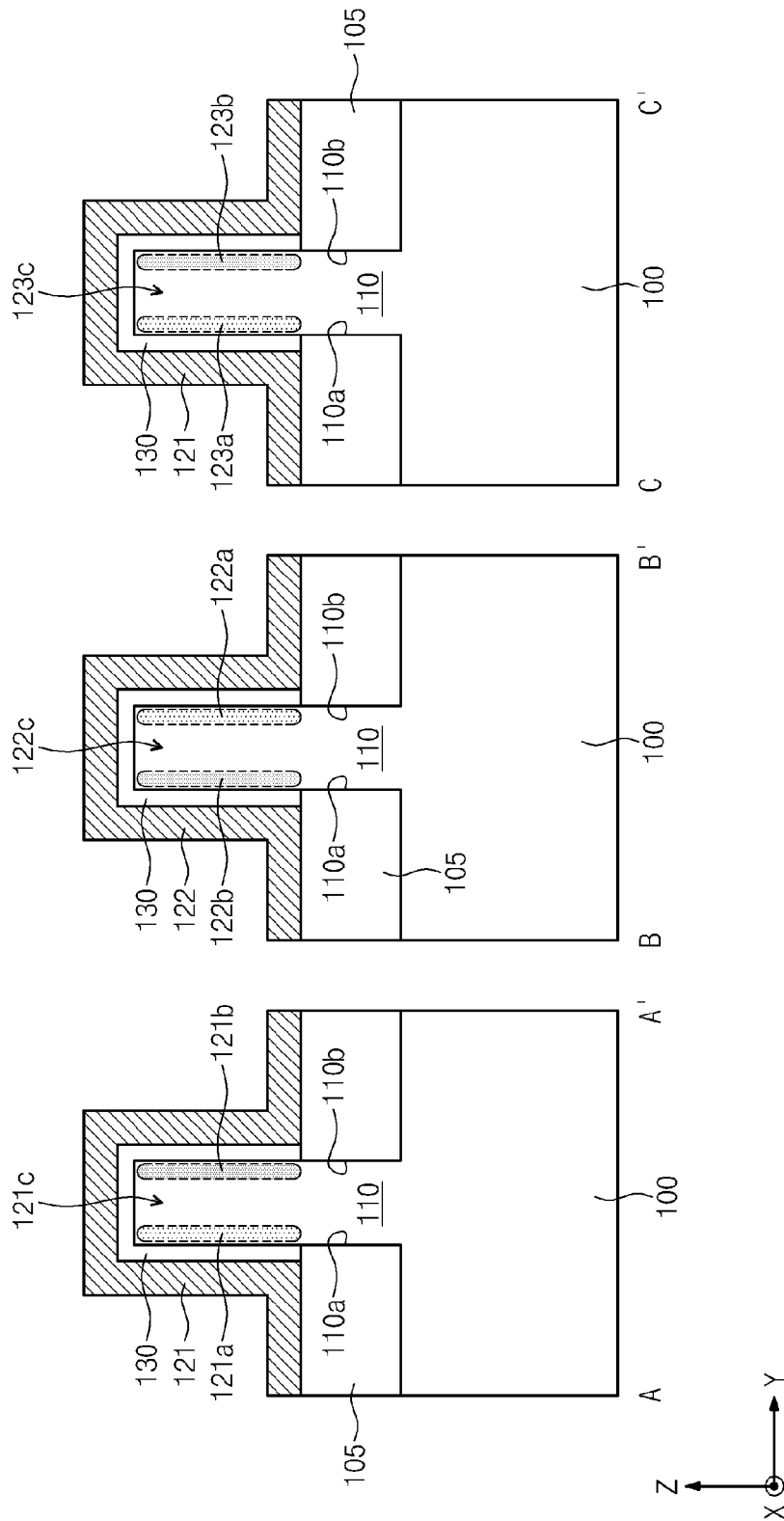
[Fig. 2]



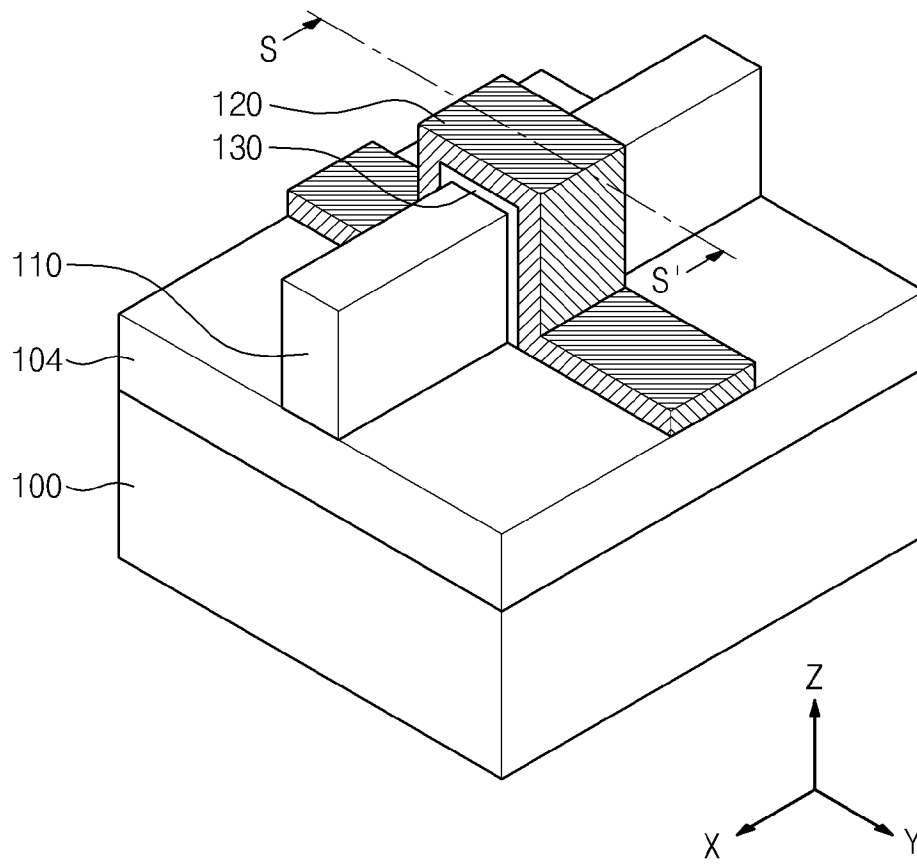
[Fig. 3]



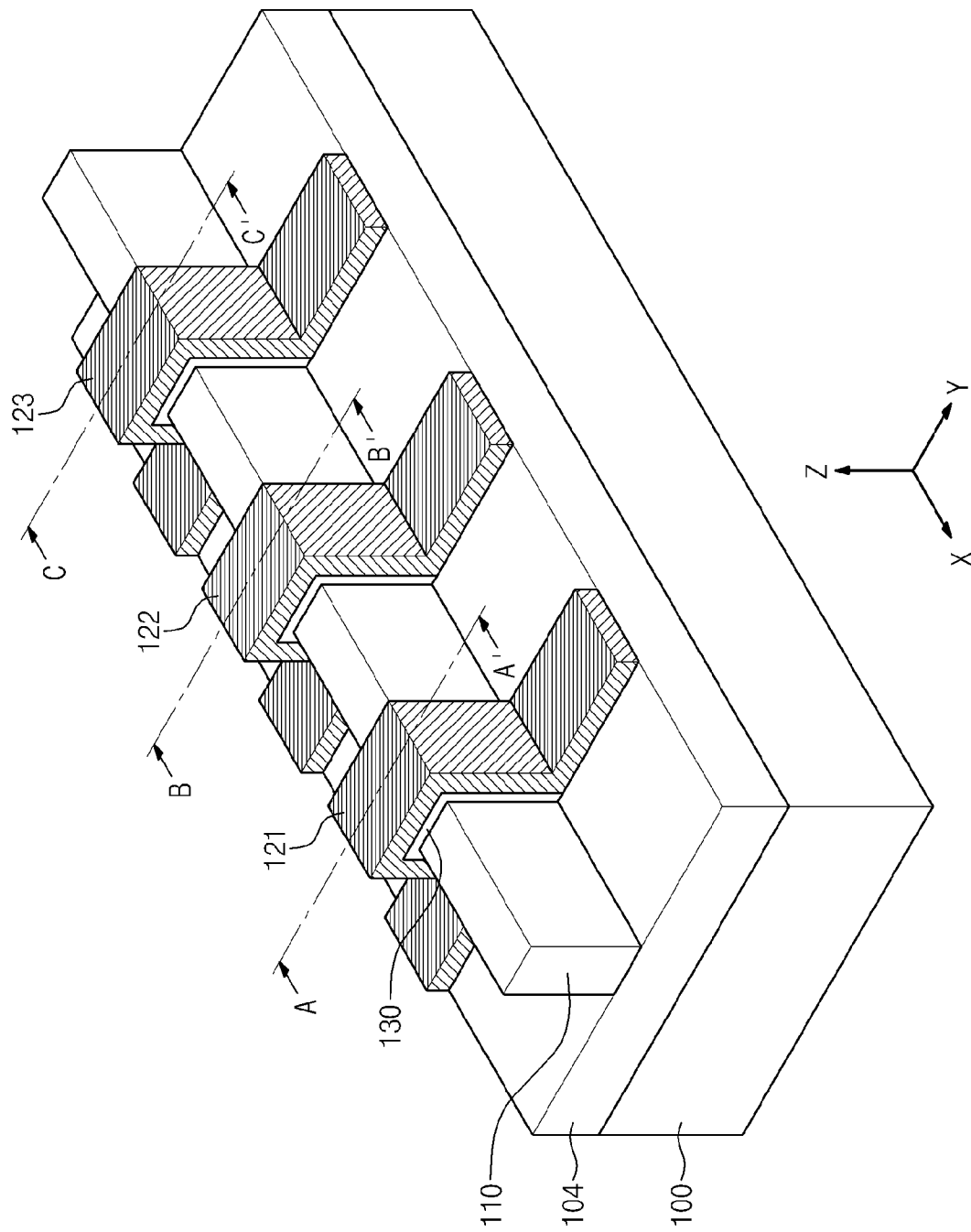
[Fig. 4]



[Fig. 5]



[Fig. 6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/007287**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 29/78(2006.01)i, H01L 21/336(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/78; H01L 21/336; H01L 21/338; H01L 21/8242; H01L 27/108; H01L 21/762; H01L 29/788

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: gate, activation, doping, fin

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 8679906 B2 (CHENG, Kangguo) 25 March 2014 See line 49 of column 7- line 16 of column 8, figure 3a.	1,2
Y		3,4,6
A		5,7
Y	JP 2013-026470 A (RENESAS ELECTRONICS CORP.) 04 February 2013 See paragraphs [0024]-[0030], figure 2.	3
Y	JP 5456036 B2 (KABUSHIKI KAISHA TOSHIBA) 26 March 2014 See paragraphs [0039]-[0048], figures 2, 3.	4,6
A	US 2014-0065794 A1 (KAR, Gouri Sankar et al.) 06 March 2014 See paragraphs [0108]-[0136], figures 22-24.	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 OCTOBER 2015 (15.10.2015)

Date of mailing of the international search report

15 OCTOBER 2015 (15.10.2015)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/007287

Patent document cited in search report	Publication date	Patent family member	Publication date
US 8679906 B2	25/03/2014	CN 101183686 A	21/05/2008
		CN 101183686 B	21/04/2010
		CN 101183686 C	21/04/2010
		CN 101183686 C	21/05/2008
		JP 05-294605 B	18/09/2013
		JP 2008-124457 A	29/05/2008
		US 2008-0111185 A1	15/05/2008
		US 2010-0044794 A1	25/02/2010
JP 2013-026470 A	04/02/2013	NONE	
JP 5456036 B2	26/03/2014	US 2012-139030 A1	07/06/2012
		US 8779502 B2	15/07/2014
		WO 2010-143306 A1	16/12/2010
US 2014-0065794 A1	06/03/2014	EP 2455967 A1	23/05/2012
		JP 2014-502421 A	30/01/2014
		KR 10-1444045 B1	23/09/2014
		KR 20130100173 A	09/09/2013
		US 8835278 B2	16/09/2014
		WO 2012-066049 A1	24/05/2012

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/78(2006.01)i, H01L 21/336(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 29/78; H01L 21/336; H01L 21/338; H01L 21/8242; H01L 27/108; H01L 21/762; H01L 29/788

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 게이트, 활성, 도핑, 편

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	US 8679906 B2 (KANGGUO CHENG) 2014.03.25 컬럼 7의 라인 49-컬럼 8의 라인 16, 도 3a 참조.	1,2
Y		3,4,6
A		5,7
Y	JP 2013-026470 A (RENESAS ELECTRONICS CORP) 2013.02.04 문단[0024]-[0030], 도 2 참조.	3
Y	JP 5456036 B2 (KABUSHIKI KAISHA TOSHIBA) 2014.03.26 문단[0039]-[0048], 도 2,3 참조.	4,6
A	US 2014-0065794 A1 (GOURI SANKAR KAR et al.) 2014.03.06 문단[0108]-[0136], 도 22-24 참조.	1-7

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2015년 10월 15일 (15.10.2015)

국제조사보고서 발송일

2015년 10월 15일 (15.10.2015)

ISA/KR의 명칭 및 우편주소

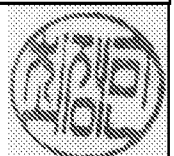
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

최정민

전화번호 +82-42-481-8708



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 8679906 B2	2014/03/25	CN 101183686 A CN 101183686 B CN 101183686 C CN 101183686 C JP 05-294605 B JP 2008-124457 A US 2008-0111185 A1 US 2010-0044794 A1	2008/05/21 2010/04/21 2010/04/21 2008/05/21 2013/09/18 2008/05/29 2008/05/15 2010/02/25
JP 2013-026470 A	2013/02/04	없음	
JP 5456036 B2	2014/03/26	US 2012-139030 A1 US 8779502 B2 WO 2010-143306 A1	2012/06/07 2014/07/15 2010/12/16
US 2014-0065794 A1	2014/03/06	EP 2455967 A1 JP 2014-502421 A KR 10-1444045 B1 KR 20130100173 A US 8835278 B2 WO 2012-066049 A1	2012/05/23 2014/01/30 2014/09/23 2013/09/09 2014/09/16 2012/05/24