



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월07일
(11) 등록번호 10-1703511
(24) 등록일자 2017년02월01일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2011-7002075
(22) 출원일자(국제) 2009년06월22일
심사청구일자 2014년06월20일
(85) 번역문제출일자 2011년01월26일
(65) 공개번호 10-2011-0029157
(43) 공개일자 2011년03월22일
(86) 국제출원번호 PCT/JP2009/061795
(87) 국제공개번호 WO 2009/157574
국제공개일자 2009년12월30일
(30) 우선권주장
JP-P-2008-169286 2008년06월27일 일본(JP)
(뒷면에 계속)
(56) 선행기술조사문헌
EP00535979 A2*
JP2008124392 A*
KR1019940004420 B1*
KR1020070029998 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
이사 토시유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
진보 야스히로
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장훈

전체 청구항 수 : 총 12 항

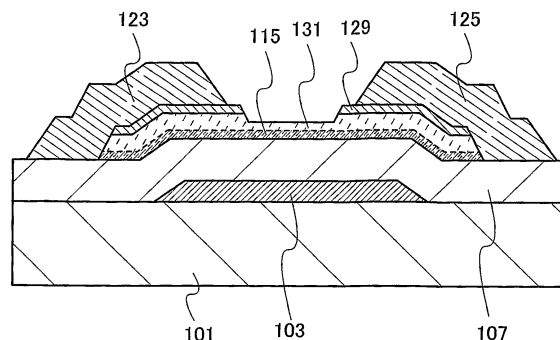
심사관 : 최혜미

(54) 발명의 명칭 박막 트랜지스터

(57) 요약

박막 트랜지스터는 버퍼층으로서, 질소를 포함하면서 적어도 소스 및 드레인 영역들의 측부 상에서 게이트 절연층과 소스 및 드레인 영역들 사이에 비정질 구조 내에 결정 영역들을 포함하고 있는 반도체층을 포함한다. 채널 형성 영역에 비정질 반도체가 포함되는 박막 트랜지스터에 비해, 박막 트랜지스터의 온 전류가 증가될 수 있다. 또한, 채널 형성 영역 내에 미결정 반도체가 포함되는 박막 트랜지스터에 비해 박막 트랜지스터의 오프 전류가 감소될 수 있다.

대표도



(72) 발명자

테즈카 사치아키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

다이리키 코지

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

미야이리 히데카즈

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 순페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

히로하시 타쿠야

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

(30) 우선권주장

JP-P-2009-046433 2009년02월27일 일본(JP)

JP-P-2009-129313 2009년05월28일 일본(JP)

명세서

청구범위

청구항 1

기판 위의 게이트 전극과;

상기 게이트 전극 위의 게이트 절연층과;

상기 게이트 절연층과 접하고 제 1 영역과 제 2 영역을 포함하는 반도체층으로서, 상기 제 1 영역은 상기 제 2 영역보다 상기 게이트 절연층에 근접한, 상기 반도체층과;

상기 반도체층의 상기 제 2 영역 위에 제공되고 상기 반도체층의 상기 제 2 영역의 일부와 접하는, 소스 영역 및 드레인 영역을 형성하는 불순물 반도체층들을 포함하고,

상기 반도체층의 상기 제 1 영역에 미결정 반도체가 형성되고,

상기 반도체층의 상기 제 2 영역의 비정질 구조 내에 결정 영역이 이산적으로 존재하고,

상기 반도체층의 상기 제 1 영역 및 상기 제 2 영역, 및 상기 불순물 반도체층들은 실리콘을 포함하고,

상기 제 2 영역은 질소를 함유하고,

상기 질소의 농도는 상기 반도체층의 증착 방향으로 감소하는, 박막 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 결정 영역은 원추형 또는 피라미드형 결정 영역이고,

상기 원추형 또는 피라미드형 결정 영역은 상기 반도체층의 하부면 측으로부터 상기 반도체층의 상부면 측을 향해 실질적으로 방사상 방식으로 성장된 반전된 원추형 또는 피라미드형 결정 영역인, 박막 트랜지스터.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 반도체층의 상기 제 2 영역은 NH기 또는 NH₂기를 함유하는, 박막 트랜지스터.

청구항 6

제 1 항에 있어서,

상기 제 1 영역은 상기 제 2 영역보다 상기 게이트 절연층에 근접하고,

상기 제 2 영역은 상기 불순물 반도체층들 사이의 오목부를 포함하는, 박막 트랜지스터.

청구항 7

기판 위의 게이트 전극과,

상기 게이트 전극 위의 게이트 절연층과;

상기 게이트 절연층과 접하는 제 1 반도체층과;

상기 제 1 반도체층 위에 적층된 제 2 반도체층과;

상기 제 2 반도체층 위에 제공되고 상기 제 2 반도체층의 일부와 접하는, 소스 영역 및 드레인 영역을 형성하는 불순물 반도체층들을 포함하고,

상기 제 1 반도체층은 미결정 반도체를 포함하고,

상기 제 2 반도체층은 비정질 구조 내에 결정 영역을 포함하고,

상기 제 1 반도체층, 상기 제 2 반도체층, 및 상기 불순물 반도체층들은 실리콘을 포함하고,

상기 제 2 반도체층은 질소를 함유하고,

상기 질소의 농도는 상기 제 2 반도체층의 증착 방향으로 감소하는, 박막 트랜지스터.

청구항 8

제 7 항에 있어서,

상기 결정 영역은 원추형 또는 피라미드형이고,

상기 원추형 또는 피라미드형 결정 영역은 상기 제 2 반도체층의 상기 증착 방향으로, 상기 제 1 반도체층과 상기 제 2 반도체층 사이의 계면으로부터 실질적으로 방사상 방식으로 성장된 반전된 원추형 또는 피라미드형 결정 영역인, 박막 트랜지스터.

청구항 9

제 1 항 또는 제 7 항에 있어서,

상기 결정 영역은 원추형 또는 피라미드형 결정 영역 및 1 nm 이상 10 nm 이하의 직경을 갖는 결정 입자를 포함하는, 박막 트랜지스터.

청구항 10

삭제

청구항 11

삭제

청구항 12

제 7 항에 있어서,

상기 제 2 반도체층은 NH기 또는 NH₂기를 함유하는, 박막 트랜지스터.

청구항 13

제 7 항에 있어서,

상기 제 1 반도체층은 분산된 미결정 반도체들 또는 망상형 미결정 반도체를 포함하는, 박막 트랜지스터.

청구항 14

제 7 항에 있어서,

상기 불순물 반도체층들 위의 배선층들을 더 포함하고,

상기 배선층들은 상기 제 1 반도체층 및 상기 제 2 반도체층과 접하는, 박막 트랜지스터.

청구항 15

제 1 항 또는 제 7 항에 있어서,

상기 결정 영역은 1 nm 이상 10 nm 이하의 직경을 갖는 결정 입자를 포함하는, 박막 트랜지스터.

청구항 16

제 1 항 또는 제 7 항에 있어서,
상기 기판은 절연 표면을 갖는, 박막 트랜지스터.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 및 박막 트랜지스터를 제조하기 위한 방법과, 박막 트랜지스터를 사용한 반도체 장치 및 표시 장치에 관한 것이다.

배경 기술

[0002] 일종의 전계 효과 트랜지스터로서, 절연 표면을 갖는 기판 위에 형성된 반도체층 내에 채널 형성 영역이 형성된 박막 트랜지스터가 공지되어 있다. 박막 트랜지스터에 사용되는 반도체층으로서 비정질 실리콘, 미결정 실리콘, 또는 다결정 실리콘을 사용하는 기술들은 개시되어 있다(특허 문헌 1 내지 특허 문헌 5). 박막 트랜지스터의 대표적 응용에는 액정 텔레비전 장치이며, 박막 트랜지스터는 표시 스크린 내에 포함된 각 화소의 스위칭 트랜지스터로서 실용적 용도를 가지고 있다.

[0003] [특허문헌]

[0004] [특허문헌 1] 일본 공개 특허 출원 제 2001-053283 호

[0005] [특허문헌 2] 일본 공개 특허 출원 제 H05-129608 호

[0006] [특허문헌 3] 일본 공개 특허 출원 제 2005-049832 호

[0007] [특허문헌 4] 일본 공개 특허 출원 제 H07-131030 호

[0008] [특허문헌 5] 일본 공개 특허 출원 제 2005-191546 호

발명의 내용

해결하려는 과제

[0009] 채널 형성 영역이 비정질 실리콘 층을 사용하여 형성되어 있는 박막 트랜지스터는 낮은 전계 효과 이동도 및 낮은 온-전류와 같은 문제점을 가지고 있다. 다른 한편, 채널 형성 영역이 미결정 실리콘 층을 사용하여 형성되어 있는 박막 트랜지스터는 전계 효과 이동도가 채널 형성 영역이 비정질 실리콘 층을 사용하여 형성된 박막 트랜지스터의 전계 효과 이동도보다 높지만, 오프-전류가 높고 따라서 충분한 스위칭 특성들을 얻을 수 없다는 문제점을 갖는다.

[0010] 채널 형성 영역이 다결정 실리콘 층을 사용하여 형성되어 있는 박막 트랜지스터는 상술한 두 종류의 박막 트랜지스터들의 것들보다 전계 효과 이동도가 매우 높고, 높은 온-전류를 얻을 수 있다는 특성들을 갖는다. 이런 특성들 때문에, 이 박막 트랜지스터는 화소에 제공되는 스위칭 트랜지스터로서 사용될 수 있을 뿐만 아니라, 고속 동작이 필요한 구동기 회로(driver circuit)에도 사용될 수 있다.

[0011] 그러나, 채널 형성 영역이 다결정 실리콘 층을 사용하여 형성되어 있는 박막 트랜지스터는 반도체층을 위한 결정화 단계를 필요로 하며, 비정질 실리콘 층을 사용하여 채널 형성 영역이 형성되는 박막 트랜지스터에 비해 높은 제조 비용의 문제점을 가진다. 예로서, 다결정 실리콘 층의 형성을 위한 프로세스에 수반되는 레이저 어닐링 기술은 레이저 빔 조사 면적이 작기 때문에 대형 스크린 액정 패널들을 효율적으로 생산할 수 없다는 문제점을 갖는다.

[0012] 표시 패널들을 제조하기 위한 유리 기판은 해마다 이하와 같은 크기 성장이 이루어지고 있다: 3세대(550 mm x

650 mm), 3.5 세대(600 mm x 720 mm 또는 620 mm x 750 mm), 4 세대(680 mm x 880 mm 또는 730 mm x 920 mm), 5 세대(1100 mm x 1300 mm), 6 세대(1500 mm x 1850 mm), 7 세대(1870 mm x 2200 mm), 및 8 세대(2200 mm x 2400 mm). 지금부터, 유리 기판의 크기는 9 세대(2400 mm x 2800 mm 또는 2450 mm x 3050 mm) 및 10 세대(2950 mm x 3400 mm)로 성장할 것으로 예견된다. 유리 기판의 크기의 증가는 최소-비용 설계 개념에 기초한다.

[0013] 그러나, 고속 동작이 가능한 박막 트랜지스터를 높은 생산성으로 10세대(2950 mm x 3400 mm) 모재 유리 기판(mother glass substrate) 같은 대면적 모재 유리 기판 위에 제조될 수 있는 기술은 아직 개발되지 않았으며, 이는 본 산업계의 문제점이다.

과제의 해결 수단

[0014] 상술한 바의 견지에서, 본 발명의 일 실시예의 목적은 박막 트랜지스터의 온-전류 및 오프-전류에 관련된 상술한 문제점들을 해결하는 것이다.

[0015] 본 발명의 일 실시예에 따라서, 박막 트랜지스터는 게이트 절연층과 소스 및 드레인 영역들 사이에 적어도 소스 영역 및 드레인 영역 측부 상에서 비정질 구조의 결정 영역들을 포함하는 반도체층을 버퍼층으로서 포함한다.

[0016] 본 발명의 다른 실시예에 따라서, 박막 트랜지스터는 게이트 절연층과, 게이트 절연층과 접하는 반도체층과, 반도체층과 소스 및 드레인 영역들의 사이의 버퍼층을 포함한다. 버퍼층은 비정질 구조의 결정 영역들을 포함한다.

[0017] 본 발명의 다른 실시예에 따라서, 박막 트랜지스터는 게이트 절연층과, 게이트 절연층에 접하는 버퍼층과, 버퍼층과 부분적으로 접하는 소스 및 드레인 영역들을 포함한다. 버퍼층은 비정질 구조 내에서 적어도 1 nm 내지 10 nm의 직경을 각각 갖는 결정 입자들(또한, 미소 결정 입자들이라고도 지칭됨)을 포함한다.

[0018] 본 발명의 다른 실시예에 따라서, 박막 트랜지스터는 게이트 전극을 덮는 게이트 절연층, 게이트 절연층에 접하는 반도체층; 및 반도체층의 일부에 접하는 소스 및 드레인 영역들을 형성하는 불순물 반도체층들을 포함한다. 반도체층에서, 미결정 반도체가 게이트 절연층 측부 상에 형성되고, 결정 영역들은 불순물 반도체층 측부 상의 비정질 구조 내에 이산적으로(discretely) 존재한다.

[0019] 버퍼층은 게이트 절연층과 접하는 측부에 대향한 측부 상에, 즉, 소위 백 채널 측부(back channel side) 상에 제공된다.

[0020] 비정질 구조 내에 결정 영역들을 포함하는 반도체층은 질소를 포함한다. 이때, 2차 이온 질량 분석법에 의해 측정된 질소 농도는 $1 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$, 바람직하게는, $2 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$, 더욱 바람직하게는 $3 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 이다.

[0021] 또한, 비정질 구조 내의 결정 영역들을 포함하는 반도체층 상에 저온 포토루미네선스 분광법을 수행함으로써 얻어진 스펙트럼의 피크 영역은 1.31 eV 내지 1.39 eV이다.

[0022] 또한, 비정질 구조 내에 결정 영역들을 포함하는 반도체층에서, 대역 간극(band gap)의 대역 미부(band tail)의 경사는 비정질 반도체, 통상적으로, 비정질 실리콘의 대역 간극의 대역 미부의 경사보다 급격하다. 따라서, 종래의 비정질 반도체층에 비해 대역 간극은 더 넓어지고, 터널링 전류가 흐르기 쉽지 않다.

[0023] 비정질 구조 내에 결정 영역들을 포함하는 반도체층은 반도체 소스 가스(예를 들어, 실리콘 하이드리드 가스, 실리콘 플루오라이드 가스, 실리콘 클로라이드 가스, 게르마늄 하이드리드 가스, 게르마늄 플루오라이드 가스, 게르마늄 클로라이드 가스 등) 및 희석 가스가 미결정 반도체가 생성될 수 있는 혼합 비율로 혼합되어 있는 가스를 반응 가스로서 사용하여 형성된다. 반응 가스가 도입되어 산소 농도가 감소되는 초고진공 반응 챔버 내에 있어, 미리 결정된 압력을 유지하여 글로우 방전 플라즈마를 생성한다. 따라서, 반응 챔버 내에 배치되어 있는 기판 위에 막이 증착된다. 결정 핵들의 생성 및 성장을 저해하는 불순물 원소가 반응 챔버에 공급되고, 불순물 원소의 농도가 제어되어, 원추형 또는 피라미드형 결정 영역들 및/또는 미소 결정 입자들이 비정질 구조 내에 결정 영역들로서 형성된다.

[0024] 기판 위에 막을 증착하는 동안, 결정 핵들의 생성을 감소시키도록 불순물 원소의 농도를 제어하면서 결정 핵들이 생성되고, 이 결정 핵들을 사용하여 반전 원추형 또는 피라미드형 결정 영역들이 형성된다. 또한, 기판 위에 막을 증착하는 동안, 결정 핵들의 생성을 억제하도록 불순물 원소의 농도를 제어함으로써, 결정 핵들의 생성이 억제되고, 미소 결정 입자들이 형성된다. 막의 기저층이 결정성을 갖는 반도체층인 경우에, 결정 성장을 감

소시키도록 불순물 원소의 농도를 제어함으로써 결정 성장이 감소되는 상태로 비정질 구조가 증착되어 정규 원추형 또는 피라미드형 결정 영역들이 형성된다.

- [0025] 결정 핵들의 생성 및 결정 성장을 감소 또는 억제시키는 불순물 원소로서 질소 또는 질화물을 사용하는 것이 바람직하다.
- [0026] 비정질 구조 내에 결정 영역들을 포함하는 반도체층에서, 2차 이온 질량 분석법에 의해 측정되는 질소 농도를 $3 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 으로 제어함으로써, 결정 핵들의 생성은 결정 핵들을 생성하지 않도록 제어되고, 따라서, 미소 결정 입자들이 형성된다.
- [0027] 비정질 구조 내에 결정 영역들을 포함하는 반도체층에서, 2차 이온 질량 분석법에 의해 측정된 질소 농도를 $1 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$, 바람직하게는, $2 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 로 제어함으로써, 원추형 또는 피라미드형 결정 영역들이 그로부터 성장하기 시작하는 결정 핵 생성 위치들 및 결정 핵 생성 밀도가 제어되거나, 원추형 또는 피라미드형 결정 영역들의 성장이 제어된다.
- [0028] 결정 영역의 일 형태인 원추형 또는 피라미드형 결정 영역으로서, 보텀 게이트 박막 트랜지스터(bottom gate thin film transistor)의 경우에, 그 폭이 게이트 절연층으로부터 소스 및 드레인 영역들을 향해 좁아지는 원추형 또는 피라미드형 결정 영역(이하, 정규 원추형 또는 피라미드형 결정 영역이라고도 지칭됨)이 존재한다. 또한, 게이트 절연층, 또는 게이트 절연층에 접하는 반도체층과, 실질적으로 방사상 방식으로 소스 또는 드레인 영역들을 향하는 결정 영역들을 포함하는 반도체층 사이의 계면으로부터 성장되는 반전된 원추형 또는 피라미드형 결정 영역이 존재한다.
- [0029] "정규 원추형 또는 피라미드 형상"은 본 명세서에서 (i) 복수의 평면들을 포함하는 기저부 및 (ii) 기저부와 소스 및 드레인 영역들 사이에 존재하는, 기저부 외측에 위치한 꼭지점(vertex)과 기저부의 외주를 연결하는 선들에 의해 구성되는 3차원 형상을 지칭한다. 달리 말하면, "정규 원추형 또는 피라미드 형상"은 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 증착 방향으로 결정 영역의 폭이 감소됨으로써 얻어진 형상을 지칭한다. 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 기저부로서 기능하는 반도체층이 미결정 반도체층 또는 결정 반도체층일 경우, 결정 영역의 일부가 종 결정(seed crystal)으로서 반도체층과 함께 성장하는 조건 하에서 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 증착함으로써, 결정 영역은 그 폭이 좁아지도록 성장한다.
- [0030] "반전된 원추형 또는 피라미드 형상"은 본 명세서에서 (i) 복수의 평면들을 포함하는 기저부, 및 (ii) 기저부와 기관 사이에 존재하는, 기저부 외측에 위치한 정점과 기저부의 외주를 연결하는 선들에 의해 구성된 3차원 형상을 지칭한다. 달리 말하면, "반전된 원추형 또는 피라미드 형상"은 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 증착 방향으로 실질적으로 방사상 방식으로 결정 영역의 성장에 의해 얻어진 형상을 지칭한다. 생성된 각 결정 핵들은 막 형성 동안 그 결정학적 방향을 따라 이산적으로 성장하며, 결정 영역들은 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 증착 방향에 수직인 평면의 방향으로 확산되도록 결정 핵들로부터 성장한다.
- [0031] 또한, 원추형 또는 피라미드형 결정 영역들은 단결정 또는 트윈 결정(twin crystal)을 포함한다. 또한, 원추형 또는 피라미드형 결정 영역들은 비정질 구조 내에 이산적으로 존재하며, 따라서, 소수의 결정 입자 경계들이 존재한다. "트윈 결정"은 두 개의 서로 다른 결정 입자들이 결정 입자 경계에서 매우 양호한 일관성으로 서로 접합되어 있다는 것을 의미한다. 달리 말해서, "트윈 결정"은 결정 격자들이 결정 입자 경계에 연속적으로 배열되어, 결정 결손들(crystal defects) 등으로 인한 트랩 레벨(trap level)이 형성되기 어려운 구조를 갖는다. 따라서, 이런 결정 구조를 갖는 영역 내에서 결정 입자 경계는 실질적으로 존재하지 않는 것으로 간주될 수 있다.
- [0032] 결정 영역의 일 형태인 미소 결정 입자는 1 내지 10 nm의 직경, 바람직하게는, 1 내지 5 nm의 직경을 갖는 결정 입자이다. 증착 소스 가스가 질소를 포함할 때, 결정 핵들의 생성이 저해될 수 있고, 결정 핵들이 되지 않는 미소 결정 입자들이 형성될 수 있다. 또한, 반도체층 내의 미소 결정 입자들의 밀도를 증가시킴으로써 결정 성분들의 비율이 증가된다.
- [0033] 상술한 방식으로, 박막 트랜지스터에서, 비정질 구조 내에 결정 영역들을 포함하는 반도체층이 채널 형성 영역과 소스 및 드레인 영역들 사이의 버퍼층으로서 제공되며, 그에 의해, 소스 영역 또는 드레인 영역에 전압이 인가될 때의 두께 방향으로의 버퍼층의 저항이 낮아질 수 있다. 특히, 버퍼층으로서 소스 영역 및 드레인 영역

바로 아래의 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 제공함으로써, 게이트 절연층과 소스 및 드레인 영역들 사이에 비정질 반도체층이 제공되는 박막 트랜지스터에 비해 박막 트랜지스터의 온 전류가 증가될 수 있다.

[0034] 또한, 비정질 구조 내에 결정 영역들을 포함하는 반도체층에서, 비정질 반도체, 통상, 비정질 실리콘에 비해, 대역 간극의 대역 미부의 경사가 더 급격하고, 대역 간극은 더 넓으며, 터널링 전류는 쉽게 흐르지 않는다. 따라서, 오프 전류가 흐르는 영역 내에 버퍼층으로서 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 제공함으로써, 게이트 절연층과 소스 및 드레인 영역들 사이에 미결정 반도체가 제공되는 박막 트랜지스터에 비해 오프 전류가 감소될 수 있다.

[0035] 산소 같은, 실리콘의 배위수(coordination number)를 감소시키고 불포화 결합(dangling bond)들을 생성하는 실리콘 내의 불순물 원소의 농도가 감소된다는 것에 주의하여야 한다. 즉, 2차 이온 질량 분석법에 의해 측정되는 산소 농도는 $5 \times 10^{18} \text{ cm}^{-3}$ 이하가 되는 것이 바람직하다.

[0036] 여기서, 농도는 다른 측정 방법들이 언급되지 않는 한, 2차 이온 질량 분석법(SIMS)에 의해 측정된다는 것을 주의하여야 한다.

[0037] 온 전류는 트랜지스터가 온 상태일 때 소스 전극과 드레인 전극 사이에서 흐르는 전류를 지칭한다는 것을 주의하여야 한다. 예로서, n-채널 트랜지스터의 경우에, 온 전류는 트랜지스터의 게이트 전압이 그 임계 전압보다 높을 때, 소스 전극과 드레인 전극 사이에 흐르는 전류를 지칭한다.

[0038] 또한, 오프 전류는 트랜지스터가 오프 상태일 때 소스 전극과 드레인 전극 사이에 흐르는 전류이다. 예로서, n-채널 트랜지스터의 경우에, 오프 전류는 트랜지스터의 게이트 전압이 그 임계 전압보다 낮을 때 소스 전극과 드레인 전극 사이에 흐르는 전류를 지칭한다.

발명의 효과

[0039] 상술한 바와 같이, 비정질 반도체가 채널 형성 영역에 포함되는 박막 트랜지스터에 비해, 박막 트랜지스터의 온 전류가 증가될 수 있다. 또한, 미결정 반도체가 채널 형성 영역에 포함되는 박막 트랜지스터에 비해, 박막 트랜지스터의 오프 전류가 감소될 수 있다.

도면의 간단한 설명

[0040] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 박막 트랜지스터의 일 예의 설명도들.
 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도들.
 도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도들.
 도 4a 내지 도 4d는 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도들.
 도 5는 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도.
 도 6은 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도.
 도 7은 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도.
 도 8은 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도.
 도 9는 본 발명의 일 실시예에 따른 박막 트랜지스터의 일예의 설명도.
 도 10a 및 도 10b는 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도들이다.
 도 11은 본 발명의 일 실시예에 따른 박막 트랜지스터의 일 예의 설명도이다.
 도 12a 내지 도 12d는 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도들이다.
 도 13a 및 도 13b-3은 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도들이다.
 도 14a 및 도 14b는 본 발명의 일 실시예에 따른 박막 트랜지스터의 일예의 설명도들이다.
 도 15a 내지 도 15c는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 일 예의 설명도들.

도 16a 내지 도 16c는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 일 예의 설명도들.

도 17a 및 도 17b는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 일 예의 설명도들.

도 18a 및 도 18b는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 일 예의 설명도들.

도 19는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법에 적용가능한 장치의 설명도.

도 20은 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 타이밍 차트의 일예를 도시한 도면.

도 21은 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 타이밍 차트의 일예를 도시한 도면.

도 22는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 타이밍 차트의 일예를 도시한 도면.

도 23은 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 타이밍 차트의 일예를 도시한 도면.

도 24는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 타이밍 차트의 일예를 도시한 도면.

도 25는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 타이밍 차트의 일예를 도시한 도면.

도 26a 및 도 26b는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 일 예의 설명도들.

도 27a 내지 도 27c는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 일 예의 설명도들.

도 28a 내지 도 28c는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 일 예의 설명도들.

도 29a 및 도 29b는 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하기 위한 방법의 일 예의 설명도들.

도 30a-1 내지 도 30b-2는 본 발명의 일 실시예에 적용가능한 다중 톤 마스크들의 설명도들.

도 31a 내지 도 31c는 본 발명의 일 실시예에 따른 박막 트랜지스터가 적용될 수 있는 표시 패널들의 설명도들.

도 32a 내지 도 32d는 본 발명의 일 실시예에 따른 박막 트랜지스터가 적용될 수 있는 전자 장치의 설명도들.

도 33은 본 발명의 일 실시예에 따른 박막 트랜지스터가 적용될 수 있는 전자 장치의 설명도.

도 34a 내지 도 34c는 본 발명의 일 실시예에 따른 박막 트랜지스터가 적용될 수 있는 전자 장치의 설명도들.

도 35a 및 도 35b는 예 1에서 제조된 박막 트랜지스터의 단면 구조의 설명도들.

도 36a 및 도 36b는 예 2에서 제조된 박막 트랜지스터의 전기적 특성들을 도시하는 그래프들.

도 37a 및 도 37b는 예 2에서 제조된 박막 트랜지스터의 신뢰성을 보여주는 그래프들.

도 38a 및 도 38b는 예 3에서 제조된 박막 트랜지스터의 전기적 특성들을 보여주는 그래프들.

도 39는 예 4에서 설명된 단면 TEM 영상의 설명도.

도 40은 예 4에서 설명된 단면 TEM 영상의 설명도.

도 41a 내지 도 41h는 예 4에서 설명된 단면 TEM 영상의 설명도들.

도 42는 예 4에서 설명된 단면 TEM 영상의 설명도.

도 43a 및 도 43b는 반도체층의 원자 궤도의 설명도들.

도 44a 및 도 44b는 반도체층의 원자 궤도의 설명도들.

도 45a 및 도 45b는 예 5에서 제조된 박막 트랜지스터의 전기적 특성들을 도시하는 그래프들.

도 46a 및 도 46b는 비교예에서 제조된 박막 트랜지스터의 전기적 특성들을 보여주는 그래프들.

도 47은 예 6에서 제조된 박막 트랜지스터의 전기적 특성들을 보여주는 그래프.

도 48은 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도.

도 49a 내지 도 49c는 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도들.

도 50은 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층을 설명하는 그래프.

도 51a 내지 도 51d는 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도들.

도 52a 및 도 52b는 본 발명의 일 실시예에 따른 박막 트랜지스터에 포함된 반도체층의 설명도들.

발명을 실시하기 위한 구체적인 내용

- [0041] 이하에서, 도면들을 참조로 실시예들이 설명될 것이다. 본 발명은 하기의 설명에 한정되지 않는다는 것을 주의하여야 한다. 본 기술 분야의 숙련자들은 본 발명의 개념 및 범주로부터 벗어나지 않고, 본 발명의 모드 및 세부사항들이 다양하게 변경될 수 있다는 것이 쉽게 이해될 것이다. 따라서, 본 발명은 이하에 제공될 실시예들의 설명에 한정되는 것으로 해석되지 않아야 한다. 본 발명의 구조들이 도면들을 참조로 설명될 때, 다양한 도면들에서 유사 부분들은 공통적 참조 번호들로 표시된다. 유사 부분들에는 동일한 해칭 패턴이 적용되고, 유사 부분들은 일부 경우들에서 참조 번호들에 의해 특별히 표시되지 않는다.
- [0042] (실시예 1)
- [0043] 실시예 1에서, 박막 트랜지스터의 모드의 예가 도면들을 참조로 설명될 것이다.
- [0044] 도 1a 및 도 1b는 본 실시예에 따른 박막 트랜지스터의 단면도들이다. 도 1a에 예시된 박막 트랜지스터는 기판(101) 위의 게이트 전극층(103); 게이트 전극층(103)을 덮는 게이트 절연층(107); 게이트 절연층(107) 위에 제공되어 그와 접하고 채널 형성 영역으로서 기능하는 반도체층(115); 반도체층(115) 위의 버퍼층(131); 및 버퍼층(131) 위에 제공되고 버퍼층의 일부와 접하는 소스 및 드레인 영역들(129)을 포함한다. 또한, 박막 트랜지스터는 소스 및 드레인 영역들(129) 위에 제공되고 그와 접하는 배선층(123) 및 배선층(125)을 포함한다. 배선층(123) 및 배선층(125)은 소스 전극 및 드레인 전극을 형성한다. 또한, 각 층은 원하는 형상으로 패턴화되어 있다. 본 실시예에서, 버퍼층(131)은 비정질 구조의 결정 영역들을 포함하는 반도체층을 사용하여 형성된다.
- [0045] 도 1b에 예시된 바와 같이, 반도체층(115)에서, 게이트 전극층(103)과 중첩되고 게이트 절연층(107) 측부 상에 제공되는 영역(171)은 채널로서 기능한다. 또한, 버퍼층(131)에서, 게이트 절연층(107)에 대향한 측부 상에 제공되어 소스 및 드레인 영역들(129)과 접하지 않는 영역(172)은 백 채널로서 기능한다. 또한, 버퍼층(131)에서, 드레인 영역과 접하는 측부 상의 영역(173)은 공핍층(depletion layer)이 된다. 또한, 버퍼층(131) 및 소스 또는 드레인 영역이 서로 접하는 영역(174)은 접합 영역(bond region)이다.
- [0046] 기판(101)으로서, 유리 기판 및 세라믹 기판에 추가하여, 본 제조 프로세스의 처리 온도를 견딜 수 있는 내열성을 갖는 플라스틱 기판 등이 사용될 수 있다. 기판이 광-투과 특성을 필요로 하지 않는 경우, 스테인레스 스틸 합금과 같은 금속의 표면 상에 절연층을 제공함으로써 얻어진 기판이 사용될 수 있다. 유리 기판으로서, 예를 들면, 바륨 보로실리케이트 유리, 알루미늄보로실리케이트 유리, 알루미늄보로실리케이트 유리 등의 무알칼리 유리 기판이 사용될 수 있다.
- [0047] 게이트 전극층(103)은 또는 몰리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐이나 그 주 성분으로서 이들 재료들 중 임의의 것을 포함하는 합금 재료와 같은 금속 재료를 사용하여, 단일 층으로서 또는 적층된 층으로서 형성될 수 있다. 또한, 인과 같은 불순물 원소로 도핑된 다결정 실리콘에 의해 전형화되는 반도체층 또는 AgPdCu 합금이 사용될 수 있다.
- [0048] 예로서, 게이트 전극층(103)의 2개 층 구조로서, 알루미늄 층 위에 몰리브덴 층이 적층되어 있는 2개 층 구조, 구리 층 위에 몰리브덴 층이 적층되어 있는 2개 층 구조, 구리 층 위에 티타늄 니트라이드 층 또는 탄탈륨 니트라이드 층이 적층되어 있는 2개 층 구조, 또는, 티타늄 니트라이드 층과 몰리브덴 층이 적층되어 있는 2개 층 구조가 바람직하다. 3개 층 구조로서, 텅스텐 층 또는 텅스텐 니트라이드 층, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금의 층, 및 티타늄 니트라이드 층이나 티타늄 층이 적층되어 있는 구조가 바람직하다. 배리어 층으로서 기능하는 금속 층이 낮은 전기 저항을 갖는 층 위에 적층될 때, 금속 원소는 낮은 전기 저항을 갖는 층으로부터 반도체층으로 확산하는 것이 방지될 수 있다.
- [0049] 게이트 절연층(107)은 CVD 방법, 스퍼터링 방법 등에 의해 산화 실리콘 층, 질화 실리콘 층, 산화질화실리콘

층, 및 질화산화실리콘 층 중 임의 것을 사용하여 단일 층 또는 적층된 층으로서 형성될 수 있다. 산화질화실리콘 층을 사용하여 게이트 절연층(107)을 형성함으로써, 반도체층(115)으로서 미결정 반도체층을 형성하는 경우에, 박막 트랜지스터의 임계 전압의 변동이 감소될 수 있다.

[0050] 본 명세서에서, 산화질화실리콘은 질소보다 많은 산소를 함유하고, 러더포드 후방산란 분광법(RBS) 및 수소 전방 산란법(HFS)을 사용하여 측정이 수행되는 경우, 산소, 질소, 실리콘, 및 수소를 각각 50 내지 70 원자%, 0.5 내지 15 원자%, 25 내지 35 원자% 및 0.1 내지 10 원자%의 범위의 농도들로 함유한다는 것을 주의하여야 한다. 또한, 질화 산화 실리콘은 산소보다 많은 질소를 포함하고, RBS 및 HFS를 사용하여 측정들이 수행되는 경우, 산소, 질소, 실리콘, 및 수소를 각각 5 내지 30 원자%, 20 내지 55 원자%, 25 내지 35 원자% 및 10 내지 30 원자%의 범위의 농도들로 함유한다. 산화질화실리콘 또는 질화산화실리콘 내에 함유된 원자의 총 수가 100원자%로 규정되는 경우에 질소, 산소, 실리콘, 및 수소의 백분율들이 상술한 범위들 내에 든다는 것을 주의하여야 한다.

[0051] 반도체층(115)은 미결정 반도체층, 비정질 반도체층, 또는 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 사용하여 형성된다. 미결정 반도체층, 비정질 반도체층, 또는 비정질 구조 내에 결정 영역들을 포함하는 반도체층으로서, 실리콘, 게르마늄, 또는 실리콘 게르마늄이 사용될 수 있다. n-형 도전성을 부여하는 인 또는 p-형 도전성을 부여하는 붕소가 반도체층(115)에 추가될 수 있다는 것을 주의하여야 한다. 티타늄, 지르코늄, 하프늄, 바나듐, 니오븀, 탄탈륨, 크롬, 몰리브덴, 텅스텐, 코발트, 니켈, 또는 백금과 같은 실리콘과 반응하여 실리사이드를 형성하는 금속 원소가 반도체층(115)에 추가될 수도 있다. n-형 도전성을 부여하는 인, p-형 도전성을 부여하는 붕소, 실리콘과 반응하여 실리사이드를 형성하는 금속 원소 등이 반도체층(115)에 추가되는 경우, 반도체층의 캐리어 이동도가 증가될 수 있다. 따라서, 상술한 반도체층이 채널 형성 영역으로서 기능하는 박막 트랜지스터의 전계 효과 이동도가 증가될 수 있다. 반도체층(115)의 두께는 바람직하게는 3 nm 내지 100 nm, 더욱 바람직하게는 5 nm 내지 50 nm이다.

[0052] 미결정 반도체층은 비정질 및 결정(단결정 및 다결정 포함) 구조들 사이에 중간 구조를 갖는 반도체를 포함하는 층이다. 미결정 반도체는 자유 에너지에 관하여 안정한 제 3 상태를 갖는 반도체이며, 결정 반도체는 단-범위 정렬 및 격자 왜곡을 가지고, 2 nm 내지 200 nm의 결정 입자 직경, 바람직하게는 10 nm 내지 80 nm, 더욱 바람직하게는 20 nm 내지 50 nm의 결정 입자 직경을 갖는 그 주상 또는 침상 결정들(115a)이 기판 표면에 수직인 방향으로 성장된다. 따라서, 결정 입자 경계(115b)가 주상 또는 침상 결정들(115a) 사이의 계면에 형성된다. 또한, 비정질 구조(115c)는 주상 또는 침상 결정들(115a) 사이에 존재한다(도 2a).

[0053] 또한, 2차 이온 질량 분석법에 의해 측정되는 미결정 반도체층 내에 포함된 산소 및 질소의 농도들은 바람직하게는 1×10^{18} atoms/cm³이다.

[0054] 또한, 미결정 반도체층에서, 비정질 층(115d)은 게이트 절연층(107)과의 계면에 형성되고, 주상 또는 침상 결정들(115a)은 그 위에 형성될 수 있다(도 2b).

[0055] 또한, 대안적으로, 도 2c에 예시된 바와 같이, 주상 또는 침상 결정들(115a)은 게이트 절연층(107)과 반도체층(115) 사이의 계면에 비정질 구조 없이 게이트 절연층(107)의 표면에 형성될 수 있다. 비정질 구조가 게이트 절연층(107)과 반도체층(115) 사이의 계면에 존재하지 않을 때, 높은 결정도를 갖는 주상 또는 침상 결정들(115a) 내의 캐리어들의 이동하고, 따라서, 박막 트랜지스터의 온 전류 및 전계 효과 이동도가 증가될 수 있다.

[0056] 미결정 반도체의 대표적 예인 미결정 실리콘은 단결정 실리콘을 나타내는 520cm⁻¹보다 더 낮은 웨이브 번호 측부(wave number side)로 이동되는 라만(Raman) 스펙트럼을 갖는다. 즉, 미결정 실리콘의 라만 스펙트럼의 피크는 단결정 실리콘을 나타내는 520cm⁻¹와 비정질 실리콘을 나타내는 480cm⁻¹ 사이에 존재한다. 미결정 반도체는 불포화 결합을 종단시키기 위해 적어도 1원자%의 수소 또는 할로젠을 함유한다. 또한, 헬륨, 아르곤, 크립톤 또는 네온 같은 희가스 원소가 격자 왜곡을 더욱 촉진하기 위해 함유될 수 있으며, 그래서, 미결정들의 구조의 안정성이 향상되고, 바람직한 미결정 반도체가 얻어질 수 있다. 이런 미결정 반도체는 예로서, 미국 특허 제 4,404,134 호에 개시되어 있다.

[0057] 도 3a 내지 도 3d 각각은 본 실시예의 주요 특징들 중 하나인 버퍼층(131)의 구조를 예시한다. 버퍼층(131)은 비정질 구조 내에 결정 영역들을 포함한다. 결정 영역들은 원주형 또는 피라미드형 결정 영역들 및/또는 미소 결정 입자들이다. 또한, 결정 영역들은 분산, 즉, 이산적으로 존재한다. 버퍼층(131)의 두께는 바람직하게는 50 내지 350 nm, 더욱 바람직하게는 120 내지 250 nm이다.

[0058] 버퍼층(131)에서, 2차 이온 질량 분석법에 의해 측정된 질소 농도는 1×10^{20} cm⁻³ 내지 1×10^{21} cm⁻³, 바람직하

계는, $2 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$, 더욱 바람직하게는 $3 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 이다.

- [0059] 또한, 버퍼층(131) 상에 저온 포토루미네선스 분광법을 수행함으로써 얻어진 스펙트럼의 피크 영역은 1.31 eV 내지 1.39 eV이다. 미결정 반도체층, 통상적으로 미결정 실리콘 층 상에 저온 포토루미네선스 분광법을 수행함으로써 얻어진 스펙트럼의 피크 영역은 0.98 eV 내지 1.02 eV라는 것을 주의하여야 한다. 따라서, 비정질 구조 내에 결정 영역들을 포함하는 반도체층은 미결정 반도체층과는 다르다.
- [0060] 원추형 또는 피라미드형 결정 영역들의 형상들로서, 결정 영역이 버퍼층(131)의 증착 방향으로 버퍼층(131)과 반도체층(115) 사이의 계면으로부터 실질적으로 방사상 방식으로 성장하는 원추형 또는 피라미드형 형상(반전된 원추형 또는 피라미드형 형상) 및 버퍼층(131)의 증착 방향으로 버퍼층(131)과 반도체층(115) 사이의 계면으로부터 결정 영역의 폭이 좁아지는 원추형 또는 피라미드형 형상(정규 원추형 또는 피라미드형 형상)이 있다.
- [0061] 먼저, 반전된 원추형 또는 피라미드형 형상이 도 3a 내지 도 3d를 참조로 설명될 것이다.
- [0062] 도 3a에 예시된 바와 같이, 버퍼층(131) 내에서, 결정 영역들(131a)은 비정질 구조(131b) 내에 분산, 즉, 이산적으로 존재한다.
- [0063] 도 3a 내지 도 3d에 예시된 결정 영역들(131a) 각각은 반전된 원추형 또는 피라미드형 형상을 갖는다. "반전된 원추형 또는 피라미드형 형상"은 본 명세서에서, (i) 복수의 평면들을 포함하는 기저부, 및 (ii) 기저부와 기판(101) 사이에 존재하는, 기저부 외측에 위치된 정점(vertex)과 기저부의 외주를 연결하는 선들에 의해 구성된 3차원 형상을 지칭한다. 달리 말하면, "반전된 원추형 또는 피라미드 형상"은 버퍼층(131)의 증착 방향으로 실질적으로 방사상 방식으로 결정 영역의 성장에 의해 얻어진 형상을 지칭한다. 생성된 각 결정 핵들은 버퍼층의 형성 동안 그 결정학적 방향을 따라 이산적으로 성장하며, 결정 영역들은 버퍼층(131) 증착 방향에 수직인 평면의 방향으로 확산되도록 결정 핵들로부터 성장한다. 또한, 결정 영역들(131a)은 단결정 또는 트윈 결정을 포함한다.
- [0064] 버퍼층 내에 포함된 결정 영역의 일 모드가 도 3b-1에 예시되어 있다. 결정 영역(131d)은 그 꼭지점이 반도체층(115)과 접하고 버퍼층의 증착 방향으로 연속적으로 성장하도록 형성된다.
- [0065] 이런 결정 영역은 버퍼층의 증착의 초기 단계에서 질소 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$, 바람직하게는, $2 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 가 되도록 설정되고, 증착 방향으로 점진적으로 감소되는 방식으로 형성될 수 있다. 버퍼층이 상술한 범위의 농도로 질소를 포함할 때, 결정 영역의 높이가 제어될 수 있으며, 결정 영역들의 높이들의 변동이 감소될 수 있다. 결과적으로, 복수의 박막 트랜지스터들의 특성들의 변동이 감소될 수 있다.
- [0066] 버퍼층에 포함된 결정 영역의 다른 모드가 도 3b-2에 예시되어 있다. 결정 영역(131e)은 그 꼭지점이 반도체층(115)과 접하지 않고 반도체층(115)으로부터 소정 거리를 갖도록 형성되며 버퍼층의 증착 방향으로 연속적으로 성장하도록 형성된다.
- [0067] 이런 결정 영역은 버퍼층의 증착의 초기 단계에서 질소 농도가 $3 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 가 되도록 설정되고, 증착 방향으로 점진적으로 감소되는 방식으로 형성될 수 있다.
- [0068] 버퍼층에 포함된 결정 영역의 다른 모드가 도 3b-3에 예시되어 있다. 결정 영역(131f)은 그 꼭지점이 반도체층(115)과 접하도록 형성되고, 결정 영역(131f)의 성장은 버퍼층의 증착 방향으로 소정 지점에서 정지된다. 비정질 구조가 결정 영역(131f) 상에 형성된다.
- [0069] 이런 결정 영역은 버퍼층의 증착의 초기 단계에서 질소 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$, 바람직하게는, $2 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 가 되도록 설정되고, 결정 영역을 성장시키기 위해 증착 방향으로 점진적으로 감소되며, 그후, $3 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 로 증가되는 방식으로 형성될 수 있다.
- [0070] 결정 영역의 꼭지점은 도 3b-3에서 반도체층(115)과 접하지만; 도 3b-2와 유사한 조건하에서, 결정 영역의 꼭지점이 반도체층(115)과 접하지 않고 결정 영역의 성장이 증착 방향으로 소정 지점에서 정지되는 결정 영역이 얻어질 수 있다.
- [0071] 버퍼층에 포함된 결정 영역의 다른 모드가 도 3b-4에 예시되어 있다. 구조(131g)는 복수의 반전된 원추형 또는 피라미드형 결정 영역들이 증착 방향으로 적층되어 얻어질 수 있다는 것에 주의하여야 한다.

- [0072] 이런 결정 영역은 버퍼층의 증착의 초기 단계에서, 질소 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$, 바람직하게는, $2 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 가 되도록 설정되고, 결정 영역의 성장을 위해 증착 방향으로 점진적으로 감소되며, 그후, $3 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 로 증가되고, 그 후 다시 감소되는 방식으로 형성될 수 있다.
- [0073] 도 3b-4에서, 결정 영역의 꼭지점은 반도체층(115)과 접하지만; 도 3b-2와 유사한 조건하에서, 구조는 결정 영역의 꼭지점이 반도체층(115)과 접하지 않도록 얻어질 수 있다는 것에 주의하여야 한다.
- [0074] 결정 영역들(131a 및 131d 내지 131g)은 질소를 함유한다는 것을 주의하여야 한다. 일부 경우들에서, 결정 영역들(131a 및 131d 내지 131g)은 NH기 또는 NH₂기를 포함한다. 또한, 비정질 구조(131b)도 질소를 포함한다. 일부 경우들에서, 비정질 구조(131b)는 NH기 또는 NH₂기를 포함한다.
- [0075] 또한, 버퍼층(131)은 미소 결정 입자들(131c)이 도 3c에 예시된 바와 같이 비정질 구조(131b) 내에 분산되는 모드를 갖는다. 미소 결정 입자(131c)는 결정 영역을 위한 결정 핵이 될 수 없는 미소 크기를 갖는 결정 입자이다. 미소 결정 입자(131c)의 크기는 통상적으로 1 nm 내지 10 nm이고, 바람직하게는, 1 nm 내지 5 nm이다. 미소 결정 입자는 버퍼층(131) 내의 질소 농도를 제어함으로써 형성될 수 있다. 다량의 질소는 미소 결정 입자의 외부층 상에, 즉, 비정질 구조(131b)와 접하는 측부 상에 격리되기 쉽다. 따라서, 일부 경우들에서 다량의 질소, 바람직하게는 NH기 또는 NH₂기는 미소 결정 입자(131c)와 비정질 구조(131b)의 사이의 계면에 존재한다.
- [0076] 미소 결정 입자들(131c)은 버퍼층(131) 내에 분산될 수 있다는 것을 주의하여야 한다. 대안적으로, 미소 결정 입자들(131c)은 버퍼층(131) 내에 결집될 수 있다. 또한, 대안적으로, 분산된 미소 결정 입자들(131c) 및 결집된 미소 결정 입자들(131c)이 양자 모두 존재할 수 있다.
- [0077] 또한, 도 3d에 예시된 바와 같이, 버퍼층(131)은 결정 영역들(131a) 및 미소 결정 입자들(131c)이 비정질 구조(131b) 내에 분산되어 있는 모드를 갖는다.
- [0078] 미소 결정 입자(131c)는 질소를 함유한다는 것을 주의하여야 한다. 일부 경우들에서, 미소 결정 입자(131c)는 NH기 또는 NH₂기를 함유한다.
- [0079] 다음에, 정규 원추형 또는 피라미드형 형상을 갖는 결정 영역이 도 4a 내지 도 4d를 참조로 설명될 것이다.
- [0080] 도 4a에 예시된 바와 같이, 비정질 구조(131b) 내에 정규 원추형 또는 피라미드형 결정 영역들(131h)을 포함하는 버퍼층(131)이 반도체층(115) 위에 형성된다. 버퍼층(131)에서, 결정 영역들(131h)은 분산되고, 즉, 이산적으로 비정질 구조(131b) 내에 존재한다.
- [0081] 도 4a 내지 도 4d에 예시된 결정 영역들(131h) 각각은 정규 원추형 또는 피라미드형 형상을 갖는다. "정규 원추형 또는 피라미드형 형상"은 본 명세서에서 (i) 복수의 평면들을 포함하는 기저부 및 (ii) 기저부와 소스 및 드레인 영역들(129) 사이에 존재하는, 기저부 외측에 위치된 꼭지점과 기저부의 외주를 연결하는 선들에 의해 구성되는 3차원 형상을 지칭한다. 달리 말하면, "정규 원추형 또는 피라미드 형상"은 버퍼층(131)의 증착 방향으로 결정 영역의 폭이 감소됨으로써 얻어진 형상을 지칭한다. 반도체층(115)이 미결정 반도체층 또는 결정 반도체층일 경우, 결정 영역의 일부가 종 결정으로서 반도체층(115)과 함께 성장하는 조건 하에서 버퍼층(131)을 증착함으로써, 결정 영역(131h)은 그 폭이 좁아지도록 성장한다. 도 4a 내지 도 4c에서, 반도체층(115) 및 결정 영역들(131h)은 점선들로 표시된 바와 같이 서로 접하는 것으로 예시되어 있지만, 반도체층(115)의 일부는 결정 영역(131h)이 되도록 성장한다. 또한, 결정 영역들(131h)은 단결정 또는 트윈 결정을 포함한다.
- [0082] 버퍼층 내에 포함된 결정 영역의 일 모드가 도 4a에 예시되어 있다. 결정 영역(131h)의 하부는 반도체층(115)과 접하고, 결정 영역(131h)의 꼭지점은 비정질 구조(131b) 내에 있다.
- [0083] 이런 결정 영역은 버퍼층의 증착 동안 질소 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$, 바람직하게는, $2 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 가 되도록 설정되는 방식으로 형성될 수 있다.
- [0084] 버퍼층 내에 포함된 결정 영역의 다른 모드가 도 4b에 예시되어 있다. 결정 영역(131i)의 꼭지점은 소스 영역 또는 드레인 영역(129)과 접한다. 이런 경우에, 비정질 구조(131b) 내에서 결정 영역들(131i)의 비율은 낮은 것이 바람직하다. 따라서, 박막 트랜지스터의 오프 전류가 감소될 수 있다.

- [0085] 이런 결정 영역은 버퍼층의 증착 동안 질소 농도가 1×10^{20} 내지 $1 \times 10^{21} \text{ cm}^{-3}$, 바람직하게는, 2×10^{20} 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 가 되도록 설정되는 방식으로 형성될 수 있다.
- [0086] 결정 영역들(131h 및 131i)은 질소를 함유한다는 것을 주의하여야 한다. 일부 경우들에서, 결정 영역들(131h 및 131i)은 NH기 또는 NH₂기를 포함한다. 또한, 비정질 구조(131b)도 질소를 함유한다. 일부 경우들에서, 비정질 구조(131b)는 NH기 또는 NH₂기를 포함한다.
- [0087] 버퍼층 내에 포함된 결정 영역의 다른 모드가 도 4c에 예시되어 있다. 결정 영역들(131h) 또는 결정 영역들(131i)과 미소 결정 입자들(131c)은 비정질 구조(131b) 내에 분산된다.
- [0088] 상술한 구조 중 임의의 것에 의해, 전압이 소스 영역 또는 드레인 영역에 인가될 때 수직 방향으로의 버퍼층(131)의 저항, 즉, 소스 영역 또는 드레인 영역과 반도체층 사이의 저항이 감소될 수 있으며, 그에 의해, 박막 트랜지스터의 온 전류가 증가될 수 있다. 특히, 소스 영역 및 드레인 영역 바로 아래의 버퍼층으로서 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 제공함으로써, 박막 트랜지스터의 온 전류가 증가될 수 있다.
- [0089] 또한, 도 4a 내지 도 4c에서, 반도체층(115)과 버퍼층(131) 사이의 계면은 결정 영역들(131h) 및 비정질 구조(131b)를 갖도록 형성된다. 그러나, 반도체층(115)이 미결정 반도체층인 경우, 반도체층(115)과 버퍼층(131) 사이의 계면은 도 4d에 예시된 바와 같이 일부 경우들에서 결정 영역이다. 이는 버퍼층(131)이 형성될 때, 반도체층(115)인 미결정 반도체층이 종 결정으로서 기능하고, 버퍼층(131)의 증착의 초기 단계에 결정 영역들이 성장하며, 그에 의해, 반도체층(115)의 전체 표면에 결정 영역들이 성장하기 때문이다. 그후, 결정도가 점진적으로 제어되고, 정규 원추형 또는 피라미드형 형상을 갖는 결정 영역(131j)이 형성된다.
- [0090] 이 경우, 결정 영역(131j)은 질소를 함유한다. 일부 경우들에서, 결정 영역(131j)은 NH기 또는 NH₂기를 포함한다. 또한, 비정질 구조(131b)도 질소를 포함한다. 일부 경우들에서, 비정질 구조(131b)는 NH기 또는 NH₂기를 함유한다.
- [0091] 도 4a 내지 도 4d에서, 반도체층(115)과 게이트 절연층(107) 사이의 계면으로부터 결정 영역들(131h 내지 131j)의 꼭지점까지의 거리는 바람직하게는 3 내지 410 nm, 더욱 바람직하게는 20 내지 100 nm라는 것을 주의하여야 한다. 결정 핵들의 생성을 감소 또는 억제시키는 불순물 원소로서, 산소 및 질소가 주어질 수 있으며, 캐리어들을 포획하지 않는 실리콘 내의 불순물 원소(예를 들어, 질소)가 선택된다. 다른 한편, 실리콘의 배위수를 감소시키고 불포화 결합을 생성하는 불순물 원소(예를 들어, 산소)의 농도는 감소된다. 따라서, 질소 농도를 감소시키지 않고 산소 농도를 감소시키는 것이 바람직하다. 특히, 2차 이온 질량 분석법에 의해 측정되는 산소 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이하인 것이 바람직하다.
- [0092] 또한, 질소 농도는 버퍼층이 반도체 특성을 유지하고 불포화 결합이 감소되며, 캐리어 이동도가 증가되는 농도가 되는 것이 바람직하다. 질소 농도가 너무 높으면, 반도체 특성이 저하되어 절연 특성의 증가를 초래하고, 따라서, 온 전류가 감소된다. 또한, 질소 농도가 너무 낮으면, 종래의 비정질 반도체층과 유사하게, 캐리어 이동도가 증가되지 않으며, 버퍼층의 결손 레벨들이 증가된다.
- [0093] 상술한 바와 같이, 원추형 또는 피라미드형 결정 영역들은 이산적으로 존재한다. 결정 영역들이 이산적으로 존재하도록 결정 핵형성의 밀도의 제어가 필요하다. 질소 농도의 제어는 결정 영역들 내의 결정 핵형성의 밀도가 제어될 수 있게 하고, 결정 영역들이 이산적으로 존재할 수 있게 한다. 또한, 결정 영역들이 버퍼층 내의 소스 및 드레인 영역들의 방향으로, 즉, 채널 길이 방향으로, 이산적으로 존재하기 때문에, 오프 전류가 감소될 수 있다. 특히, 결정 영역들이 소스 영역과 드레인 영역 사이의 채널 길이 방향으로 버퍼층 내에 이산적으로 존재하기 때문에, 오프 전류가 감소될 수 있다.
- [0094] 소스 및 드레인 영역들(129)로서, 일 도전형을 부여하는 불순물 원소가 추가된 반도체층(이하에서, 불순물 반도체층이라 지칭됨)이 형성된다. n-채널 박막 트랜지스터를 형성하는 경우에, 일 도전형을 부여하는 불순물 원소로서 인이 사용될 수 있다. 박막 트랜지스터는 통상적으로 인을 함유하는 미결정 실리콘 또는 비정질 실리콘을 사용하여 형성된다. p-채널 박막 트랜지스터를 형성하는 경우에, 일 도전형을 부여하는 불순물 원소로서 붕소가 사용될 수 있다. 박막 트랜지스터는 통상적으로 붕소를 함유하는 미결정 실리콘 또는 비정질 실리콘을 사용하여 형성된다.
- [0095] 일 도전형을 부여하는 불순물 원소, 여기서는, 인 또는 붕소의 농도를 1×10^{19} 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 으로 설정함으

로써, 배선층들(123 및 125)과의 옴릭 접합(ohmic contact)이 얻어질 수 있고, 불순물 반도체층이 소스 및 드레인 영역들로서 기능한다.

- [0096] 소스 및 드레인 영역들(129)은 10 nm 내지 100 nm, 바람직하게는 30 nm 내지 50 nm의 두께를 갖도록 형성된다. 소스 및 드레인 영역들(129)의 두께가 작게 형성될 때, 처리량이 증가될 수 있다.
- [0097] 배선층들(123 및 125)은 알루미늄, 구리, 티타늄, 네오디뮴, 스칸듐, 몰리브덴, 크롬, 탄탈륨, 텅스텐 등 중 임의의 것을 사용하여 단일 층 또는 적층된 층으로서 형성될 수 있다. 힐록(hillock)을 방지하기 위한 원소가 추가되는 알루미늄 합금(예를 들어, 게이트 전극층(103)을 위해 사용될 수 있는 알루미늄-네오디뮴 합금)도 사용될 수 있다. 대안적으로, 도너(donor)로서 기능하는 불순물 원소가 추가되는 결정 실리콘이 사용될 수 있다. 배선층들(123 및 125)은 도너로서 기능하는 불순물 원소가 추가되는 결정 실리콘과 접하는 측부 상의 층이 티타늄, 탄탈륨, 몰리브덴, 텅스텐, 또는 이들 원소들 중 임의의 원소의 니트라이드를 사용하여 형성되고, 알루미늄 또는 알루미늄 합금이 그 위에 형성되는 적층된 층 구조를 가질 수 있다. 대안적으로, 알루미늄 또는 알루미늄 합금의 층의 상부면 및 하부면이 티타늄, 탄탈륨, 몰리브덴, 텅스텐, 또는 이들 원소들 중 임의의 원소의 니트라이드 사이에 개재되는 다른 적층된 층 구조가 사용될 수 있다. 예로서, 배선층들(123 및 125)은 바람직하게는 알루미늄 층이 몰리브덴 층들 사이에 개재되는 3개 층 구조를 가진다.
- [0098] 본 실시예에 따라서, 비정질 반도체가 채널 형성 영역에 포함되는 박막 트랜지스터에 비해, 박막 트랜지스터의 온 전류가 증가될 수 있다. 또한, 미결정 반도체가 채널 형성 영역에 포함되는 박막 트랜지스터에 비해 박막 트랜지스터의 오프 전류가 감소될 수 있다.
- [0099] 이제, 본 발명의 주요 특징들 중 하나인 비정질 구조 내에 결정 영역들을 포함하는 반도체층이 설명될 것이다.
- [0100] 비정질 구조 내에 결정 영역들을 포함하는 반도체층은 일부 경우들에서 Si 원자의 불포화 결합들이 그와 가교 결합되는 NH기를 함유한다. 대안적으로, 비정질 구조 내에 결정 영역들을 포함하는 반도체층은 일부 경우들에서 Si 원자의 불포화 결합들이 그에 의해 중단되는 NH₂기를 함유한다. 이들 경우들이 후술되어 있다.
- [0101] 종래의 비정질 반도체는 결정 격자 같은 구조로 일정하게 반복되는 패턴들을 갖지 않는다. 따라서, 다수의 불포화 결합들이 포함되고, 불포화 결합을 포함하는 영역들이 결손되게 된다. 이 영역들은 캐리어들이 포획되는 부분들이며, 캐리어 이동도가 감소된다. 그러나, 본 실시예에 설명된 비정질 구조 내에 결정 영역들을 포함하는 반도체층에서, 일부 경우들에서 비정질 구조 내에 결정 영역들을 포함하는 반도체층 내에서 불포화 결합들의 수가 감소되도록, 불포화 결합들이 NH기와 가교 결합되거나, Si 원자의 불포화 결합들이 NH₂기에 의해 중단된다. 즉, 결손 레벨들이 감소된다. 또한, 불포화 결합들이 NH기와 가교 결합될 때, 결합부는 캐리어 경로가 될 수 있고, 따라서, 종래의 비정질 반도체층에 비해 캐리어 이동도가 증가된다. 결과적으로, 박막 트랜지스터의 버퍼층으로서 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 사용하는 경우에, 박막 트랜지스터의 온 전류 및 전계 효과 이동도가 증가될 수 있고, 그 오프 전류가 감소될 수 있다.
- [0102] "반도체층 내의 Si 원자의 불포화 결합들이 NH기와 가교 결합된다"는 것은 NH기의 다양한 결합들이 반도체층 내의 다른 반도체 원소들과의 결합을 위해 사용된다는 것을 의미한다는 것을 주의하여야 한다. 따라서, N 원자의 제 1 결합은 H 원자와의 결합을 위해 사용되고, N 원자의 제 2 결합은 제 1 반도체 원자와의 결합을 위해 사용되고, N 원자의 제 3 결합은 제 2 반도체 원자와의 결합을 위해 사용된다. 또한, "반도체층 내의 Si 원자의 불포화 결합들이 NH₂기에 의해 중단된다"는 것은 NH₂기가 반도체층 내의 Si 원자와 결합된다는 것을 의미한다. 따라서, N 원자의 제 1 결합 및 제 2 결합은 서로 다른 H 원자들과의 결합을 위해 사용되고, N 원자의 제 3 결합은 Si 원자와의 결합을 위해 사용된다.
- [0103] 일 모델이 후술되어 있다. 이 모델에서, NH기가 상술한 원추형 또는 피라미드형 결정 영역 외부, 즉, 원추형 또는 피라미드형 결정 영역과 비정질 구조 사이의 계면(예를 들어, 도 3a에 예시된 비정질 구조(131b)와 결정 영역(131a) 사이의 계면), 미소 결정 입자 외측, 즉, 미소 결정 입자와 비정질 구조 사이의 계면(예를 들어, 도 3c에 예시된 비정질 구조(131b)와 미소 결정 입자(131c) 사이의 계면), 미소 결정 입자들의 입자 경계(예를 들어, 도 3c에 예시된 미소 결정 입자들(131c) 사이의 계면), 반도체층과 버퍼층 사이의 계면(예를 들어, 도 3a에 예시된 버퍼층(131)과 반도체층(115) 사이의 계면), 버퍼층 내에 포함된 결정 영역들 사이의 계면(예를 들어, 도 4d에 예시된 결정 입자 경계(131k)) 등에 있는 실리콘 원자의 불포화 결합에 결합될 때, 결손 레벨들이 사라지고, 캐리어들이 쉽게 흐른다.
- [0104] n-형 캐리어들이 전달되는 레벨(즉, 전도 결합의 최저 레벨)인 실리콘 층의 LUMO(최저 비점유 분자 궤도)의 시

물레이션이 도 5에 예시된 바와 같이 Si 원자의 불포화 결합들이 H 원자들(191a)에 의해 중단되는 결정 입자 경계(192)를 갖는 실리콘 층 내의 0 원자(193)와 한 쌍의 불포화 결합들이 가교 결합되는 모델(모델 1) 및 도 6에 예시된 바와 같이, Si 원자의 불포화 결합들이 H 원자들(191a)에 의해 중단되는 결정 입자 경계(192)를 갖는 실리콘 층 내의 NH기(194)와 한 쌍의 불포화 결합들이 가교 결합되는 모델(모델 2) 각각에서 수행된다. 시물레이션을 위한 소프트웨어로서, 밀도 함수 이론을 채용하는 제 1 원리 계산 소프트웨어가 사용된다. NH기(194)는 도 6에서 질소 원자(195) 및 수소 원자들(191b)에 의해 표시되어 있다는 것을 주의하여야 한다. 또한, 라인들의 교차점은 실리콘 원자를 나타내고, 라인은 실리콘 원자의 결합 또는 불포화 결합을 나타낸다. 또한, 산소 원자와 NH기의 유효성을 평가하기 위해, 산소 원자 또는 NH기와 가교 결합된 불포화 결합 이외의 불포화 결합들은 모두 수소 원자들에 의해 중단되었다.

[0105] 도 7은 모델 1을 사용함으로써 얻어진 계산 결과를 예시하고, 도 8은 모델 2를 사용하여 얻어진 계산 결과를 예시한다.

[0106] 도 7은 Si 원자의 불포화 결합들이 0 원자와 가교 결합되는 영역 및 이 영역의 주변에서 파동 함수(wave function)의 형상을 예시한다. 파동 함수(196) 및 파동 함수(197)는 각각 그 위상들이 포지티브 및 네거티브(또는 각각 네거티브 및 포지티브)이면서 그 절대값들이 동일한 영역들을 나타낸다. 도 8은 Si 원자의 불포화 결합들이 NH기와 가교 결합되는 영역과 그 영역의 주변에서 파동 함수의 형상을 예시한다. 파동 함수(198) 및 파동 함수(199)는 각각 그 위상들이 포지티브 및 네거티브(또는 각각 네거티브 및 포지티브)이면서 그 절대값들이 동일한 영역들을 나타낸다.

[0107] 도 7은 Si 원자들의 불포화 결합들이 0 원자와 가교 결합되는 경우에, 파동 함수(wave function)의 그 위상들 및 그 절대값들이 동일한 영역들(예로서, 파동 함수들(196a 및 196b))이 분리되기 때문에 캐리어들이 쉽게 흐르지 않는다는 것을 보여준다. 즉, 실리콘 층이 산소를 포함할 때, 캐리어 전달을 중단시키는 결합(bonding)이 형성되며, 그에 의해, 실리콘 층의 캐리어 이동도가 감소된다.

[0108] 다른 한편, 도 8은 Si 원자들의 불포화 결합들이 NH기와 가교 결합되는 경우에, 서로 다른 Si 원자들 사이의 파동 함수의 동일한 절대값 및 동일한 위상을 갖는 영역(198)이 인접한 불포화 결합들 양자 모두에 연결되기 때문에, 캐리어들이 이동하기 쉽다는 것을 보여준다. 즉, 실리콘 층이 NH기를 포함하면, 캐리어 전달을 촉진하는 결합이 불포화 결합들에서 형성되고, 그에 의해 실리콘 층의 캐리어 이동도가 증가된다. 따라서, 박막 트랜지스터의 이동도가 향상되는 것이 고려된다. 미소 결정 입자들의 밀도가 증가됨에 따라, 반도체층의 결정도가 증가되지만, 캐리어 전달을 중단시키는 결정 입자 경계들도 증가된다는 것을 주의하여야 한다. 그러나, 실리콘 층이 NH기를 포함하고, Si 원자들의 불포화 결합들이 가교 결합되면, 결합은 결정 입자 경계에서 캐리어들을 위한 경로가 되고, 그에 의해, 캐리어 전달이 중단되지 않는다.

[0109] 따라서, 버퍼층에서, 바람직하게는 NH기를 포함시킴으로써 질소 농도를 제어하는 것에 의해, 결정 영역과 비정질 구조 사이의 계면, 미소 결정 입자와 비정질 구조 사이의 계면, 미소 결정 입자들 사이의 계면, 반도체층과 버퍼층 사이의 계면, 및 버퍼층에 포함된 결정 영역들의 결정 입자 경계 등에 있는 불포화 결합들이 NH기 또는 질소와 가교 결합되고, 그에 의해 버퍼층 내의 결손 레벨들이 감소될 수 있다. 가교 결합에 의해 캐리어가 이동가능한 결합이 형성된다. 또한, 반전된 원추형 또는 피라미드형 결정 영역들을 위한 핵들의 밀도가 질소 농도를 제어하는 것에 의해 제어될 수 있기 때문에, 반전된 원추형 또는 피라미드형 결정 영역들이 이산적으로 존재하는 반도체층이 형성될 수 있다. 또한, 결정 성장이 질소 농도를 제어하는 것에 의해 제어될 수 있기 때문에, 정규 원추형 또는 피라미드형 결정 영역들을 포함하는 반도체층이 형성될 수 있다. 또한, 미소 결정 입자들의 밀도를 증가시킴으로써, 버퍼층의 결정도가 향상될 수 있다. 따라서, 버퍼층의 캐리어 이동도가 향상될 수 있다.

[0110] 또한, 반도체층 및 버퍼층 내의 산소 농도를 감소시킴으로써, 결정 영역과 비정질 구조 사이의 계면, 미소 결정 입자와 비정질 구조 사이의 계면, 미소 결정 입자들 사이의 계면, 반도체층과 버퍼층 사이의 계면, 버퍼층 내에 포함된 결정 영역들의 결정 입자 경계 또는 반도체층 내에 포함된 결정 입자 경계의 결손부들에서 캐리어 전달을 중단시키는 결합이 감소될 수 있다.

[0111] 이 방식으로, 산소 농도를 감소시키고, 질소 농도를 제어하고, 추가로, 반도체층 내에 NH기를 포함시킴으로써, 결정 영역과 비정질 구조 사이의 계면, 미소 결정 입자와 비정질 구조 사이의 계면, 미소 결정 입자들 사이의 계면, 반도체층과 버퍼층 사이의 계면, 버퍼층 내에 포함된 결정 영역들의 결정 입자 경계 등에서의 불포화 결합들이 감소된다. 따라서, 비정질 반도체층이 게이트 절연층과 소스 및 드레인 영역들 사이에 제공되어 있는 박막 트랜지스터에 비해 온 전류 및 전계 효과 이동도가 증가될 수 있다. 또한, 미결정 반도체층이 게이트 절

연층과 소스 및 드레인 영역들 사이에 제공되어 있는 박막 트랜지스터에 비해 오프 전류가 감소될 수 있다.

[0112] 인접 결정 영역들 사이의 공간은 비정질 구조로 충전, 즉, 결정 영역들은 이산적으로 존재하고, 인접 결정 영역들과 접하지 않는다. 이런 구조에 의해, 소스 영역 또는 드레인 영역에 전압이 인가될 때 수직 방향으로의 버퍼층의 저항, 즉, 소스 영역 또는 드레인 영역과 반도체층 사이의 저항이 감소될 수 있고, 그에 의해, 박막 트랜지스터의 온 전류가 증가될 수 있다.

[0113] 또한, 버퍼층을 위해 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 사용함으로써 박막 트랜지스터의 드레인 내전압(drain withstand voltage)이 경감되기 때문에, 박막 트랜지스터의 열화가 감소될 수 있다. 또한, 미결정 반도체층을 사용하여 게이트 절연층과 접하는 반도체층을 형성하는 경우에, 비정질 구조 내에 결정 영역들을 포함하는 반도체층이 버퍼층을 위해 사용되고, 미결정 반도체층 및 버퍼층은 연속적으로 형성되며, 그에 의해, 미결정 반도체층 내의 비정질 구조와 미결정 반도체 사이의 계면이 산화되는 것이 방지되며, 따라서, 미결정 반도체층의 캐리어 이동도가 증가될 수 있다.

[0114] 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 다른 모드가 후술될 것이다. 여기서, 비정질 구조 내에 결정 영역들을 포함하는 반도체층이 NH₂기를 포함하는 경우가 설명될 것이다.

[0115] Si 원자의 불포화 결합들이 NH₂기에 의해 중단되는 모델의 오프 전류 감소의 메커니즘을 검토하기 위해서, 결손 레벨 및 결합 에너지가 제 1 원리 계산을 사용하여 시뮬레이션되었다. 시뮬레이션을 위한 소프트웨어로서, Accelrys Software Inc.에 의해 생산되는 CASTEP(제 1 원리 계산 소프트웨어)가 사용되었다.

[0116] (결손 레벨)

[0117] 먼저, 결손 레벨이 설명된다. 여기서, 오프 전류는 주로 쇼클리-리드-홀(Shockley-Read-Hall) 전류에 기인하여 유발되는 것으로 간주된다. 쇼클리-리드 홀 메커니즘에 따라서, 캐리어들의 재조합 가능성(U)은 이하의 수학적 식 1에 의해 표현된다

[0118] (수학적 식 1)

$$U = \sigma v_{th} N_t \frac{pn - n_i^2}{(n + p) + 2n_i \cosh\left(\frac{E_t - E_i}{kT}\right)}$$

[0119]

[0120] 상술한 수학적식에서, σ 는 전자 및 정공을 위한 포획 단면을 나타내고, v_{th} 는 캐리어의 열적 속도를 나타내고, N_t 는 트랩 밀도를 나타내고, E_t 는 트랩 레벨을 나타내고, E_i 는 고유 페르미 에너지를 나타내고, n_i 는 고유 캐리어 밀도를 나타내고, p 는 p-형 캐리어 밀도를 나타내고, n 은 n-형 캐리어 밀도를 나타낸다. $-U$ 는 캐리어들의 생성 확률을 의미한다.

[0121] $pn > n_i^2$ 의 경우에, 캐리어들은 확률 U 로 재조합되고, $pn < n_i^2$ 의 경우에, 캐리어들은 가능성 $-U$ 로 생성된다. 장치가 오프 상태로 전환될 때, 채널 영역은 공핍층이기 때문에, 캐리어들은 확률 $-U$ 로 생성되며, 이는 오프 전류를 유발한다. 수학적 식 1에 따라서, N_t 가 크거나 E_t 가 E_i 에 근접한 값을 갖는 경우, 캐리어들의 생성 확률이 증가된다. 결손 레벨이 트랩 레벨로서 작용하기 때문에, 오프 전류는 결손 및 감소하는 N_t 를 교정함으로써 감소될 수 있다.

[0122] 이때, 도 48에 예시된 바와 같이 결손(483)을 갖는 Si 결정의 결손 레벨 및 그 교정 레벨이 계산되었다. 구체적으로, 각 결손 구조의 원자 구성, H 원자에 의해 결손이 중단되는 H-종단 구조 및 결손이 NH₂기에 의해 중단되는 NH₂-종단 구조가 제 1 원리 계산에 의해 최적화되고, 각 구조의 전자들의 상태들의 밀도가 계산되었다. GGA-PBE가 범함수(functional)를 위해 사용되고, 울트라소프트 타입(ultrasoft type)이 의사포텐셜(pseudopotential)을 위해 사용되었다.

[0123] 최적화 이후 구조들이 도 49a, 도 49b, 및 도 49c에 예시되어 있다. 도 49a는 결손 구조를 예시하고, 도 49b는 H-종단 구조를 예시하고, 도 49c는 NH₂-종단 구조를 예시한다. 도 49a에서, 불포화 결합들이 있기 때문에, 결

손 주위의 원자 위치들은 에너지적으로 안정한 구조를 위해 크게 변한다.

- [0124] 도 50은 전자들의 상태들의 밀도를 도시한다. 점선(491)은 결손 구조의 전자들의 상태들의 밀도를 나타내고, 좁은 실선(493)은 H-종단 구조의 전자들의 상태들의 밀도를 나타내고, 넓은 실선(495)은 NH₂-종단 구조의 전자들의 상태들의 밀도를 나타낸다. 에너지의 원점은 페르미 에너지이다.
- [0125] 도 50의 점선(491)으로 표시된 바와 같이, 결손 구조에서, 결손 레벨은 약 0 내지 1 eV의 에너지의 대역 간극으로 형성되는 것이 판명되었다. 그러나, 좁은 실선(493) 및 넓은 실선(495)에 의해 표시된 바와 같이, 결손 레벨들은 H-종단 구조 및 NH₂-종단 구조에서는 사라지고, 결손들이 교정되었다.
- [0126] 즉, NH₂-종단 구조에서, 결손들이 교정되었기 때문에, 결손들에 기인한 트랩 레벨들이 사라지고, 오프 전류가 수학식 1에 의거하여 감소된 것으로 말할 수 있다.
- [0127] (결합 에너지)
- [0128] 다음에, 결합 에너지가 설명된다. 도 50에 따라서, 결손 레벨들은 NH₂-종단 구조에서 감소된 것으로 판명되었다. 그러나, 박막 트랜지스터가 구동될 때 결손 레벨들이 감소된 상태가 안정하게 유지되고 박막 트랜지스터가 열화되지 않도록 결합이 강할 필요가 있다. 따라서, NH₂-종단 구조의 결합 에너지가 계산되고, NH₂-종단 구조의 결합의 안정성이 H-종단 구조 내의 결합의 안정성에 비교되었다.
- [0129] 도 49b에 예시된 H-종단 구조 내의 H에 의한 종단의 결합 에너지는 수학식 2에 의해 계산될 수 있다.
- [0130] (수학식 2)
- [0131] (H에 의한 종단의 결합 에너지) = (H-종단 구조로부터 하나의 H 원자를 제거함으로써 얻어지는 최적화된 구조의 에너지(도 51a)) + (Si:H_{int}의 에너지(도 51b)) - (H-종단 구조의 에너지(도 5c)) - (Si 결정의 에너지(도 51d))
- [0132] Si:H_{int}는 Si 결정 격자들 사이에 H 원자가 존재하는 상태를 나타낸다. 또한, 초기 상태(도 51a 및 도 51b)의 Si 원자들 및 H 원자들의 합은 최종 상태(도 51c 및 도 51d)의 합에 대응한다.
- [0133] NH₂-종단의 H의 결합 에너지 및 NH₂-종단의 NH₂의 결합 에너지에 대하여, H 또는 NH₂가 Si 결정의 격자들 사이에 존재하는 구조가 결합이 제거된 상태로서 사용된다.
- [0134] 도 49c에 예시된 NH₂-종단 구조 내의 H에 의한 종단의 결합 에너지는 수학식 3에 의해 계산될 수 있다.
- [0135] (수학식 3)
- [0136] (H에 의한 종단의 결합 에너지) = (NH₂-종단 구조로부터 하나의 H 원자를 제거함으로써 얻어지는 최적화된 구조의 에너지) + (Si:H_{int}의 에너지) - (NH₂-종단 구조의 에너지) - (Si 결정의 에너지)
- [0137] 도 49c에 예시된 NH₂-종단 구조 내의 NH₂에 의한 종단의 결합 에너지는 수학식 4에 의해 계산될 수 있다.
- [0138] (수학식 4)
- [0139] (NH₂에 의한 종단의 결합 에너지) = (NH₂-종단 구조로부터 하나의 NH₂를 제거함으로써 얻어지는 최적화된 구조의 에너지) + (Si:NH₂의 에너지) - (NH₂-종단 구조의 에너지) - (Si 결정의 에너지)
- [0140] Si:NH₂는 Si 결정 격자들 사이에 NH₂기가 존재하는 상태를 나타낸다.
- [0141] 수학식 2 내지 수학식 4의 항들의 각 구조가 원자 구성에 관한 구조 최적화에 의해 결정되었고, 에너지가 계산되었다. 상술한 (결손 레벨) 시뮬레이션과 유사하게, GGA-PBE가 범함수를 위해 사용되었으며, 울트라소프트 타입이 의사포텐셜을 위해 사용되었다.
- [0142] 도 52a 및 도 52b는 구조들의 개략도들과 함께 결합 에너지의 계산 결과들을 도시한다. 도 52a는 Si의 불포화 결합이 H에 의해 종단된 H-종단 구조를 예시하고, 도 52b는 Si의 불포화 결합이 NH₂에 의해 종단된 NH₂-종단 구조를 예시한다. H-종단 구조의 Si-H 결합 에너지는 2.90 eV이다. 또한, NH₂-종단 구조의 Si-N 결합 에너지는

5.37 eV이고, N-H 결합 에너지는 3.69 eV이다. NH_2 기의 두 결합 에너지들(Si-N 결합 에너지 및 N-H 결합 에너지)는 Si의 불포화 결합이 H 원자에 의해 중단된 Si-H 결합 에너지보다 크고, NH_2 -중단 구조는 안정한 구조라 말할 수 있다. 따라서, 실리콘 층의 불포화 결합들이 NH_2 기에 의해 중단되는 경우, Si에 결합된 NH_2 기 또는 N에 결합된 H 원자는 쉽게 분리되지 않으며, 결손들이 쉽게 생성되지 않는 것으로 판명되었다.

[0143] 상술한 (결손 레벨) 및 상술한 (결합 에너지)에 따라서, NH_2 기에 의해 Si 원자의 불포화 결합들을 중단시킴으로써 실리콘 층 내에서 결손 레벨들이 감소되고, 오프 전류가 감소될 수 있다는 것이 판명되었다. 또한, Si에 결합된 NH_2 기가 Si에 결합된 H 원자보다 더 안정한 구조를 갖기 때문에, 이 실리콘 층을 갖는 박막 트랜지스터는 구동에 의해 쉽게 열화되지 않는다는 것이 판명되었다. 달리 말해서, NH_2 기를 포함하는 반도체층은 버퍼층으로서 사용되는 비정질 구조 내에 결정 영역들을 포함하는 반도체층으로서 사용될 수 있으며, 그에 의해 박막 트랜지스터의 오프 전류가 감소될 수 있다.

[0144] (실시예 2)

[0145] 실시예 2에서, 실시예 1에 설명된 박막 트랜지스터 내의 반도체층(115)을 위해 사용될 수 있는 모드들이 도 9 및 도 10a 및 도 10b를 참조로 설명될 것이다.

[0146] 본 실시예에 설명된 박막 트랜지스터에서, 분산된 미결정 반도체 입자들 또는 망상형 미결정 반도체(118)가 게이트 절연층(107) 위에 형성된다(도 9).

[0147] 도 10a에 예시된 분산된 미결정 반도체 입자들(118a) 및 도 10b에 예시된 망상형 미결정 반도체(118b)는 실리콘, 게르마늄 보다 실리콘을 더 많이 포함하는 실리콘 게르마늄($\text{Si}_x\text{Ge}_{1-x}$, $0.5 < x < 1$) 등을 사용하여 형성될 수 있다. 위로부터 볼 때, 분산된 미결정 반도체 입자들(118a) 각각은 도 10a에 예시된 바와 같이 원형 형상을 가지며, 그 단면은 도 9에 예시된 바와 같이 반구형 형상을 갖는다. 위로부터 볼 때, 분산된 미결정 반도체 입자들의 직경은 1 내지 30 nm으로 설정되고, 그 밀도는 $1 \times 10^{13}/\text{cm}^3$ 미만, 바람직하게는, $1 \times 10^{10}/\text{cm}^3$ 미만이며, 분산된 미결정 반도체 입자들은 단지 증착에 의해서 형성될 수 있다.

[0148] 분산된 미결정 반도체 입자들의 직경은 상술한 바에 한정되지 않으며, 더 클 수 있다.

[0149] 또한, 망상형 미결정 반도체(118b)는 미결정 반도체들이 부분적으로 연속적이고, 미결정 반도체들이 연속적인 부분들은 규칙적으로(예를 들어, 격자 형상 또는 지그재그) 또는 불규칙적으로 배열될 수 있는 형상을 갖는다. 도 10b는 미결정 반도체들이 불규칙하게 연속적인 위로부터 본 형상을 예시한다.

[0150] 미결정 반도체들이 부분적으로 연속적인 이런 망상형 미결정 반도체(118b)는 비정질 반도체 또는 미결정 반도체가 게이트 절연층(107) 위에 형성되고, 비정질 반도체 또는 미결정 반도체가 용융되는 이러한 레벨을 갖는 에너지를 갖는 레이저 빔으로 조사되고, 용융 및 고화되는 방식으로 형성될 수 있다.

[0151] 분산된 미결정 반도체 입자들 또는 망상형 미결정 반도체(118)는 게이트 절연층(107)과 버퍼층(131) 사이에 형성되며, 그에 의해, 버퍼층(131)과 게이트 절연층(107) 사이의 접합이 증가될 수 있다. 따라서, 박막 트랜지스터의 수율이 향상될 수 있다.

[0152] 본 실시예에 따라서, 비정질 반도체가 채널 형성 영역에 포함되어 있는 박막 트랜지스터에 비해, 박막 트랜지스터의 온 전류가 증가될 수 있다. 또한, 미결정 반도체가 채널 형성 영역에 포함되어 있는 박막 트랜지스터에 비해 박막 트랜지스터의 오프 전류가 감소될 수 있다. 또한, 분산된 미결정 반도체 입자들 또는 망상형 미결정 반도체가 게이트 절연층 위에 형성되고, 그에 의해, 게이트 절연층과 버퍼층 사이의 접합이 향상되어 수율이 개선될 수 있다.

[0153] (실시예 3)

[0154] 실시예 3에서, 실시예 1의 반도체층(115)이 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 사용하여 형성되는 박막 트랜지스터, 즉, 비정질 구조 내에 결정 영역들을 포함하는 반도체층이 게이트 절연층과 소스 및 드레인 영역들 사이에 형성되어 있는 박막 트랜지스터가 도 11을 참조로 설명될 것이다.

[0155] 도 11은 본 실시예에 따른 박막 트랜지스터의 단면도이다. 도 11에 예시된 박막 트랜지스터는 기판(101) 위의 게이트 전극층(103); 게이트 전극층(103)을 덮는 게이트 절연층(107); 게이트 절연층(107) 위에 제공되어 게이트 절연층과 접하는 반도체층(132); 및 반도체층(132)의 일부와 접하는 소스 및 드레인 영역들(129)을

포함한다. 또한, 박막 트랜지스터는 배선층(123) 및 배선층(125)을 포함하며, 이들은 소스 및 드레인 영역들(129) 위에 제공되어 그와 접하고 있다. 배선층(123) 및 배선층(125)은 소스 전극 및 드레인 전극을 형성한다. 또한, 각 층은 원하는 형상으로 패턴화되어 있다. 본 실시예에서, 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 사용하여 형성된 반도체층(132)이 게이트 절연층(107)과 소스 및 드레인 영역들(129) 사이에 제공된다.

[0156] 반도체층(132), 소스 및 드레인 영역들(129), 및 배선층들(123, 125)은 적합한 바에 따라 각각 실시예 1에 설명된 버퍼층(131), 소스 및 드레인 영역들(129), 및 배선층들(123, 125)의 재료들과 유사한 재료들을 이용하여 형성될 수 있다.

[0157] 본 실시예의 주요 특징들 중 하나인 반도체층(132)을 이제 설명될 것이다. 게이트 절연층(107)과 접하는 영역의 반도체층(132)은 박막 트랜지스터의 채널 형성 영역으로서 기능한다. 여기서, 반도체층(132)은 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 사용하여 형성된다. 반도체층(132)의 구조는 도 12a 내지 도 12d에 예시된 바와 같다.

[0158] 반도체층(132)을 위해 사용되는 비정질 구조 내에 결정 영역들을 포함하는 반도체층은 게이트 절연층(107) 위에 형성된 층이며, 도 12a에 예시된 바와 같이, 비정질 구조(132b) 내에 결정 영역들(132b)이 분산되어 있다.

[0159] 결정 영역(132a)은 반전된 원추형 또는 피라미드형 형상을 갖는다. 또한, 결정 영역들(132a)은 단일 결정 또는 트윈 결정을 포함한다.

[0160] 비정질 구조 내에 결정 영역들을 포함하는 반도체층 내에 포함된 결정 영역의 일 모드가 도 12b-1에 예시되어 있다. 결정 영역(132d)의 꼭지점은 게이트 절연층(107)과 접하며, 결정 영역은 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 증착 방향으로 연속적으로 성장된다.

[0161] 이런 결정 영역은 도 3b-1에 예시된 결정 영역(131d)의 것과 유사한 방식으로 형성된다.

[0162] 비정질 구조 내에 결정 영역들을 포함하는 반도체층 내에 포함된 결정 영역의 다른 모드가 도 12b-2에 예시되어 있다. 결정 영역(132e)의 꼭지점은 게이트 절연층(107)과 접하지 않으며, 결정 영역은 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 증착 방향으로 연속적으로 성장한다.

[0163] 이런 결정 영역은 도 3b-2에 예시된 결정 영역(131e)의 것과 유사한 방식으로 형성될 수 있다.

[0164] 비정질 구조 내에 결정 영역들을 포함하는 반도체층에 포함된 결정 영역의 다른 모드가 도 12b-3에 예시되어 있다. 결정 영역(132f)의 꼭지점은 게이트 절연층(107)과 접하며, 결정 영역의 성장은 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 증착 방향으로 주어진 지점에서 중지되고, 비정질 구조는 결정 영역(132f) 상에 형성된다.

[0165] 이런 결정 영역은 도 3b-3에 예시된 결정 영역(131f)의 것과 유사한 방식으로 형성될 수 있다.

[0166] 결정 영역의 꼭지점은 도 12b-3에서 게이트 절연층(107)과 접하지만; 도 12b-2의 것과 유사한 조건 하에서, 결정 영역의 꼭지점이 게이트 절연층(107)과 접하지 않고 결정 영역의 성장이 증착 방향으로 소정 지점에서 중단되는 결정 영역이 얻어질 수 있다.

[0167] 비정질 구조내에 결정 영역들을 포함하는 반도체층 내에 포함된 결정 영역의 다른 모드가 도 12b-4에 예시되어 있다. 구조(132g)는 복수의 반전된 원추형 또는 피라미드형 결정 영역들이 증착 방향으로 적층되도록 얻어질 수 있다.

[0168] 이런 결정 입자는 도 3b-4에 예시된 구조(131g)를 갖는 결정 영역의 것과 유사한 방식으로 형성될 수 있다.

[0169] 결정 영역의 꼭지점은 도 12b-4의 게이트 절연층(107)과 접하지만, 도 12b-2의 것과 유사한 조건 하에서, 결정 영역의 꼭지점이 게이트 절연층(107)과 접하지 않는 구조가 얻어질 수 있다는 것을 주의하여야 한다.

[0170] 인접한 결정 영역들(132a) 사이의 공간은 비정질 구조(132b)로 충전, 즉, 결정 영역들(132a)은 이산적으로 존재하며, 인접한 결정 영역들과 접하지 않는다. 이런 구조에서, 소스 영역 또는 드레인 영역에 전압이 인가될 때 수직 방향으로의 반도체층(132)의 저항이 감소될 수 있고, 그에 의해, 박막 트랜지스터의 온 전류가 증가될 수 있다.

[0171] 또한, 도 12c에 예시된 바와 같이, 반도체층(132)을 위해 사용될 수 있는 비정질 구조 내에 결정 영역들을 포함하는 반도체층은 미소 결정 입자들(132c)이 비정질 구조(132b) 내에 분산되어 있는 모드를 갖는다. 미소 결정

입자(132c)는 결정 영역을 위한 결정 핵이 될 수 없는 미소 크기를 갖는 결정 입자이다. 미소 결정 입자(132c)의 크기는 통상적으로 1 nm 내지 10 nm, 바람직하게는, 1 nm 내지 5 nm이다. 반도체층(132) 내의 질소 농도를 제어함으로써, 미소 결정 입자들이 형성될 수 있다. 또한, 다량의 질소는 미소 결정 입자의 외부 측부 상에, 즉, 비정질 구조와 접하는 측부 상에 분리되기 쉽다. 따라서, 다량의 질소가 미소 결정 입자와 비정질 구조 사이의 계면에 존재한다.

[0172] 반도체층(132)에서, 미소 결정 입자들(132c)은 비정질 구조(132b) 내에 분산될 수 있다는 것을 주의하여야 한다. 또한, 미소 결정 입자들(132c)은 반도체층(132) 내에 결집될 수 있다. 또한, 분산된 미소 결정 입자들(132c) 및 결집된 미소 결정 입자들(132c) 양자 모두가 반도체층(132) 내에 존재할 수 있다.

[0173] 또한, 도 12d에 예시된 바와 같이, 반도체층(132)을 위해 사용될 수 있는 비정질 구조 내에 결정 영역들을 포함하는 반도체층은 결정 영역들(132a)과 미소 결정 입자들(132c)이 비정질 구조(132b) 내에 분산되는 모드를 갖는다. 이런 구조에서, 소스 영역 또는 드레인 영역에 전압이 인가될 때 수직 방향으로의 반도체층(132)의 저항, 즉, 게이트 절연층(107)과 소스 영역 또는 드레인 영역 사이의 저항은 감소될 수 있고, 그에 의해, 박막 트랜지스터의 온 전류가 증가될 수 있다.

[0174] 여기서, 산소 및 질소와 같은 결정 핵들의 생성을 억제하는 불순물 원소에 대하여, 캐리어들을 포획하지 않는 실리콘 내의 불순물 원소(예를 들어, 질소)가 선택된다. 다른 한편, 실리콘의 배위수를 감소시키고, 불포화 결합을 생성하는 불순물 원소(예를 들어, 산소)의 농도가 감소된다. 따라서, 질소 농도를 감소시키지 않고 산소 농도를 감소시키는 것이 바람직하다. 특히, 2차 이온 질량 분석법에 의해 측정된 산소 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이하가 되는 것이 바람직하다.

[0175] 또한, 도 11에 예시된 박막 트랜지스터의 반도체층(132)은 비정질 구조(131b)가 그 각각의 각도가 90° 가 아닌 사각형 형상, 통상적으로, 도 13a에 예시된 바와 같이 다이아몬드 형상을 갖는 결정 영역(132h)을 포함하는 구조를 가질 수 있다. 이런 반도체층(132)은 두 개의 서로 다른 조건들을 통해 형성될 수 있다.

[0176] 통상적으로, 반전된 원추형 또는 피라미드형 결정 영역들을 포함하는 반도체층은 게이트 절연층(107) 측부 상에 형성되고, 정규 원추형 또는 피라미드형 결정 영역들을 포함하는 반도체층(132j)이 그 위에 형성된다. 도 13a 내지 도 13b-3에 예시된 결정 영역(132h)은 반도체층(132) 내의 질소 농도를 제어함으로써 형성될 수 있다.

[0177] 결정 영역(132h) 대신, 도 13b-1에 예시된 바와 같이, 반도체층(132i) 내에 포함된 결정 영역의 꼭지점이 게이트 절연층(107)과 접할 수 있다.

[0178] 또한, 결정 영역(132h) 대신, 도 13b-2에 예시된 바와 같이, 반도체층(132j) 내에 포함된 결정 영역의 꼭지점은 소스 또는 드레인 영역(129)과 접할 수 있다.

[0179] 또한, 결정 영역(132h) 대신, 도 13b-3에 예시된 바와 같이, 반도체층(132i) 내에 포함된 결정 영역의 꼭지점은 게이트 절연층(107)과 접하고, 반도체층(132j) 내에 포함된 결정 영역의 꼭지점은 소스 또는 드레인 영역(129)과 접할 수 있다.

[0180] 상술된 바와 같이, 결정 영역들은 이산적으로 존재한다. 결정 핵형성의 밀도의 제어는 결정 영역들이 이산적으로 존재할 수 있게 하기 위해 필요하다. 질소 농도의 제어는 결정 영역들을 위한 결정 핵형성의 밀도가 제어될 수 있게 하며, 결정 영역들이 이산적으로 존재할 수 있게 한다.

[0181] 본 실시예에서, 비정질 반도체가 채널 형성 영역에 포함되는 박막 트랜지스터에 비해, 박막 트랜지스터의 온 전류 및 전계 효과 이동도가 증가될 수 있다. 또한, 미결정 반도체가 채널 형성 영역에 포함되는 박막 트랜지스터에 비해, 박막 트랜지스터의 오프 전류가 감소될 수 있다.

[0182] (실시예 4)

[0183] 실시예 4에서, 실시예 1에 설명된 것과는 다른 박막 트랜지스터의 모드가 도 14a 및 도 14b를 참조로 설명될 것이다.

[0184] 도 14a는 도 14b의 A-B를 따른 본 실시예에 따른 박막 트랜지스터의 단면도이다. 도 14a에 예시된 박막 트랜지스터는 기판(101) 위의 게이트 전극층(103); 게이트 전극층(103)을 덮는 게이트 절연층(107); 게이트 절연층(107) 위에 제공되어 그와 접하는 비정질 구조 내에 결정 영역들을 포함하는 반도체층(159); 및 비정질 구조 내에 결정 영역들을 포함하는 반도체층(159) 위에 제공되어 그 일부와 접하는 소스 및 드레인 영역들(157)을 포함한다. 또한, 박막 트랜지스터는 소스 및 드레인 영역들(157) 위에 제공되어 그와 접하는 배선층(153) 및 배선

층(155)을 포함한다. 배선층(153) 및 배선층(155)은 소스 전극 및 드레인 전극을 형성한다. 또한, 각 층은 원하는 형상으로 패턴화되어 있다.

[0185] 또한, 도 14b에 예시된 바와 같이, 본 실시예의 박막 트랜지스터의 위에서 본 형상에서, 소스 및 드레인 영역들(157)은 배선층(153) 및 배선층(155)의 외부 에지들에서 노출되어 있다. 이런 구조는 다중-톤 마스크를 사용하는 포토리소그래피 프로세스에 의해 형성된다.

[0186] 비정질 구조 내에 결정 영역들을 포함하는 반도체층(159), 소스 및 드레인 영역들(157), 및 배선층들(153 및 155)은 적절하다면 각각 실시예 1에 설명된 버퍼층(131), 소스 및 드레인 영역들(129), 및 배선층들(123, 125)의 재료들과 유사한 재료들을 사용하여 형성될 수 있다.

[0187] 본 실시예에서, 소스 전극 및 드레인 전극 중 하나는 U 형상(반전된 C 형상 또는 말굽형 형상)을 갖도록 형성되고, 소스 전극 및 드레인 전극 중 나머지를 부분적으로 둘러싼다. 소스 및 드레인 전극들 사이의 거리는 실질적으로 일정하게 유지된다(도 14b).

[0188] 소스 전극 및 드레인 전극 중 하나는 상술한 형상을 가지며, 그에 의해, 박막 트랜지스터의 채널 폭이 증가될 수 있고, 따라서, 전류의 양이 증가된다. 또한, 전기적 특성들의 변동이 감소될 수 있다. 또한, 제조 프로세스의 마스크 패턴의 오정렬에 기인한 신뢰성의 감소가 억제될 수 있다. 그러나, 본 실시예는 이에 한정되지 않으며, 소스 전극 및 드레인 전극 중 하나가 반드시 U 형상일 필요는 없고, 소스 전극 및 드레인 전극이 서로 선형적 방식으로 대면할 수 있다. 또한, 실시예들 1 내지 3의 위에서 본 박막 트랜지스터들의 형상들은 본 실시예의 것과 동일한 구조를 가질 수 있다.

[0189] 비록, 비정질 구조 내에 결정 영역들을 포함하는 반도체층이 본 실시예에서 게이트 절연층과 소스 및 드레인 영역들 사이에 제공되어 있지만, 반도체층 및 버퍼층이 실시예들 1 및 2의 것들과 유사한 방식으로 적층될 수 있다.

[0190] 본 실시예에 따라서, 채널 형성 영역 내에 비정질 반도체가 포함되는 박막 트랜지스터에 비해, 박막 트랜지스터의 온 전류가 증가될 수 있다. 또한 채널 형성 영역 내에 미결정 반도체가 포함되는 박막 트랜지스터에 비해 박막 트랜지스터의 오프 전류가 감소될 수 있다.

[0191] (실시예 5)

[0192] 실시예 5에서, 박막 트랜지스터와 표시 장치의 화소 부분을 제조하기 위한 방법이 후술될 것이다. 여기서, 액정 표시 장치가 표시 장치로서 설명된다. n-채널 박막 트랜지스터는 p-채널 박막 트랜지스터보다 높은 캐리어 이동도를 가지며, 제조 단계들의 수가 감소될 수 있기 때문에 동일 기판 위에 형성된 모든 박막 트랜지스터들은 동일한 극성을 갖는 것이 바람직하다. 따라서, 본 실시예에서, n-채널 박막 트랜지스터를 제조하는 방법이 설명될 것이다.

[0193] 먼저, 게이트 전극층(103) 및 캐패시터 배선(105)이 기판(101) 위에 형성된다(도 15a).

[0194] 기판(101)으로서, 실시예 1에 설명된 기판(101)이 적절히 사용될 수 있다.

[0195] 게이트 전극층(103) 및 캐패시터 배선(105)은 적절하다면 실시예 1에 설명된 게이트 전극층(103)을 위해 사용된 재료를 사용하여 형성된다. 게이트 전극층(103) 및 캐패시터 배선(105)은 스퍼터링 방법 또는 진공 증착 방법에 의해 상술한 재료를 사용하여 기판(101) 위에 도전층이 형성되고, 도전층 위에 포토리소그래피 방법, 잉크젯 방법 등에 의해 마스크가 형성되고, 도전층이 마스크를 사용하여 에칭되는 방식으로 형성될 수 있다. 대안적으로, 게이트 전극층(103) 및 캐패시터 배선(105)은 잉크젯 방법에 의해 기판 위에 은, 금, 구리 등의 도전성 나노페이스트(conductive nanopaste)를 방출하고, 도전성 나노페이스트를 베이킹함으로써 형성될 수 있다. 상술한 금속 재료들 중 임의의 금속 재료의 니트라이드 층이 기판(101)과 게이트 전극층(103) 및 캐패시터 배선(105) 사이에 제공될 수 있다는 것을 주의하여야 한다. 여기서, 전도성 층이 기판(101) 위에 형성되고, 그후, 제 1 포토리소그래피 프로세스를 통해 형성된 레지스트 마스크를 사용하여 에칭되며, 그에 의해, 게이트 전극층(103) 및 캐패시터 배선(105)을 형성한다.

[0196] 게이트 전극층(103) 및 캐패시터 배선(105)의 측부 표면들이 테이퍼형 형상을 가질 때, 단차 부분에서 캐패시터 배선(105) 및 게이트 전극층(103) 위에 형성되는 배선층 및 반도체층의 분리가 방지될 수 있다. 게이트 전극층(103) 및 캐패시터 배선(105)의 측부 표면들을 테이퍼형 형상으로 형성하기 위해, 레지스트 마스크가 감퇴(recede)되는 동안 에칭이 수행될 수 있다. 예로서, 산소 가스를 포함하는 에칭 가스를 사용함으로써, 레지스

트 마스크가 감퇴되는 동안 에칭이 수행될 수 있다.

- [0197] 게이트 전극층(103)을 형성하는 단계를 통해, 게이트 배선(주사선) 및 캐패시터 배선(105)도 동시에 형성될 수 있다. "주사선"은 화소를 선택하는 배선을 의미하며, "캐패시터 배선"은 화소 내의 저장 캐패시터의 전극들 중 하나에 연결되는 배선을 의미한다는 것을 주의하여야 한다. 그러나, 이에 한정되지 않고, 게이트 전극층(103) 및 게이트 배선과 캐패시터 배선 중 하나 또는 양자 모두가 별개로 형성될 수 있다.
- [0198] 다음에, 게이트 절연층(107), 반도체층(109), 버퍼층(111) 및 불순물 반도체층(113)이 게이트 전극층(103)을 덮도록 형성된다.
- [0199] 게이트 절연층(107)은 적절하다면 실시예 1에 설명된 게이트 절연층(107)을 위한 재료들 중 임의의 재료를 사용하여 형성될 수 있다. 게이트 절연층(107)은 CVD 방법, 스퍼터링 방법 등에 의해 형성될 수 있다. CVD 방법에 의해 게이트 절연층(107)을 형성하는 프로세스에서, 3 MHz 내지 30 MHz, 통상적으로 13.56 MHz 또는 27.12 MHz의 주파수의 고 주파수 파워 또는 30 MHz 내지 약 300 MHz, 통상적으로 60 MHz의 주파수를 갖는 VHF 대역의 고 주파수 파워를 인가함으로써 글로우 방전 플라즈마가 생성된다. 또한, 게이트 절연층(107)은 고 주파수(1 GHz 이상)를 갖는 마이크로파 플라즈마 CVD 장치를 사용하여 형성될 수 있다. 게이트 절연층(107)이 마이크로파 플라즈마 CVD 장치에 의해 형성될 때, 게이트 전극과 드레인 및 소스 전극들 사이의 내전압(withstand voltage)이 향상될 수 있고, 따라서, 매우 신뢰성있는 박막 트랜지스터가 얻어질 수 있다.
- [0200] 반도체층(109)은 3 nm 내지 100 nm, 바람직하게는 5 nm 내지 50 nm의 두께를 갖도록 형성되는 것이 바람직하다.
- [0201] 플라즈마 CVD 장치의 반응 챔버에서, 실리콘 또는 게르마늄을 포함하는 증착 가스가 수소와 혼합되고, 미결정 반도체층이 글로우 방전 플라즈마에 의해 반도체층(109)으로서 형성된다. 미결정 반도체층은 그 유량이 증착 가스의 유량의 10 내지 2000배, 바람직하게는 50 내지 200배인 수소로 증착 가스를 희석함으로써 얻어지는 실리콘 또는 게르마늄과 수소를 포함하는 증착 가스의 혼합물을 사용하여 형성된다.
- [0202] 실리콘 또는 게르마늄을 포함하는 증착 가스의 통상적 예로서, SiH_4 , Si_2H_6 , GeH_4 , GeH_6 등이 제공될 수 있다.
- [0203] 다음에, 버퍼층(111)을 형성하기 위한 방법이 설명될 것이다.
- [0204] 버퍼층(111)은 상술한 실시예들에 설명된 바와 같이 비정질 구조 내에 미소 결정 입자들 및/또는 원추형 또는 피라미드형 결정 영역들을 포함한다. 미소 결정 입자들 및 원추형 또는 피라미드형 결정 영역들은 예로서, 버퍼층(111) 내의 산소 농도가 낮게 설정되고, 질소 농도가 산소 농도보다 높게 설정 및 제어되는 방식으로 형성될 수 있다. 따라서, 미소 결정 입자들 및 원추형 또는 피라미드형 결정 영역들은 결정 영역들을 위한 핵들의 생성을 제어하면서 형성될 수 있다. 여기서, 질소 농도는 산소 농도보다 10배 이상 높은 것이 바람직하다. 더 구체적으로, 2차 이온 질량 분석법에 의해 측정된 산소 농도는 $5 \times 10^{18} \text{ cm}^{-3}$ 이하이다. 또한, 질소 농도는 $1 \times 10^{20} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$, 바람직하게는 $1 \times 10^{20} \text{ cm}^{-3}$ 내지 $2 \times 10^{21} \text{ cm}^{-3}$ 이다. 버퍼층(131)의 두께는 바람직하게는 50 nm 내지 350 nm, 더욱 바람직하게는 120 nm 내지 250 nm이다.
- [0205] 본 실시예에서, 게이트 절연층(107)은 산화질화실리콘 층이 질화 실리콘 층 위에 형성된 적층된 층 구조를 가지며, 반도체층(109)으로서 미결정 실리콘 층이 형성되며, 미결정 반도체층은 암모니아에 노출되고, 버퍼층의 질소 농도를 제어하기 위해 반도체층(109)의 표면에 질소가 공급된다.
- [0206] 여기서, 게이트 절연층(107), 반도체층(109), 버퍼층(111), 및 불순물 반도체층(113)을 형성하는 예가 상세히 설명될 것이다. 이들 층들은 CVD 방법 등에 의해 형성된다. 또한, 게이트 절연층(107)은 산화질화실리콘 층이 질화 실리콘 층 위에 형성되어 있는 적층된 층 구조를 갖는다. 이런 구조를 채용함으로써, 질화 실리콘 층은 전기적 특성들에 부정적 영향을 주는 기관 내에 포함된 원소(기관이 유리 기관인 경우 나트륨 같은 원소)가 반도체층(109) 등에 진입하는 것을 방지할 수 있다. 도 19는 이들 층들을 형성하기 위해 사용되는 CVD 장치를 예시하는 개략도이다.
- [0207] 도 19에 예시된 플라즈마 CVD 장치(261)는 가스 공급 수단(250) 및 배기 수단(251)에 연결된다.
- [0208] 도 19에 예시된 플라즈마 CVD 장치(261)는 처리 챔버(241), 스테이지(242), 가스 공급 부분(243), 샤워 관(244), 배기 포트(245), 상부 전극(246), 하부 전극(247), 교류 전원(248), 및 온도 제어 부분(249)을 포함한다.
- [0209] 처리 챔버(241)는 강성(rigidity)을 가지는 재료를 사용하여 형성되며, 그 내부는 진공으로 배기될 수 있다.

처리 챔버(241)는 상부 전극(246) 및 하부 전극(247)을 구비한다. 도 19에서, 용량 결합형(병렬 판 형)의 구조가 예시되어 있지만, 둘 이상의 서로 다른 고 주파수 파워들을 인가함으로써 처리 챔버(241) 내에 플라즈마가 생성될 수 있는 한, 유도 결합형 같은 다른 구조가 사용될 수 있다는 것을 주의하여야 한다.

[0210] 도 19에 예시된 플라즈마 CVD 장치를 사용하여 처리가 수행될 때, 미리 결정된 가스가 가스 공급 부분(243)을 통해 처리 챔버(241)에 공급된다. 공급된 가스는 샤워 판(244)을 통해 처리 챔버(241)에 도입된다. 고 주파수 파워는 처리 챔버(241) 내의 가스를 여기시키도록 상부 전극(246) 및 하부 전극(247)에 연결된 교류 전원(248)에 의해 인가되며, 그에 의해 플라즈마가 생성된다. 또한, 처리 챔버(241) 내의 가스는 진공 펌프에 연결된 배기 포트(245)를 통해 배기된다. 또한, 온도 제어 부분(249)은 처리될 대상물이 가열되면서 플라즈마 처리를 수행할 수 있게 한다.

[0211] 가스 공급 수단(250)은 반응 가스로 충전된 실린더(252), 압력 조절 밸브(253), 정지 밸브(254), 질량 유동 제어기(255) 등을 포함한다. 처리 챔버(241)는 상부 전극(246)과 기관(101) 사이에 관상 형상으로 가공되고 복수의 공극들(pores)을 구비하는 샤워 판(244)을 포함한다. 상부 전극(246)에 공급되는 반응 가스는 중공 구조(hollow structure)를 갖는 샤워 판(244) 내의 공극들을 통해 처리 챔버(241)에 공급된다.

[0212] 처리 챔버(241)에 연결된 배기 수단(251)은 진공 배기 기능 및 반응 가스가 유동하게 될 때 미리 결정된 레벨로 처리 챔버(241) 내의 압력을 유지하도록 제어하는 기능을 갖는다. 배기 수단(251)은 그 구조 내에 버터플라이 밸브(256), 컨덕턴스 밸브(257), 터보 분자 펌프(258), 건조 펌프(259) 등을 포함한다. 버터플라이 밸브(256)와 컨덕턴스 밸브(257)를 병렬로 배열하는 경우에, 버터플라이 밸브(256)는 폐쇄되고 컨덕턴스 밸브(257)가 작동되어, 반응 가스의 배기 속도가 제어되고, 처리 챔버(241) 내의 압력이 미리 결정된 범위로 유지될 수 있다. 또한, 고-진공 배기가 수행될 수 있도록 높은 컨덕턴스를 갖는 버터플라이 밸브(256)가 개방된다.

[0213] 처리 챔버(241) 상의 10^{-5} Pa보다 낮은 압력으로 초고 진공 배기를 수행하는 경우에, 크라이어펌프(cryopump)(260)가 함께 사용되는 것이 바람직하다. 또한, 배출이 극한의 압력으로서 초고 진공까지 수행되는 경우, 처리 챔버(241)의 내부벽은 경면 표면으로 연마될 수 있고, 처리 챔버(241)는 내부 벽으로부터의 가스 방전을 감소시키기 위해 베이킹을 위한 가열기를 구비할 수 있다.

[0214] 도 19에 예시된 바와 같이, 처리 챔버(241)의 전체 내부 벽을 덮도록 층이 형성(증착)될 수 있도록 프리코팅 처리가 수행될 때, 처리 챔버의 내부 벽을 형성하기 위한 불순물 원소 또는 처리 챔버의 내부 벽에 부착된 불순물 원소가 원소 내에 혼합되는 것을 방지할 수 있다. 본 실시예에서, 프리코팅 처리로서, 그 주 성분으로서 실리콘을 포함하는 층이 사용될 수 있다. 예로서, 비정질 실리콘 층 등이 사용될 수 있다. 이 층은 산소를 포함하지 않는 것이 바람직하다는 것을 주의하여야 한다.

[0215] 게이트 절연층(107)을 형성하는 단계로부터 불순물 반도체층을 형성하는 단계까지의 일련의 단계들이 도 20을 참조로 설명될 것이다. 게이트 절연층(107)은 산화질화실리콘 층이 질화 실리콘 층 위에 적층되는 방식으로 형성된다는 것을 주의하여야 한다.

[0216] 먼저, 그 위에 게이트 전극층(103)이 형성될 기관이 CVD 장치의 처리 챔버(241) 내에서 가열되며, 질화 실리콘 층을 형성하기 위해, 질화 실리콘 층을 증착하기 위해 사용되는 소스 가스들이 처리 챔버(241) 내로 도입된다(도 20의 전처리(201)). 먼저, 110 nm의 두께를 갖는 질화 실리콘 층이 플라즈마 CVD 방법에 의해 형성된다. 이 시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 40 sccm이고, H_2 의 유량은 500 sccm이고, N_2 의 유량은 550 sccm이고, NH_3 의 유량은 140 sccm이며, 처리 챔버 내의 압력은 100 Pa이고, 기관의 온도는 280°C 이며, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 370W이며; 이러한 조건 하에서 플라즈마 방전이 수행된다. 그후, 단지 SiH_4 의 공급만이 중단되고, 수초 후에 플라즈마 방전이 중지된다(도 20의 SiN의 형성(203)). 이는 SiH_4 가 처리 챔버 내에 존재하는 상태에서 플라즈마 방전이 중단되는 경우, 그 주 성분으로서 실리콘을 포함하는 결정 입자들 또는 입자들이 형성되며, 이는 수율의 감소를 초래하기 때문이다.

[0217] 다음에, 질화 실리콘 층을 증착하기 위해 사용되는 소스 가스들이 배기되고, 산화질화실리콘 층을 증착하기 위해 사용되는 소스 가스들이 처리 챔버(241)에 도입된다(도 20의 가스들의 교체(205)). 본 실시예에서, 110 nm의 두께를 가지는 산화질화실리콘 층이 형성된다. 이 시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 30 sccm이고, N_2O 의 유량은 1200 sccm이며, 처리 챔버 내의 압력은 40 Pa이고, 기관의 온도는 280°C 이며, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 50W이며, 이러한 조건 하에서 플라즈마

마 방전이 수행된다. 그후, 질화 실리콘 층의 것과 유사한 방식으로, 단지 SiH_4 의 도입만이 중단되고, 수초 후에 플라즈마 방전이 중지된다(도 20의 SiON 의 형성(207)).

[0218] 상술한 단계들을 통해, 게이트 절연층(107)이 형성될 수 있다. 게이트 절연층(107)이 형성된 이후, 기판(101)은 처리 챔버(241) 외부로 이동된다(도 20의 언로드(225)).

[0219] 기판(101)이 처리 챔버(241) 외부로 이동된 이후, 예로서, NF_3 가스가 처리 챔버(241) 내로 도입되어 처리 챔버(241)의 내부가 세정된다(도 20의 세정 처리(227)). 그후, 처리 챔버(241) 내의 비정질 실리콘 층을 형성하기 위한 처리가 수행된다(도 20의 프리코팅 처리(229)). 비록 비정질 실리콘 층이 후술될 버퍼층(111)의 형성과 유사한 방식으로 형성되지만, 점선(234)으로 표시된 바와 같이 처리 챔버(241) 내로 수소가 도입될 수 있거나, 처리 챔버(241) 내로 수소가 도입되지 않을 수 있다. 이 처리에 의해, 비정질 실리콘 층이 처리 챔버(241)의 내부 벽 상에 형성된다. 그후, 기판(101)이 처리 챔버(241) 내로 이동된다(도 20의 로드(231)).

[0220] 다음에, 반도체층(109)을 증착하기 위해 사용되는 소스 가스들이 처리 챔버(241)에 도입된다(도 20의 가스들의 교체(209)). 다음에, 반도체층(109)이 게이트 절연층(107) 위에 형성된다. 그후 단계에서, 반도체층(109)은 반도체층(115)으로 패터닝된다. 본 실시예에서, 두께 50 nm를 갖는 미결정 실리콘층이 반도체층(109)으로서 형성된다. 이 시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 10 sccm이고 H_2 의 유량은 1500 sccm이며, 처리 챔버 내의 압력은 280 Pa이고, 기판의 온도는 280°C 이며, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 50W이며; 이러한 조건 하에서 플라즈마 방전이 수행된다. 그후, 상술한 질화 실리콘 층 등의 형성과 유사한 방식으로 단지 SiH_4 의 도입만이 중단되고, 수초 후에 플라즈마 방전이 중지된다(도 20의 반도체층의 형성(211)).

[0221] 다음에, 반도체층(109)의 표면에 질소가 공급된다. 여기서, 반도체층(109)의 표면을 암모니아 가스에 노출시킴으로써, 질소가 공급된다(본 명세서에서, "플러시 처리(flush treatment)"라 지칭됨)(도 20의 플러시 처리(213)). 또한, 점선(236a)으로 표시된 바와 같이 암모니아 가스 내에 수소가 포함될 수 있다. 암모니아 가스 대신, 점선(236b)으로 도시된 바와 같이 질소 가스가 사용될 수 있거나, 점선(236a)으로 도시된 바와 같이 수소 가스가 사용될 수 있다. 대안적으로, 암모니아 가스 및 질소 가스 양자 모두가 사용될 수 있다. 여기서, 일 예로서, 바람직하게는 처리 챔버(241) 내의 압력은 약 20 내지 30 Pa, 기판의 온도는 280°C 이며, 처리 시간은 60초이다. 또한, 대안적으로, 플러시 처리 이후, 처리 챔버 내의 압력은 감소 또는 증가되도록 제어될 수 있고, 처리 챔버(241) 내의 질소의 양이 제어될 수 있다. 이러한 단계의 처리에서, 기판(101)은 단지 암모니아 가스에 노출되지만, 그러나, 플라즈마 처리도 수행될 수 있다는 것을 유의하여야 한다. 그후, 이들 가스들은 배기되고, 버퍼층(111)을 증착하기 위해 사용되는 가스들이 도입된다(도 20의 가스들의 교체(215)).

[0222] 다음에, 버퍼층(111)은 반도체층(109) 위에 형성된다. 추후 단계에서, 버퍼층(111)은 버퍼층(131)으로 패터닝된다. 여기서, 버퍼층은 55 nm의 두께를 갖는 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 사용하여 형성된다. 이 시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 20 sccm이고, H_2 의 유량은 1500 sccm이고, 처리 챔버 내의 압력은 280 Pa이고, 기판의 온도는 280°C 이며, 출력 파워는 50W이며, 이러한 조건 하에서 플라즈마 방전이 수행된다. 이 단계에서, 플러시 처리에 의해 반응 챔버에 도입된 암모니아 가스는 플라즈마 방전에 의해 분해되고, 버퍼층(111)에 질소가 추가될 수 있다. 그후, 상술된 질화 실리콘 층의 형성과 유사한 방식으로, 단지 SiH_4 의 공급만이 중단되고, 수초 후에 플라즈마 방전이 중지된다(도 20의 버퍼층의 형성(217)). 그후, 이들 가스들이 배출되고, 불순물 반도체층(113)의 증착을 위해 사용되는 가스들이 도입된다(도 20의 가스들의 교체(219)).

[0223] 플러시 처리에 의해 반응 챔버에 도입된 암모니아는 플라즈마 방전에 의해 분해되고, 그래서, NH_3 기 또는 NH_2 기가 생성된다는 것을 주의하여야 한다. 또한, 버퍼층이 증착될 때, 비정질 구조 내에 결정 영역들을 포함하는 반도체층 내의 서로 다른 불포화 결합들은 일부 경우들에서 서로 가교 결합된다. 또한, 비정질 구조 내에 결정 영역들을 포함하는 반도체층 내에 포함된 불포화 결합들은 일부 경우들에서 중단된다. 반응 챔버에 질소를 포함하는 가스로서 질소 가스를 도입하는 경우에, 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 소스 가스인 수소 가스와, 질소 가스는 플라즈마 방전에 의해 서로 반응하고, NH_3 기 또는 NH_2 기가 생성된다는 것을 주의하여야 한다. 비정질 구조 내에 결정 영역들을 포함하는 반도체층 내의 서로 다른 불포화 결합들은 일부 경우들에서 NH_3 기와 서로 가교 결합된다. 또한, 비정질 구조 내에 결정 영역들을 포함하는 반도체층 내에 포함된 불포화 결합들은 일부 경우들에 중단된다.

- [0224] 상술한 예에서, 버퍼층(111)을 형성하기 위한 소스 가스들에 관하여, H_2 의 유량은 SiH_4 의 유량의 150배이며; 따라서, 실리콘이 점진적으로 증착된다.
- [0225] 질소는 본 실시예에서 반도체층(109)의 표면에 공급된다. 상술한 바와 같이, 질소는 실리콘 결정 핵들의 생성을 억제한다. 따라서, 실리콘 결정들의 핵들은 증착의 초기 단계에서 쉽게 생성되지 않는다. 버퍼층(111)은 질소 농도가 감소되면서 증착된다. 질소 농도가 주어진 값 이하일 때, 결정 핵들이 생성된다. 그후, 결정 핵들이 성장해서, 원추형 또는 피라미드형 결정 입자들 또는 미소 결정 입자들이 형성된다.
- [0226] 이런 방법에 의해 형성된 버퍼층(111)에서, 2차 이온 질량 분석법에 의해 측정된 질소 농도는 버퍼층(111)과 반도체층(109) 사이의 계면에서 피크를 가지며, 반도체층(109)이 증착되는 방향으로 점진적으로 감소된다.
- [0227] 도 20의 점선(235a)에 의해 표시된 바와 같이, 암모니아 가스는 버퍼층의 형성(217)시 반응 챔버에 공급될 수 있다. 대안적으로, 점선(235b)으로 표시된 바와 같이, 질소 가스가 암모니아 가스 대신 반응 챔버에 공급될 수 있다. 또한, 대안적으로, 암모니아 가스 및 질소 가스 양자 모두가 반응 챔버에 공급될 수 있다. 결과적으로, 버퍼층(111) 내의 질소 농도가 증가되고, 미소 결정 입자들 또는 반전된 원추형 또는 피라미드형 결정 영역들이 결정 영역들로서 형성된다. 본 프로세스에서, 정규 원추형 또는 피라미드형 결정 영역들도 형성될 수 있다.
- [0228] 이러한 방법에 의해 형성된 버퍼층(111)에서, 이차 이온 질량 분석법에 의해 측정된 질소 농도는 반도체층(109)과 버퍼층(111) 사이의 계면에서 피크를 가지며, 반도체층(109)이 증착되는 방향으로 일정하다.
- [0229] 다음에, 불순물 반도체층(113)이 버퍼층(111) 위에 형성된다. 추후 단계에서, 불순물 반도체층(113)은 소스 및 드레인 영역들(129)로 패턴화된다. 본 실시예에서, 50 nm의 두께를 갖는 인이 추가되는 비정질 실리콘 층이 불순물 반도체층(113)으로서 형성된다. 이 시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 100 sccm이고, 0.5% 인(수소로 희석됨)의 유량은 170 sccm이며, 증착 온도는 $280^{\circ}C$ 이며, 압력은 170 Pa이고, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 60W이며; 이러한 조건 하에서 플라즈마 방전이 수행된다. 그후, 질화 실리콘층 등의 형성과 유사한 방식으로, 단지 SiH_4 의 공급만이 중단되고, 수초 후에 플라즈마 방전이 중지된다(도 20의 불순물 반도체층의 형성(221)). 그후, 이들 가스들이 배출된다(도 20의 가스의 배출(223)).
- [0230] 상술한 바와 같이, 불순물 반도체층(113)까지의 구성 요소들을 형성하는 단계들이 수행될 수 있다(도 15a).
- [0231] 다음에, 제 2 포토리소그래피 프로세스에 의해 형성된 레지스트 마스크를 사용하여, 반도체층(109), 버퍼층(111), 및 불순물 반도체층(113)이 에칭되어 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)을 형성한다(도 15b). 그후, 레지스트 마스크가 제거된다.
- [0232] 다음에, 도전층(121)이 형성되어 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)을 덮는다(도 15c).
- [0233] 도전층(121)은 적절하다면 실시예 1에 설명된 배선층들(123 및 125)의 적층된 구조 및 재료를 사용하여 형성될 수 있다. 도전층(121)은 CVD 방법, 스퍼터링 방법 또는 진공 증착법에 의해 형성된다. 대안적으로, 도전층(121)은 은, 금, 구리 등의 도전성 나노페이스트를 스크린 인쇄 방법, 잉크 젯 방법 등으로 배출하고, 도전성 나노페이스트를 베이킹함으로써 형성될 수 있다. 그후, 레지스트 마스크가 도전층(121) 위에 형성된다.
- [0234] 다음에, 제 3 포토리소그래피 프로세스에 의해 형성된 레지스트 마스크를 사용하여 도전층(121)이 에칭되어 배선층(123), 배선층(125), 및 캐패시터 전극(127)이 형성된다(도 16a). 배선층(123) 및 배선층(125)은 소스 전극 및 드레인 전극을 형성한다. 도전층(121)은 습식 에칭에 의해 에칭되는 것이 바람직하다. 습식 에칭에 의해, 도전층은 등방성으로 에칭된다. 결과적으로, 도전층은 레지스트 마스크의 것보다 내부측으로 만입되고, 따라서, 배선층(123) 및 배선층(125)이 형성된다. 따라서, 배선층(123) 및 배선층(125)의 측부 표면들은 에칭된 소스 및 드레인 영역들(129)의 측부 표면들과 정렬되지 않으며, 소스 및 드레인 영역들의 측부 표면들이 배선층(123) 및 배선층(125)의 측부 표면들 외측에 형성된다. 배선층(123) 및 배선층(125)은 소스 전극 및 드레인 전극뿐만 아니라 신호선으로서도 기능한다. 그러나, 이에 한정되지 않고, 신호선이 배선층(123) 및 배선층(125)과 별개로 제공될 수 있다.
- [0235] 다음에, 제 3 포토리소그래피 프로세스에 의해 형성된 레지스트 마스크를 사용하여, 에칭에 의해 얻어진 불순물 반도체층(119) 및 버퍼층(117)의 일부가 에칭된다(도 16b). 반도체층(115), 버퍼층(131), 및 소스 및 드레인 영역들(129)은 이 단계까지의 프로세스를 통해 형성된다. 그후, 레지스트 마스크가 제거된다. 도 18a는 도 16b의 상면도이다.

- [0236] 다음에, 건식 에칭이 바람직하게 수행된다. 건식 에칭의 조건은 버퍼층(131)의 노출된 영역이 손상되지 않고, 버퍼층(131)에 관한 에칭율이 낮도록 설정된다. 달리 말하면, 버퍼층(131)의 노출된 표면에 거의 어떠한 손상도 주지 않고 버퍼층(131)의 노출된 영역의 두께를 거의 감소시키지 않는 조건이 적용된다. 에칭 가스로서, 염소-계 가스가 사용되고; 통상적으로, Cl_2 가스가 사용된다. 에칭 방법에는 어떠한 특정한 제한도 없으며, 유도 결합 플라즈마(ICP) 방법, 용량성 결합 플라즈마(CCP) 방법, 전자 사이클로트론 공진(ECR) 방법, 또는 반응성 이온 에칭(RIE) 방법 등이 사용될 수 있다.
- [0237] 여기서 사용될 수 있는 건식 에칭의 조건의 예는 이하와 같다: Cl_2 가스의 유량은 100 sccm이고; 챔버 내의 압력은 0.67 Pa이고, 하부 전극의 온도는 -10°C 이고, 2000W의 RF 파워(13.56 MHz)가 상부 전극의 코일에 인가되어 플라즈마를 생성하며, 기관(101) 측부에는 어떠한 전력도 인가되지 않고(0V)(즉, 비 바이어스); 에칭은 30초 동안 수행된다. 챔버의 내부 벽의 온도는 바람직하게는 약 80°C 이다.
- [0238] 다음에, 버퍼층(131)의 표면이 워터 플라즈마, 암모니아 플라즈마, 질소 플라즈마 등으로 조사될 수 있다.
- [0239] 워터 플라즈마 처리는 수증기(H_2O 증기)에 의해 대표되는 그 주 성분으로서 물을 포함하는 가스가 플라즈마를 생성하기 위해 반응 공간에 도입되는 방식으로 수행될 수 있다.
- [0240] 상술한 바와 같이, 소스 및 드레인 영역들(129)의 쌍이 형성된 이후, 버퍼층(131)이 손상되지 않는 조건 하에서 건식 에칭이 추가로 수행되어 버퍼층(131)의 노출된 영역 상에 존재하는 잔류물 같은 불순물 원소가 제거될 수 있다. 또한, 건식 에칭 이후, 워터 플라즈마 처리가 수행되어 레지스트 마스크의 잔류물도 제거될 수 있다. 워터 플라즈마 처리에 의해, 소스 영역과 드레인 영역 사이의 절연이 보증되고, 따라서, 완성된 박막 트랜지스터에서, 오프 전류가 감소될 수 있으며, 온 전류가 증가될 수 있고, 전기적 특성들의 변동이 감소될 수 있다.
- [0241] 플라즈마 처리 등의 단계들의 순서는 상술한 바에 한정되지 않는다. 레지스트 마스크가 제거되기 이전에, 바이어스를 인가하지 않은 에칭 또는 플라즈마 처리가 수행될 수 있다.
- [0242] 상술한 단계들을 통해, 본 실시예에 따른 박막 트랜지스터가 제조될 수 있다. 실시예 1에 설명된 박막 트랜지스터와 유사하게, 본 실시예에 따른 박막 트랜지스터도 액정 표시 장치로 대표되는 표시 장치의 화소의 스위칭 트랜지스터에 적용될 수 있다. 따라서, 본 박막 트랜지스터를 덮도록 절연층(133)이 형성된다.
- [0243] 다음에, 절연층(133) 내에 개구(134) 및 개구(136)가 형성된다. 개구(134) 및 개구(136)는 제 4 포토레지스트 프로세스에 의해 형성된 레지스트 마스크를 사용하여 절연층이 부분적으로 에칭되는 방식으로 형성될 수 있다. 절연층(133)이 감광성 수지를 사용하여 형성될 때, 절연층(133)은 제 4 포토리소그래피 프로세스에 의해 형성될 수 있다. 그후, 화소 전극층(135)이 절연층(133) 위에 제공되고, 개구(134)와 개구(136)를 통한 연결이 얻어진다. 이런 방식으로, 도 17a에 예시된 표시 장치의 화소 내의 스위칭 트랜지스터가 제조될 수 있다.
- [0244] 절연층(133)은 게이트 절연층(107)의 것과 유사한 방식으로 형성될 수 있다는 것을 주의하여야 한다. 또한, 고밀도 질화 실리콘 층이 절연층(133)으로서 사용되고, 유기 물질, 금속, 또는 대기중의 수증기와 같은 오염 불순물 원소의 도입이 방지될 수 있는 것이 바람직하다.
- [0245] 화소 전극층(135)은 광 투과 특성을 갖는 도전성 고분자를 포함하는 도전성 조성물(도전성 폴리머라고도 지칭됨)을 사용하여 형성될 수 있다. 화소 전극층(135)은 $10000\Omega/\text{squire}$ 이하의 시트 저항 및 550 nm의 파장에서 70% 이상의 광 투과성을 갖는 것이 바람직하다. 또한, 도전성 조성물 내에 포함된 도전성 고분자의 저항은 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0246] 도전성 고분자로서, 소위 π 전자 공액 도전성 고분자가 사용될 수 있다. 예로서, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이들 재료들 중 둘 이상의 종류들의 공중합체 등이 주어질 수 있다.
- [0247] 화소 전극층(135)은 예로서, 텅스텐 옥사이드를 포함하는 인듐 옥사이드, 텅스텐 옥사이드를 포함하는 인듐 아연 옥사이드, 티타늄 옥사이드를 포함하는 인듐 옥사이드, 티타늄 옥사이드를 포함하는 인듐 주석 옥사이드, 인듐 주석 옥사이드(이하, ITO라고도 지칭됨), 인듐 아연 옥사이드, 산화 실리콘가 추가된 인듐 주석 옥사이드 등을 사용하여 형성될 수 있다.
- [0248] 화소 전극층(135)은 배선층들(123 및 125)의 것과 유사한 방식 등으로 패턴화되는 제 5 포토리소그래피 프로세스에 의해 형성된 레지스트 마스크를 사용하여 에칭될 수 있다.

- [0249] 비록, 예시되지는 않았지만, 스핀 코팅 방법 등에 의해 유기 수지를 사용하여 형성된 절연층이 절연층(133)과 화소 전극층(135) 사이에 형성될 수 있다는 것이 주의되어야 한다. 유기 수지를 사용하여 형성된 절연층은 감광성 수지를 사용하여 형성되며, 그에 의해, 단계들의 수가 감소될 수 있다.
- [0250] 그후, 본 경우에는 화소가 복수의 부분들로 분할되고 액정 분자들의 정렬이 관찰 각도 확장을 위해 화소의 각 부분에 따라 서로 다르게 형성되는 다중 도메인 수직 정렬 모드(소위 MVA 모드)를 채용하는 수직 정렬(VA) 액정 표시 장치에서, 화소 전극층(135) 위에 돌출부(137)가 바람직하게 형성된다. 돌출부(137)는 절연층을 사용하여 형성된다. 도 18b는 도 17b의 상면도이다.
- [0251] 여기서, 감광성 아크릴을 포함하는 조성물이 인가되어 0.9 내지 1.0 μm 의 두께를 갖는 조성물 층을 형성한 이후, 120초 동안 90 $^{\circ}\text{C}$ 에서 가열이 수행되고, 그래서, 조성물 층이 건조된다. 다음에, 조성물 층이 포토마스크를 사용하여 광에 노광되고, 현상되어 미리 결정된 형상을 갖게 된다. 다음에, 아크릴 수지층으로 형성된 돌출부(137)를 형성하기 위해 한 시간 동안 230 $^{\circ}\text{C}$ 에서 가열이 수행된다.
- [0252] 화소 전극층 위에 돌출부(137)가 형성되었을 때, 화소 전극에 전압이 인가되지 않는 경우, 액정 분자들은 정렬막의 표면에 대해 수직으로 정렬되어 있지만, 돌출부 부근에 있는 액정 분자들은 기판 표면에 대해 미소하게 경사지도록 정렬된다. 화소 전극층에 전압이 인가될 때, 먼저, 미소하게 경사지게 정렬되어 있는 돌출부 부근의 액정 분자들이 경사지게 된다. 또한, 돌출부 부근에 있는 것들 이외의 액정 분자들도 돌출부 부근의 액정 분자들에 의해 영향을 받아 동일한 방향으로 순차적으로 정렬된다. 결과적으로, 모든 화소들에서 안정한 정렬이 달성될 수 있다. 즉, 전체 표시 부분 내의 액정 분자들의 정렬은 돌출부에 기초하여 제어된다.
- [0253] 화소 전극층 위에 돌출부를 제공하는 대신, 화소 전극을 위해 슬롯이 제공될 수도 있다. 이 경우에, 화소 전극층에 전압이 인가될 때, 슬롯 부근에 전기장 왜곡이 생성되고, 전기장 분포 및 액정 분자들의 정렬이 돌출부가 화소 전극층 위에 제공되어 있는 경우와 유사하게 제어될 수 있다.
- [0254] 상술한 단계들을 통해, 액정 표시 장치를 위해 사용될 수 있으면서 채널 형성 영역 내에 비정질 반도체가 포함되어 있는 박막 트랜지스터에 비해 높은 온 전류와, 채널 형성 영역 내에 미결정 반도체가 포함되어 있는 박막 트랜지스터에 비해 낮은 오프 전류를 갖는 박막 트랜지스터를 구비한 소자 기판이 제조될 수 있다.
- [0255] (실시예 6)
- [0256] 실시예 6에서, 실시예 5에 적용될 수 있는 버퍼층을 형성하는 프로세스가 설명될 것이다.
- [0257] 본 실시예에서, 처리 챔버의 내부는 버퍼층(11)의 증착 이전에 세정된다. 그후, 챔버의 내부 벽이 질화 실리콘 층으로 덮여지고, 그에 의해, 버퍼층(11)은 질소를 포함하도록 형성된다. 따라서, 산소 농도는 낮게 제어되고, 질소 농도는 버퍼층(11) 내의 산소 농도보다 높게 형성된다. 게이트 절연층(107)을 형성하는 단계로부터 반도체층(109)을 형성하는 단계까지의 일련의 단계들은 실시예 5의 것들과 동일하며; 따라서, 반도체층(108)을 형성하는 단계로부터 불순물 반도체층(113)을 형성하는 단계까지의 일련의 단계들을 도 21을 참조로 후술한다.
- [0258] 반도체층(109)은 게이트 절연층(107) 위에 형성된다. 추후 단계에서, 반도체층(109)은 반도체층(115)으로 패턴화된다. 먼저, 반도체층(109)을 증착하기 위해 사용되는 소스 가스들이 처리 챔버 내로 도입된다. 여기서, 일례로서, 실시예 5의 것과 유사한 방식으로, 약 50 nm의 두께를 갖는 미결정 반도체층이 반도체층(109)으로서 형성된다. 그후, 플라즈마 방전이 정지된다(도 21의 반도체층(211) 형성). 그후, 기판(101)이 처리 챔버(241) 외부로 이송된다(도 21의 언로드(225)).
- [0259] 기판(101)이 처리 챔버(241) 외부로 이송된 이후에, 예로서, NF_3 가스가 처리 챔버(241)에 도입되고, 처리 챔버(241)의 내부가 세정된다(도 21의 세정 처리(227)). 그후, 처리 챔버(241) 내에 질화 실리콘 층을 형성하기 위한 처리가 수행된다(도 21의 프리코팅 처리(233)). 질화 실리콘 층은 실시예 5의 게이트 절연층으로서 형성된 질화 실리콘 층의 것과 유사한 조건 하에서 형성된다. 이 처리에 의해, 질화 실리콘 층은 처리 챔버(241)의 내부 벽 상에 형성된다. 그후, 기판(101)이 처리 챔버(241) 내로 운반된다(도 21의 로드(231)).
- [0260] 다음에, 버퍼층(11)을 증착하기 위해 사용되는 소스 가스들이 처리 챔버(241)에 도입된다(도 21의 가스들의 교체(215)). 다음에, 버퍼층(11)이 반도체층(109)의 전체 표면 위에 형성된다. 추후 단계에서, 버퍼층(11)은 버퍼층(131)으로 패턴화된다. 여기서, 버퍼층으로서, 실시예 5의 것과 유사한 방식으로, 약 80 nm의 두께를 갖는 비정질 구조 내에 결정 영역들을 포함하는 반도체층이 형성될 수 있다. 그후, 플라즈마 방전이 중지된다(도 21의 버퍼층 형성(217)). 그후, 이들 가스들이 배기되고, 불순물 반도체층(113)의 증착을 위해 사용되는 가스

들이 도입된다(도 21의 가스들의 교체(219)). 실시예 5의 것과 유사한 방식으로, 불순물 반도체층(113)이 형성된다(도 21의 불순물 반도체층의 형성(221)).

- [0261] 질화 실리콘층은 본 실시예에서 처리 챔버(241)의 내부 벽 상에 형성된다. 처리 챔버(241) 내에 형성된 질화 실리콘 층이 버퍼층(111)을 형성하는 단계에서 플라즈마에 노출될 때, 질소가 분리되고, 따라서, 버퍼층(111)을 증착하는 초기 단계에서 질소가 버퍼층(111) 내에 혼합될 수 있다.
- [0262] 처리 챔버(241) 내에 형성된 질화 실리콘 층이 버퍼층(111)을 형성하는 단계의 플라즈마에 노출될 때, 질소, 바람직하게는 NH기 또는 NH₂기가 분리되고, 따라서, 버퍼층(111)을 증착하는 초기 단계에, 질소, 바람직하게는, NH기 또는 NH₂기가 버퍼층(111) 내에 혼합될 수 있다. 또한, 비정질 반도체층이 증착될 때, 비정질 반도체층 내의 서로 다른 불포화 결합들이 일부 경우들에서 가교 결합된다. 또한, 비정질 반도체층이 증착될 때, 비정질 반도체층 내의 불포화 결합들이 일부 경우들에서 중단된다.
- [0263] 이런 방법에 의해 형성된 버퍼층(111)에서, 2차 이온 질량 분석법에 의해 측정되는 질소 농도는 반도체층(109)과 버퍼층(111) 사이의 계면에서 피크를 가지며, 반도체층(109)이 증착됨에 따라 점진적으로 감소된다.
- [0264] 상술한 바와 같이, 적어도 반도체층이 형성되기 직전에, 처리 챔버의 내부 벽이 질화 실리콘 층으로 덮여지고, 그에 의해, 산소 농도가 낮게 억제되고, 질소 농도가 산소 농도보다 높게 형성될 수 있으며, 비정질 구조 내에 결정 영역들을 포함하는 반도체층이 형성될 수 있다.
- [0265] 또한, 질화 실리콘 층으로 처리 챔버의 내부 벽을 덮음으로써 처리 챔버의 내부 벽을 구성하는 원소들 등이 버퍼층에 진입하는 것이 방지될 수 있다.
- [0266] 도 21의 점선(237a)에 의해 표시된 바와 같이, 버퍼층(217)의 형성시, 암모니아 가스가 반응 챔버에 공급될 수 있다는 것을 주의하여야 한다. 암모니아 가스 대신, 점선(237b)으로 표시된 바와 같이, 질소 가스가 사용될 수 있다. 또한, 암모니아 가스 및 질소 가스 양자 모두가 사용될 수 있다. 그 결과로, 버퍼층(111)의 질소 농도가 증가되고, 미소 결정 입자들 및/또는 원추형 또는 피라미드형 결정 영역들이 결정 영역들로서 형성된다.
- [0267] 이런 방법에 의해 형성된 버퍼층(111)에서, 2차 이온 질량 분석법에 의해 측정되는 질소 농도는 반도체층(109)과 버퍼층(111) 사이의 계면에서 피크를 가지며, 반도체층(109)이 증착되는 방향으로 일정하다.
- [0268] 상술한 설명에서, 버퍼층(111)이 반도체층(109)이 형성되는 것과 동일한 처리 챔버 내에서 형성되기 때문에, 반도체층(109)이 형성된 이후, 세정 처리 및 프리코팅 처리가 수행되지만; 이런 실시예는 실시예 5와 조합하여 수행될 수 있다. 즉, 반도체층(109)이 증착된 이후, 세정 처리(227) 및 프리코팅 처리(233)가 수행되고, 질화 실리콘층이 처리 챔버(241) 내에 형성되며, 플러시 처리(213)가 수행될 수 있다.
- [0269] 상술한 단계들을 통해, 채널 형성 영역 내에 비정질 반도체가 포함되어 있는 박막 트랜지스터에 비해 높은 온진류 및 채널 형성 영역 내에 미결정 반도체가 포함되어 있는 박막 트랜지스터에 비해 낮은 오프 진류를 갖는 박막 트랜지스터가 제조될 수 있다.
- [0270] (실시예 7)
- [0271] 실시예 7에서, 실시예 5에 적용될 수 있는 버퍼층의 형성 프로세스가 설명될 것이다.
- [0272] 본 실시예에서, 버퍼층(111)의 형성을 위한 증착 가스 내에 질소를 혼합시킴으로써, 산소 농도가 낮게 억제되고, 질소 농도가 질소 농도보다 높게 형성된다. 게이트 절연층(107)을 형성하는 단계로부터 반도체층(109)을 형성하는 단계까지의 일련의 단계들은 실시예 5의 것들과 유사한 방식으로 수행될 수 있기 때문에, 여기서는, 반도체층(109)을 형성하는 단계로부터 불순물 반도체층(113)을 형성하는 단계까지의 일련의 단계들이 도 22를 참조로 설명될 것이다.
- [0273] 반도체층(109)은 게이트 절연층(107) 위에 형성된다. 추후 단계에서, 반도체층(109)이 반도체층(115)으로 패턴화된다. 먼저, 반도체층(109)을 증착하기 위해 사용되는 소스 가스들이 처리 챔버에 도입된다. 여기에서, 예로서, 실시예 5의 것과 유사한 방식으로, 약 50 nm 두께를 갖는 미결정 실리콘 층이 반도체층(109)으로서 형성된다. 그후, 플라즈마 방전이 중지된다(도 22의 반도체층의 형성(211)). 그후, 이들 가스들이 배기되고, 버퍼층(111)의 증착을 위해 사용되는 가스들이 도입된다(도 22의 가스들의 교체(215)).
- [0274] 다음에, 버퍼층(111)이 반도체층(109) 위에 형성된다. 추후 단계에서, 버퍼층(111)은 버퍼층(131)으로 패턴화된다. 여기에서, 약 80 nm의 두께를 갖는 비정질 구조 내에 결정 영역들을 포함하는 실리콘 층이 버퍼층(111)

으로서 형성된다. 이 시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 20 sccm이고, H_2 의 유량은 1480 sccm이고, 1000 ppm NH_3 (수소로 희석됨)의 유량은 20 sccm이며, 처리 챔버 내의 압력은 280 Pa이고, 기판의 온도는 280°C 이며, 출력 파워는 50W이고; 이러한 조건 하에서 플라즈마 방전이 수행된다. 그후, 플라즈마 방전이 중지된다(도 22의 버퍼층의 형성(217)). 그후, 이들 가스들은 배기되고, 불순물 반도체층(113)을 증착하기 위해 사용되는 가스들이 도입된다(도 22의 가스들의 교체(219)). 실시예 5의 것과 유사한 방식으로, 불순물 반도체층(113)이 형성된다(도 22의 불순물 반도체층의 형성(221)).

- [0275] 상술한 예에서, 반도체층(109)을 형성하기 위한 소스 가스들에 관하여, H_2 의 유량은 SiH_4 의 유량의 150배이고; 따라서, 실리콘이 점진적으로 증착된다.
- [0276] 암모니아 가스 대신, 점선(238)으로 표시된 바와 같이, 질소 가스가 사용될 수 있다는 것을 주의하여야 한다.
- [0277] 본 실시예의 버퍼층(111)의 소스 가스들은 질소를 포함한다. 상술한 바와 같이, 질소는 결정 성장을 억제한다. 따라서, 버퍼층(111)이 증착될 때, 반도체층(109)이 종 결정들로서 사용되는 결정 성장이 암모니아 가스의 유량에 기인하여 억제되고, 그에 의해, 정규 원추형 또는 피라미드형 결정 영역들이 성장 및/또는 미소 결정 입자들이 형성된다. 이러한 프로세스에서, 반전된 원추형 또는 피라미드형 결정 영역들도 형성될 수 있다.
- [0278] 이런 방법에 의해 형성된 버퍼층(111)에서, 2차 이온 질량 분석법에 의해 측정되는 질소 농도는 일정하다.
- [0279] 상술한 바와 같이, 질소가 버퍼층 증착에 사용되는 가스들에 포함되어, 산소 농도가 낮게 억제되고 질소 농도가 산소 농도보다 높게 형성될 수 있으며, 따라서, 결정 영역들을 포함하는 반도체층이 형성될 수 있다.
- [0280] (실시예 8)
- [0281] 질소 농도 분포가 실시예들 5 내지 7의 것들과는 다른 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 제조하기 위한 방법이 도 23 및 도 24를 참조로 설명될 것이다.
- [0282] 본 실시예에서, 실시예 6에서의 것과 같은 방식으로 버퍼층(111)에 질소가 추가되며, 반도체층(211)의 형성 이후, 질소를 포함하는 가스가 플러시 처리(213)에 의해 반응 챔버에 도입되고, 버퍼층(111)의 형성 동안, 질소를 함유하는 가스가 실선(239c)으로 표시된 바와 같이 반응 챔버에 다시 도입된다(도 23). 질소를 함유하는 가스로서, 여기서는, 암모니아 가스가 사용된다. 암모니아 가스 대신, 점선(239d)으로 도시된 바와 같이 질소 가스가 사용될 수 있다는 것을 주의하여야 한다. 또한, 암모니아 가스 및 질소 가스 양자 모두가 사용될 수 있다. 결과적으로, 버퍼층(111)의 증착의 초기 단계에, 및 버퍼층(111)의 증착 동안, 질소 농도가 높게 형성되어 결정 성장을 교란한다. 결과적으로, 도 3b-3에 도시된 바와 같이, 결정 영역(131f)의 성장이 버퍼층(131)의 소정 지점에서 중단되고, 비정질 구조가 결정 영역(131f)의 상부 표면 상에 증착된다. 또한, 미소 결정 입자가 결정 영역(131f) 위에 형성된다.
- [0283] 또한, 도 3b-4에 예시된 바와 같이, 결정 영역이 증착의 초기 단계로부터 성장한 이후에, 질소를 함유하는 가스가 반응 챔버에 도입된다. 이 시기에, 버퍼층(111) 내의 질소 농도가 증가되고, 결정 영역의 성장이 중단된다. 그후, 버퍼층(111) 내의 질소 농도가 감소되고, 결정 핵들이 형성되며, 결정이 성장하고, 복수의 반전된 원추형 또는 피라미드형 결정 영역들이 적층되어 있는 구조(131g)가 얻어질 수 있다.
- [0284] 대안적으로, 질소가 실시예 7에서와 같은 방식으로 버퍼층(111)에 추가되고, 반도체층의 형성 이후, 질화 실리콘 층이 반응 챔버 내에서 형성되고, 버퍼층(111)의 형성 동안, 질소를 함유하는 가스가 실선(239c)으로 도시된 바와 같이 반응 챔버에 다시 도입된다(도 24). 질소를 함유하는 가스로서, 여기에서, 암모니아가 사용된다. 암모니아 가스 대신, 점선(239d)으로 도시된 바와 같이 질소 가스가 사용될 수 있다는 것을 주의하여야 한다. 또한, 암모니아 가스 및 질소 가스 양자 모두가 사용될 수 있다. 결과적으로, 버퍼층(111)의 증착의 초기 단계에, 버퍼층(111)의 증착 동안, 질소 농도가 높게 유지되고, 결정 성장을 교란시킨다. 결과적으로, 도 3b-3에 도시된 바와 같이, 결정 영역(131f)의 성장이 버퍼층(131)의 소정 지점에서 중단되고, 비정질 구조가 결정 영역(131f)의 상부 표면 상에 증착된다. 또한, 미소 결정 입자가 결정 영역(131f) 위에 형성된다.
- [0285] 또한, 도 3b-4에 예시된 바와 같이, 결정 영역이 증착의 초기 단계로부터 성장된 이후, 질소를 함유하는 가스가 반응 챔버에 도입된다. 이 시기에, 버퍼층(111) 내의 질소 농도가 증가되고, 결정 영역의 성장이 중단된다. 그후, 버퍼층(111) 내의 질소 농도가 감소되고, 결정 핵들이 형성되며, 결정이 성장하고, 복수의 반전된 원추형 또는 피라미드형 결정 영역들이 적층된 구조(131g)가 얻어질 수 있다.
- [0286] 상술한 바와 같이, 결정 영역의 크기는 버퍼층의 상부 측부, 즉, 소스 및 드레인 영역들의 측부 상의 질소 농도

에 의해 제어되며, 그에 의해, 결정 영역들의 비율이 감소될 수 있고, 박막 트랜지스터의 오프 전류가 감소될 수 있다.

- [0287] (실시예 9)
- [0288] 실시예 9에서, 실시예 4에 설명된 박막 트랜지스터를 제조하는 방법이 설명될 것이다. 또한, 본 실시예에서, n-채널 박막 트랜지스터를 제조하는 방법이 설명될 것이다.
- [0289] 실시예 5의 것과 유사한 방식으로, 게이트 전극층(103) 및 캐패시터 배선(105)이 제 1 포토리소그래피 프로세스를 통해 기판(101) 위에 형성된다.
- [0290] 다음에, 게이트 절연층(107), 비정질 구조 내에 결정 영역들을 포함하는 반도체층(141), 불순물 반도체층(113), 및 도전층(121)이 게이트 전극층(103)을 덮도록 형성된다. 그후, 레지스트 마스크(143)가 제 2 포토리소그래피 프로세스를 통해 도전층(121) 위에 형성된다(도 26a).
- [0291] 게이트 절연층(107), 비정질 구조 내에 결정 영역들을 포함하는 반도체층(141), 및 불순물 반도체층(113)은 반응 챔버의 세정 처리(227), 프리코팅 처리(229), 로드(231), 가스들의 교체(209), 및 반도체층(211)의 형성을 제외하면, 실시예 5의 방법에 의해 형성될 수 있다. 구체적으로, 게이트 절연층(107)을 형성하기 위한 방법으로서, 도 20의 전처리(201)로부터 SiON의 형성(207)까지의 단계들이 수행된다. 다음에, 비정질 구조 내에 결정 영역들을 포함하는 반도체층(141)을 형성하기 위한 방법으로서, 플러시 처리(213)로부터 버퍼층의 형성(217)까지의 단계들이 수행된다. 그후, 불순물 반도체층(113)을 형성하는 방법으로서, 가스들의 교체(219)로부터 가스들의 배기(223)까지의 단계들이 수행된다.
- [0292] 상술한 형성 방법들 대신, 반도체층의 형성(211)을 제외한 실시예 6의 단계들이 수행될 수 있다. 구체적으로, 게이트 절연층(107)을 형성하기 위한 방법으로서, 도 20의 전처리(201)로부터 SiON의 형성(207)까지의 단계들이 수행된다. 다음에, 비정질 구조 내에 결정 영역들을 포함하는 반도체층(141)을 형성하기 위한 방법으로서, 도 21의 언로드(225)로부터 버퍼층의 형성(217)까지의 단계들이 수행된다. 그후, 불순물 반도체층(113)을 형성하기 위한 방법으로서, 가스들의 교체(219)로부터 가스들의 배기(223)까지의 단계들이 수행된다.
- [0293] 또한, 상술한 형성 방법들 대신, 반도체층의 형성(211)을 제외한 실시예 7의 단계들이 수행될 수 있다. 구체적으로, 게이트 절연층(107)을 형성하기 위한 방법으로서, 도 20의 전처리(201)로부터 SiON의 형성(207)까지의 단계들이 수행된다. 다음에, 비정질 구조 내에 결정 영역들을 포함하는 반도체층(141)을 형성하는 방법으로서, 도 22의 가스들의 교체(215)로부터 버퍼층의 형성(217)까지의 단계들이 수행된다. 그후, 불순물 반도체층(113)을 형성하기 위한 방법으로서, 가스들의 교체(219)로부터 가스의 배기(223)까지의 단계들이 수행된다.
- [0294] 레지스트 마스크(143)는 서로 다른 두께를 갖는 두 개의 영역들을 가지며, 다중 톤 마스크를 사용하여 형성될 수 있다. 다중 톤 마스크는 사용되는 포토마스크들의 수 및 제조 단계들의 수를 감소시키도록 사용되며, 바람직하다. 본 실시예에서, 다중 톤 마스크는 반도체층의 패턴을 형성하는 단계 및 반도체층을 소스 영역 및 드레인 영역으로 분리시키는 단계에 사용될 수 있다.
- [0295] 다중 톤 마스크는 다중 레벨의 광량으로 노광될 수 있는 마스크이며, 통상적으로 노출된 영역, 절반 노출 영역, 및 미노출 영역을 제공하도록 3개 레벨들의 광량으로 광 노광이 수행된다. 다중 톤 마스크가 사용될 때, 1회 광 노광 및 현상 프로세스는 복수의 두께들(통상적으로, 2개 종류의 두께들)을 갖는 레지스트 마스크가 형성될 수 있게 한다. 따라서, 다중 톤 마스크를 사용함으로써 포토마스크들의 수가 감소될 수 있다.
- [0296] 도 30a-1 및 도 30b-1은 전형적 다중 톤 마스크들의 단면도들이다. 도 30a-1은 그레이 톤 마스크(180)를 예시하고, 도 30b-1은 하프 톤 마스크(185)를 예시한다.
- [0297] 도 30a-1에 예시된 그레이 톤 마스크(180)는 광투과 특성을 갖는 기판(181) 상에 광 차폐층을 사용하여 형성된 광 차폐 부분(182)과, 광 차폐층의 패턴을 구비하는 회절 격자 부분(183)을 포함한다.
- [0298] 회절 격자 부분(183)은 슬릿들, 도트들, 메시들 등을 가지며, 이는 노광을 위해 사용되는 광의 해상도 한계 이하인 간격들로 제공되고, 그에 의해, 광 투과성이 제어될 수 있다. 회절 격자 부분(183)에 제공되는 슬릿들, 도트들, 또는 메시는 주기적으로 또는 비주기적으로 제공될 수 있다는 것을 주의하여야 한다.
- [0299] 광투과 특성을 갖는 기판(181)으로서, 석영 기판 등이 사용될 수 있다. 광 차폐 부분(182) 및 회절 격자 부분(183)을 형성하기 위한 광 차폐층은 크롬, 크롬 옥사이드 등을 사용하여 형성될 수 있다.
- [0300] 그레이 톤 마스크(180)가 광 노광을 위한 광으로 조사되는 경우, 도 30a-2에 예시된 바와 같이, 광 차폐 부분

(182)과 중첩하는 영역에서의 투과율은 0%이고, 광 차폐 부분(182) 및 회절 격자 부분(183) 양자 모두가 제공되어 있지 않은 영역의 투과율은 100%이다. 또한, 회절 격자 부분(183)의 투과율은 대략 10 내지 70%의 범위 이내이며, 이는 회절 격자의 슬릿들, 도트들, 또는 메시의 간격 등에 의해 조절될 수 있다.

- [0301] 도 30b-1에 예시된 하프 톤 마스크(185)는 반-광 투과 층을 사용하여 광 투과 특성을 갖는 기관(186) 상에 형성된 반-광 투과 부분(187)과, 광 차폐층을 사용하여 형성된 광 차폐 부분(188)을 포함한다.
- [0302] 반-광 투과 부분(187)은 MoSiN, MoSi, MoSiO, MoSiON, CrSi 등의 층을 사용하여 형성될 수 있다. 광 차폐 부분(188)은 그레이 톤 마스크의 광 차폐층과 유사하게, 크롬, 크롬 옥사이드 등을 사용하여 형성될 수 있다.
- [0303] 하프 톤 마스크(185)가 광 노광을 위한 광으로 조사되는 경우에, 도 30b-2에 예시된 바와 같이, 광 차폐 부분(188)과 중첩하는 영역의 투과율은 0%이고, 광 차폐 부분(188) 및 반-광 투과 부분(187) 양자 모두가 제공되지 않은 영역의 투과율은 100%이다. 또한, 반-광 투과 부분(187)의 투과율은 대략 10 내지 70%의 범위이며, 이는 사용되는 재료의 종류, 두께 등에 의해 조절될 수 있다.
- [0304] 다중 톤 마스크를 사용한 광 노광 및 현상에 의해, 서로 다른 두께들을 갖는 레지스트 마스크가 형성될 수 있다.
- [0305] 다음에, 레지스트 마스크(143)를 사용하여, 비정질 구조 내에 결정 영역들을 포함하는 반도체층(141), 불순물 반도체층(113), 및 도전층(121)이 에칭된다. 이 단계를 통해, 비정질 구조 내에 결정 영역들을 포함하는 반도체층(141), 불순물 반도체층(113), 및 도전층(121)은 비정질 구조 내에 결정 영역들을 포함하는 반도체층(145), 불순물 반도체층(147), 및 도전층(149)을 형성하도록 각 요소로 분리된다(도 26b).
- [0306] 다음에, 레지스트 마스크(151)를 형성하도록 레지스트 마스크(143)가 쇠퇴되게 된다. 산소 플라즈마를 사용한 애싱(ashing)이 레지스트 마스크를 쇠퇴시키기 위해 수행될 수 있다. 여기서, 애싱은 레지스트 마스크(143)가 게이트 전극 위에서 분리되도록 레지스트 마스크(143) 상에 수행된다. 결과적으로, 레지스트 마스크(151)는 분리된다(도 27a).
- [0307] 다음에, 도전층(149)이 레지스트 마스크(151)를 사용하여 에칭되어 배선층(153) 및 배선층(155)을 형성한다(도 27b). 배선층(153) 및 배선층(155)은 소스 전극 및 드레인 전극을 형성한다. 도전층(149)은 바람직하게는 실시예 5에서 설명된 도전층(121)의 것과 유사한 방식으로 에칭된다.
- [0308] 다음에, 레지스트 마스크(151)가 형성되는 상태에서, 비정질 구조 내에 결정 영역들을 포함하는 반도체층(145)의 부분 및 불순물 반도체층(147)이 에칭되어 비정질 구조 내에 결정 영역들을 포함하는 반도체층(159)과 소스 및 드레인 영역들(157)이 형성된다(도 27c). 그후, 레지스트 마스크(151)가 제거된다. 도 29a는 도 27c의 상면도이다.
- [0309] 다음에, 실시예 1의 것과 유사한 방식으로 건식 에칭이 수행될 수 있다. 또한, 비정질 구조 내에 결정 영역들을 포함하는 반도체층(159)의 표면이 워터 플라즈마, 암모니아 플라즈마, 질소 플라즈마 등으로 조사될 수 있다.
- [0310] 상술한 단계들을 통해, 본 실시예에 따른 박막 트랜지스터가 제조될 수 있다. 실시예 5에 설명된 박막 트랜지스터와 유사하게, 본 실시예에 따른 박막 트랜지스터도 액정 표시 장치에 의해 전형화되는 표시 장치의 화소 내의 스위칭 트랜지스터에 적용될 수도 있다. 따라서, 절연층(133)이 이 박막 트랜지스터를 덮도록 형성된다(도 28a).
- [0311] 다음에, 절연층(133) 내에 개구(134) 및 개구(160)가 형성된다. 개구(134) 및 개구(160)는 제 3 포토리소그래피 프로세스를 통해 형성된 레지스트 마스크를 사용하여 형성될 수 있다. 그후, 화소 전극층(135)이 제 4 포토리소그래피 프로세스를 통해 절연층(133) 위에 제공되고, 개구들(134, 160)을 통해 연결부가 얻어진다. 이런 방식으로, 도 28b에 예시된 표시 장치의 화소 내의 스위칭 트랜지스터가 제조될 수 있다.
- [0312] 비록, 예시하지는 않았지만, 스핀 코팅 방법 등에 의해 유기 수지를 사용하여 형성된 절연층이 절연층(133)과 화소 전극층(135) 사이에 형성될 수 있다.
- [0313] 그후, 실시예 5에서와 같이, 수직 정렬(VA) 액정 표시 장치에서, 화소가 복수의 부분들로 분할되고 액정 분자들의 정렬이 관찰 각도 확장을 위해 화소의 각 부분에 따라 다르게 형성되는 다중 도메인 수직 정렬 모드(소위 MVA 모드)를 채용하는 경우에, 돌출부(137)가 바람직하게 화소 전극층(135) 위에 형성된다(도 28c). 도 29b는 이 시기의 도 28c의 상면도이다.

- [0314] 상술한 단계들을 통해, 액정 표시 장치를 위해 사용될 수 있고 비정질 반도체가 채널 형성 영역에 포함되어 있는 박막 트랜지스터에 비해 높은 온 전류 및 채널 형성 영역에 미결정 반도체가 포함되어 있는 박막 트랜지스터에 비해 낮은 오프 전류를 가지는 박막 트랜지스터를 구비한 소자 기판이 실시예 5의 것보다 작은 수의 마스크들을 사용하여 제조될 수 있다.
- [0315] (실시예 10)
- [0316] 실시예 10에서, 실시예 3에서 설명된 박막 트랜지스터에 관하여, 도 11에 예시된 박막 트랜지스터를 제조하는 방법이 설명될 것이다. 본 실시예에서, 비정질 구조 내에 결정 영역들을 포함하는 반도체층(141)이 두 개의 다른 조건들을 통해 형성된다.
- [0317] 게이트 전극층을 형성하기 위한 방법은 실시예 5의 것과 동일하며, 따라서, 게이트 절연층(107)을 형성하는 단계로부터 불순물 반도체층(113)을 형성하는 단계까지의 일련의 단계들이 도 25를 참조로 후술된다.
- [0318] 먼저, 게이트 전극층(103)이 그 위에 형성되어 있는 기판이 CVD 장치의 처리 챔버(241) 내에서 가열되고, 게이트 절연층(107)으로서 질화 실리콘 층을 형성하기 위해, 질화 실리콘 층을 증착하기 위해 사용되는 소스 가스들이 처리 챔버(241)에 도입된다(도 25의 전처리(201)).
- [0319] 다음에, 게이트 절연층(107)으로서, 질화 실리콘 층이 형성된다. 이 시기의 증착 조건에 대하여, 실시예 5에 설명된 SiN의 형성(203)의 시기의 조건이 사용될 수 있다.
- [0320] 다음에, 비정질 구조 내에 결정 영역들을 포함하는 반도체층(141)의 증착을 위해 사용되는 소스 가스들이 처리 챔버(241)에 도입된다(도 25의 가스들의 교체(209)). 그후, 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 일부가 제 1 조건 하에서 게이트 절연층(107) 위에 형성되고; 결과적으로, 반전된 원추형 또는 피라미드형 결정 영역들이 도 13a 내지 도 13b-3에 예시된 반도체층(132i)과 유사하게 형성될 수 있다.
- [0321] 게이트 절연층(107)의 최외측 표면이 질화 실리콘 층이 아닐 경우, 실시예 5에 설명된 바와 같이, 게이트 절연층(107)이 형성된 이후, 도 20에 예시된 플러시 처리(213)가 수행될 수 있고, 질소가 게이트 절연층(107)의 표면 상에 흡착될 수 있으며, 그후, 가스들의 교체(209) 및 반도체층의 형성(211)이 수행될 수 있다. 대안적으로, 실시예 6에 설명된 바와 같이, 게이트 절연층(107)이 형성된 이후, 도 21에 예시된 프리코팅 처리(233)가 수행될 수 있고, 질화 실리콘 층이 처리 챔버 내에 형성될 수 있다. 그후, 가스들의 교체(209) 및 반도체층의 형성(211)이 수행될 수 있다.
- [0322] 제 1 조건을 통해, 게이트 절연층(107)의 표면에 질소가 공급된다. 상술한 바와 같이, 질소는 실리콘의 핵의 생성을 억제한다. 따라서, 실리콘 결정들의 핵들은 반도체층 증착의 초기 단계에서 쉽게 생성되지 않는다. 반도체층은 질소 농도를 감소시키면서 증착된다. 질소 농도가 소정값 이하인 경우, 결정 핵이 생성되고, 그후, 결정 핵이 성장하며, 원추형 또는 피라미드형 결정 영역들 또는 미소 결정 입자들이 형성된다.
- [0323] 다음에, 비정질 구조 내에 결정 영역들을 포함하는 반도체층(141)의 증착을 위해 사용되는 가스들이 도입된다(도 25의 가스들의 교체(215)). 여기에서, 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 다른 부분이 제 2 조건 하에서 형성된다. 여기에서, 실시예 7에 설명된 버퍼층의 형성(217)과 유사하게 소스 가스들을 위해 질소를 함유하는 가스가 사용된다. 결과적으로, 정규 원추형 또는 피라미드형 결정 영역들이 도 13a 내지 도 13b-3에 예시된 반도체층(132j)과 유사하게 형성된다.
- [0324] 제 2 조건을 사용함으로써, 반도체층(132j)은 결정 성장을 제어하면서 증착된다. 따라서, 반도체층(132i) 내에 포함된 결정 영역들이 종 결정들로서 사용되는 결정 성장이 제어되며, 그에 의해, 결정 영역들 각각의 폭이 좁아지는 구조가 얻어질 수 있다. 즉, 정규 원추형 또는 피라미드형 결정 영역들이 형성될 수 있다.
- [0325] 그후, 불순물 반도체층(113)을 형성하기 위한 방법으로서, 가스들의 교체(219)로부터 가스의 배기(223)까지의 단계들이 수행된다.
- [0326] 상술한 단계들을 통해, 게이트 절연층(107) 위에, 비정질 구조(131b) 내에 각각의 각도가 90°가 아닌, 통상적으로 다이아몬드 형상의 사각형 형상을 갖는 결정 영역들(132h)을 포함하는 반도체층이 형성될 수 있다.
- [0327] 액정 표시 장치를 위해 사용될 수 있으며, 채널 형성 영역 내에 비정질 반도체가 포함되는 박막 트랜지스터에 비해 온 전류가 높고, 채널 형성 영역 내에 미결정 반도체를 포함하는 박막 트랜지스터에 비해 오프 전류가 낮은 박막 트랜지스터를 구비하는 소자 기판이 제조될 수 있다.

- [0328] (실시예 11)
- [0329] 실시예 11에서, 접촉 저항을 감소시킬 수 있는 박막 트랜지스터의 구조가 설명될 것이다. 구체적으로, 실시예 1 내지 실시예 9에서 설명된 소스 및 드레인 영역들이 일 도전형을 부여하는 불순물 원소 및 질소를 포함하는 반도체층(이하, 질소 함유 불순물 반도체층이라 지칭됨)을 사용하여 형성된다.
- [0330] 질소 함유 불순물 반도체층은 실시예 5 내지 실시예 7의 버퍼층 및 불순물 반도체층을 형성하는 단계들을 조합함으로써 형성된다. 구체적으로, 비정질 구조 내에 결정 영역들을 포함하는 반도체층의 형성 단계와 실시예 5에서 설명된 불순물 반도체층의 형성 단계를 조합하는 경우에, 도 20에서, 플러시 처리(213)가 버퍼층의 형성(217)과 가스들의 교체(219) 사이에 수행되고, 그에 의해, 버퍼층의 표면 상의 질소 농도가 더 높아지고, 불순물 반도체층 내의 질소 농도가 더 높아질 수 있다.
- [0331] 대안적으로, 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 형성하는 단계와, 실시예 6에서 설명된 불순물 반도체층을 형성하는 단계를 조합하는 경우에, 도 21에서, 언로드(225)로부터 로드(231)까지의 단계들이 버퍼층의 형성(217)과 가스들의 교체(219) 사이에 수행되고, 질화 실리콘 층이 반응 챔버의 내부 벽 상에 형성되며, 그에 의해, 반응 챔버 내의 질소 농도가 더 높게 형성될 수 있고, 불순물 반도체층 내의 질소 농도가 더 높게 형성될 수 있다.
- [0332] 다른 대안으로서, 비정질 구조 내에 결정 영역들을 포함하는 반도체층을 형성하는 단계를 실시예 7에 설명된 불순물 반도체층을 형성하는 단계와 조합하는 경우에, 도 22의 불순물 반도체층을 형성하는 단계(221)에서, 암모니아 가스 또는 질소 가스가 도입되고, 그에 의해, 불순물 반도체층 내의 질소 농도가 더 높아질 수 있다.
- [0333] 일 도전형을 부여하는 불순물 원소에 추가하여, 질소가 소스 및 드레인 영역들에 포함되고, 그에 의해, 소스 및 드레인 영역들의 결손 레벨들이 감소될 수 있다. 추가적으로, 일 도전형을 부여하는 불순물 원소에 추가로, NH기 또는 NH₂기가 일부 경우들에서 소스 및 드레인 영역들 내에 포함되고, 소스 영역 및 드레인 영역의 결손 레벨들이 이 구조에 의해 감소될 수 있다. 따라서, 소스 및 드레인 영역들 사이의 전기 전도성이 증가되고, 접촉 저항이 감소될 수 있다.
- [0334] (실시예 12)
- [0335] 실시예 1 내지 실시예 4에 설명된 박막 트랜지스터들은 발광 표시 장치들 또는 발광 장치들을 위해 사용될 수 있다. 발광 표시 장치들 또는 발광 장치들을 위해 사용되는 발광 소자들, 대표적으로, 전자발광(electroluminescence)을 사용하는 발광 소자들이 제공될 수 있다. 전자발광을 사용하는 발광 소자들은 발광 재료가 유기 화합물인지 또는 무기 화합물인지 여부에 따라 대략적으로 분류된다. 일반적으로, 유기 화합물인 경우는 유기 EL 소자들이라 지칭되고, 무기 화합물인 경우는 무기 EL 소자들이라 지칭된다.
- [0336] 또한, 발광 소자는 실시예 5 내지 실시예 11에 설명된 바와 같은 소자 기판 위에 형성되며, 그에 의해, 발광 표시 장치 또는 발광 장치가 제조될 수 있다.
- [0337] 높은 온 전류 및 낮은 오프 전류를 갖는 박막 트랜지스터가 본 실시예의 발광 표시 장치 및 발광 장치의 화소 트랜지스터로서 사용되기 때문에, 바람직한 이미지 품질(예로서, 높은 대비) 및 낮은 전력 소비를 갖는 발광 표시 장치 및 발광 장치가 제조될 수 있다.
- [0338] (실시예 13)
- [0339] 다음에, 상술한 실시예들 중 임의의 것이 적용될 수 있는 표시 장치에 포함되는 표시 패널의 구조의 예를 후술할 것이다.
- [0340] 도 31a는 단지 하나의 신호선 드라이버 회로(303)가 별개로 형성되어 기판(301) 위에 형성된 화소부(302)에 연결되어 있는 표시 패널의 모드를 예시한다. 화소부(302), 보호 회로(306), 및 주사선 드라이버 회로(304)를 구비하는 소자 기판이 실시예 1 내지 실시예 12 중 임의의 것에 설명된 박막 트랜지스터를 사용하여 형성된다. 신호선 드라이버 회로(303)는 채널 형성 영역을 위한 단결정 반도체를 사용하는 트랜지스터, 채널 형성 영역을 위한 다결정 반도체를 사용하는 박막 트랜지스터, 또는 채널 형성 영역을 위해 SOI(silicon on insulator)를 사용하는 트랜지스터로 형성될 수 있다. 채널 형성 영역을 위해 SOI를 사용하는 트랜지스터는 채널 형성 영역을 위해 유리 기판 위에 제공된 단결정 반도체층을 사용하는 트랜지스터를 포함한다. 화소부(302), 신호선 드라이버 회로(303), 및 주사선 드라이버 회로(304) 각각을 위해, 전원의 전위, 다양한 신호들 등이 FPC(305)를 통해 공급된다. 실시예 1 내지 실시예 12 중 임의의 것에 설명된 박막 트랜지스터를 사용하여 형성된 보호 회로

(306)는 신호선 드라이버 회로(303)와 FPC(305) 사이 및/또는 신호선 드라이버 회로(303)와 화소부(302) 사이에 제공될 수 있다. 보호 회로(306)로서, 다른 구조를 갖는 박막 트랜지스터, 다이오드, 저항 소자, 캐패시터 등으로부터 선택된 하나 이상의 소자들이 사용될 수 있다.

[0341] 신호선 드라이버 회로 및 주사선 드라이버 회로는 양자 모두 화소부의 화소 트랜지스터가 그 위에 형성되는 기판 위에 형성될 수 있다.

[0342] 또한, 드라이버 회로가 별개로 형성될 때, 드라이버 회로를 구비하는 기판은 항상 화소부를 구비하는 기판에 부착될 필요가 있는 것은 아니며, 예로서, FPC에 부착될 수 있다. 도 31b는 기판(311) 위에 형성되어 있는 화소부(312), 보호 회로(316), 및 주사선 드라이버 회로(314)를 구비하는 소자 기판이 FPC(315)에 연결되고, 단지 신호선 드라이버 회로(313)만이 별개로 형성되어 있는 표시 패널의 모드를 예시한다. 화소부(312), 보호 회로(316), 및 주사선 드라이버 회로(314)는 상술한 실시예들 중 임의의 것에 설명된 박막 트랜지스터를 사용하여 형성된다. 신호선 드라이버 회로(313)는 FPC(315) 및 보호 회로(316)를 통해 화소부(312)에 연결된다. 화소부(312), 신호선 드라이버 회로(313), 및 주사선 드라이버 회로(314) 각각에 대하여, 전원의 전위, 다양한 신호들 등이 FPC(315)를 통해 공급된다. 또한, 보호 회로(316)가 FPC(315)와 화소부(312) 사이에 제공될 수 있다.

[0343] 또한, 주사선 드라이버 회로의 일부 또는 신호선 드라이버 회로의 일부만이 그 위에 화소부가 형성되어 있는 기판 위에 상술한 실시예들 중 임의의 실시예에 설명된 박막 트랜지스터를 사용하여 형성될 수 있으며, 나머지는 별개로 형성되어 화소부에 전기적으로 연결될 수 있다. 도 31c는 신호선 드라이버 회로에 포함된 아날로그 스위치(323a)가 기판(321) 위에 형성되고, 그 위에 화소부(322) 및 주사선 드라이버 회로(324)가 형성되며, 신호선 드라이버 회로에 포함된 시프트 레지스터(323b)가 다른 기판 위에 별개로 형성되어 그 후 기판(321)에 부착되는 표시 패널의 모드를 예시한다. 화소부(322), 보호 회로(326), 및 주사선 드라이버 회로(324)는 각각 상술한 실시예들 중 임의의 실시예에 설명된 박막 트랜지스터를 사용하여 형성된다. 신호선 드라이버 회로에 포함된 시프트 레지스터(323b)는 아날로그 스위치(323a) 및 보호 회로(326)를 통해 화소 부분(322)에 연결된다. 화소부(322), 신호선 드라이버 회로, 및 주사선 드라이버 회로(324) 각각에 대하여, 전원의 전위, 다양한 신호들 등이 FPC(325)를 통해 공급된다. 또한, FPC(325)와 아날로그 스위치(323a) 사이에 보호 회로(326)가 제공될 수 있다.

[0344] 도 31a 내지 도 31c에 예시된 바와 같이, 본 실시예의 표시 장치에서, 드라이버 회로들 중 일부 또는 모두는 그 위에 화소부가 형성되어 있는 기판 위에 상술한 실시예들 중 임의의 실시예에 설명된 박막 트랜지스터를 사용하여 형성될 수 있다.

[0345] 별개로 형성된 기판의 연결 방법은 특정하게 한정되지 않으며, 공지된 COG 방법, 배선 결합 방법, TAB 방법 등이 사용될 수 있다는 것을 주의하여야 한다. 또한, 전기적 연결이 가능한 한, 연결을 위한 위치는 도 31a 내지 도 31c에 예시된 위치들에 한정되지 않는다. 제어기, CPU, 메모리 등이 별개로 형성되어 연결될 수 있다.

[0346] 본 실시예에 사용되는 신호선 드라이버 회로는 시프트 레지스터 및 아날로그 스위치를 포함한다는 것을 주의하여야 한다. 시프트 레지스터 및 아날로그 스위치에 추가로, 버퍼, 레벨 시프터, 또는 소스 팔로워 같은 다른 회로가 포함될 수 있다. 시프트 레지스터 및 아날로그 스위치는 반드시 제공되어야 하는 것은 아니며, 예로서, 신호선들을 선택할 수 있는 디코더 회로와 같은 다른 회로가 시프트 레지스터 대신 사용될 수 있으며, 래치 등이 아날로그 스위치 대신 사용될 수 있다.

[0347] (실시예 14)

[0348] 상술한 실시예들 중 임의의 실시예에 설명된 박막 트랜지스터를 사용하여 형성된 소자 기판 및 본 소자 기판을 사용하는 표시 장치 등은 액티브 매트릭스 표시 패널에 적용될 수 있다. 즉, 상술한 실시예들은 소자 기판과, 표시부 내의 표시 장치 등을 포함하는 모든 전자 장치들에 적용될 수 있다.

[0349] 이런 전자 장치들의 예들은 비디오 카메라 또는 디지털 카메라와 같은 카메라, 헤드 장착형 디스플레이(안경형 디스플레이), 차량 네비게이션 시스템, 프로젝터, 차량 스테레오, 퍼스널 컴퓨터, 및 휴대용 정보 단말기(모바일 컴퓨터, 셀룰러 전화, 또는 전자 서적 판독기 같은)를 포함한다. 이들 장치들의 예들이 도 32a 내지 도 32d에 예시되어 있다.

[0350] 도 32a는 텔레비전 장치를 예시한다. 텔레비전 장치는 상술한 실시예들 중 임의의 실시예가 적용된 표시 패널을 하우징 내에 통합시킴으로써 완성될 수 있다. 주 스크린(333)은 표시 패널로 형성되며, 스피커 부분(339), 조작 스위치들 등이 다른 추가적 악세서리들로서 제공된다.

- [0351] 도 32a에 예시된 바와 같이, 표시 소자를 사용하는 표시 패널(332)이 하우징(331)에 통합되어 있다. 수신기(335)에 의한 일반적 텔레비전 방송의 수신에 추가로, 일방향(송신기로부터 수신기로) 또는 2개 방향(송신기와 수신기 사이 또는 수신기들 사이)의 정보의 통신이 모뎀(334)을 통한 유선 또는 무선 통신 네트워크에 대한 접속에 의해 수행될 수 있다. 텔레비전 장치의 동작은 하우징 내에 통합된 스위치 또는 원격 제어 장치(336)에 의해 수행될 수 있다. 이 원격 제어 장치(336)도 출력 정보를 표시하기 위한 표시부(337)를 구비할 수 있다. 또한, 표시부(337)도 상술한 실시예들 중 임의의 실시예에 설명된 박막 트랜지스터를 구비할 수 있다. 또한, 텔레비전 장치는 주 스크린(333)에 추가로 채널들, 음량 등을 표시하기 위한 제 2 표시 패널을 구비하도록 형성된 서브 스크린(338)을 포함할 수 있다. 이러한 구조에서, 실시예 1 내지 실시예 12 중 임의의 실시예에 설명된 박막 트랜지스터가 주 스크린(333) 및 서브 스크린(338) 중 하나 또는 양자 모두에 적용될 수 있다.
- [0352] 도 33은 텔레비전 장치의 주요 구조를 예시하는 블록도이다. 표시 패널은 화소 부분(371)을 구비한다. 신호선 드라이버 회로(372) 및 주사선 드라이버 회로(373)는 COG 방법에 의해 표시 패널에 장착될 수 있다.
- [0353] 다른 외부 회로로서, 동조기(374)에 의해 수신된 신호들 중 비디오 신호를 증폭하는 비디오 신호 증폭기 회로(375); 비디오 신호 증폭기 회로(375)로부터 출력된 신호들을 적색, 녹색, 및 청색의 색상들에 대응하는 색채 신호들(chrominance signals)로 변환하는 비디오 신호 처리 회로(376); 비디오 신호를 드라이버 IC의 입력 제원(input specification)으로 변환하는 제어 회로(377) 등이 비디오 신호의 입력 측부에 제공된다. 제어 회로(377)는 주사선 측부 및 신호선 측부 양자 모두에 신호를 출력한다. 디지털 구동의 경우에, 주사선 측부 상에 신호 분할 회로(378)가 제공되고, 입력 디지털 신호가 공급될 대상 m 조각들로 분할되는 구조가 사용될 수 있다.
- [0354] 동조기(374)에 의해 수신된 신호들 중, 오디오 신호는 오디오 신호 증폭기 회로(379)에 전송되고, 그 출력은 오디오 신호 처리 회로(380)를 통해 스피커(383)에 공급된다. 제어 회로(381)는 수신국의 제어 정보(수신된 주파수) 또는 입력부(382)로부터의 음량을 수신하고, 신호들을 동조기(374) 및 오디오 신호 처리 회로(380)에 전송한다.
- [0355] 두말할 필요 없이, 본 실시예는 텔레비전 장치에 한정되지 않으며, 퍼스널 컴퓨터들의 모니터들, 또는 철도역들, 공항들 등의 정보 표지판들 및 노변의 광고 표지판들과 같은 넓은 면적을 갖는 표시 매체들에 적용될 수 있다.
- [0356] 상술한 바와 같이, 상술된 실시예들 중 임의의 실시예에 설명된 박막 트랜지스터를 주 스크린(333) 및 서브 스크린(338) 중 하나 또는 양자 모두에 적용함으로써 높은 영상 품질 및 낮은 전력 소비를 갖는 텔레비전 장치가 제조될 수 있다.
- [0357] 도 32b는 셀룰러 전화(341)의 일 예를 예시한다. 셀룰러 전화(341)는 표시부(342), 조작부(343) 등을 포함한다. 상술한 실시예들 중 임의의 실시예에 설명된 박막 트랜지스터를 표시부(342)에 적용함으로써 그 영상 품질이 향상되고 그 전력 소비가 감소될 수 있다.
- [0358] 도 32c에 예시된 휴대용 컴퓨터는 주 본체(351), 표시부(352) 등을 포함한다. 실시예 1 등에 설명된 박막 트랜지스터를 표시부(352)에 적용함으로써, 그 영상 품질이 향상되고 그 전력 소비가 감소될 수 있다.
- [0359] 도 32d는 조명부(361), 차양부(362), 조절 야암(363), 지지부(364), 베이스(365), 전원 스위치(366) 등을 포함하는 탁상등을 예시한다. 탁상등은 상술한 실시예에 설명된 발광 장치를 조명부(361)에 사용하여 제조된다. 실시예 1 등에 설명된 박막 트랜지스터를 조명부(361)에 적용함으로써, 그 영상 품질이 향상되고, 그 전력 소비가 감소될 수 있다.
- [0360] 도 34a 내지 도 34c는 상술한 실시예들 중 임의의 실시예에 설명된 박막 트랜지스터를 구비하는 소자 기관과 셀룰러 전화의 구조의 예를 예시하며, 소자 기관을 구비하는 표시 장치는 예로서, 그 표시부에 적용된다. 도 34a는 정면도이고, 도 34b는 후면도이며, 도 34c는 전개도이다. 도 34a 내지 도 34c에 예시된 셀룰러 전화는 두 개의 하우징들, 즉, 하우징(394)과 하우징(385)을 포함한다. 스마트폰이라고도 지칭되는 도 34a 내지 도 34c에 예시된 셀룰러 전화는 셀룰러 전화와 휴대용 정보 단말의 양자 모두의 기능들을 구비하며, 컴퓨터를 통합하고, 음성 호들에 추가하여 다양한 데이터 처리를 수행할 수 있다.
- [0361] 셀룰러 전화는 두 개의 하우징들, 즉, 하우징(394) 및 하우징(385)을 포함한다. 하우징(394)은 표시부(386), 스피커(387), 마이크로폰(388), 조작 키들(389), 포인팅 장치(390), 전방 카메라 렌즈(391), 외부 접속 단자를 위한 잭(392) 등을 포함하고, 하우징(385)은 키보드(395), 외부 메모리 슬롯, 후방 카메라(396), 광원(398) 등

을 포함한다. 추가로, 안테나가 하우징(394) 내에 통합되어 있다.

[0362] 상술한 구조에 추가하여, 비접촉 IC 칩, 소형 메모리 장치 등이 내부에 통합될 수 있다.

[0363] 하우징들(394, 385)은 도 34a에서 서로 중첩되어 있으며, 도 34a에 도시된 상태에서부터 슬라이드되고 셀룰러 전화가 도 34c에 예시된 바와 같이 개방된다. 표시부(386)에서, 상술한 실시예들 중 임의의 실시예에 설명된 표시 장치가 통합될 수 있고, 표시 방향은 사용 모드에 따라 적절히 변경될 수 있다. 전방 카메라 렌즈(391)가 표시부(386)와 동일한 평면에 제공되기 때문에, 셀룰러 전화는 화상 전화로서 사용될 수 있다는 것을 주의하여야 한다. 표시부(386)를 뷰파인더로서 사용하여 후방 카메라(396) 및 광원(398)에 의해 정지화상 및 동화상이 촬상될 수 있다.

[0364] 스피커(387) 및 마이크로폰(388)은 음성 호들에 한정되지 않고 화상 전화, 음향의 기록 및 재생 등을 위해 사용될 수 있다. 조작 키들(389)의 사용에 의해, 수신 및 발신 호들의 조작, 전자 메일 같은 간단한 정보 입력, 스크린의 스크롤링, 커서 이동 등이 가능하다.

[0365] 문서 작성 같이 다량의 정보가 처리될 필요가 있거나 휴대용 정보 단말로서 사용 등의 경우에, 키보드(395)를 사용하는 것이 편리하다. 서로 중첩되어 있는 하우징(394, 385)(도 34a)은 슬라이드되고 셀룰러 전화가 도 34c에 예시된 바와 같이 개방되어 셀룰러 전화가 휴대용 정보 단말로서 사용될 수 있다. 또한, 키보드(395) 및 포인팅 장치(390)의 사용에 의해, 매끄러운 조작이 가능하다. AC 어댑터 및 USB 케이블 같은 다양한 유형의 케이블들이 외부 접속 단자를 위한 잭(392)에 연결될 수 있으며, 이를 통해, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 기록 매체를 외부 메모리 슬롯에 삽입함으로써, 다량의 데이터가 저장 및 전달될 수 있다.

[0366] 하우징(385)의 후면(도 34b)에는, 후방 카메라(396) 및 광원(398)이 제공되며, 표시부(386)를 뷰파인더로서 사용하여 정지화상 및 동화상이 촬상될 수 있다.

[0367] 또한, 셀룰러 전화는 적외선 통신 기능, USB 포트, 일 영역 텔레비전 방송의 수신 기능, 비접촉 IC 칩, 이어폰 잭 등을 상술한 구조들에 추가하여 구비할 수 있다.

[0368] 상술한 실시예들 중 임의의 실시예에 설명된 박막 트랜지스터를 화소에 적용함으로써 영상 품질이 향상될 수 있고, 전력 소비가 감소될 수 있다.

[0369] [예 1]

[0370] 예 1에서, STEM(scanning transmission electron microscopy)에 의해 관찰된, 실시예 6에 따라 제조된 박막 트랜지스터의 단면의 이미지가 도 35a 및 도 35b에 도시되어 있다.

[0371] 먼저, 박막 트랜지스터의 제조 프로세스가 도 15a 내지 도 15c 및 도 16a 내지 도 16c를 참조로 설명될 것이다.

[0372] 게이트 전극층(103)이 기판(101) 위에 형성된다.

[0373] 여기에서, 기판(101)으로서, 0.7 mm의 두께를 갖는 유리 기판(Corning, Inc.에 의해 제조된 EAGLE2000)이 사용되었다.

[0374] 50 sccm 유량의 아르곤 이온들을 사용하여 폴리브덴 타겟이 기판 상에 스퍼터링되어 150 nm의 두께를 갖는 폴리브덴 층이 형성되었다. 다음에, 폴리브덴 층에 레지스트가 인가된 이후, 레지스트가 제 1 포토마스크를 사용하여 광에 노광되고 현상되어 레지스트 마스크를 형성하였다.

[0375] 다음에, 레지스트 마스크를 사용하여 폴리브덴 층이 에칭되어 게이트 전극층(103)을 형성하였다. 본 예에서, 유도 결합 플라즈마(ICP) 에칭 장치가 사용되었다. 에칭 조건은 이하와 같다: ICP 파워는 800W이고, 바이어스 파워는 100W이고, 압력은 1.5 Pa이며, 에칭 가스들에 대하여, 불화탄소의 유량은 25 sccm이고, 염소의 유량은 25 sccm이며, 산소의 유량은 10 sccm이었다.

[0376] 에칭 이후, 레지스트 마스크가 제거되었다.

[0377] 그후, 게이트 전극층(103) 및 기판(101) 위에, 게이트 절연층(107), 반도체층(109), 버퍼층(111), 및 불순물 반도체층(113)이 대기에 대한 노출 없이 연속적으로 형성되었다(도 15a).

[0378] 여기서, 게이트 절연층(107)으로서, 질화 실리콘 층 및 산화질화실리콘 층이 적층되었다. 먼저, 110 nm의 두께를 갖는 질화 실리콘 층이 플라즈마 CVD 방법에 의해 형성되었다. 이 시기에 증착 조건은 이하와 같다: 소스

가스들로서, SiH_4 의 유량은 40 sccm이고, H_2 의 유량은 500 sccm이고, N_2 의 유량은 550 sccm이고, NH_3 의 유량은 140 sccm이고, 처리 챔버 내의 압력은 100 Pa이고, 기판의 온도는 280°C 이고, RF 파워 소스의 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 370W이며; 이러한 조건 하에서 플라즈마 방전이 수행되었다. 다음에, 110 nm의 두께를 갖는 산화질화실리콘 층이 플라즈마 CVD 방법에 의해 형성되었다. 이 시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 30 sccm이고, N_2O 의 유량은 1200 sccm이고, 처리 챔버 내의 압력은 40 Pa이고, 기판의 온도는 280°C 이고, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 50W이며; 이러한 조건 하에서 플라즈마 방전이 수행되었다.

[0379] 그후, 기판(101)이 처리 챔버 외부로 운반되고, 처리 챔버의 내부가 NF_3 가스로 세정되었다. 그후, 처리 챔버 내에 보호층을 형성하기 위한 소스 가스가 도입되고, 처리 챔버의 내측에 보호층으로서 비정질 실리콘 층을 형성하는 처리가 수행되었다. 이 시기의 증착 조건은 이하와 같다: 소스 가스에 대하여, SiH_4 의 유량은 300 sccm이고, 처리 챔버 내의 압력은 160 Pa이고, 기판의 온도는 280°C 이고, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 120W이며, 이러한 조건 하에서 플라즈마 방전이 수행되었다.

[0380] 그후, 기판(101)이 처리 챔버 내로 운반되고, 5 nm의 두께를 갖는 미결정 실리콘 층이 게이트 절연층(107) 위에 반도체층(109)으로서 형성되었다. 이 시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 10 sccm이고, H_2 의 유량은 1500 sccm이고, 처리 챔버 내의 압력은 280 Pa이고, 기판의 온도는 280°C 이고, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 50W이며; 이러한 조건 하에서, 플라즈마 처리가 수행되었다.

[0381] 다음에, 버퍼층(111)으로서, 55 nm 두께의 비정질 구조 내에 결정 영역들을 포함하는 실리콘 층이 반도체층(109) 위에 형성되었다. 이 시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 20 sccm이고, H_2 의 유량은 1250 sccm이고, 100 ppm NH_3 (수소로 희석)의 유량은 250 sccm이고, 처리 챔버 내의 압력은 280 Pa이고, 기판의 온도는 280°C 이고, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 50W이며; 이러한 조건 하에서, 플라즈마 처리가 수행되었다.

[0382] 다음에, 불순물 반도체층(113)으로서, 50 nm 두께의, 인이 추가된 비정질 실리콘 층이 버퍼층(111) 위에 형성되었다. 이 시기의 증착 조건은 이하와 같다: 소스 가스들로서, SiH_4 의 유량은 100 sccm이고, 0.5% 인(수소로 희석됨)의 유량은 170 sccm이고, 증착 온도는 280°C 이고, 압력은 170 Pa이고, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 60W이며; 이러한 조건 하에서 플라즈마 방전이 수행되었다.

[0383] 다음에, 불순물 반도체층(113)에 레지스트가 인가되고, 그후, 제 2 포토마스크를 사용하여 광에 노광되고 현상되어 레지스트 마스크를 형성한다. 다음에, 레지스트 마스크를 사용하여 반도체층(109), 버퍼층(111), 및 불순물 반도체층(113)이 에칭되고, 그에 의해, 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)이 형성되었다(도 15b). 여기서 ICP 에칭 장치가 사용되고, 에칭 조건은 이하와 같다: ICP 파워는 150W이고, 바이어스 파워는 40W이고, 압력은 1.0 Pa이고, 에칭 가스는 100 sccm 유량을 갖는 염소이고, 에칭 시간은 78초였다.

[0384] 다음에, 도 15c에 예시된 바와 같이, 도전층(121)이 게이트 절연층(107), 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)을 덮도록 형성되었다. 여기서, 몰리브덴 타겟이 50 sccm 유량을 갖는 아르곤 이온들을 사용하여 스퍼터링되어 300 nm의 두께를 갖는 몰리브덴 층을 형성한다.

[0385] 다음에, 레지스트가 도전층(121)에 인가되고, 그후, 제 3 포토마스크를 사용하여 광에 노광되고 현상되어, 그에 의해 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여, 도전층(121)이 습식 에칭에 의해 에칭되고, 그에 의해, 배선층들(123, 125)을 도 16a에 도시된 바와 같이 형성한다. 배선층들(123, 125) 각각의 평면형 형상은 본 실시예에서 선형적이었다는 것을 주의하여야 한다.

[0386] 다음에, 레지스트 마스크를 사용하여, 불순물 반도체층(119)이 에칭되고, 소스 및 드레인 영역들(129)이 형성되었다. 본 프로세스에서, 버퍼층(117)의 표면의 일부도 에칭되고, 버퍼층(131)이 얻어졌다(도 16b). 여기서, ICP 에칭 장치가 사용되고 에칭 조건들은 이하와 같다: ICP 파워는 150 W이고, 바이어스 파워는 40 W이고, 압력은 1.0 Pa이고, 에칭 가스는 100 sccm의 유량을 갖는 염소이며, 에칭 시간은 33초였다. 이 시기의 버퍼층(131)의 두께는 40 nm이었다. 그후, 레지스트 마스크가 제거되었다.

[0387] 그후, 버퍼층(131)의 표면들 및 소스 및 드레인 영역들(129)이 불화탄소 플라즈마로 조사되고, 그에 의해, 버퍼층(131) 상에 잔류하는 불순물이 제거되었다. 여기서, ICP 에칭 장치가 사용되었고, 에칭 조건은 이하와 같다:

소스 파워는 1000 W이고, 바이어스 파워는 0 W이고, 압력은 0.67 Pa이고, 에칭 가스는 100 sccm의 유량을 갖는 불화탄소였으며, 에칭 시간은 30초였다.

- [0388] 다음에, 절연층(133)으로서, 300 nm의 두께를 갖는 질화 실리콘 층이 형성되었다(도 16c). 이시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 20 sccm이고, NH_3 의 유량은 220 sccm이고, 질소의 유량은 450 sccm이고, 수소의 유량은 450 sccm이고, 처리 챔버 내의 압력은 160 Pa이고, 기판의 온도는 280°C 이고, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 150 W이며, 이러한 조건 하에서 플라즈마 방전이 수행되었다.
- [0389] 다음에, 레지스트가 절연층에 인가되고, 그후, 제 4 포토마스크를 사용하여 광에 노광되고 현상되어 레지스트 마스크를 형성한다. 레지스트 마스크의 사용으로, 절연층의 일부가 건식 에칭에 의해 에칭되고, 그래서, 배선층(125)이 노출되었다. 또한, 절연층의 일부 및 게이트 절연층(107)의 일부가 건식 에칭에 의해 에칭되어, 게이트 전극층(103)이 노출되었다. 여기서, ICP 에칭 장치가 사용되었다. ICP 파워는 475 W이었고, 바이어스 파워는 300 W이고, 압력은 5.5 Pa이고, 에칭 가스들은 50 sccm 유량의 CHF_3 와 100 sccm 유량의 헬륨을 포함한다. 플라즈마는 이러한 조건 하에서 생성되었다. 그후, 에칭 가스들로서 7.5 sccm의 유량을 갖는 CHF_3 와 142.5 sccm의 유량을 갖는 헬륨을 사용하여 에칭 처리가 수행되었다. 그후, 레지스트 마스크가 제거되었다.
- [0390] 다음에, 도전층이 절연층 위에 형성되었다. 여기서, 50 nm 두께의 산화 실리콘을 포함하는 ITO 필름이 스퍼터링 방법에 의해 도전층으로서 형성되었다.
- [0391] 다음에, 도전층에 레지스트가 인가되고, 그후, 제 5 포토마스크를 사용하여 광에 노광되고, 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여, 도전층의 일부가 건식 에칭에 의해 에칭되고, 그에 의해, 화소 전극층(135)을 형성한다. 다음에, 레지스트 마스크를 제거한 이후, 산화 실리콘을 포함하는 ITO 막이 1시간 동안 250°C 로 가열함으로써 베이킹되었다.
- [0392] 상기 프로세스를 통해, 박막 트랜지스터와 박막 트랜지스터에 연결된 화소 전극이 제조되었다.
- [0393] STEM으로 관찰된 박막 트랜지스터의 단면의 화상이 도 35a에 도시되어 있다. 도 35b는 도 35a의 개략도이다.
- [0394] 도 35b에서, 각각 게이트 절연층(107)으로서 형성된 질화 실리콘 층 및 산화질화실리콘 층은 각각 SiN 및 SiON으로 표시되어 있다. 또한, 반도체층(115)은 $\mu\text{c-Si}$ 로 표시되어 있고, 버퍼층(131)은 버퍼층에 의해 표시되어 있다. 또한, 소스 및 드레인 영역들(129)은 $\text{n}^+\text{a-Si}$ 로 표시되어 있고, 배선층(123)은 Mo로 표시되어 있다.
- [0395] 도 35a 및 도 35b에 도시된 바와 같이, 버퍼층(131)에서, 원추형 또는 피라미드형 결정 영역들이 형성된다. 또한, 정규 원추형 또는 피라미드형 형상들의, 반도체층(115)으로부터 버퍼층으로 연장하는 결정 영역들이 형성된다는 것이 판명되었다. 이 조건은 또한 "버퍼층(131) 내의 결정 영역들과 비정질 구조 사이의 계면이 불균등"한 것으로 표현된다.
- [0396] [예 2]
- [0397] 예 2에서, 실시예 6에 따라 제조된 박막 트랜지스터의 전기적 특성들이 설명된다.
- [0398] 먼저, 박막 트랜지스터의 제조 프로세스가 도 15a 내지 도 15c와 도 16a 내지 도 16c를 참조로 설명될 것이다.
- [0399] 게이트 전극층(103)이 기판(101) 위에 형성된다.
- [0400] 여기서, 기판(101)으로서 0.7 nm의 두께를 가지는 유리 기판(Corning, Inc.에 의해 제조된 EAGLE2000)이 사용된다.
- [0401] 예 1에서와 유사한 방식으로, 150 nm의 두께를 갖는 몰리브덴 층이 기판 위에 형성된다. 다음에, 레지스트가 몰리브덴 층에 인가된 이후, 레지스트가 제 1 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해 레지스트 마스크를 형성한다.
- [0402] 다음에, 실시예 1의 것과 유사한 방식으로, 레지스트 마스크를 사용하여 몰리브덴 층을 에칭함으로써, 게이트 전극층(103)이 형성된다. 그후, 레지스트 마스크가 제거된다.
- [0403] 그후, 게이트 전극층(103) 및 기판(101) 위에, 게이트 절연층(107), 반도체층(109), 버퍼층(111) 및 불순물 반도체층(113)이 연속적으로 형성된다(도 15a).

- [0404] 여기서, 게이트 절연층(107)으로서, 질화 실리콘 층 및 산화 실리콘 층이 적층된다. 먼저, 110 nm의 두께를 갖는 질화 실리콘 층이 예 1의 것과 유사한 조건 하에서 플라즈마 CVD 방법에 의해 형성된다. 다음에, 110 nm의 두께를 갖는 산화 실리콘 층이 플라즈마 CVD 방법에 의해 형성된다. 이 시기의 증착 조건은 다음과 같다: 15 sccm의 유량을 갖는 테트라에틸 오르소실리케이트(TEOS)와, 750 sccm의 유량을 갖는 O₂를 포함하는 소스 가스들이 도입되고 안정화되며, 처리 챔버 내의 압력은 100 Pa이고, 상부 전극의 온도는 300℃이고, 하부 전극의 온도는 297℃이고, RF 파워 소스 주파수는 27MHz이고, RF 파워 소스의 파워는 300 W이며, 이러한 조건하에서 플라즈마 방전이 수행된다.
- [0405] 다음에, 반도체층(109)으로서, 5 nm의 두께를 갖는 미결정 실리콘층이 예 1의 것과 유사한 조건 하에서 게이트 절연층(107) 위에 형성된다.
- [0406] 다음에, 버퍼층(111)으로서, 75 nm의 두께를 갖는 비정질 구조 내에 결정 영역을 포함하는 실리콘층이 예 1의 것과 유사한 조건 하에서 반도체층(109) 위에 형성된다.
- [0407] 다음에, 불순물 반도체층(113)으로서, 50 nm의 두께를 갖는 인이 추가된 비정질 실리콘 층이 예 1과 유사한 조건 하에서 버퍼층(111) 위에 형성된다.
- [0408] 다음에, 레지스트가 불순물 반도체층(113)에 인가되고, 그후, 제 2 포토마스크를 사용하여 광에 노광되며, 현상됨으로써, 레지스트 마스크를 형성한다. 다음에, 레지스트 마스크를 사용하여, 반도체층(109), 버퍼층(111), 및 불순물 반도체층(113)이 에칭되고, 그에 의해, 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)이 형성된다(도 15b). 여기서, 예 1의 것과 유사한 에칭 조건이 사용된다.
- [0409] 다음에, 도 15c에 예시된 바와 같이, 게이트 절연층(107), 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)을 덮도록 도전층(121)이 형성된다. 여기서, 예 1의 것과 유사한 조건 하에서 300 nm의 두께를 갖는 폴리브덴 층이 형성된다.
- [0410] 다음에, 도전층(121)에 레지스트가 인가되고, 그후, 제 3 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용함으로써, 도전층(121)이 습식 에칭에 의해 에칭되고, 그에 의해, 도 16a에 예시된 바와 같은 배선층들(123, 125)이 형성된다. 배선층들(123, 125) 각각의 평면형 형상은 본 예에서 선형적이라는 것을 주의하여야 한다.
- [0411] 다음에, 레지스트 마스크를 사용하여, 불순물 반도체층(119)이 에칭되고, 소스 및 드레인 영역들(129)이 형성된다. 본 프로세스에서, 버퍼층(117)의 표면의 일부도 에칭되고, 버퍼층(131)이 얻어진다(도 16b). 여기서, 예 1의 것과 유사한 에칭 조건이 사용된다. 이때, 버퍼층(131)의 두께는 40 nm이다.
- [0412] 그후, 소스 및 드레인 영역들(129)과, 버퍼층(131)의 표면들이 불화탄소 플라즈마로 조사되며, 이에 의해, 버퍼층(131) 상에 잔류하는 불순물이 제거된다. 여기서, ICP 에칭 장치가 사용되며, 에칭 조건은 이하와 같다: 소스 파워는 1000 W이고, 압력은 0.67 Pa이고, 에칭 가스는 100 sccm의 유량을 갖는 불화탄소이며, 에칭 시간은 30초이다.
- [0413] 다음에, 버퍼층(131)과 소스 및 드레인 영역들(129)이 워터 플라즈마로 조사된다. 여기서, ICP 에칭 장치가 사용되며, 조건은 아래와 같이 설정된다: 파워 소스의 파워는 1800 W이고, 압력은 66.5 Pa이고, 플라즈마는 300 sccm의 유량을 갖는 수증기 함유 분위기에서 생성되고, 표면들은 180초 동안 플라즈마로 조사된다. 그후, 레지스트가 제거된다.
- [0414] 다음에, 절연층(133)으로서, 질화 실리콘 층이 형성된다. 여기서, 예 1의 것과 유사한 조건하에서, 300 nm의 두께를 갖는 질화 실리콘 층이 형성된다.
- [0415] 다음에, 절연층에 레지스트가 인가되고, 그후, 제 4 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여, 건식 에칭에 의해 절연층의 일부가 에칭되고, 배선층(125)이 노출된다. 또한, 절연층이 일부 및 게이트 절연층(107)의 일부가 건식 에칭에 의해 에칭되며, 게이트 전극층(103)이 노출된다. 여기서, 예 1의 것과 유사한 에칭 조건이 사용된다. 그후, 잔여 레지스트 마스크가 제거된다.
- [0416] 상술한 단계들을 통해 박막 트랜지스터가 제조된다.
- [0417] 그후, 박막 트랜지스터의 전기적 특성들이 측정되고, 도 36a 및 도 36b는 결과들을 도시한다. 이때, 측정은 0.25 V의 증분들로 게이트 전압을 증가시킴으로써 수행되었다. 또한, 측정시의 온도는 실온이었다. 본 예의

박막 트랜지스터는 3.4 μm 의 채널 길이와 20 μm 의 채널 폭을 갖도록 형성되었다는 것을 주의하여야 한다. 채널 폭(W)은 여기서 게이트 전극의 폭이다. 반도체층(115)의 폭은 22 μm 이다. 또한, 박막 트랜지스터의 게이트 절연층의 두께가 질화 실리콘 층(유전율: 7)의 110 nm와 산화 실리콘 층(유전율: 4.1)의 110 nm의 합인 조건 하에서 전계 효과 이동도가 계산되었다. 드레인 전압이 1V일 때의 전류 대 전압 특성들과 드레인 전압이 10V일 때 전류 대 전압 특성들이 실선들에 의해 표시되어 있다. 또한, 드레인 전압이 1V일 때의 전계 효과 이동도가 도 36a에 점선으로 표시되어 있으며, 드레인 전압이 10V일 때의 전계 효과 이동도가 도 36b에 점선으로 표시되어 있다.

[0418] 표 1은 이하의 항목들의 측정 결과들을 보여준다. 여기서, 16개 박막 트랜지스터들에 대해 측정을 수행함으로써 얻어진 평균값들이 제시되어 있다.

[0419] - 온 전류(I_{on})(드레인 전압: 10V, 게이트 전압: 15V)

[0420] - 최소 오프 전류($I_{off\ min}$)(드레인 전압: 10V)

[0421] - 오프 전류(I_{off})(드레인 전압: 10V, 게이트 전압: (최소 오프 전류에서의 게이트 전압-10) V)

[0422] - 온/오프 비율

[0423] - 임계 전압(V_{th})(드레인 전압: 10V)

[0424] - 최대 전계 효과 이동도($\mu_{FE\ max}$)(드레인 전압: 1V)

[0425] - 최대 전계 효과 이동도($\mu_{FE\ max}$)(드레인 전압: 10V)

표 1

| [0426] | $I_{on}[A]$ | $I_{off_min}[A]$ | $I_{off}[A]$ | 온/오프 비율 | $V_{th}[V]$ | $\mu_{FE_max}[cm^2/V \cdot s](V_d=1V)$ | $\mu_{FE_max}[cm^2/V \cdot s](V_d=10V)$ |
|--------|-------------|-------------------|--------------|------------|-------------|---|--|
| | 4.4E-06 | 4.2E-11 | 7.3E-10 | 5.6 | 2.39±0.24 | 1.02 | 0.45 |

[0427] 상술한 바와 같이, 게이트 절연층으로서 TEOS를 사용하여 형성된 산화 실리콘 층이 사용되고, 미결정 실리콘층이 반도체층으로서 사용되고, 비정질 구조 내에 결정 영역들을 포함하는 실리콘층이 버퍼층으로서 사용될 때, 높은 전계 효과 이동도를 갖는 박막 트랜지스터가 제조될 수 있다.

[0428] (비교예)

[0429] 여기에서, 비교예로서, 버퍼층을 포함하지 않고 채널 형성 층으로서 미결정 실리콘 층을 포함하는 박막 트랜지스터의 전기적 특성들이 설명될 것이다.

[0430] 먼저, 도 15a 내지 도 15c 및 도 16a 내지 도 16c를 참조로 박막 트랜지스터의 제조 프로세스를 설명한다. 게이트 전극층(103)이 예 1의 것과 유사한 조건 하에서 형성된다.

[0431] 게이트 절연층(107)으로서, 질화 실리콘 층 및 산화 실리콘 층이 예 1의 것과 유사한 조건 하에서 적층된다.

[0432] 그후, CVD 장치의 처리 챔버의 외부로 대기 챔버로 기판이 운반된 이후, 처리 챔버의 내측이 불화질소로 세정된다. 다음에, 비정질 실리콘 층이 처리 챔버 내에 형성된다. 이 시기의 증착 조건은 이하와 같다: 소스 가스에 대하여, SiH_4 의 유량은 300 sccm이고, 처리 챔버 내의 압력은 160 Pa이고, 처리 챔버의 온도는 280℃이고, RF 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 120 W이며; 이러한 조건 하에서 플라즈마 방전이 수행된다.

[0433] 다음에, 기판이 처리 챔버 내로 운반된다. 그후, 반도체층(109)으로서, 80 nm의 두께를 갖는 미결정 실리콘 층이 예 1의 것과 유사한 조건 하에서 게이트 절연층 위에 형성된다.

[0434] 다음에, 반도체층 위의 불순물 반도체층(113)으로서, 50 nm의 두께를 갖는 인이 추가된 미결정 실리콘 층이 예 1의 것과 유사한 조건 하에서 형성된다(도 15a, 버퍼층(111) 제외). 이 시기의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 10 sccm이고, 0.5 vol% PH_3 (H_2 로 희석)의 유량은 30 sccm이고, H_2 의 유량은 1500 sccm이고, 처리 챔버의 압력은 280 Pa이고, 기판의 온도는 280℃이고, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 300 W이며; 이러한 조건 하에서 플라즈마 방전이 수행되었다.

- [0435] 다음에, 불순물 반도체층에 레지스트가 인가되고, 그후, 제 2 포토마스크를 사용하여 광에 노광되고, 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 다음에, 레지스트 마스크를 사용하여, 반도체층 및 불순물 반도체층이 에칭되고, 그에 의해, 반도체층(115) 및 불순물 반도체층(119)이 형성되었다(도 15b, 버퍼층(117) 제외). 여기서, 예 1의 것과 유사한 에칭 조건이 사용되었다.
- [0436] 다음에, 게이트 절연층, 반도체층, 및 불순물 반도체층을 덮도록 도전층이 형성된다(도 15c, 버퍼층(117) 제외). 여기서, 300 nm의 두께의 몰리브덴 층이 예 1의 것과 유사한 조건 하에서 형성되었다.
- [0437] 다음에, 도전층에 레지스트가 인가되고, 그후, 제 3 포토마스크를 사용하여 광에 노광되고, 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여, 도전층이 습식 에칭에 의해 에칭되고, 그에 의해, 배선층들(123, 125)을 형성한다(도 16a, 버퍼층(117) 제외). 배선층들(123, 125)의 각각의 평면형 형상은 본 예에서 선형적이라는 것을 주의하여야 한다.
- [0438] 다음에, 레지스트 마스크를 사용하여, 불순물 반도체층(119)이 에칭되어 소스 및 드레인 영역들(129)이 형성되었다. 본 프로세스에서, 반도체층(109)의 일부도 에칭된다(도 16b, 버퍼층(131) 제외). 여기서, 예 1의 것과 유사한 에칭 조건이 사용되었다.
- [0439] 그후, 반도체층과, 소스 및 드레인 영역들(129)의 노출된 표면들이 예 1에서와 같이 불화탄소 플라즈마로 조사되고, 그에 의해, 노출된 반도체층 상에 잔류하는 불순물이 제거되었다.
- [0440] 다음에, 반도체층 및 소스 및 드레인 영역들(129)의 노출된 표면들이 워터 플라즈마로 조사되었다.
- [0441] 다음에, 예 1에서와 같이 질화 실리콘층이 형성되었다.
- [0442] 다음에, 레지스트가 절연층에 인가되고, 그후, 제 4 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여, 절연층의 일부가 건식 에칭에 의해 에칭되고, 그래서, 배선층(125)이 노출된다. 추가로, 절연층의 일부 및 게이트 절연층(107)의 일부가 건식 에칭에 의해 에칭되며, 게이트 전극층(103)이 노출된다. 여기서, 예 1의 것과 유사한 에칭 조건이 사용되었다. 그후, 잔여 레지스트 마스크가 제거되었다.
- [0443] 상술한 단계들을 통해 박막 트랜지스터가 제조되었다.
- [0444] 그후, 박막 트랜지스터의 전기적 특성들이 측정되고, 도 46a 및 도 46b는 결과들을 도시한다. 이때, 측정은 0.25 V의 증분들로 게이트 전압을 증가시킴으로써 수행되었다. 또한, 측정시의 온도는 실온이었다. 본 예의 박막 트랜지스터는 3.4 μm 의 채널 길이와 24 μm 의 채널 폭을 갖도록 형성되었다는 것을 주의하여야 한다. 채널 폭(W)은 여기서 게이트 전극의 폭이다. 반도체층(115)의 폭은 26 μm 이다. 또한, 박막 트랜지스터의 게이트 절연층의 두께가 질화 실리콘 층(유전율: 7)의 110 nm와 산화 실리콘 층(유전율: 4.1)의 110 nm의 합인 조건 하에서 전계 효과 이동도가 계산되었다. 드레인 전압이 1V일 때의 전류 대 전압 특성들과 드레인 전압이 10V일 때 전류 대 전압 특성들이 실선들에 의해 표시되어 있다. 특히, 드레인 전압이 1V일 때의 전계 효과 이동도가 도 46a에 점선으로 표시되어 있으며, 드레인 전압이 10V일 때의 전계 효과 이동도가 도 46b에 점선으로 표시되어 있다.
- [0445] 표 2는 이하의 항목들의 측정 결과들을 보여준다. 여기서, 16개 박막 트랜지스터들에 대해 측정을 수행함으로써 얻어진 평균값들이 제시되어 있다.
- [0446] - 온 전류(I_{on})(드레인 전압: 10V, 게이트 전압: 15V)
- [0447] - 최소 오프 전류($I_{off \min}$)(드레인 전압: 10V)
- [0448] - 오프 전류(I_{off})(드레인 전압: 10V, 게이트 전압: (최소 오프 전류에서의 게이트 전압-10) V)
- [0449] - 온/오프 비율
- [0450] - 임계 전압(V_{th})(드레인 전압: 10V)
- [0451] - 최대 전계 효과 이동도($\mu_{FE \max}$)(드레인 전압: 1V)
- [0452] - 최대 전계 효과 이동도($\mu_{FE \max}$)(드레인 전압: 10V)

표 2

| Ion[A] | Ioff_min[A] | Ioff[A] | 온/오프 비율 | Vth[V] | $\mu FE_{max}[cm^2/V \cdot s](V_d=1V)$ | $\mu FE_{max}[cm^2/V \cdot s](V_d=10V)$ |
|----------|-------------|----------|---------|-----------|--|---|
| 1.03E-05 | 4.08E-09 | 2.25E-07 | 3.43 | 1.51±0.66 | 0.77 | 1.36 |

- [0453]
- [0454] 상술한 바와 같이, TEOS를 사용하여 산화 실리콘층이 게이트 절연층으로서 형성되고, 미결정 실리콘층이 반도체층으로서 사용되고, 비정질 구조 내에 결정 영역들을 포함하는 실리콘층이 버퍼층으로서 사용될 때, 높은 전계 효과 이동을 갖는 박막 트랜지스터가 제조될 수 있다. 또한, 본 예에서 설명된 바와 같은 버퍼층으로서 비정질 구조 내에 결정 영역들을 포함하는 실리콘층을 제공함으로써, 비교예의 박막 트랜지스터에 비해 오프 전류가 감소될 수 있다. 즉, 높은 온/오프 비율을 갖는 박막 트랜지스터가 제조될 수 있다.
- [0455] 다음에, 도 37a 및 도 37b는 본 예에서 제조된 박막 트랜지스터 상에 수행된 바이어스 온도(BT) 테스트의 결과들을 보여준다.
- [0456] 먼저, 박막 트랜지스터의 초기 특성들이 측정되었으며, 그후, 박막 트랜지스터 상에 BT 테스트가 수행되고 특성들의 열화가 검사되었다. 이때, 0.25V의 증분들로 게이트 전압을 증가시킴으로써 측정이 수행되었다. 또한, 측정 시간의 온도는 실온이었다. 여기서, ΔV_{th} 는 BT 테스트 이후 임계 전압으로부터 초기 특성들의 임계 전압을 빼서 얻어진 값이다.
- [0457] 도 37a 및 도 37b에 도시된 측정 결과들이 얻어지는 BT 테스트의 응력 조건은 다음과 같다: 기판의 온도는 85℃이고, 드레인 전압(V_D)은 0.1V이고, 소스 전압(V_S)은 0 V이고, 게이트 전압(V_G)은 +30V이다. 또한, 측정 대상 타겟인 박막 트랜지스터에서, 채널 길이(L)의 설계값은 10 μm 이고, 채널 폭(W)의 설계값은 20 μm 이다. 채널 폭(W)은 여기서 게이트 전극의 폭이라는 것을 주의하여야 한다. 또한, 반도체층(115)의 폭은 22 μm 이다. 또한, 박막 트랜지스터의 게이트 절연층의 두께는 질화 실리콘층(유전율: 7)의 110 nm과, 산화 실리콘층(유전율: 4.1)의 110 nm의 합이다.
- [0458] 도 37a는 본 예에서 제조된 박막 트랜지스터의 ΔV_{th} 를 보여준다. 도 37b는 본 예의 박막 트랜지스터의 버퍼층과 반도체층 대신, 70 nm의 두께를 갖는 비정질 실리콘 층을 포함하는 박막 트랜지스터의 ΔV_{th} 를 보여준다. BT 테스트 결과들에 따라, 10,000 초 이후의 값까지의 ΔV_{th} 의 값들의 근사치 라인이 점선으로 표시되어 있다.
- [0459] 도 37a에 도시된 바와 같이, 점선으로 표시된 근사치 라인에 따라, 1,000 초 이후의 ΔV_{th} 는 +0.43 V이고, 10년 이후의 ΔV_{th} 는 +7.3 V라는 것이 예상된다. 또한, 도 37b에 도시된 바와 같이, 점선으로 표시된 근사치 라인에 따라, 1,000 초 이후의 ΔV_{th} 는 +2.3 V이고, 10년 이후의 ΔV_{th} 는 +567 V라는 것이 예상된다.
- [0460] 도 37a 및 도 37b에 따르면, 본 예에 설명된 박막 트랜지스터의 임계 전압의 이동은 채널 형성 영역 내에 비정질 실리콘 층을 포함하는 반전 스테거형 박막 트랜지스터의 것에 비해 더 작다. 따라서, 본 예에 따르면, 매우 신뢰성있는 박막 트랜지스터가 제조될 수 있다.
- [0461] [예 3]
- [0462] 예 3에서, 실시예 6에 따라 제조된 박막 트랜지스터의 전기적 특성들이 설명된다.
- [0463] 먼저, 박막 트랜지스터의 제조 프로세스가 도 15a 내지 도 15c와 도 16a 내지 도 16c를 참조로 설명될 것이다.
- [0464] 게이트 전극층(103)이 기판(101) 위에 형성된다.
- [0465] 여기서, 기판(101)으로서, 0.7 nm의 두께를 가지는 유리 기판(Corning, Inc.에 의해 제조된 EAGLE2000)이 사용된다.
- [0466] 예 1에서와 유사한 방식으로, 150 nm의 두께를 갖는 몰리브덴 층이 기판 위에 형성된다. 다음에, 레지스트가 몰리브덴 층에 인가된 이후, 레지스트가 제 1 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해 레지스트 마스크를 형성한다.
- [0467] 다음에, 실시예 1의 것과 유사한 방식으로, 레지스트 마스크를 사용하여 몰리브덴 층이 에칭됨으로써, 게이트 전극층(103)이 형성된다. 그후, 레지스트 마스크가 제거된다.

- [0468] 그후, 게이트 전극층(103) 및 기판(101) 위에, 게이트 절연층(107), 반도체층(109), 버퍼층(111), 및 불순물 반도체층(113)이 연속적으로 형성된다(도 15a).
- [0469] 여기서, 게이트 절연층(107)으로서, 예 2의 것과 유사한 방식으로 질화 실리콘층 및 산화 실리콘층이 적층되었다.
- [0470] 다음에, 반도체층(109)으로서, 7 nm의 두께를 갖는 미결정 실리콘층이 게이트 절연층(107) 위에 형성된다. 이때, 증착 조건은 다음과 같다: 소스 가스들에 대하여, SiH_4 의 유량은 10 sccm이고, H_2 의 유량은 1500 sccm이고, Ar의 유량은 2000 sccm이며, 처리 챔버 내의 압력은 280 Pa이고, 기판의 온도는 280℃이고, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 50 W이며; 이러한 조건 하에서 플라즈마 방전이 수행되었다.
- [0471] 다음에, 버퍼층(111)으로서, 175 nm의 두께를 갖는 비정질 구조 내에 결정 영역들을 포함하는 실리콘 층이 반도체층(109) 위에 형성되었다. 이때 증착 조건은 다음과 같다: 소스 가스들에 대하여, SiH_4 의 유량은 30 sccm이고, H_2 의 유량은 1475 sccm이고, 1000 ppm NH_3 (수소로 희석됨)의 유량은 25 sccm이며, 처리 챔버 내의 압력은 280 Pa이고, 기판의 온도는 280℃이고, RF 파워 소스의 파워는 50 W이며, 이러한 조건 하에서 플라즈마 방전이 수행되었다.
- [0472] 다음에, 불순물 반도체층(113)으로서, 50 nm의 두께를 갖는 인이 추가된 비정질 실리콘 층이 예 1의 것과 유사한 조건 하에서 버퍼층(111) 위에 형성된다.
- [0473] 다음에, 레지스트가 불순물 반도체층(113)에 인가되고, 그후, 제 2 포토마스크를 사용하여 광에 노광되며, 현상됨으로써 레지스트 마스크를 형성한다. 다음에, 레지스트 마스크를 사용하여, 반도체층(109), 버퍼층(111), 및 불순물 반도체층(113)이 에칭되고, 그에 의해, 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)이 형성된다(도 15b). 여기서, ICP 에칭 장치가 사용되었으며, 에칭 조건은 다음과 같다: ICP 파워는 1000 W이고, 바이어스 파워는 80 W이고, 압력은 1.51 Pa이고, 에칭 가스는 100 sccm의 유량을 갖는 염소이고, 에칭 시간은 78초였다. 그후, 레지스트 마스크가 제거되었다.
- [0474] 다음에, 도 15c에 예시된 바와 같이, 게이트 절연층(107), 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)을 덮도록 도전층(121)이 형성된다. 여기서, 예 1의 것과 유사한 조건 하에서 300 nm의 두께를 갖는 몰리브덴 층이 형성된다.
- [0475] 다음에, 도전층(121)에 레지스트가 인가되고, 그후, 제 3 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용함으로써, 도전층(121)이 습식 에칭에 의해 에칭되고, 그에 의해, 도 16a에 예시된 바와 같은 배선층들(123, 125)이 형성된다. 배선층들(123, 125) 각각의 평면형 형상은 본 예에서 선형적이라는 것을 주의하여야 한다.
- [0476] 다음에, 레지스트 마스크를 사용하여, 불순물 반도체층(119)이 에칭되고, 소스 및 드레인 영역들(129)이 형성된다. 본 프로세스에서, 버퍼층(117)의 표면의 일부도 에칭되어, 버퍼층(131)이 얻어진다(도 16b). 여기서, ICP 에칭 장치가 사용되었으며, 에칭 조건은 다음과 같다: ICP 파워는 1000 W이고, 바이어스 파워는 50 W이고, 압력은 1.5 Pa이고, 에칭 가스는 100 sccm의 유량을 갖는 염소이고, 에칭 시간은 35초였다. 이때 버퍼층(131)의 두께는 165 nm이다. 그후, 레지스트 마스크가 제거되었다.
- [0477] 그후, 소스 및 드레인 영역들(129)과, 버퍼층(131)의 표면들이 불화탄소 플라즈마로 조사되며, 이에 의해, 버퍼층(131) 상에 잔류하는 불순물이 제거된다. 여기서, ICP 에칭 장치가 사용되며, 에칭 조건은 이하와 같다: 소스 파워는 1000 W이고, 바이어스 파워는 0 W이며, 압력은 0.67 Pa이고, 에칭 가스는 100 sccm의 유량을 갖는 불화탄소이며, 에칭 시간은 30초이다.
- [0478] 다음에, 소스 및 드레인 영역들(129)과 버퍼층(131)의 표면들에 워터 플라즈마로 조사한다. 여기서, 파워 소스의 파워는 1800 W이고, 압력은 66.5 Pa이고, 플라즈마는 300 sccm의 유량을 갖는 수증기 함유 분위기에서 생성되고, 표면들에 180초 동안 플라즈마가 조사된다. 그 후, 레지스트가 제거된다.
- [0479] 다음에, 절연층(133)으로서, 질화 실리콘층이 형성된다. 여기서, 예 1의 것과 유사한 조건하에서, 300 nm의 두께를 갖는 질화 실리콘층이 형성된다.
- [0480] 다음에, 절연층에 레지스트가 인가되고, 그후, 제 4 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여, 건식 에칭에 의해 절연층의 일부가 에칭되고, 그래서, 배선층(125)이 노출된다. 또한, 절연층이 일부 및 게이트 절연층(107)의 일부가 건식 에칭

에 의해 에칭되며, 그래서, 게이트 전극층(103)이 노출된다. 여기서, 예 1의 것과 유사한 에칭 조건이 사용된다. 그후, 레지스트 마스크가 제거된다.

[0481] 상술한 단계들을 통해 박막 트랜지스터가 제조된다.

[0482] 그후, 박막 트랜지스터의 전기적 특성들이 측정되고, 도 38a 및 도 38b는 결과들을 도시한다. 본 예의 박막 트랜지스터는 4 μm 의 채널 길이(L)와 20 μm 의 채널 폭(W)을 갖도록 제조되었다는 것을 주의하여야 한다. 실제로는, 채널 길이(L)은 3.53 μm 이고 채널 폭(W)은 20 μm 이다. 채널 폭(W)은 여기서 게이트 전극의 폭이다. 반도체층(115)의 폭은 22 μm 이다. 또한, 박막 트랜지스터의 게이트 절연층의 두께가 질화 실리콘층(유전율: 7)의 110 nm와 산화 실리콘층(유전율: 4.1)의 110 nm의 합인 조건 하에서 전계 효과 이동도가 계산되었다. 드레인 전압이 1V일 때의 전류 대 전압 특성들과 드레인 전압이 10V일 때 전류 대 전압 특성들이 실선들에 의해 표시되어 있다. 드레인 전압이 1V일 때의 전계 효과 이동도가 도 38a에 점선으로 표시되어 있으며, 드레인 전압이 10V일 때의 전계 효과 이동도가 도 38b에 점선으로 표시되어 있다.

[0483] 표 3은 이하의 항목들의 측정 결과들을 보여준다. 여기서, 16개 박막 트랜지스터들에 대해 측정을 수행함으로써 얻어진 평균값들이 제시되어 있다.

[0484] - 온 전류(Ion)(드레인 전압: 10V, 게이트 전압: 15V)

[0485] - 최소 오프 전류(Ioff min)(드레인 전압: 10V)

[0486] - 오프 전류(Ioff)(드레인 전압: 10V, 게이트 전압: (최소 오프 전류에서의 게이트 전압-10) V)

[0487] - 온/오프 비율

[0488] - 임계 전압(Vth)(드레인 전압: 10V)

[0489] - 최대 전계 효과 이동도($\mu\text{FE max}$)(드레인 전압: 1V)

[0490] - 최대 전계 효과 이동도($\mu\text{FE max}$)(드레인 전압: 10V)

표 3

| Ion[A] | Ioff_min[A] | Ioff[A] | 온/오프 비율 | Vth[V] | $\mu\text{FE}_{\text{max}}[\text{cm}^2/\text{V} \cdot \text{s}](\text{Vd}=1\text{V})$ | $\mu\text{FE}_{\text{max}}[\text{cm}^2/\text{V} \cdot \text{s}](\text{Vd}=10\text{V})$ |
|---------|-------------|---------|---------|-----------|---|--|
| 6.6E-06 | 6.4E-13 | 5.4E-12 | 7.1 | 2.45±0.28 | 0.59 | 0.71 |

[0492] 상기 결과들로부터, 예 2에 비교하여, 버퍼층(131)의 두께를 증가시킴으로써, 드레인 전압이 10V일 때 오프 전류가 감소될 수 있다. 또한, 그래프들에 따르면, 드레인 전류는 임계 전압 부근에서 극적으로 증가하며, 박막 트랜지스터의 전기적 특성들의 변동이 감소된다는 것이 판명되었다.

[0493] [예 4]

[0494] 도 39는 산화 실리콘층, 미결정 실리콘층 및 비정질 구조 내에 결정 영역들을 포함하는 실리콘층을 포함하는 적층된 구조에 이온 밀링(ion milling)을 수행함으로써 얻어진 단면 TEM 영상을 도시한다. 100 nm의 두께를 갖는 산화 실리콘 층이 유리 기판 위에 형성되어 있고, 5 nm의 두께를 갖는 미결정 실리콘 층(402)이 산화 실리콘 층(401) 위에 형성되어 있고, 145 nm의 두께를 갖는 버퍼층(403)이 미결정 실리콘 층(402) 위에 형성되어 있고, 100 nm의 두께를 갖는 비정질 실리콘 층(404)이 버퍼층(403) 위에 형성되어 있다. 버퍼층(403)과 비정질 실리콘 층(404) 사이에 어떠한 계면도 관찰되지 않는다는 것을 주의하여야 한다. 또한, 보호층(405)이 비정질 실리콘 층(404) 위에 제공되어 있다.

[0495] 여기서, 산화 실리콘층(401)은 예 2에서 설명된 산화 실리콘층의 것과 유사한 조건 하에서 형성되었다.

[0496] 미결정 실리콘 층(402)은 예 1에서 설명된 미결정 실리콘층의 것과 유사한 조건 하에서 형성되었다.

[0497] 버퍼층(403)의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 30 sccm이고, H_2 의 유량은 1475 sccm이고, 1000 ppm NH_3 (수소로 희석됨)의 유량은 25 sccm이며, 처리 챔버 내의 압력은 280 Pa이고, 기판의 온도는 280℃이고, RF 파워 소스 주파수는 13.65 MHz이고, RF 파워 소스의 파워는 50 W이며, 이러한 조건 하에서 플라즈마 방전이 수행되었다.

- [0498] 비정질 실리콘 층(404)의 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 280 sccm이고, H_2 의 유량은 300 sccm이고, 처리 챔버 내의 압력은 170 Pa이고, 기관의 온도는 280°C 이며, RF 파워 소스 주파수는 13.56 MHz이고, RF 파워 소스의 파워는 60W이며; 이러한 조건 하에서 플라즈마 방전이 수행된다.
- [0499] 도 40은 도 39의 영역(406)의 확대도이다.
- [0500] 도 40에서, 단범위 정렬을 갖는 다수의 격자 프린지(lattice fringe)들이 산화 실리콘층(401) 상에서 관찰되었다.
- [0501] 도 41a에서, 도 40의 산화 실리콘 층(401), 미결정 실리콘 층(402), 및 버퍼층(403)의 확대 이미지들이 도시되어 있다. 도 41b는 도 41a의 *6 주변의 부분의 확대도이고, 도 41c는 도 41a의 *5 주변의 부분의 확대도이고, 도 41d는 도 41a의 *4 주변의 부분의 확대도이고, 도 41e는 41a의 *3 주변의 부분의 확대도이고, 도 41g는 41a의 *1 및 *2 주변의 부분의 확대도이고, 도 41h는 41a의 *9 주변의 부분의 확대도이다. 또한, 도 41f는 도 41e의 격자 프린지들을 개략적으로 도시한다. 도 41e, 도 41f, 및 도 41g에 따르면, 단범위 정렬을 갖는 격자 프린지들은 *1, *2, 및 *3에서 관찰되었다. 다른 한편, 도 41b, 도 41c, 도 41d, 및 도 41h에 따르면, *4 내지 *6 및 *9에서는 격자 프린지들이 관찰되지 않고 비정질 구조가 형성되었다.
- [0502] 따라서, 도 41a에 *1, *2 및 *3으로 표시된 결정 영역들은 도 41a의 *4, *6 및 *9로 표시된 바와 같은 비정질 구조 내에 제공되어 있다는 것이 판명되었다.
- [0503] 다음에, 도 42는 도 39에 도시된 버퍼층(403) 내의 *7 주변의 부분의 확대도이다. 도 42에 따르면, *7 주변에서 격자 프린지들은 관찰되지 않으며, 비정질 구조가 형성되는 것이 발견되었다.
- [0504] [예 5]
- [0505] 예 5에서, 실시예 6에 따라 제조된 박막 트랜지스터의 전기적 특성들이 설명된다.
- [0506] 먼저, 박막 트랜지스터의 제조 프로세스가 도 15a 내지 도 15c와 도 16a 내지 도 16c를 참조로 설명될 것이다.
- [0507] 게이트 전극층(103)이 기판(101) 위에 형성된다.
- [0508] 여기서, 기판(101)으로서, 0.7 nm의 두께를 가지는 유리 기판(Corning, Inc.에 의해 제조된 EAGLE2000)이 사용된다.
- [0509] 예 1에서와 유사한 방식으로, 150 nm의 두께를 갖는 몰리브덴 층이 기판 위에 형성된다. 다음에, 레지스트가 몰리브덴 층에 인가된 이후, 레지스트가 제 1 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해 레지스트 마스크를 형성한다.
- [0510] 다음에, 실시예 1의 것과 유사한 방식으로, 레지스트 마스크를 사용하여 몰리브덴 층을 에칭함으로써, 게이트 전극층(103)이 형성된다. 그후, 레지스트 마스크가 제거된다.
- [0511] 그후, 게이트 전극층(103) 및 기판(101) 위에, 게이트 절연층(107), 반도체층(109), 버퍼층(111), 및 불순물 반도체층(113)이 연속적으로 형성된다(도 15a).
- [0512] 여기서, 게이트 절연층(107)으로서, 질화 실리콘층 및 산화 실리콘층이 예 2의 것과 유사한 방식으로 적층되었다.
- [0513] 다음에, 반도체층(109)으로서, 50 nm의 두께를 갖는 미결정 실리콘 층이 예 3의 것과 유사한 조건 하에서 게이트 절연층(107) 위에 형성된다.
- [0514] 다음에, 버퍼층(111)으로서, 175 nm의 두께를 갖는 비정질 구조 내에 결정 영역들을 포함하는 실리콘 층이 반도체층(109) 위에 형성된다. 이때 증착 조건은 다음과 같다: 소스 가스들에 대하여, SiH_4 의 유량은 40 sccm이고, H_2 의 유량은 1475 sccm이고, 1000 ppm NH_3 (수소로 희석됨)의 유량은 25 sccm이며, 처리 챔버 내의 압력은 280 Pa이고, 기관의 온도는 280°C 이고, RF 파워 소스의 파워는 100 W이며; 이러한 조건 하에서 플라즈마 방전이 수행되었다.
- [0515] 다음에, 불순물 반도체층(113)으로서, 50 nm의 두께를 갖는 인이 추가된 비정질 실리콘 층이 예 1의 것과 유사한 조건 하에서 버퍼층(111) 위에 형성된다.
- [0516] 다음에, 레지스트가 불순물 반도체층(113)에 인가되고, 그후, 제 2 포토마스크를 사용하여 광에 노광되며, 현상

됨으로써 레지스트 마스크를 형성한다. 다음에, 레지스트 마스크를 사용하여, 반도체층(109), 버퍼층(111), 및 불순물 반도체층(113)이 에칭되고, 그에 의해, 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)이 형성된다(도 15b). 여기서, ICP 에칭 장치가 사용되었으며, 에칭 조건은 다음과 같다: ICP 파워는 1000 W이고, 바이어스 파워는 80 W이고, 압력은 1.51 Pa이고, 에칭 가스는 100 sccm의 유량을 갖는 염소이다. 그후, 레지스트 마스크가 제거되었다.

[0517] 다음에, 도 15c에 예시된 바와 같이, 게이트 절연층(107), 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)을 덮도록 도전층(121)이 형성된다. 여기서, 50 nm의 두께를 갖는 티타늄 층이 20 sccm의 유량을 갖는 아르곤 이온들을 사용하여 티타늄 타겟을 스퍼터링함으로써 형성된 후, 200 nm의 두께를 갖는 알루미늄 층이 50 sccm의 유량을 갖는 아르곤 이온들을 사용하여 알루미늄 타겟을 스퍼터링함으로써 형성되었다. 그후, 50 nm의 두께를 갖는 티타늄 층이 20 sccm의 유량을 갖는 아르곤 이온들을 사용하여 티타늄 타겟을 스퍼터링함으로써 형성되었다.

[0518] 다음에, 도전층(121)에 레지스트가 인가되고, 그후, 제 3 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용함으로써, 도전층(121) 및 불순물 반도체층(119)이 건식 에칭에 의해 에칭되고, 그에 의해, 배선층들(123, 125) 및 소스 및 드레인 영역들(129)을 형성한다. 본 프로세스에서, 버퍼층(117)의 표면의 일부도 에칭되고, 버퍼층(131)이 얻어진다(도 16b). 배선층들(123, 125) 각각의 평면형 형상은 본 예에서 선형이라는 것을 주의하여야 한다. 여기서, ICP 에칭 장치가 사용되었으며, 에칭 조건은 다음과 같다: ICP 파워는 450 W이고, 바이어스 파워는 100 W이고, 압력은 1.9 Pa이고, 에칭 가스는 60 sccm의 유량을 갖는 염화붕소와 20 sccm의 유량을 갖는 염소를 포함한다. 반도체층(115)과 버퍼층(131)의 총 두께는 이때 205 nm이었다. 그후, 레지스트 마스크가 제거되었다.

[0519] 그후, 소스 및 드레인 영역들(129)과, 버퍼층(131)의 표면들이 불화탄소 플라즈마로 조사되며, 이에 의해, 버퍼층(131) 상에 잔류하는 불순물이 제거된다. 여기서, ICP 에칭 장치가 사용되며, 에칭 조건들은 이하와 같다: 소스 파워는 1000 W이고, 바이어스 파워는 0 W이며, 압력은 0.67 Pa이고, 에칭 가스는 100 sccm의 유량을 갖는 불화탄소이며, 에칭 시간은 30초이다.

[0520] 다음에, 절연층(133)으로서, 질화 실리콘층이 형성된다. 여기서, 예 1의 것과 유사한 조건하에서, 300 nm의 두께를 갖는 질화 실리콘층이 형성된다.

[0521] 다음에, 절연층에 레지스트가 인가되고, 그후, 제 4 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여, 건식 에칭에 의해 절연층의 일부가 에칭되고, 그래서, 배선층(125)이 노출된다. 또한, 절연층의 일부 및 게이트 절연층(107)의 일부가 건식 에칭에 의해 에칭되며, 그래서, 게이트 전극층(103)이 노출된다. 여기서, 예 1의 것과 유사한 에칭 조건이 사용된다. 그후, 레지스트 마스크가 제거된다.

[0522] 상술한 단계들을 통해 박막 트랜지스터가 제조된다.

[0523] 그후, 박막 트랜지스터의 전기적 특성들이 측정되고, 도 45a 및 도 45b는 결과들을 도시한다. 이때, 0.25 V의 증분들로 게이트 전압을 증가시키므로써 측정이 수행되었다. 또한, 측정시의 온도는 실온이었다. 본 예의 박막 트랜지스터는 4 μm 의 채널 길이(L)와 20 μm 의 채널 폭(W)을 갖도록 형성되었다는 것을 주의하여야 한다. 채널 폭은 여기서 게이트 전극의 폭이다. 반도체층(115)의 폭은 22 μm 이다. 또한, 박막 트랜지스터의 게이트 절연층의 두께가 질화 실리콘층(유전율: 7)의 110 nm와 산화 실리콘층(유전율: 4.1)의 110 nm의 합인 조건 하에서 전계 효과 이동도가 계산되었다. 드레인 전압이 1V일 때의 전류 대 전압 특성들과 드레인 전압이 10V일 때 전류 대 전압 특성들이 실선들에 의해 표시되어 있다. 또한, 드레인 전압이 1V일 때의 전계 효과 이동도가 도 45a에 점선으로 표시되어 있으며, 드레인 전압이 10V일 때의 전계 효과 이동도가 도 45b에 점선으로 표시되어 있다.

[0524] 표 4는 이하의 항목들의 측정 결과들을 보여준다. 여기서, 16개 박막 트랜지스터들에 대해 측정을 수행함으로써 얻어진 평균값들이 제시되어 있다.

[0525] - 온 전류(Ion)(드레인 전압: 10V, 게이트 전압: 15V)

[0526] - 최소 오프 전류(Ioff min)(드레인 전압: 10V)

[0527] - 오프 전류(Ioff)(드레인 전압: 10V, 게이트 전압: (최소 오프 전류에서의 게이트 전압-10) V)

- [0528] - 온/오프 비율
- [0529] - 임계 전압(V_{th})(드레인 전압: 10V)
- [0530] - 최대 전계 효과 이동도($\mu_{FE\ max}$)(드레인 전압: 1V)
- [0531] - 최대 전계 효과 이동도($\mu_{FE\ max}$)(드레인 전압: 10V)

표 4

| [0532] | $I_{on}[A]$ | $I_{off_min}[A]$ | $I_{off}[A]$ | 온/오프 비율 | $V_{th}[V]$ | $\mu_{FE_max}[cm^2/V \cdot s](V_d=1V)$ | $\mu_{FE_max}[cm^2/V \cdot s](V_d=10V)$ |
|--------|-------------|-------------------|--------------|---------|-----------------|---|--|
| | 7.3E-06 | 6.1E-13 | 1.2E-12 | 7.15 | 2.01 ± 0.12 | 0.37 | 0.90 |

[0533] 상술된 바와 같이, 예 3에 비교하여 반도체층(115)의 두께를 증가시킴으로써, 캐리어들의 전달량이 증가되고, 온 전류 및 전계 효과 이동도가 증가될 수 있다. 또한, 반도체층(115)의 두께가 증가되고, 예 3과 비교하여 온 전류가 증가되더라도 오프 전류가 감소되지 않기 때문에, 버퍼층으로서 비정질 구조 내에 결정 영역들을 포함하는 실리콘 층을 사용함으로써 오프 전류가 감소될 수 있다. 또한, 불순물 반도체층과 접하는 배선으로서 티타늄 층을 사용함으로써, 배선이 몰리브덴 층인 예 2 및 예 3에 비해 접촉 저항이 감소되고, 그에 의해, 온 전류 및 전계 효과 이동도가 증가될 수 있다.

[0534] [예 6]

[0535] 예 6에서, 박막 트랜지스터의 버퍼층과 오프 전류 사이의 관계가 설명될 것이다. 본 예에서, 버퍼층의 소스 가스들로서 암모니아가 사용되는 박막 트랜지스터와, 버퍼층의 소스 가스들로서 암모니아가 사용되지 않는 박막 트랜지스터가 비교된다.

[0536] 먼저, 박막 트랜지스터의 제조 프로세스가 도 15a 내지 도 15c와 도 16a 내지 도 16c를 참조로 설명될 것이다. 샘플 1과 샘플 2는 버퍼층의 증착 조건만이 다르며, 다른 조건들은 동일하다는 것을 주의하여야 한다.

[0537] 게이트 전극층(103)이 기판(101) 위에 형성된다.

[0538] 예 1에서와 유사한 방식으로, 기판 위에 150 nm의 두께를 갖는 몰리브덴 층이 형성되었다. 그후, 몰리브덴 층에 레지스트가 인가되고, 제 1 포토마스크를 사용하여 노광되고 현상되어 레지스트 마스크를 형성한다.

[0539] 다음에, 실시예 1의 것과 유사한 방식으로, 레지스트 마스크를 사용하여 몰리브덴 층을 에칭함으로써, 게이트 전극층(103)이 형성된다. 그후, 레지스트 마스크가 제거된다.

[0540] 그후, 게이트 전극층(103) 및 기판(101) 위에, 게이트 절연층(107), 반도체층(109), 버퍼층(111) 및 불순물 반도체층(113)이 연속적으로 형성된다(도 15a).

[0541] 여기서, 게이트 절연층(107)으로서, 예 2의 것과 유사한 방식으로 질화 실리콘 층과 산화 실리콘 층이 적층된다.

[0542] 다음에, 반도체층(109)으로서, 10 nm의 두께를 갖는 미결정 실리콘층이 예 3의 것과 유사한 조건 하에서 게이트 절연층(107) 위에 형성된다.

[0543] 다음에, 버퍼층(111)으로서, 175 nm의 두께를 갖는 버퍼층이 반도체층(109) 위에 형성된다.

[0544] 샘플 1에서, 버퍼층은 암모니아 가스를 함유하는 소스 가스들을 사용하여 형성되었다. 이때, 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 40 sccm이고, H_2 의 유량은 1475 sccm이고, 1000 ppm NH_3 (수소로 희석됨)의 유량은 25 sccm이고, Ar의 유량은 2000 sccm이며, 처리 챔버 내의 압력은 280 Pa이고, 기판의 온도는 280℃이며, RF 파워 소스의 파워는 100 W이고; 이러한 조건 하에서 플라즈마 방전이 수행되었다.

[0545] 샘플 2에서, 버퍼층은 암모니아를 함유하지 않는 소스 가스들을 사용하여 형성되었다. 이때 증착 조건은 이하와 같다: 소스 가스들에 대하여, SiH_4 의 유량은 40 sccm이고, H_2 의 유량은 1500 sccm이고, Ar의 유량은 2000 sccm이며, 처리 챔버 내의 압력은 280 Pa이고, 기판의 온도는 280℃이며, RF 파워 소스의 파워는 100 W이고; 이러한 조건 하에서 플라즈마 방전이 수행되었다. 즉, 이 조건에서, 샘플 1의 소스 가스들로부터 암모니아가 생략되었다.

- [0546] 다음에, 불순물 반도체층(113)으로서, 50 nm의 두께를 갖는 인이 추가된 비정질 실리콘 층이 예 1과 유사한 조건 하에서 버퍼층(111) 위에 형성된다.
- [0547] 다음에, 레지스트가 불순물 반도체층(113)에 인가되고, 그후, 제 2 포토마스크를 사용하여 광에 노광되며, 현상됨으로써 레지스트 마스크를 형성한다. 다음에, 레지스트 마스크를 사용하여, 반도체층(109), 버퍼층(111), 및 불순물 반도체층(113)이 에칭되고, 그에 의해, 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)이 형성된다(도 15b). 여기서, 예 5의 것과 유사한 에칭 조건이 사용된다. 그후, 레지스트 마스크가 제거되었다.
- [0548] 다음에, 도 15c에 예시된 바와 같이, 게이트 절연층(107), 반도체층(115), 버퍼층(117), 및 불순물 반도체층(119)을 덮도록 도전층(121)이 형성된다. 여기서, 예 1의 것과 유사한 조건 하에서 300 nm의 두께를 갖는 폴리브덴 층이 형성된다.
- [0549] 다음에, 도전층(121)에 레지스트가 인가되고, 그후, 제 3 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용함으로써, 도전층(121)이 습식 에칭에 의해 에칭되고, 그에 의해, 도 16a에 예시된 바와 같은 배선층들(123, 125)이 형성된다. 배선층들(123, 125) 각각의 평면형 형상은 본 예에서 선형적이라는 것을 주의하여야 한다.
- [0550] 다음에, 레지스트 마스크를 사용하여, 불순물 반도체층(119)이 에칭되고, 소스 및 드레인 영역들(129)이 형성된다. 본 단계에서, 버퍼층(117)의 표면의 일부도 에칭되고, 버퍼층(131)이 얻어진다(도 16b). 여기서, 예 1의 것과 유사한 에칭 조건이 사용된다. 이때, 버퍼층(131)의 두께는 155 nm이다. 그후, 레지스트 마스크가 제거된다.
- [0551] 그후, 소스 및 드레인 영역들(129)과, 버퍼층(131)의 표면들이 불화탄소 플라즈마로 조사되며, 이에 의해, 버퍼층(131) 상에 잔류하는 불순물이 제거된다. 여기서, 버퍼층 상에 잔류하는 불순물은 예 5의 것과 유사한 조건 하에서 제거된다. 그후, 배선층들(123, 125) 및 버퍼층(131)의 표면들이 세정된다.
- [0552] 그후, 소스 및 드레인 영역들(129)과, 버퍼층(131)의 표면들이 워터 플라즈마로 조사된다. 여기서, 예 2의 것과 유사한 조건이 사용되었다.
- [0553] 다음에, 절연층(133)으로서, 질화 실리콘층이 형성된다(도 16c). 여기서, 예 1의 것과 유사한 조건하에서, 300 nm의 두께를 갖는 질화 실리콘층이 형성된다.
- [0554] 다음에, 절연층에 레지스트가 인가되고, 그후, 제 4 포토마스크를 사용하여 광에 노광되고 현상되며, 그에 의해, 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여, 건식 에칭에 의해 절연층의 일부가 에칭되고, 배선층(125)이 노출된다. 또한, 절연층이 일부 및 게이트 절연층(107)의 일부가 건식 에칭에 의해 에칭되며, 그래서, 게이트 전극층(103)이 노출된다. 여기서, 예 1의 것과 유사한 에칭 조건이 사용된다. 그후, 레지스트 마스크가 제거된다.
- [0555] 상술한 단계들을 통해, 샘플 1 및 샘플 2를 위한 박막 트랜지스터가 제조된다.
- [0556] 그후, 박막 트랜지스터들의 전기적 특성들이 측정되고, 도 47은 결과들을 도시한다. 이때, 측정은 0.25 V의 증분들로 게이트 전압을 증가시킴으로써 수행되었다. 또한, 측정시의 온도는 실온이었다. 본 예의 샘플 1 및 샘플 2를 위한 박막 트랜지스터 각각은 4 μm 의 채널 길이와 20 μm 의 채널 폭(W)을 갖도록 제조되었다는 것을 주의하여야 한다. 채널 폭은 여기서 게이트 전극의 폭이다. 반도체층(115)의 폭은 22 μm 이다. 수평 축은 드레인 전압을 나타내고, 수직 축은 드레인 전류를 나타내며, 게이트 전압은 -5V, -10V 및 -15V에서 드레인 전압이 1 내지 30 V일 때의 드레인 전류(여기서는, 오프 전류)가 측정된다.
- [0557] 도 47에서, 실선 471은 게이트 전압이 -5V인 경우에 샘플 1을 위한 박막 트랜지스터의 오프 전류를 나타내고, 실선 473은 게이트 전압이 -10V인 경우의 것을 나타내고, 실선 475는 게이트 전압이 -15V인 경우의 것을 나타낸다. 또한, 점선 477은 게이트 전압이 -5V인 경우에 샘플 2를 위한 박막 트랜지스터의 오프 전류를 나타내고, 점선 479는 게이트 전압이 -10V인 경우의 것을 나타내고, 점선 481은 게이트 전압이 -15V인 경우의 것을 나타낸다.
- [0558] 도 47에 따르면, 샘플 1의 오프 전류가 동일한 게이트 전압에서 샘플 2의 것과 비교될 때, 오프 전류는 샘플 1에서 더 낮다는 것이 판명되었다. 즉, 소스 가스들을 위해 암모니아를 사용하여 형성되고 질소를 포함하는 비정질 구조 내에 결정 영역들을 포함하는 실리콘 층이 버퍼층으로서 사용될 때, 오프 전류가 감소된다. 이는 버퍼층의 소스 가스들을 위해 암모니아를 사용함으로써 버퍼층 내의 결손들이 감소되기 때문이다.

- [0559] [예 7]
- [0560] 예 7에서, 결정 입자 경계에서 Si의 불포화 결합들이 실시예 1에서 설명된 시뮬레이션에서 NH기와 가교 결합되는 경우의 LUMO의 상태가 설명될 것이다.
- [0561] 도 5는 Si의 결정 입자 경계의 불포화 결합들이 O 원자와 가교 결합되는 모델(모델 1)의 LUMO(최저 비점유 분자 궤도)의 상태를 예시하고, 도 6은 Si의 결정 입자 경계의 불포화 결합들이 NH기와 가교 결합되는 모델(모델 2)의 LUMO의 상태를 예시한다. 여기서, LUMO는 여기 상태의 전자들이 진입하는, 최저 에너지를 갖는 분자 궤도이며 대역 이론(band theory)에서 전도 대역(CB)의 저부 에지의 궤도에 대응한다. 따라서, LUMO는 캐리어 이동도를 결정하는 궤도 및 캐리어 전달에 기여하는 전자의 파동 함수로서 해석될 수 있다.
- [0562] 다음에, 모델 1 및 모델 2 각각의 LUMO가 그로부터 유도되는 원자 및 원자의 궤도가 검사되었다. LUMO의 파동 함수는 막 내에 포함된 원자들의 원자 궤도들의 선형 조합(즉, 스칼라 배수들의 합)으로서 표현될 수 있다.
- [0563] Si 원자 궤도, H 원자 궤도, O 원자 궤도, 및 N 원자 궤도 각각의 존재 확률은 선형 조합의 그 각각의 인자의 절대값의 자승에 의해 얻어질 수 있으며, 부호는 원자 궤도들이 결합 궤도(동일 부호)를 형성하는지 또는 반결합 궤도(다른 부호)를 형성하는지를 증명한다는 것을 주의하여야 한다.
- [0564] 도 43a는 모델 1의 결정 입자 경계의 외주에서 LUMO를 형성하는 주 원자 궤도의 개략도이며, 도 43b는 모델 2의 결정 입자 경계의 외주에서 LUMO를 형성하는 주 원자 궤도의 개략도이다. 여기서, 다른 음영들을 갖는 영역들은 파동 함수의 반대 부호들을 갖는다. 여기서, Si 원자의 s 궤도들(452, 456), Si 원자의 p 궤도들(451, 453, 455, 457), O 원자의 2s 궤도(454), N 원자의 2s 궤도(458), 및 H 원자의 1s 궤도(459)가 예시되어 있다.
- [0565] 도 43에 예시된 바와 같이, Si의 결정 입자 경계의 불포화 결합들이 O 원자와 가교 결합되는 경우에, O 원자의 2s 궤도(454)가 포커싱될 때, O 원자의 2s 궤도(454)의 위상은 결정 입자 경계의 대향 측부들에 있는 Si 원자의 sp^3 궤도들(3s 궤도 452 + 3p 궤도 453 및 3s 궤도 456 + 3p 궤도 455)의 것과는 다르다. 즉, O 원자의 2s 궤도(454)가 원자들 사이의 결합에 기여하지만; O 원자의 2s 궤도(454)는 파동 함수의 좁은 분산도에 기인하여 전자 구름들을 연결할 수 없다. 따라서, O 원자의 2s 궤도(454)는 도전성 개선에 기여하지 않는 것으로 고려된다.
- [0566] 다른 한편, 도 43b에 예시된 바와 같이, Si의 결정 입자 경계의 불포화 결합들이 NH기와 가교 결합되는 경우, N 원자의 2s 궤도(458)가 포커싱될 때, N 원자의 2s 궤도(458)의 위상은 결정 입자 경계의 대향 측부들에 있는 Si 원자의 sp^3 궤도들(3s 궤도 452 + 3p 궤도 453 및 3s 궤도 456 + 3p 궤도 455)의 것과는 다르다. 즉, N 원자의 2s 궤도(458)는 전자 구름들을 연결할 수 없다. 그러나, N 원자의 2s 궤도(458)를 H 원자의 1s 궤도(459)와 혼합함으로써, 동일 부호를 가진 영역들, 즉, Si 원자의 sp^3 궤도들(3s 궤도 452 + 3p 궤도 453), H 원자의 1s 궤도(459), 및 Si의 sp^3 궤도들(3s 궤도 456 + 3p 궤도 455)이 결합 궤도들이 되며, 그에 의해, 전자 구름들이 서로 연결될 수 있다. 따라서, 도전성이 개선되는 것으로 고려된다.
- [0567] 상술한 결과들은 아래와 같이 해석될 수 있다. 즉, LUMO는 여기 상태(높은 에너지를 가짐)이며; 따라서, 일반적으로, LUMO는 도 44a에 예시된 바와 같이 원자 궤도들에 대하여 반결합 궤도를 갖는다. 도 43a에 예시된 모델 1의 O 원자와의 Si 결정 입자 경계에서의 가교 결합 또는 도 43b에 예시된 모델 2의 NH기와 Si 결정 입자 경계에서의 가교 결합에서, O 원자 및 N 원자의 2s 궤도들(454, 458)은 Si 원자의 sp^3 궤도들(3s 궤도 452 + 3p 궤도 453 및 3s 궤도 456 + 3p 궤도 455)과 반결합(그에 반대되는 위상들을 가짐)을 갖는다. 반결합 궤도는 전자 구름들 사이의 접촉이 형성된다는 것을 나타낸다. 따라서, 도 43a에 예시된 모델 1의 O 원자와의 Si 결정 입자 경계에서의 가교 결합의 경우, 전자 구름들은 서로 연결될 수 없다. 한편, 도 43b에 예시된 모델 2의 NH기와 Si 결정 입자 경계에서의 가교 결합의 경우에, 비록, N 원자의 2s 궤도(458)와 Si 원자의 sp^3 궤도들(3s 궤도 452 + 3p 궤도 453 및 3s 궤도 456 + 3p 궤도 455)은 반결합 궤도를 형성하지만, H 원자의 존재 때문에, H 원자의 1s 궤도(459)와 Si 원자의 sp^3 궤도들(3s 궤도 452 + 3p 궤도 453 및 3s 궤도 456 + 3p 궤도 455)이 도 44b에 예시된 바와 같이 결합 궤도를 형성할 수 있다. 즉, 전자 구름들은 H 원자의 존재에 기인하여 NH기와 서로 연결될 수 있다.
- [0568] 비록, CH_2 기가 H를 포함하지만, CH_2 기 내의 C 원자 또는 H 원자의 원자 궤도가 결합되는 분자 궤도는 더 높은 에너지를 갖는 분자 궤도이며, 따라서, 이 분자 궤도는 LUMO(최저 비점유 분자 궤도)를 형성하는 원자 궤도에 포

함될 수 없다는 것을 주의하여야 한다. 따라서, CH₂기와 Si 결정 입자 경계에서의 가교 결합의 경우도 전자 그룹이 서로 연결될 수 없는 것으로 고려된다.

[0569] 따라서, 불포화 결합들이 NH기와 가교 결합되는 Si 결정 입자 경계의 LUMO에서, 결정 입자 경계의 대향 측부들 상의 Si 원자의 sp³ 궤도들은 H 원자의 1s 궤도의 위상과 동일하고, N 원자의 2s 궤도의 위상에 반대되는 위상들을 갖는다. 따라서, H 원자의 1s 궤도는 전자 그룹들 사이의 가교(bridge)로서 기능한다. 결과적으로, 전자 그룹들은 서로 연결되고, 따라서, 캐리어 경로가 형성된다. 또한, Si 결정 입자 경계에서 전자 그룹들을 연결하기 위해, 가교 결합 그룹 내의 원자 궤도는 LUMO를 형성하는 원자(예로서, O 가교 결합의 O 원자 또는 NH기의 N 원자 및 H 원자)와, Si의 sp³ 궤도와 동일한 위상을 가질 수 있는 원자(예로서, NH기의 H 원자)를 구비할 필요가 있는 것으로 추정된다.

[0570] 본 출원은 본 명세서에 그 전체 내용들이 참조로 통합되어 있는 각각 2008년 6월 27일, 2009년 2월 27일 및 2009년 5월 28일자로 일본 특허청에 출원된 일본 특허 출원 번호 제 2008-169286 호, 제 2009-046433 호 및 제 2009-129313 호에 기초한다.

부호의 설명

| | | |
|--------|---------------|---------------------|
| [0571] | 101: 기판 | 103: 게이트 전극층 |
| | 105: 캐패시터 배선 | 107: 게이트 절연층 |
| | 109: 반도체층 | 111: 버퍼층 |
| | 113: 불순물 반도체층 | 115: 반도체층 |
| | 117: 버퍼층 | 118: 미결정 반도체 |
| | 119: 불순물 반도체층 | 121: 도전층 |
| | 123: 배선층 | 125: 배선층 |
| | 127: 캐패시터 전극 | 129: 소스 영역 및 드레인 영역 |
| | 131: 버퍼층 | 132: 반도체층 |
| | 133: 절연층 | 134: 개구 |
| | 135: 화소 전극층 | 136: 개구 |
| | 137: 돌출부 | 141: 반도체층 |
| | 143: 레지스트 마스크 | 145: 반도체층 |
| | 147: 불순물 반도체층 | 149: 도전층 |
| | 151: 레지스트 마스크 | 153: 배선층 |
| | 155: 배선층 | 157: 소스 영역 및 드레인 영역 |
| | 159: 반도체층 | 171: 영역 |
| | 172: 영역 | 173: 영역 |
| | 174: 영역 | 180: 그레이 톤 마스크 |
| | 181: 기판 | 182: 광 차폐 부분 |
| | 183: 회절 격자 부분 | 185: 하프 톤 마스크 |
| | 186: 기판 | 187: 반-광 투과 부분 |
| | 188: 광 차폐 부분 | 192: 결정 입자 경계 |
| | 193: O 원자 | 194: NH기 |

- | | |
|------------------|-------------------|
| 195: 질소 원자 | 196: 파동 함수 |
| 197: 파동 함수 | 198: 파동 함수 |
| 199: 파동 함수 | 201: 전처리 |
| 203: SiN의 형성 | 205: 가스들의 교체 |
| 207: SiON의 형성 | 209: 가스들의 교체 |
| 211: 반도체층의 형성 | 213: 플러시 처리 |
| 215: 가스들의 교체 | 217: 버퍼층의 형성 |
| 219: 가스들의 교체 | 221: 불순물 반도체층의 형성 |
| 223: 가스의 배기 | 225: 언로드 |
| 227: 세정 처리 | 229: 프리코팅 처리 |
| 231: 로드 | 233: 프리코팅 처리 |
| 234: 점선 | 241: 처리 챔버 |
| 242: 스테이지 | 243: 가스 공급 부분 |
| 244: 샤워 판 | 245: 배기 포트 |
| 246: 상부 전극 | 247: 하부 전극 |
| 248: 교류 전원 | 249: 온도 제어 부분 |
| 250: 가스 공급 수단 | 251: 배기 수단 |
| 252: 실린더 | 253: 압력 조절 밸브 |
| 254: 정지 밸브 | 255: 질량 유동 제어기 |
| 256: 버터플라이 밸브 | 257: 컨덕턴스 밸브 |
| 258: 터보 분자 펌프 | 259: 건조 펌프 |
| 260: 크라이어펌프 | 261: 플라즈마 CVD 장치 |
| 301: 기관 | 302: 화소 부분 |
| 303: 신호선 드라이버 회로 | 304: 주사선 드라이버 회로 |
| 305: FPC | 306: 보호 회로 |
| 311: 기관 | 312: 화소 부분 |
| 313: 신호선 드라이버 회로 | 314: 주사선 드라이버 회로 |
| 315: FPC | 316: 보호 회로 |
| 321: 기관 | 322: 화소 부분 |
| 324: 주사선 드라이버 회로 | 325: FPC |
| 326: 보호 회로 | 331: 하우징 |
| 332: 표시 패널 | 333: 주 스크린 |
| 334: 모델 | 335: 수신기 |
| 336: 원격 제어 장치 | 337: 표시부 |
| 338: 서브 스크린 | 339: 스피커 부분 |
| 341: 셀룰러 전화 | 342: 표시부 |

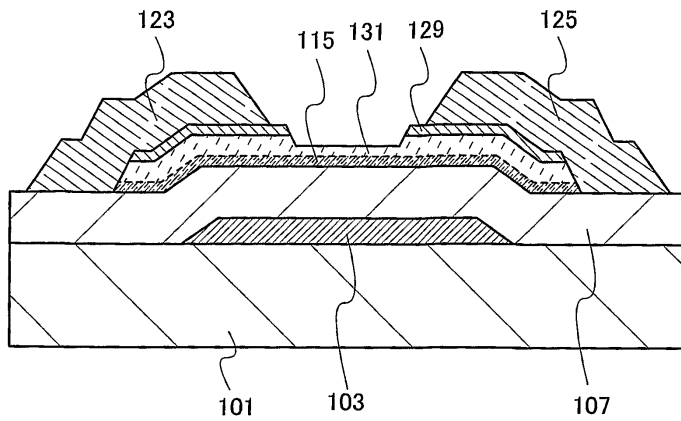
| | |
|-------------------|---------------------|
| 343: 조작부 | 351: 주 본체 |
| 352: 표시부 | 361: 발광부 |
| 362: 차양부 | 363: 조절 아암 |
| 364: 지지부 | 365: 베이스 |
| 366: 전원 스위치 | 371: 화소 부분 |
| 372: 신호선 드라이버 회로 | 373: 주사선 드라이버 회로 |
| 374: 동조기 | 375: 비디오 신호 증폭기 회로 |
| 376: 비디오 신호 처리 회로 | 377: 제어 회로 |
| 378: 신호 분할 회로 | 379: 오디오 신호 증폭기 회로 |
| 380: 오디오 신호 처리 회로 | 381: 제어 회로 |
| 382: 입력 부분 | 383: 스피커 |
| 385: 하우징 | 386: 표시부 |
| 387: 스피커 | 388: 마이크로폰 |
| 380: 조작 키 | 390: 포인팅 장치 |
| 391: 전방 카메라 렌즈 | 392: 외부 접속 단자를 위한 잭 |
| 393: 이어폰 단자 | 394: 하우징 |
| 395: 키보드 | 396: 후방 카메라 |
| 398: 광원 | 401: 산화 실리콘 층 |
| 402: 미결정 실리콘 층 | 403: 버퍼층 |
| 404: 비정질 실리콘 층 | 405: 보호층 |
| 406: 영역 | 451: p 궤도 |
| 452: s 궤도 | 453: p 궤도 |
| 454: s 궤도 | 455: p 궤도 |
| 456: s 궤도 | 457: p 궤도 |
| 458: s 궤도 | 459: s 궤도 |
| 471: 실선 | 473: 실선 |
| 475: 실선 | 477: 점선 |
| 479: 점선 | 481: 점선 |
| 483: 결손 | 491: 점선 |
| 493: 좁은 실선 | 495: 넓은 실선 |
| 115a: 침상 결정 | 115b: 결정 입자 경계 |
| 115c: 비정질 구조 | 115d: 비정질 층 |
| 118a: 미결정 반도체 입자 | 118b: 미결정 반도체 |
| 131a: 결정 영역 | 131b: 비정질 구조 |
| 131c: 미소 결정 입자 | 132d: 결정 영역 |
| 132e: 결정 영역 | 132f: 결정 영역 |

- | | |
|----------------|----------------|
| 131g: 구조 | 131h: 결정 영역 |
| 131i: 결정 영역 | 131j: 결정 영역 |
| 131k: 결정 입자 경계 | 132a: 결정 영역 |
| 132b: 비정질 구조 | 132c: 미소 결정 입자 |
| 132d: 결정 영역 | 132e: 결정 영역 |
| 132f: 결정 영역 | 132g: 구조 |
| 132h: 결정 영역 | 132i: 반도체층 |
| 132j: 반도체층 | 191a: H 원자 |
| 191b: 수소 원자 | 235a: 점선 |
| 235b: 점선 | 236a: 점선 |
| 236b: 점선 | 237a: 점선 |
| 237b: 점선 | 239c: 실선 |
| 239d: 점선 | |

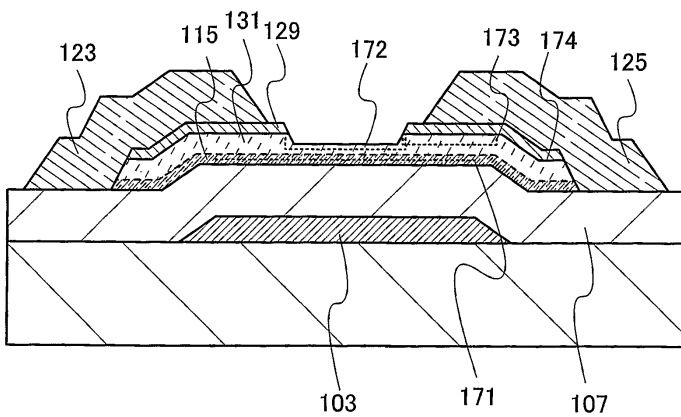
도면

도면1

(a)

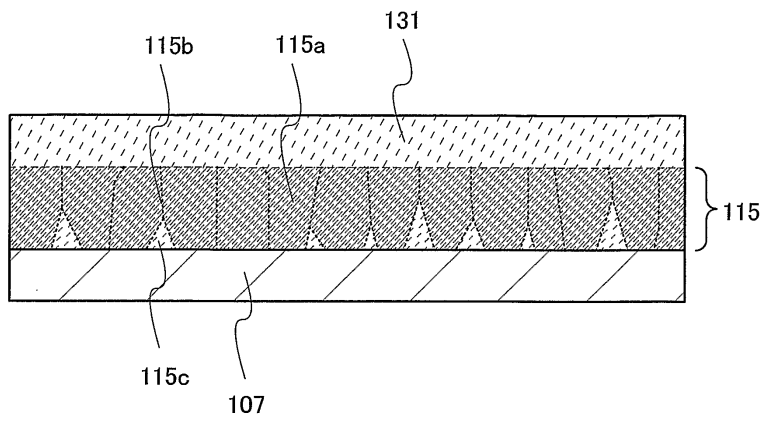


(b)

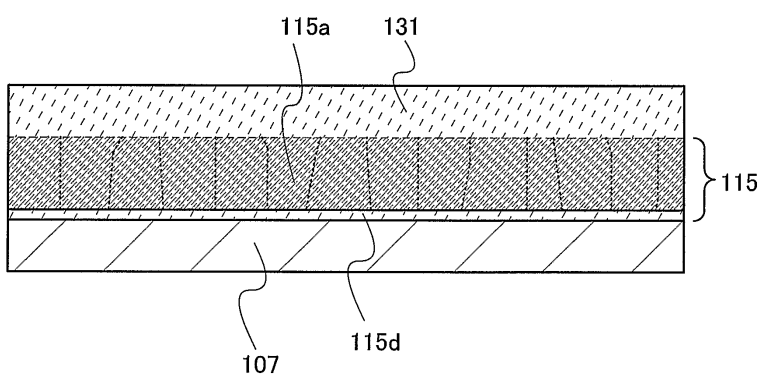


도면2

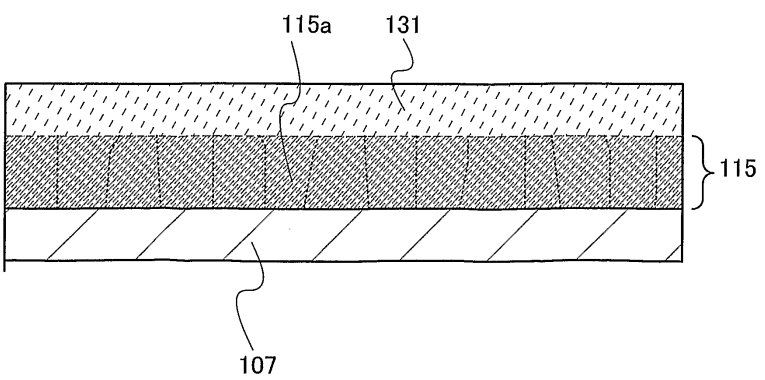
(a)



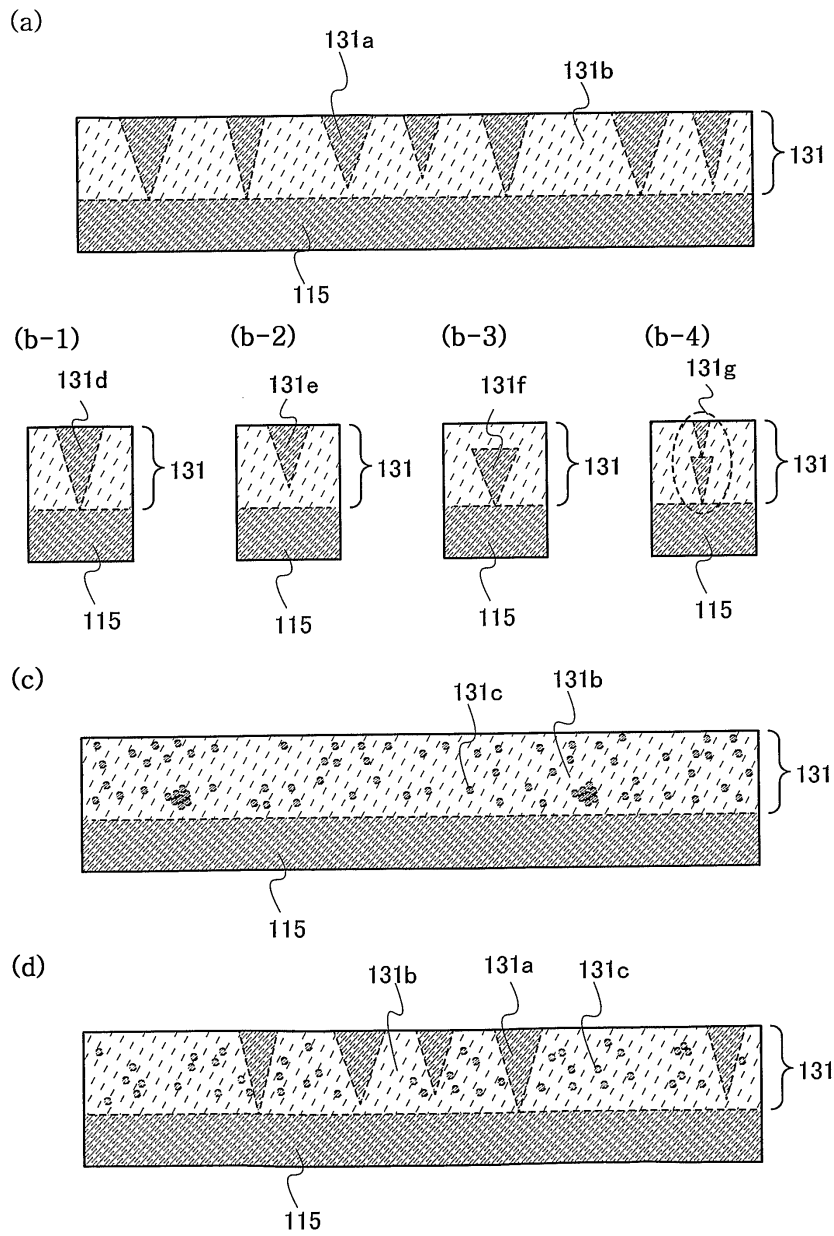
(b)



(c)

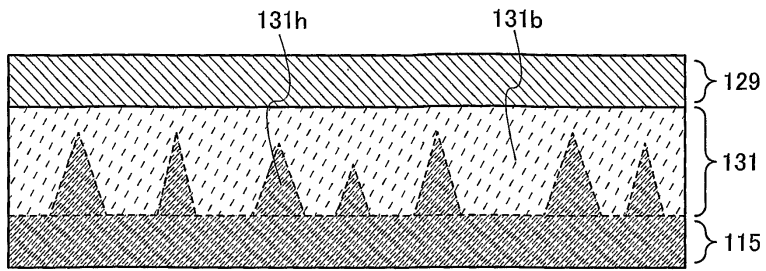


도면3

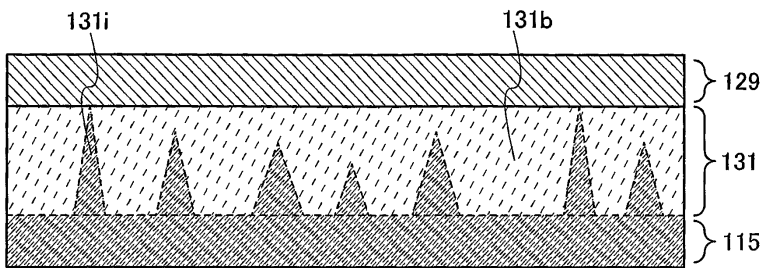


도면4

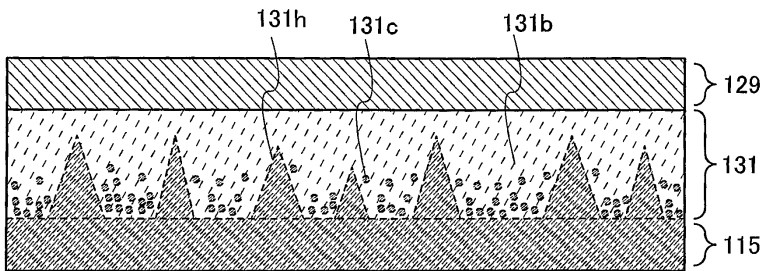
(a)



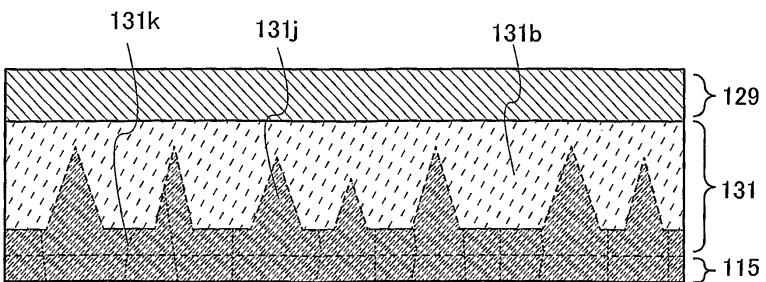
(b)



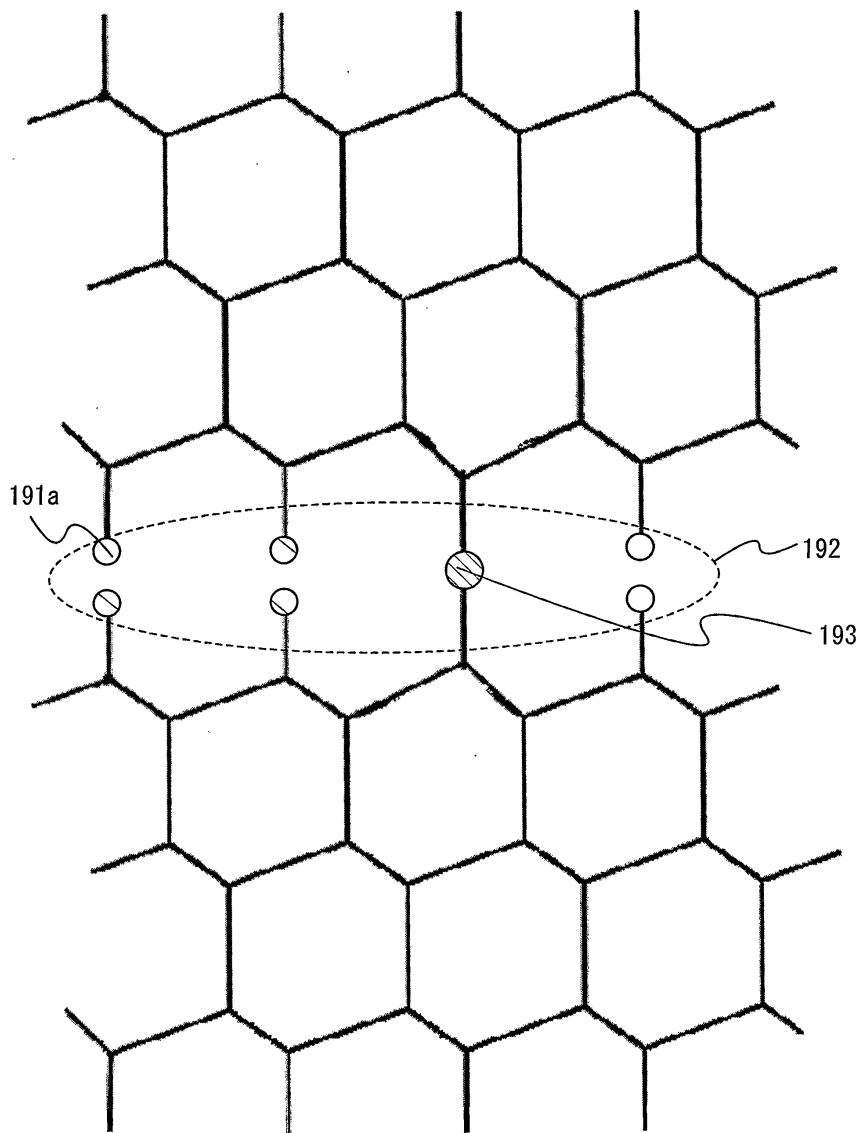
(c)



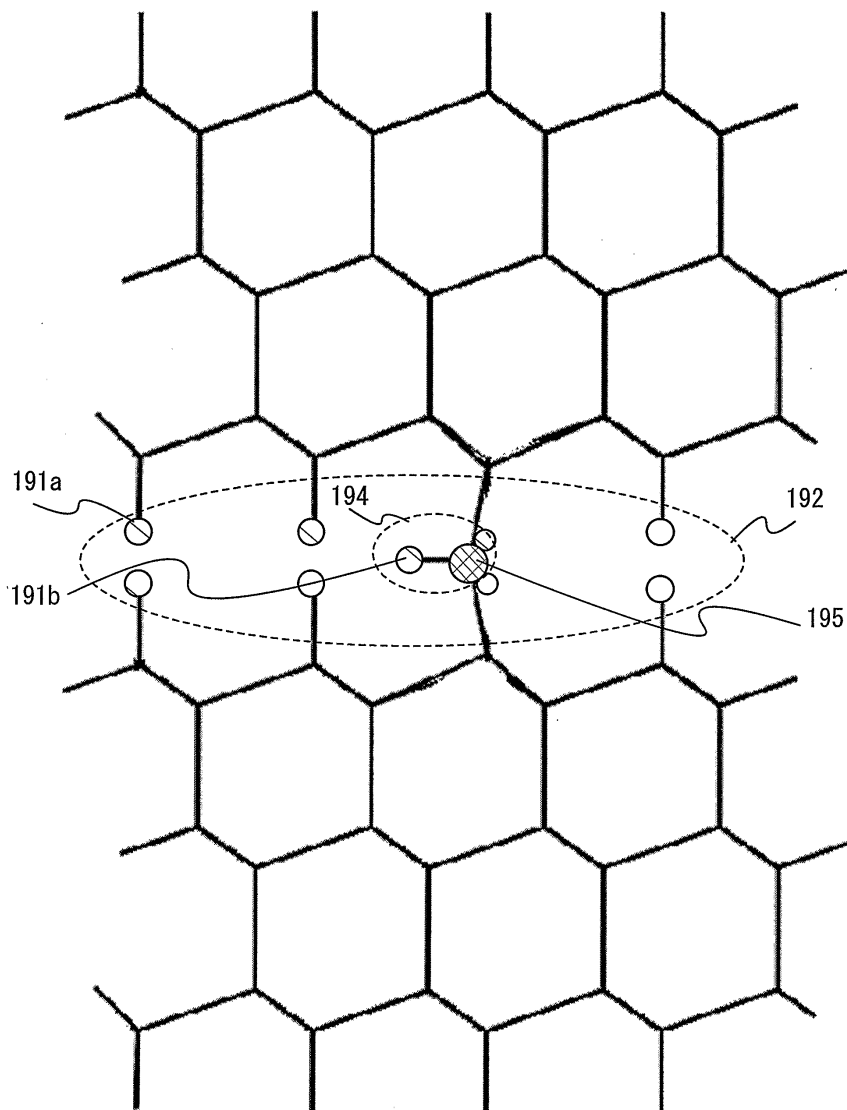
(d)



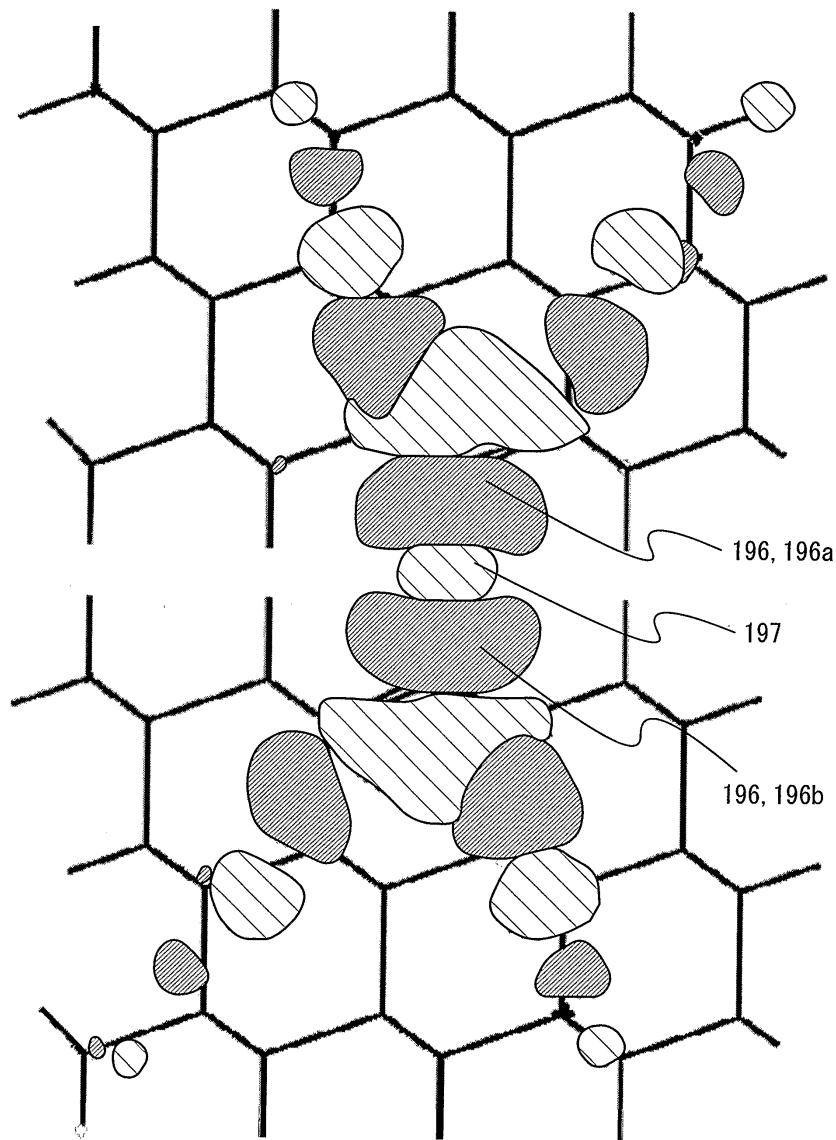
도면5



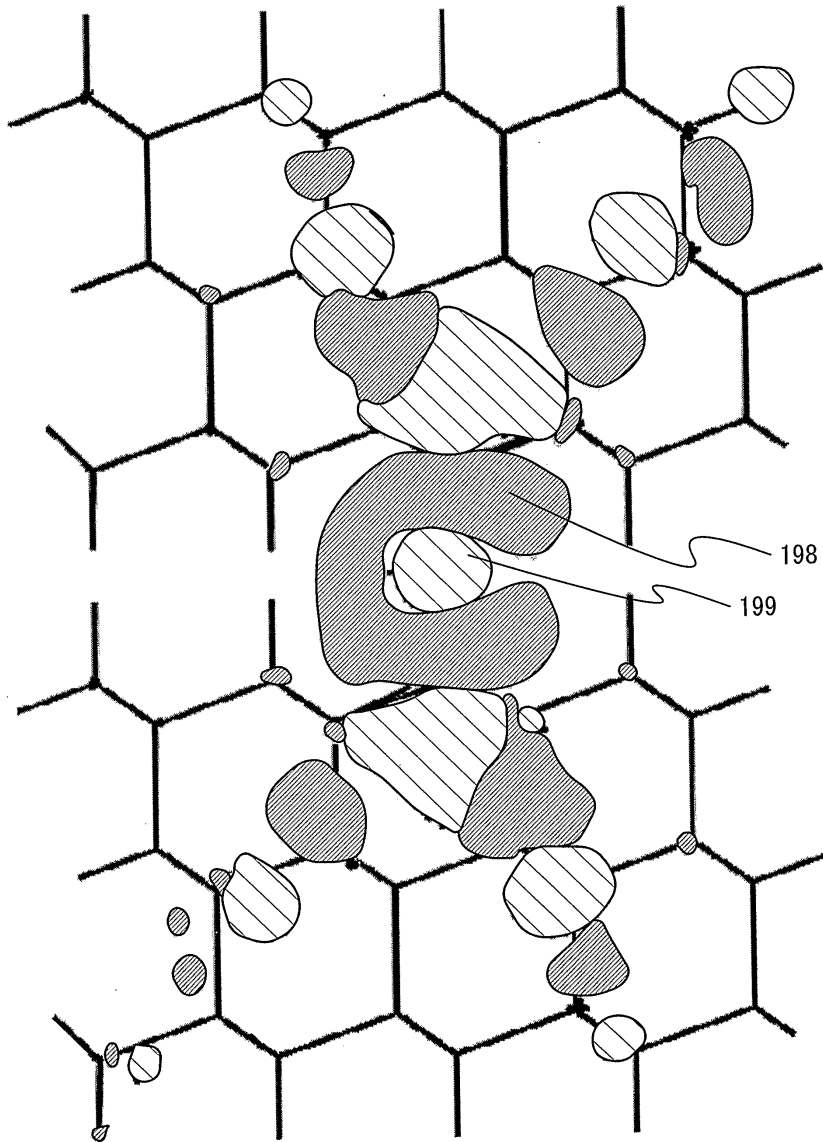
도면6



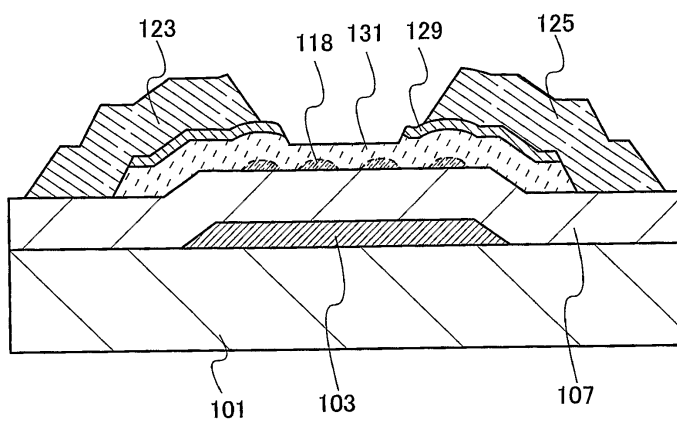
도면7



도면8

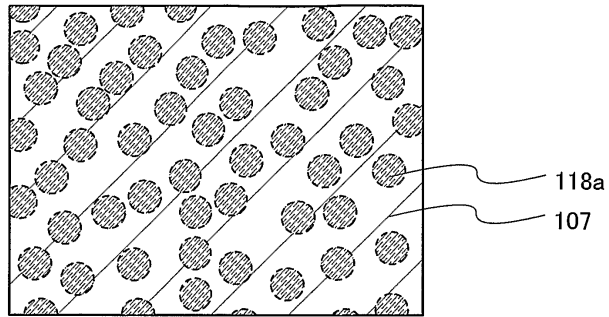


도면9

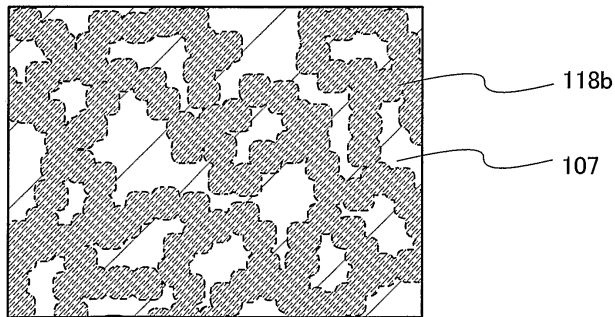


도면10

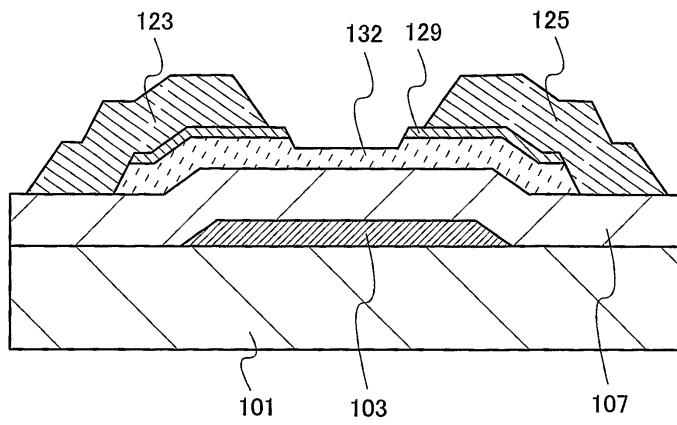
(a)



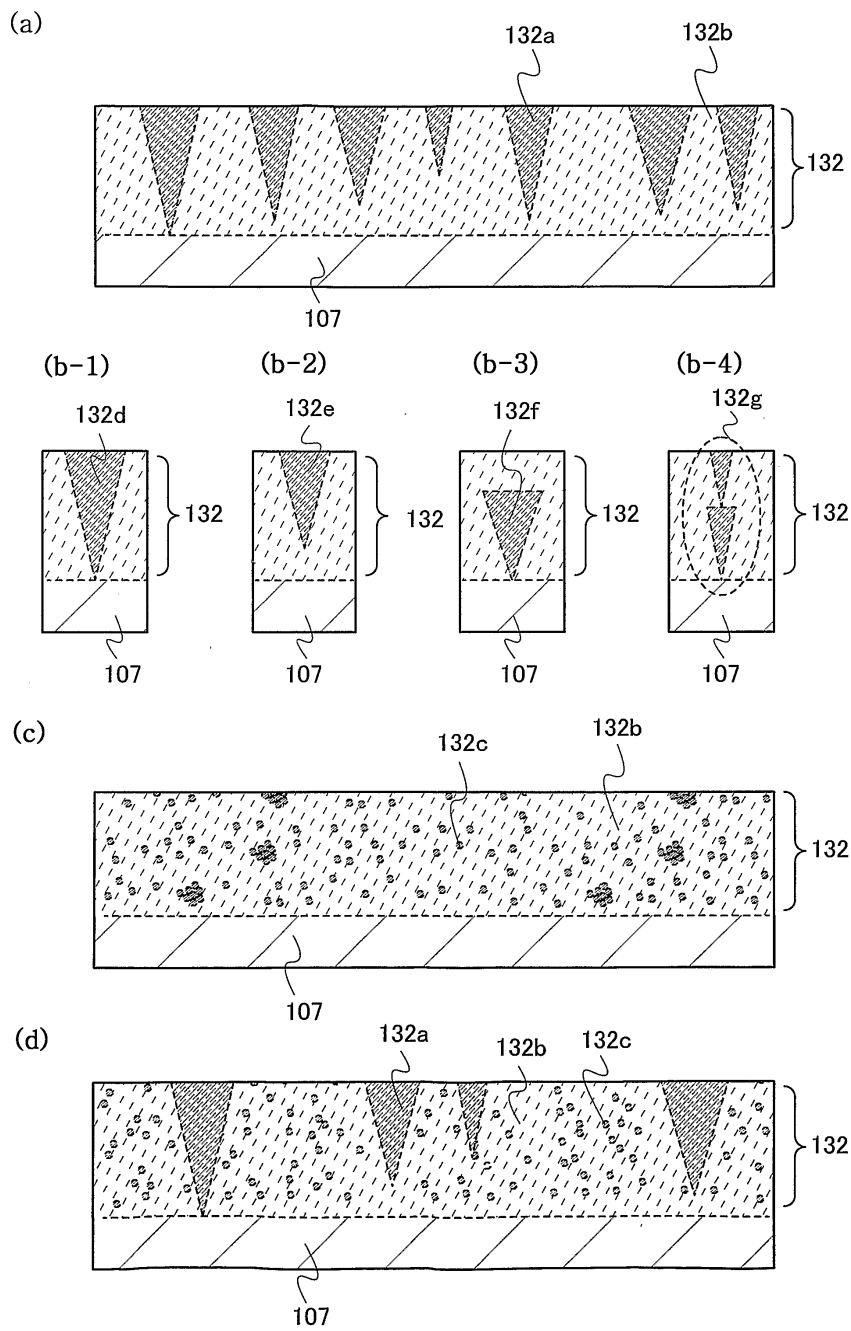
(b)



도면11

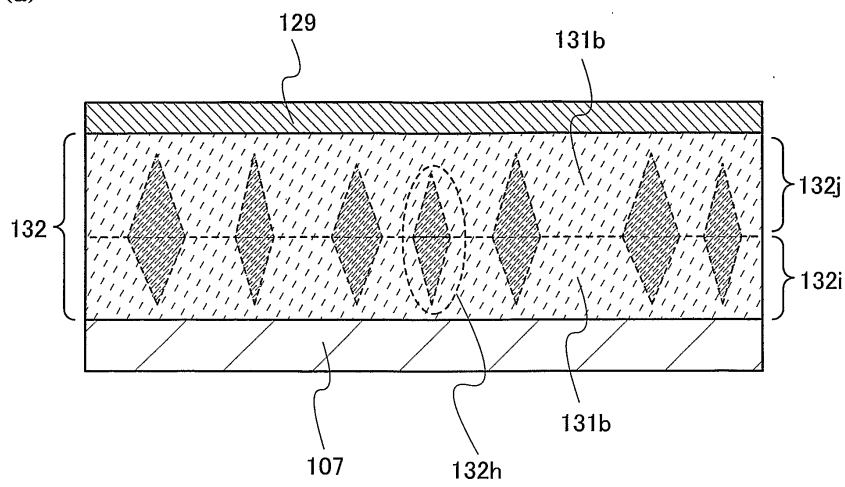


도면12

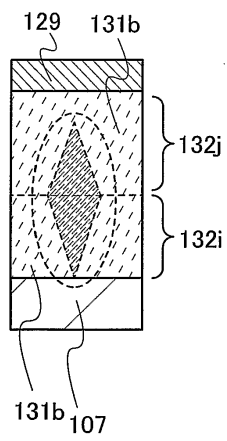


도면13

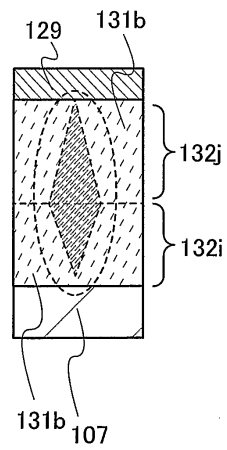
(a)



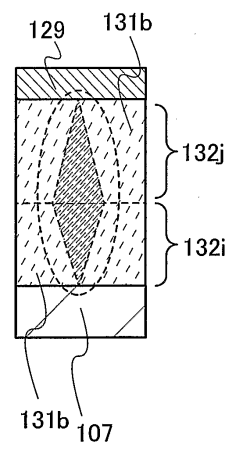
(b-1)



(b-2)

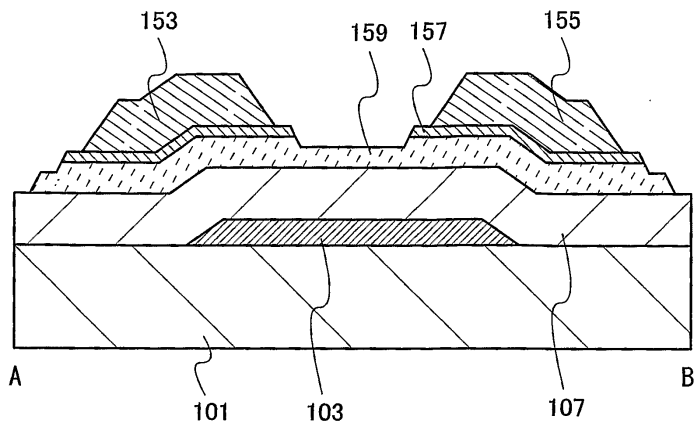


(b-3)

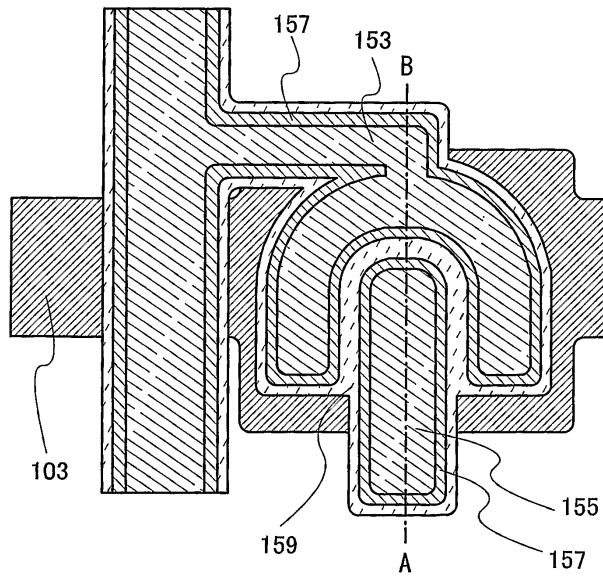


도면14

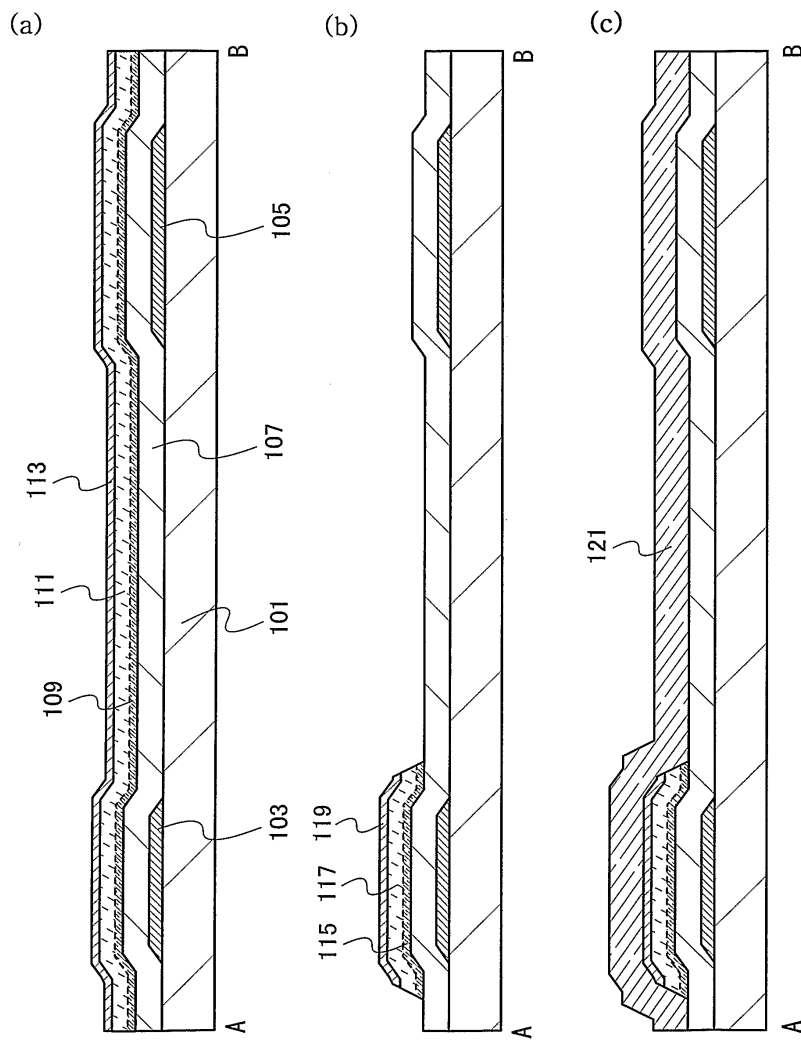
(a)



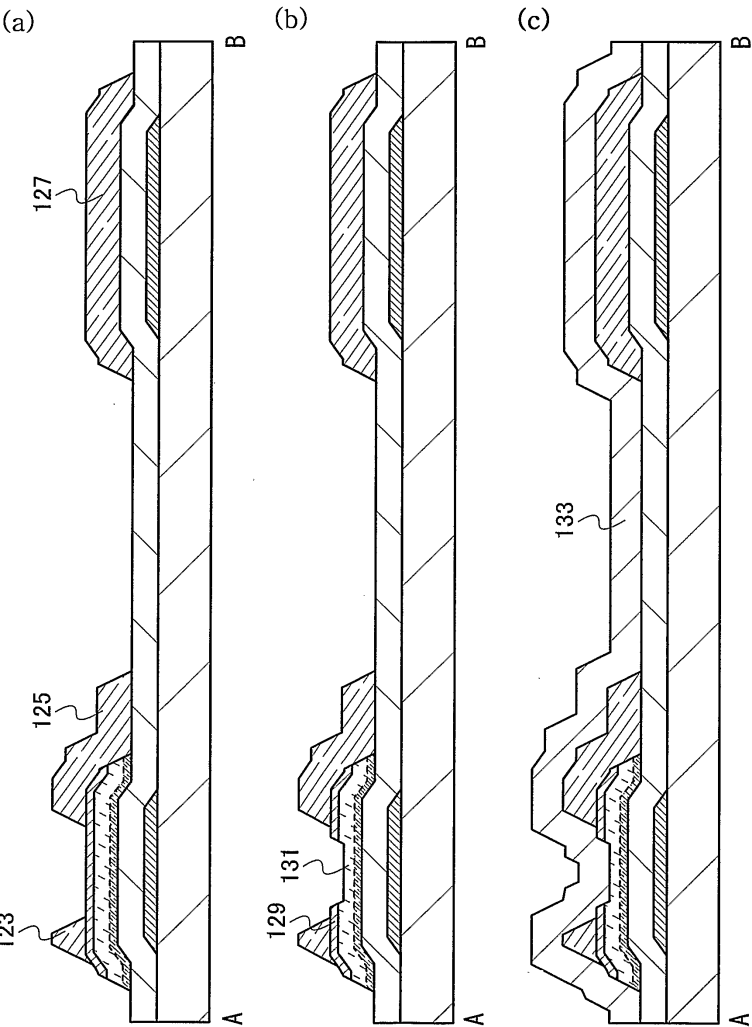
(b)



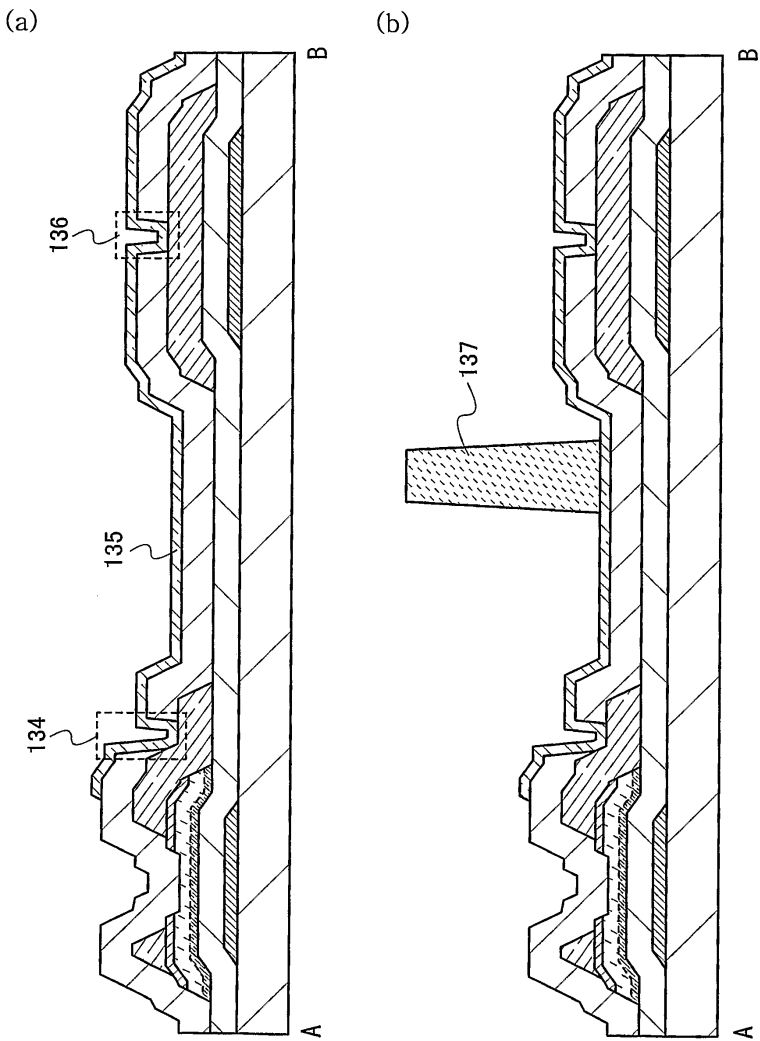
도면15



도면16

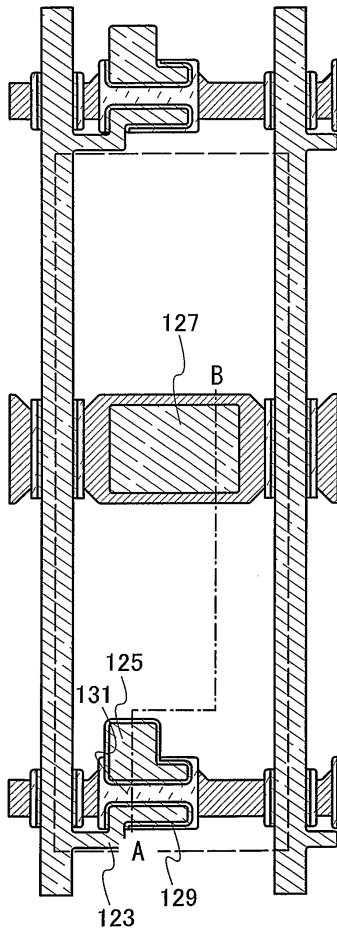


도면17

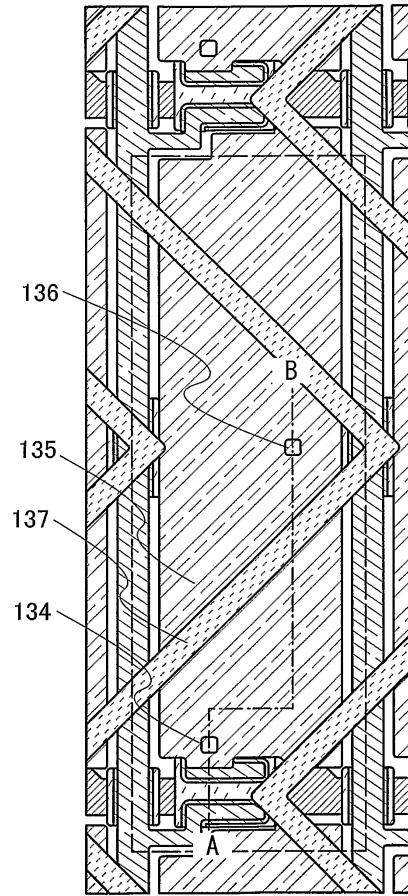


도면18

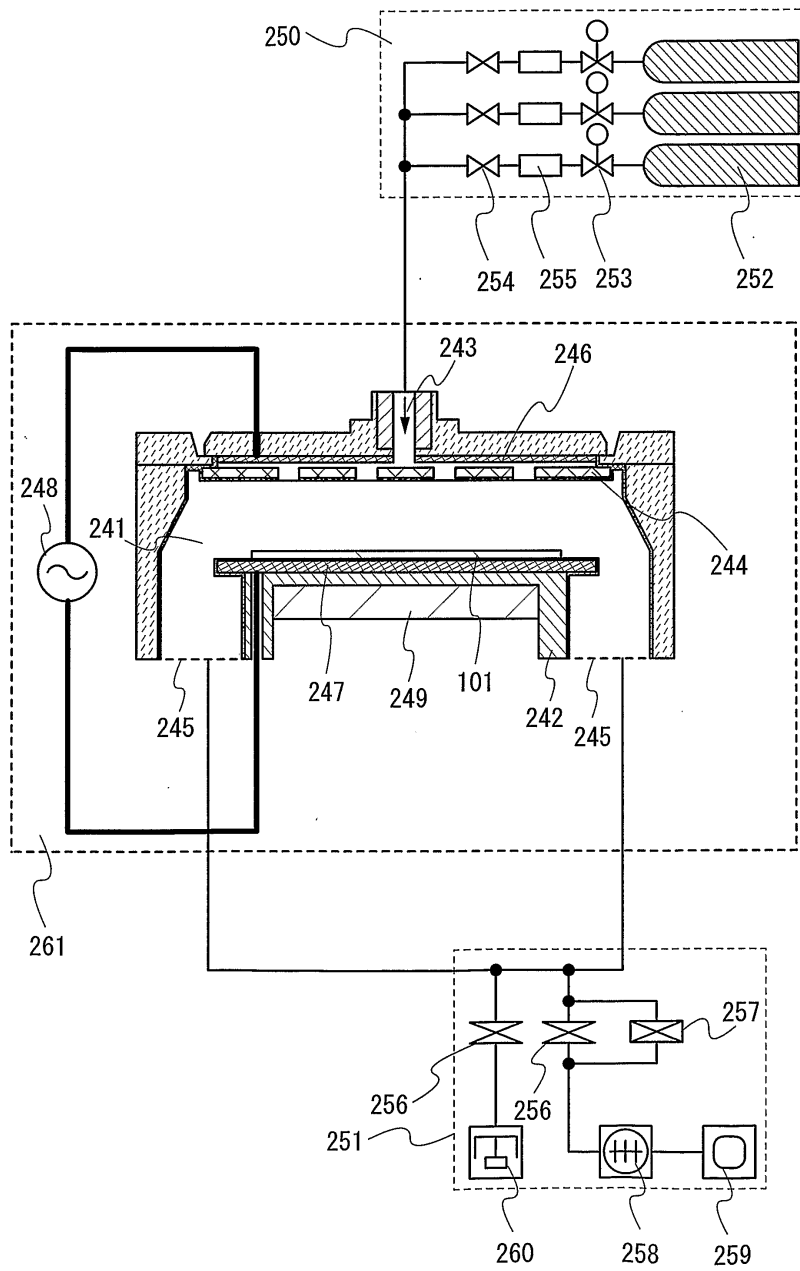
(a)



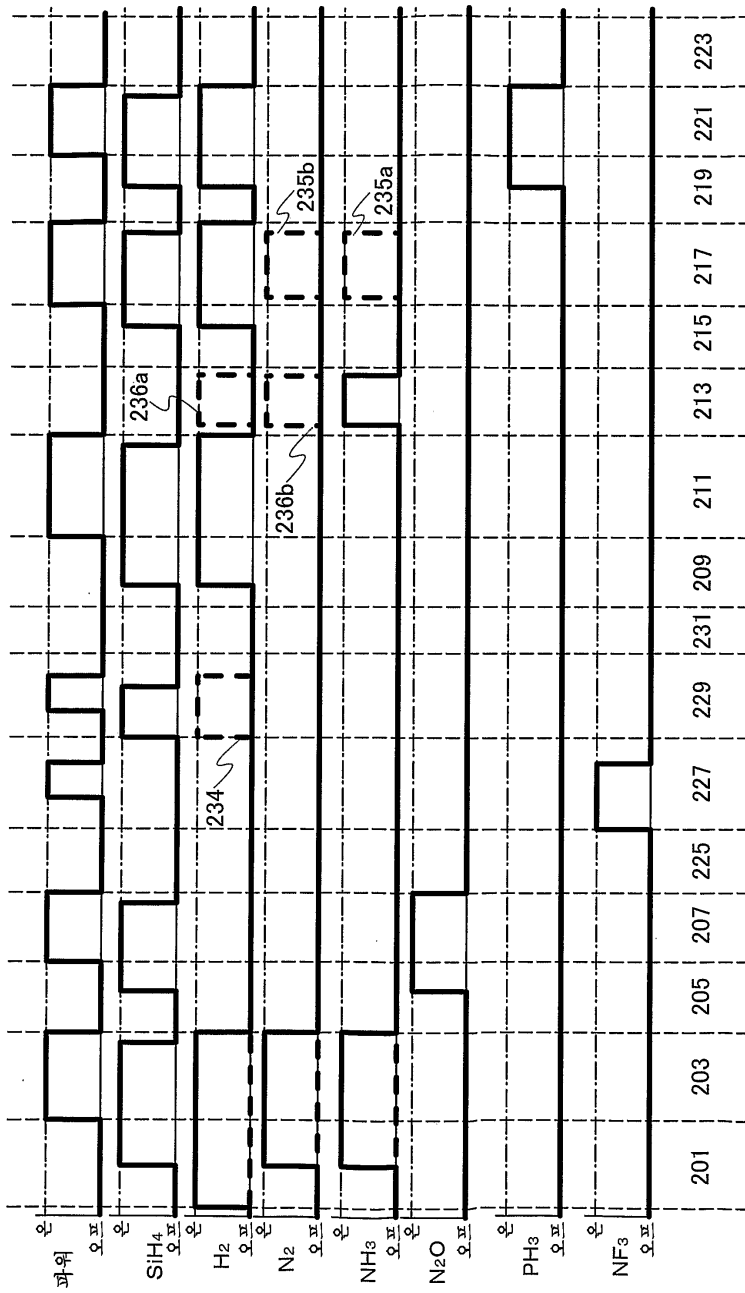
(b)



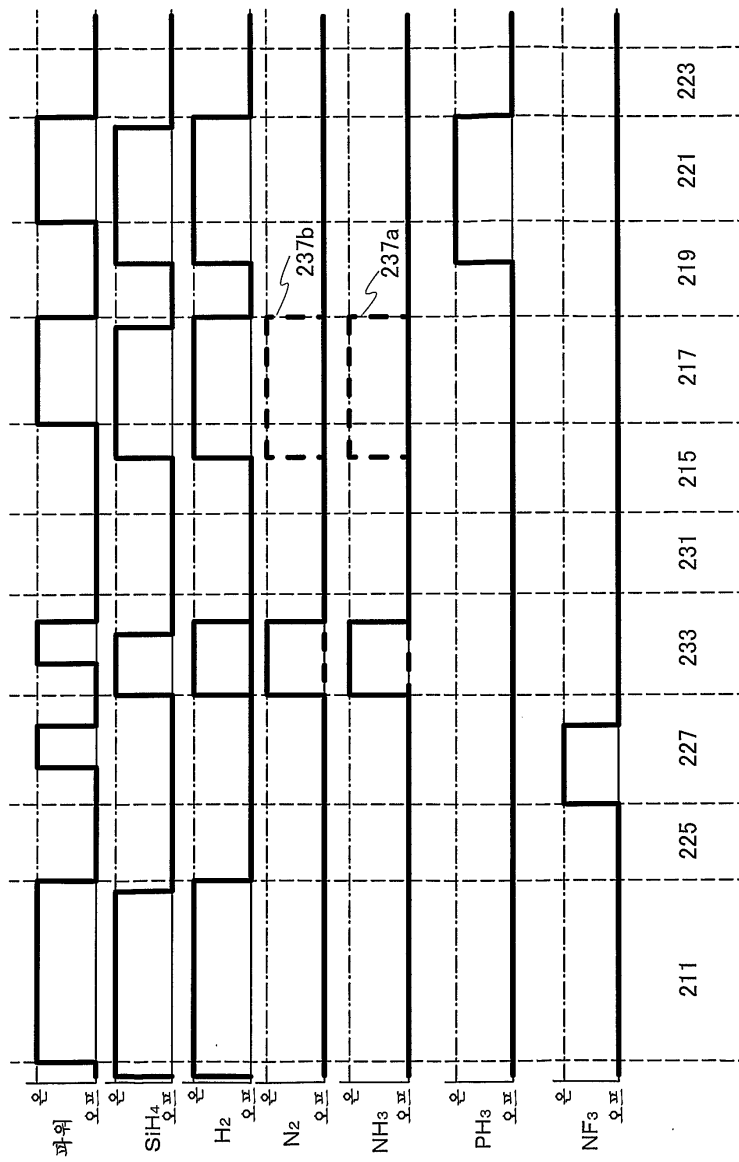
도면19



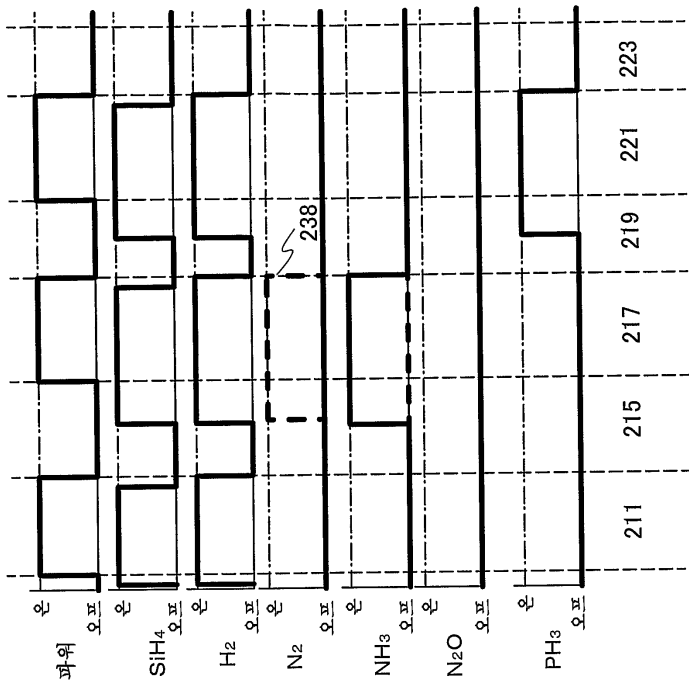
도면20



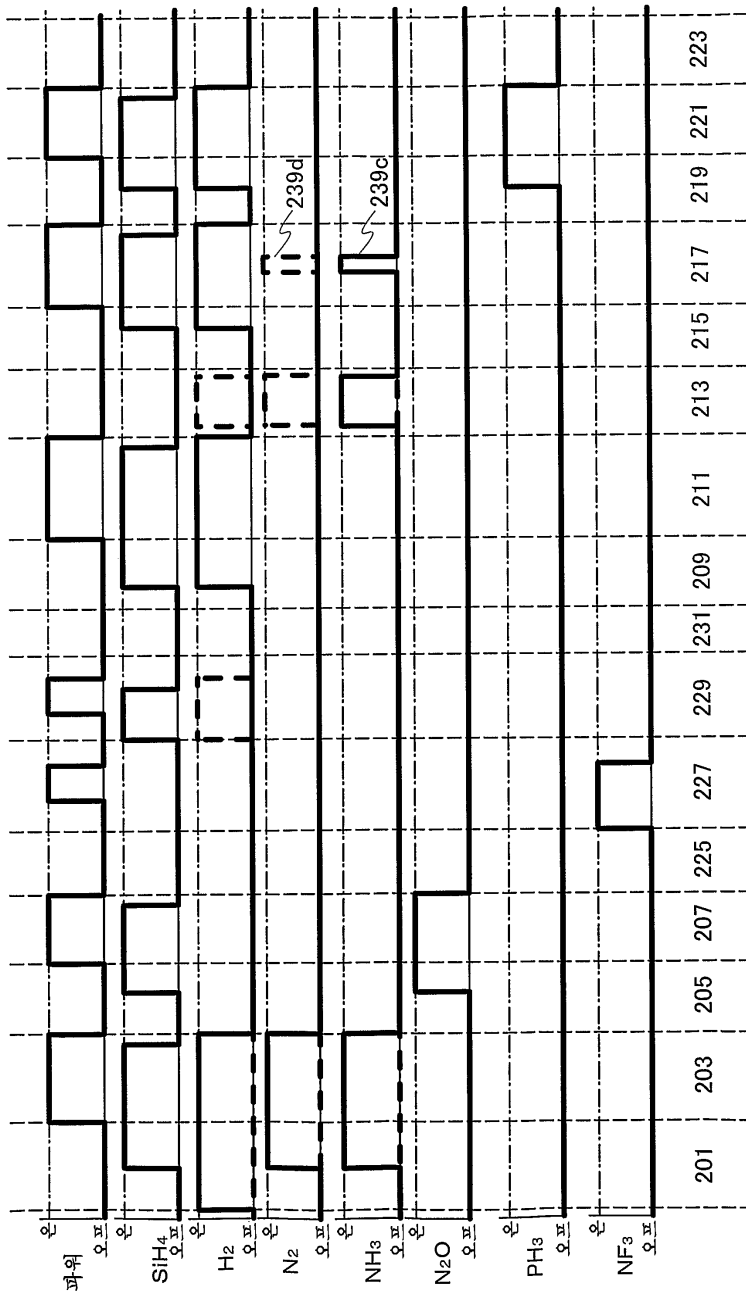
도면21



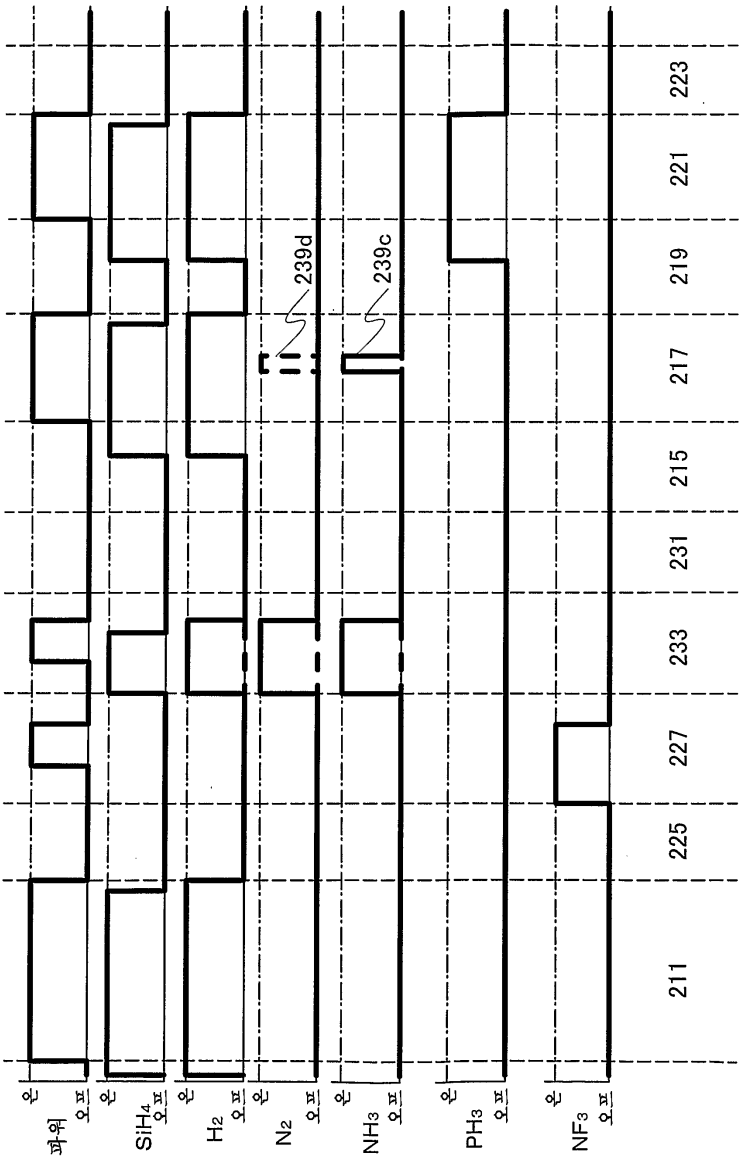
도면22



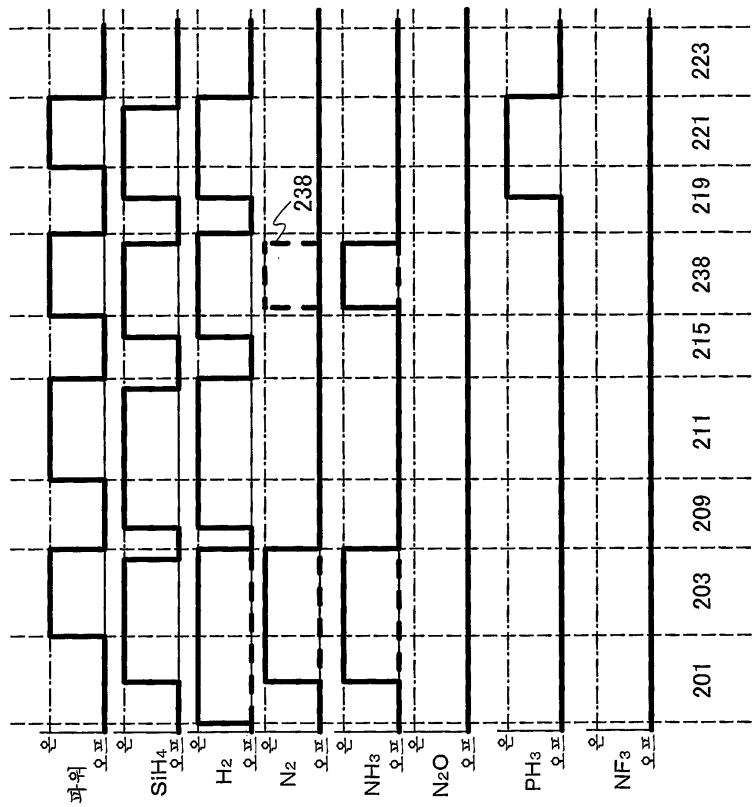
도면23



도면24

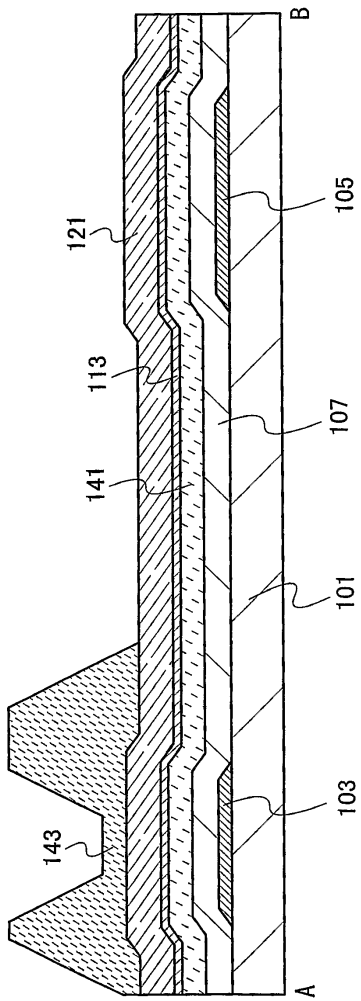


도면25

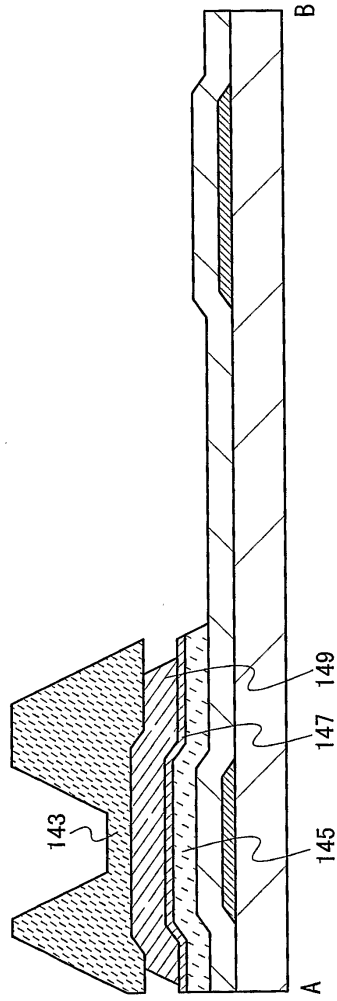


도면26

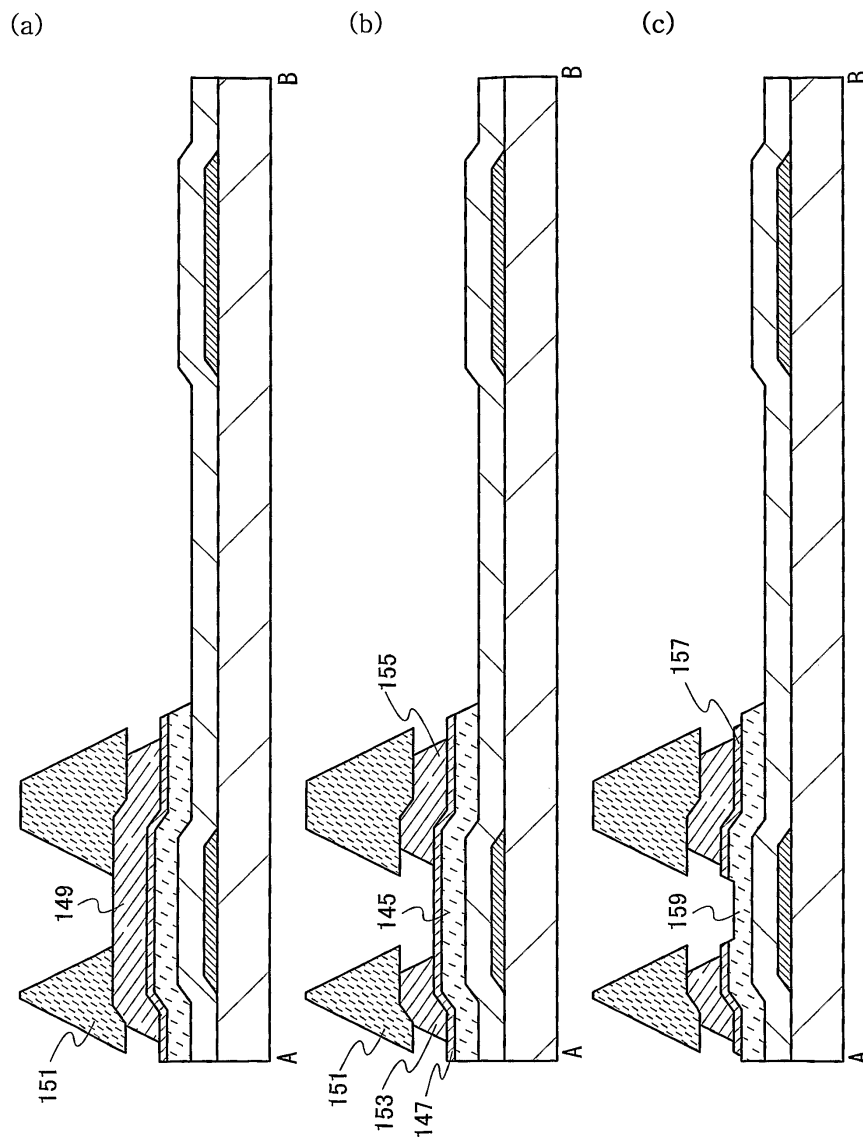
(a)



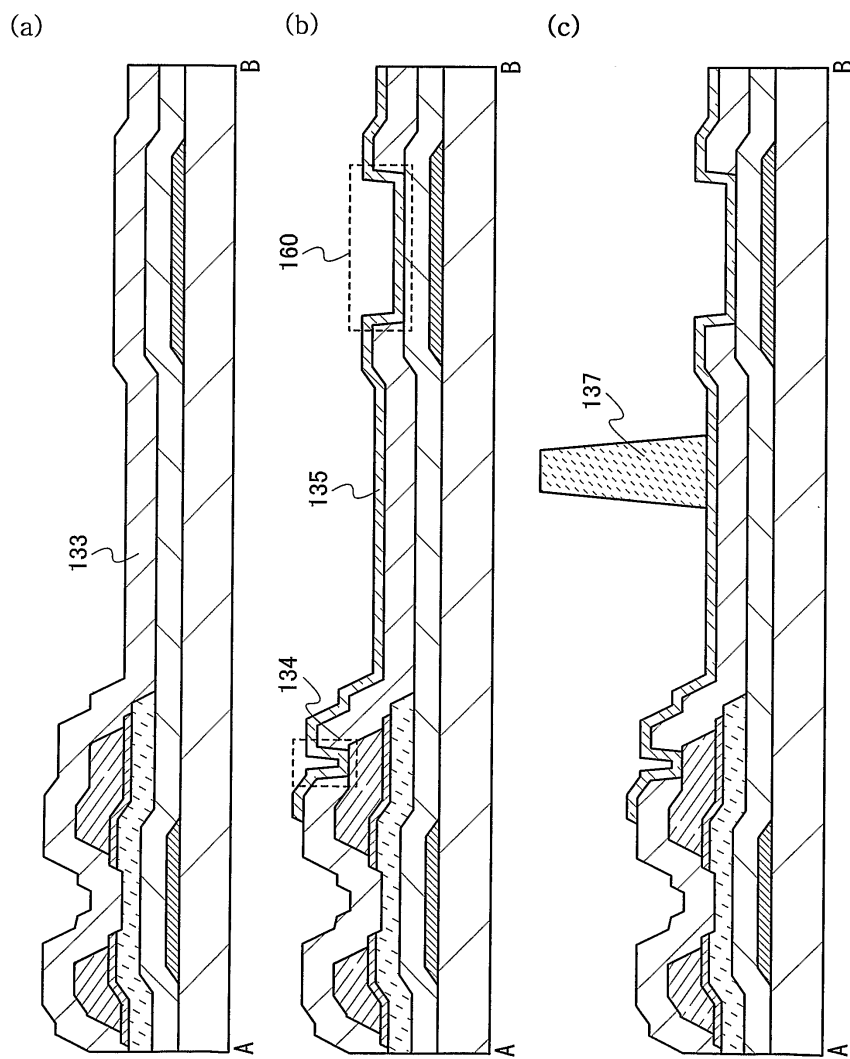
(b)



도면27

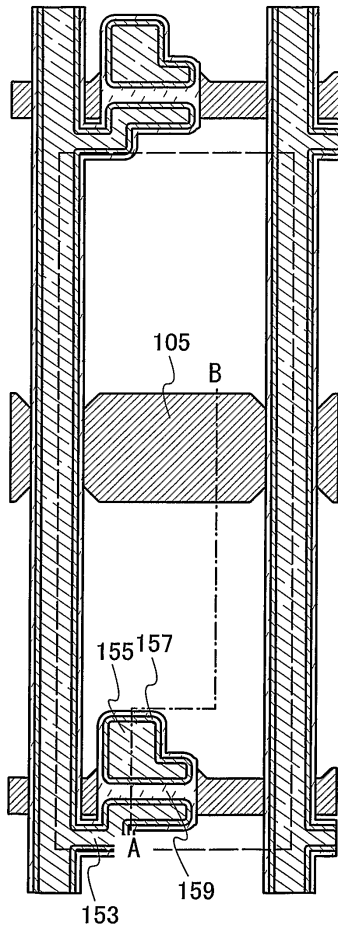


도면28

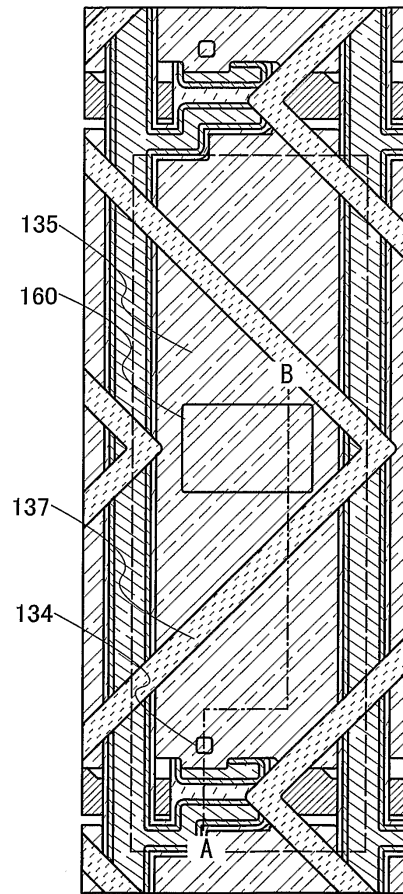


도면29

(a)

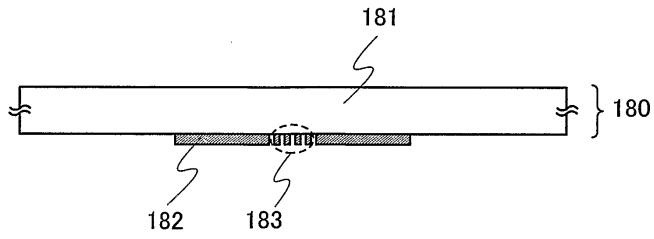


(b)

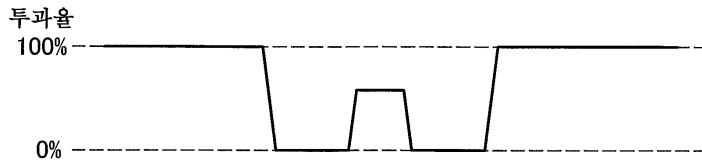


도면30

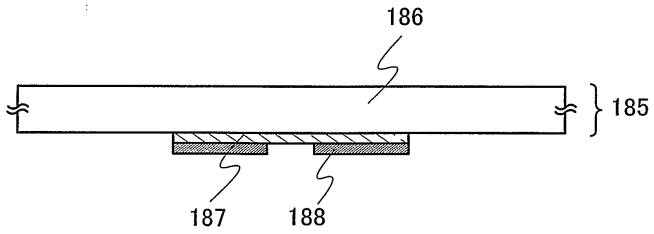
(a-1)



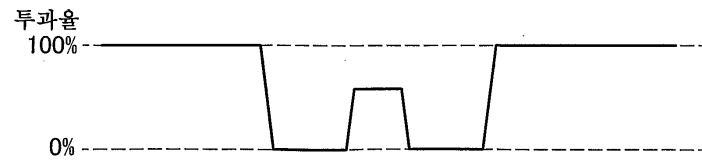
(a-2)



(b-1)

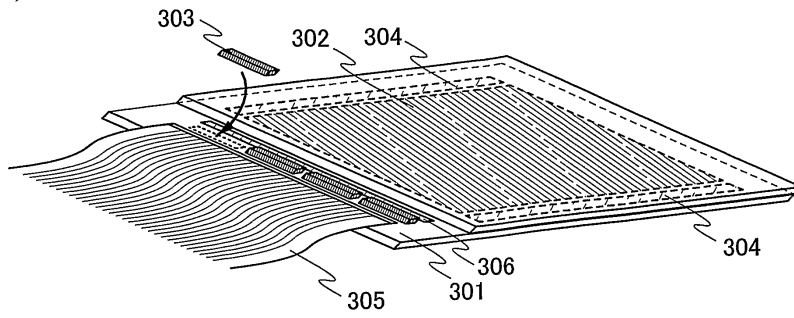


(b-2)

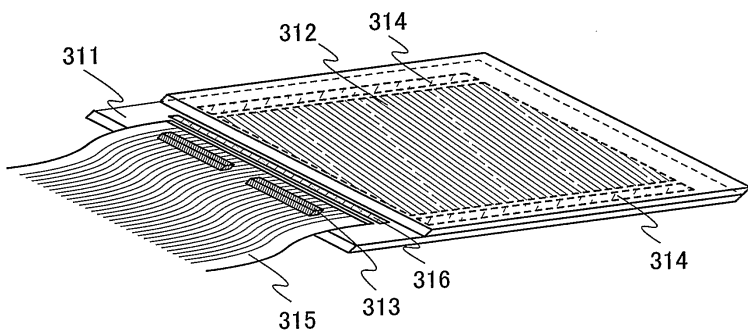


도면31

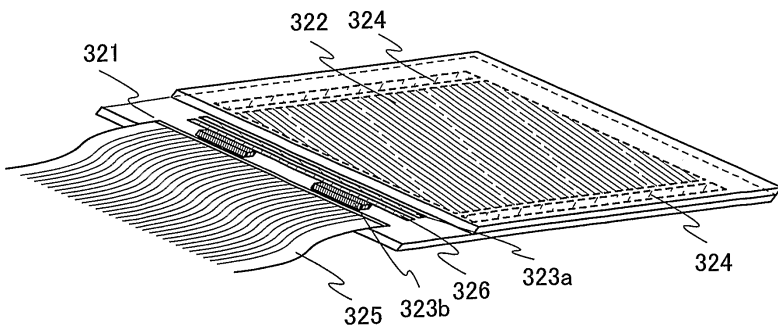
(a)



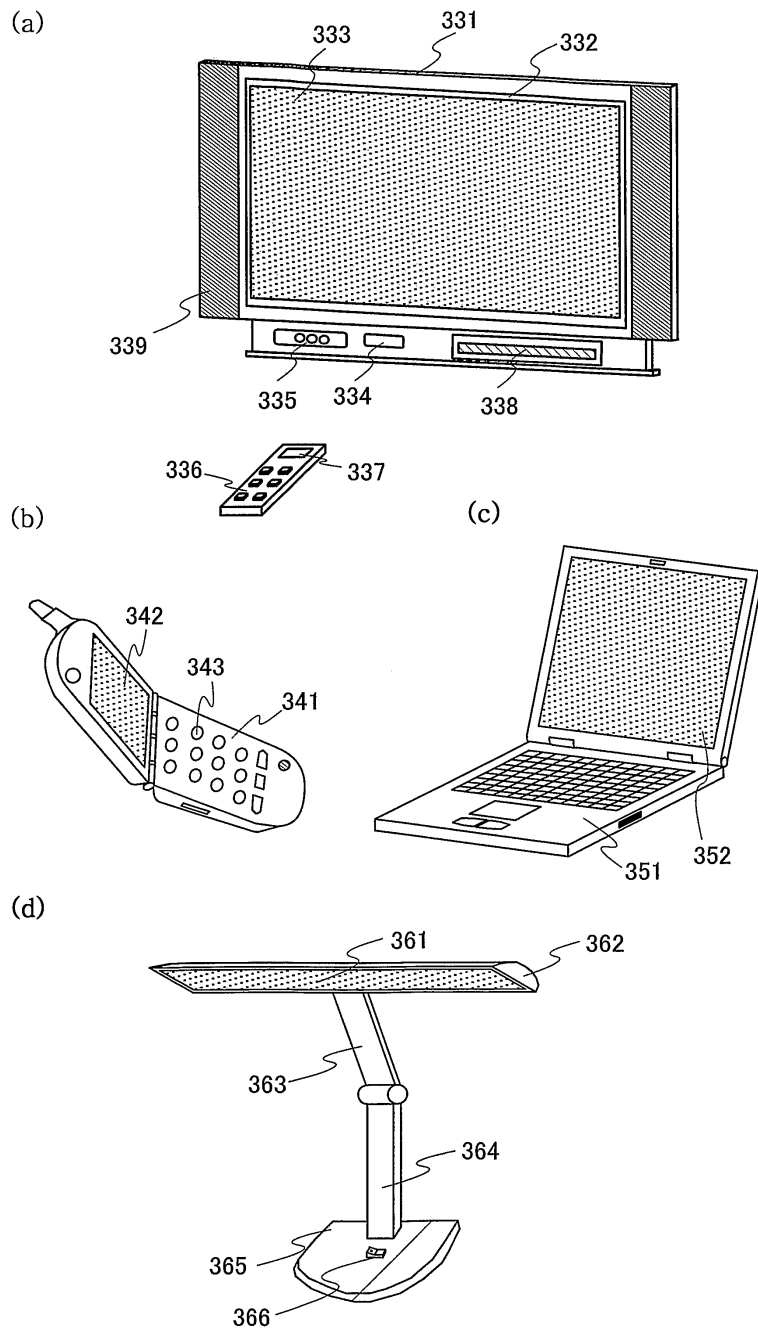
(b)



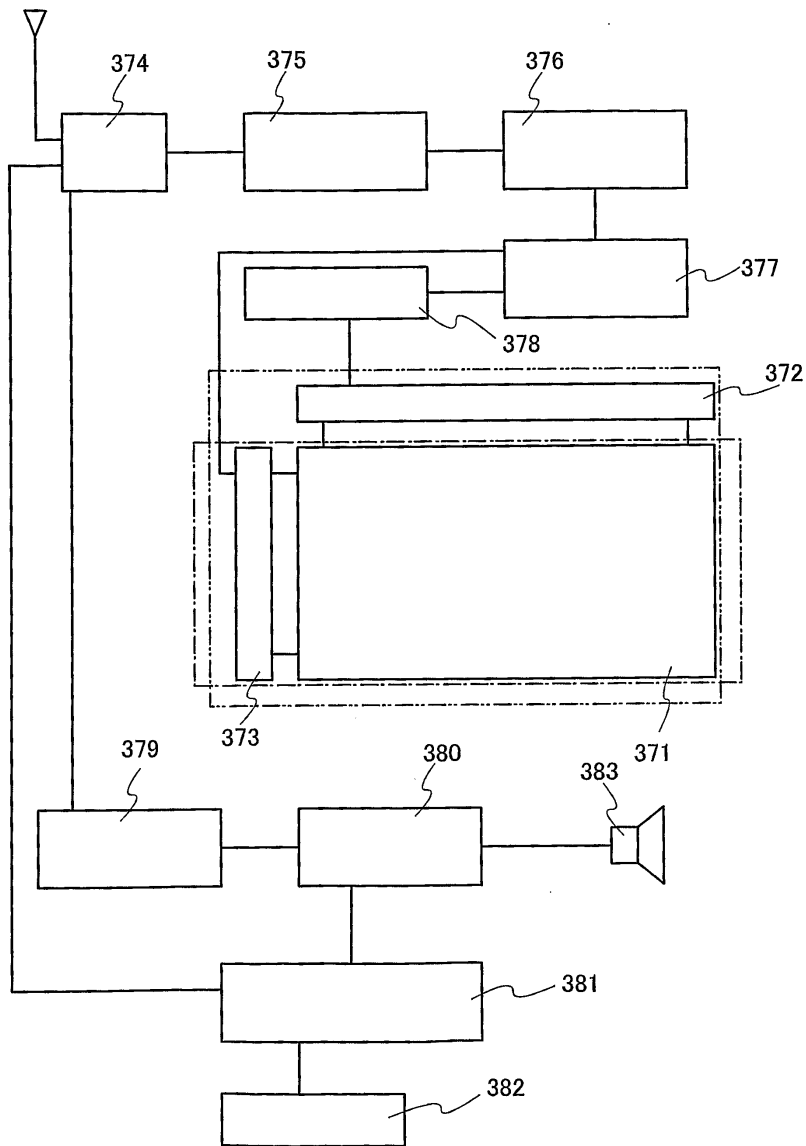
(c)



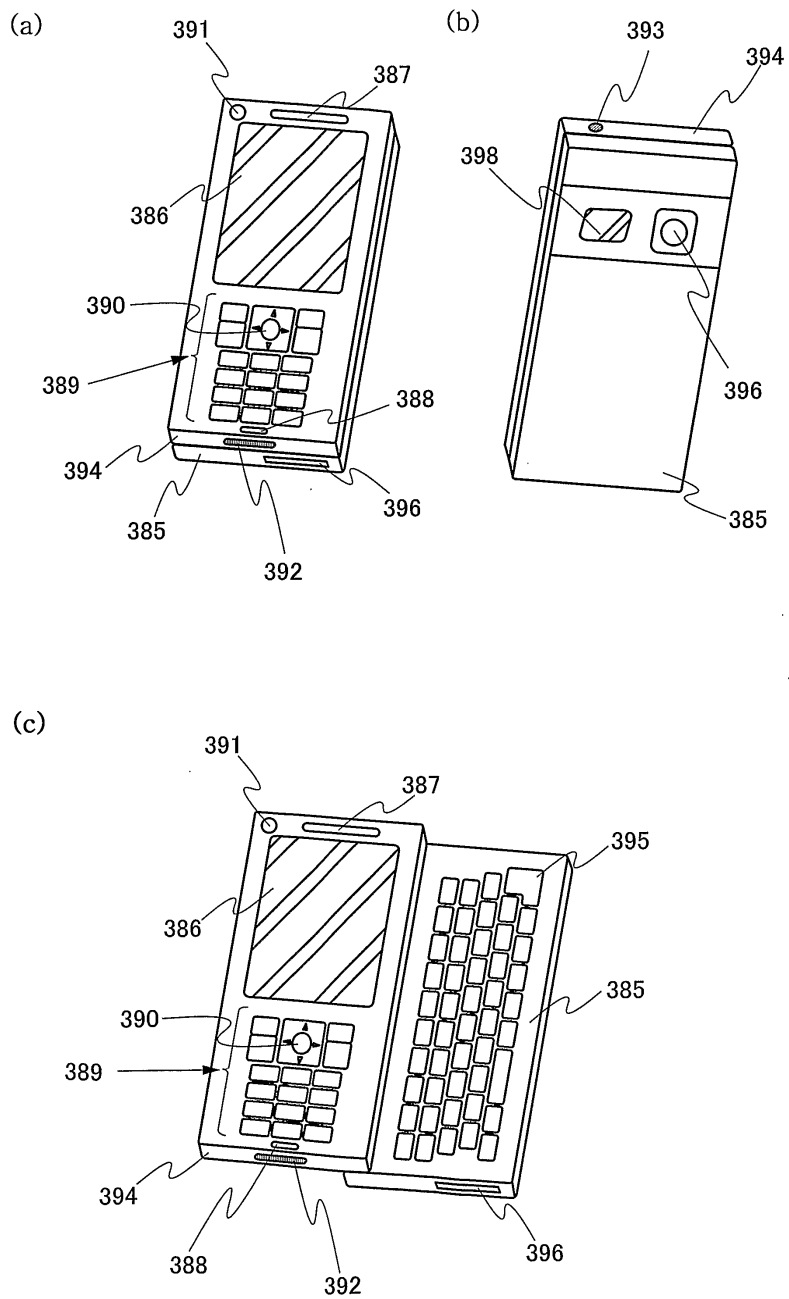
도면32



도면33

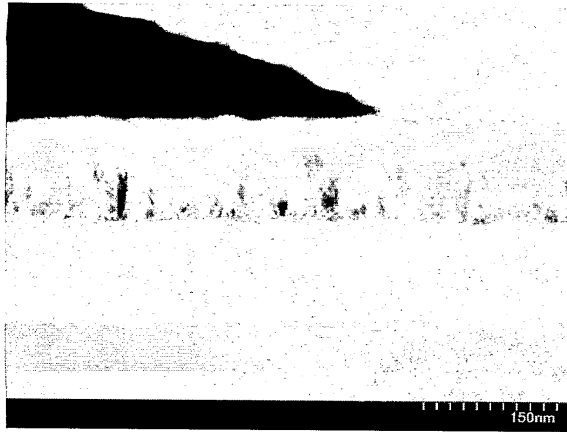


도면34

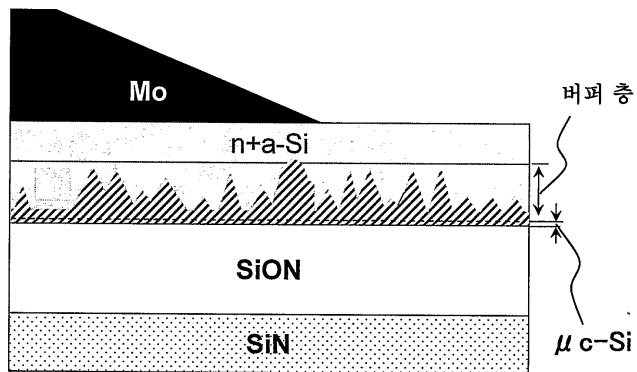


도면35

(a)

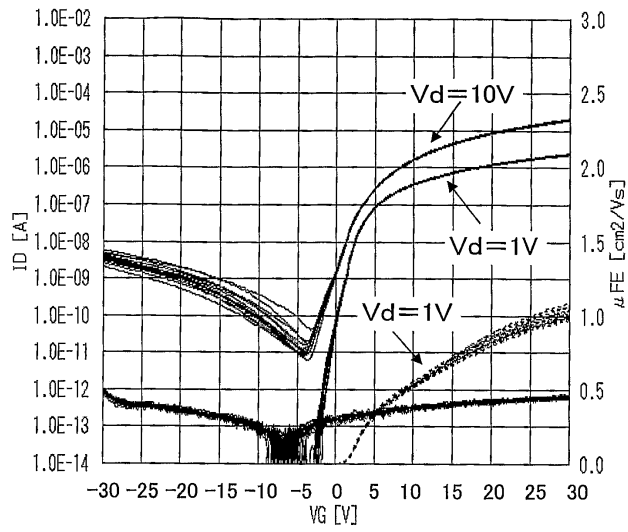


(b)

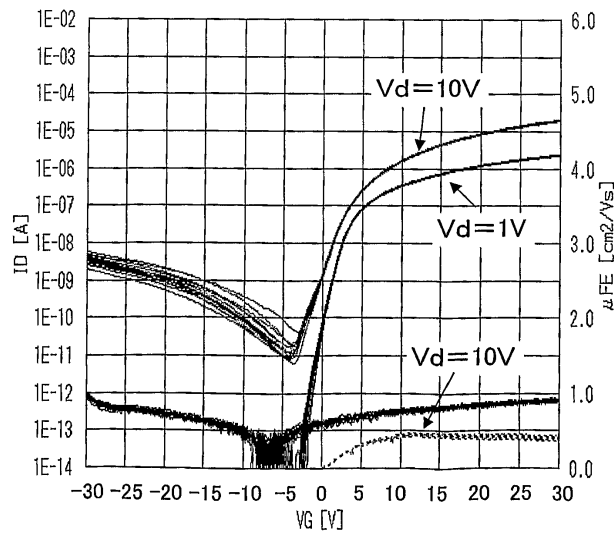


도면36

(a)

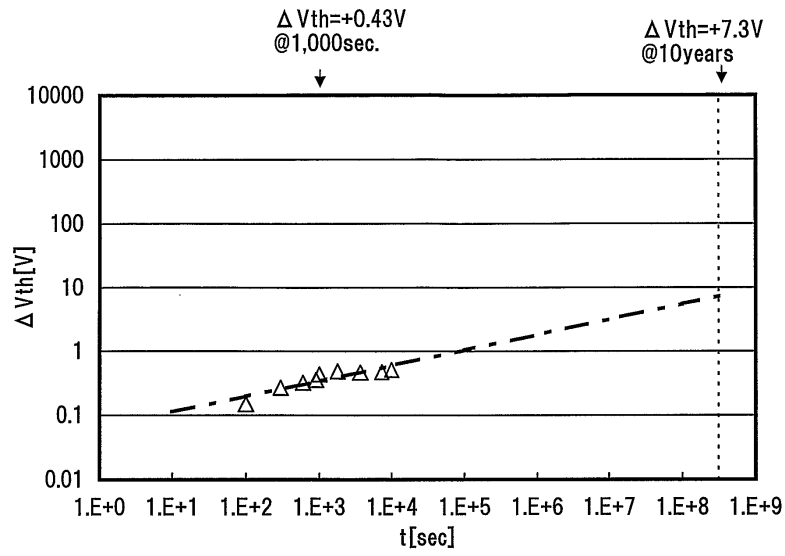


(b)

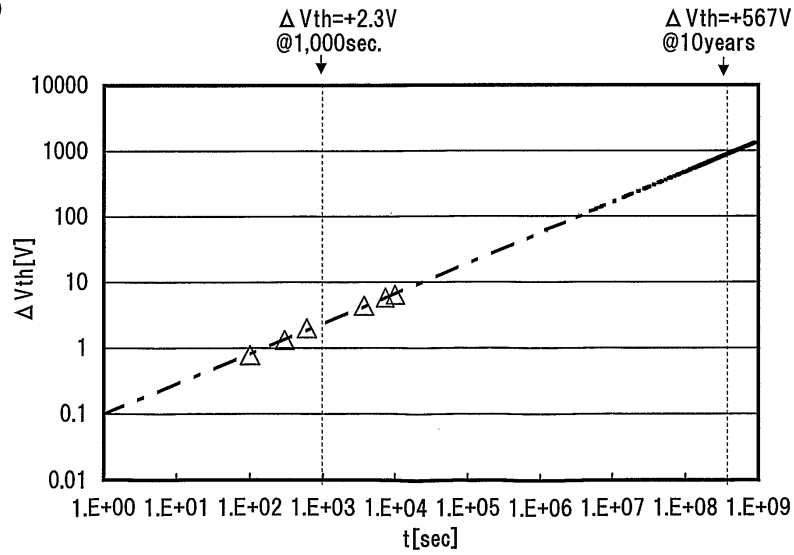


도면37

(a)

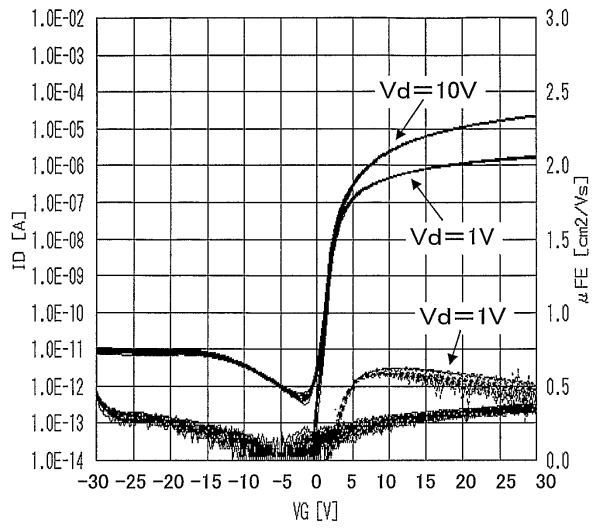


(b)

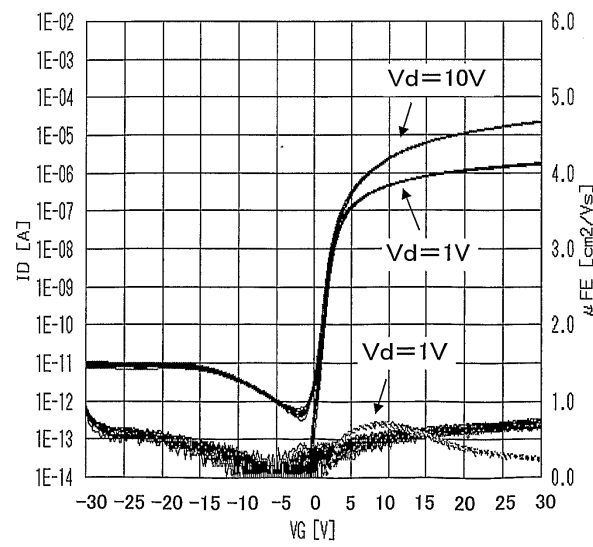


도면38

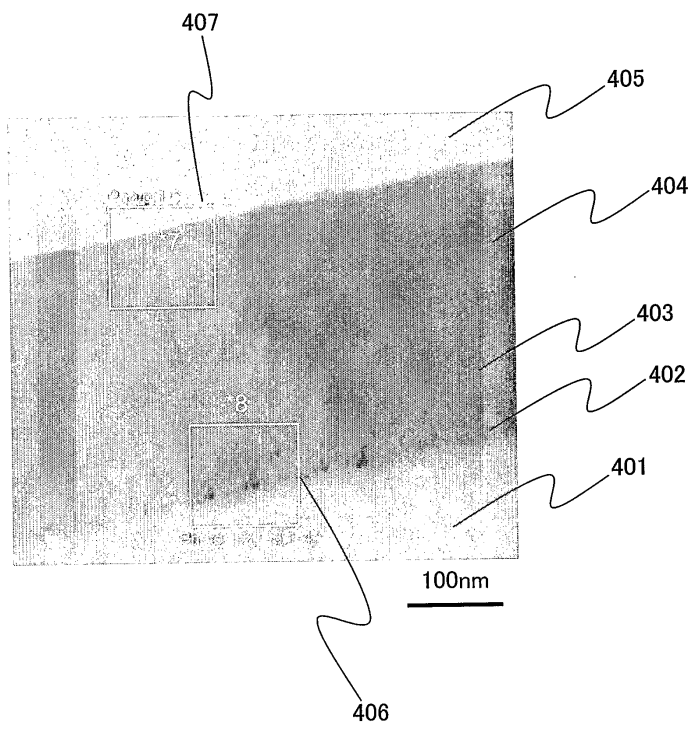
(a)



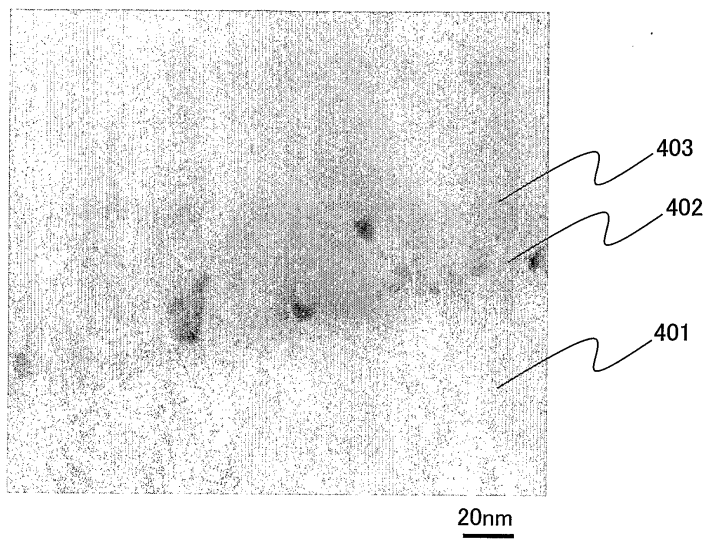
(b)



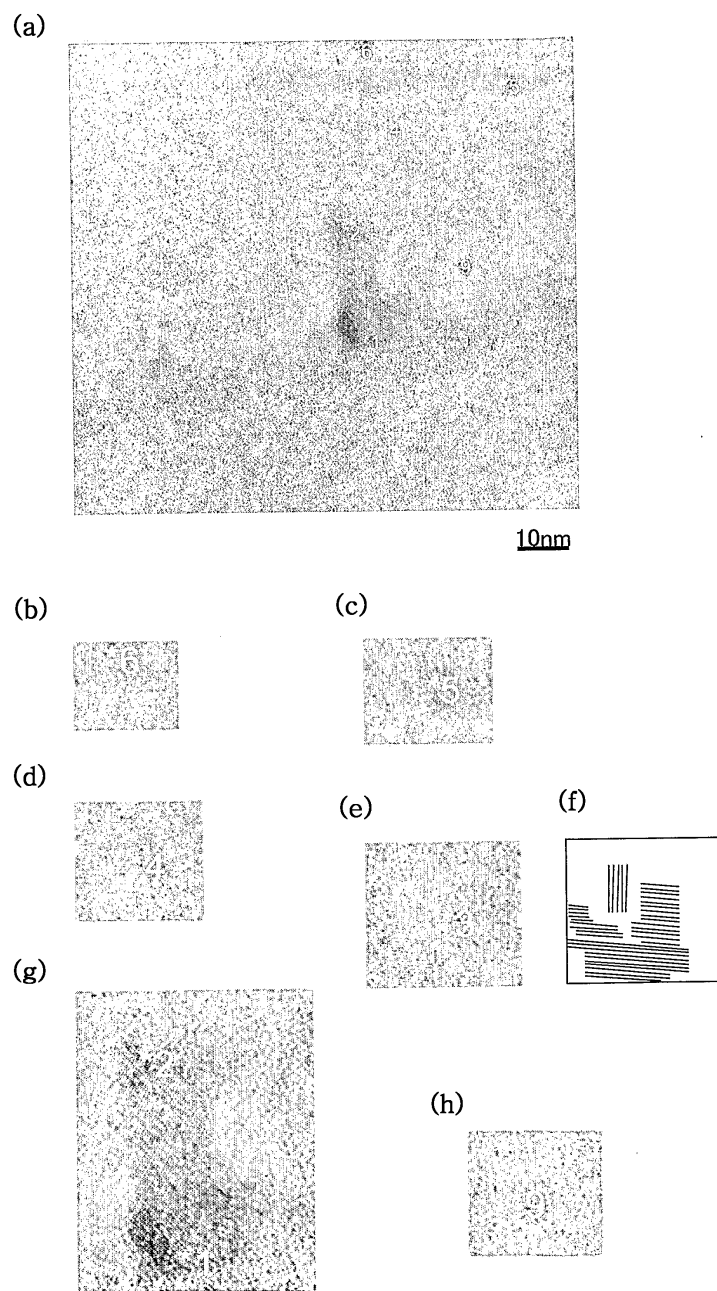
도면39



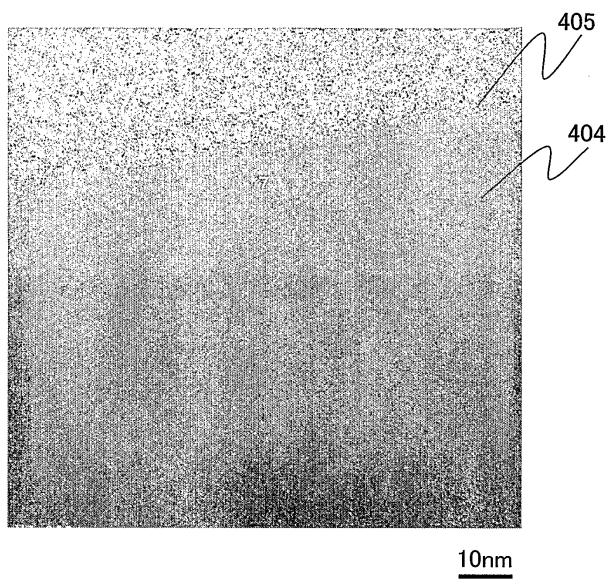
도면40



도면41

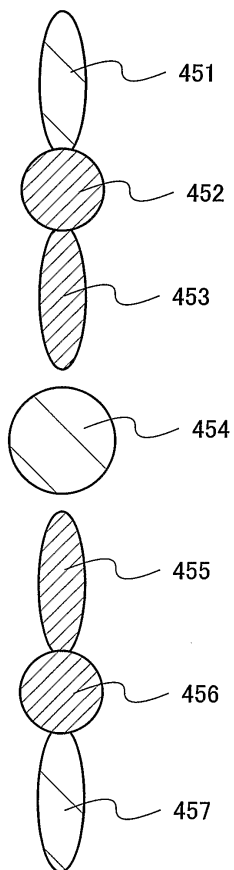


도면42

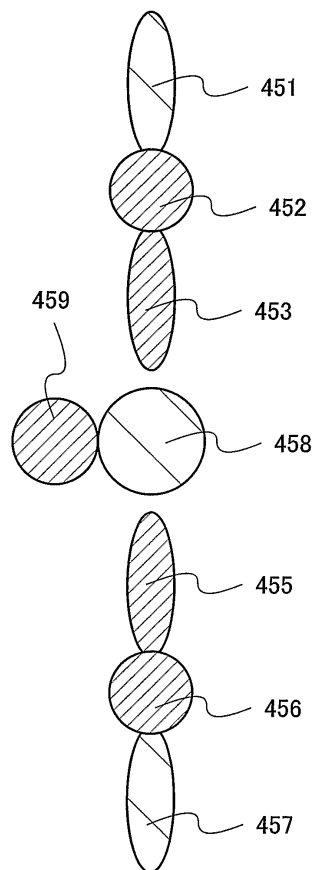


도면43

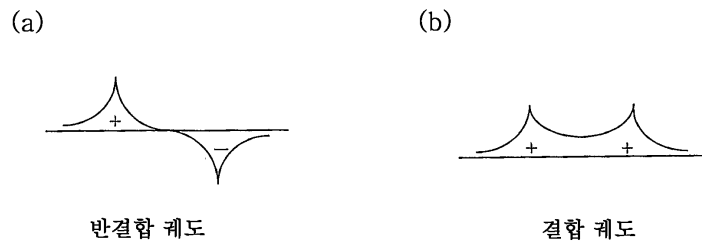
(a)



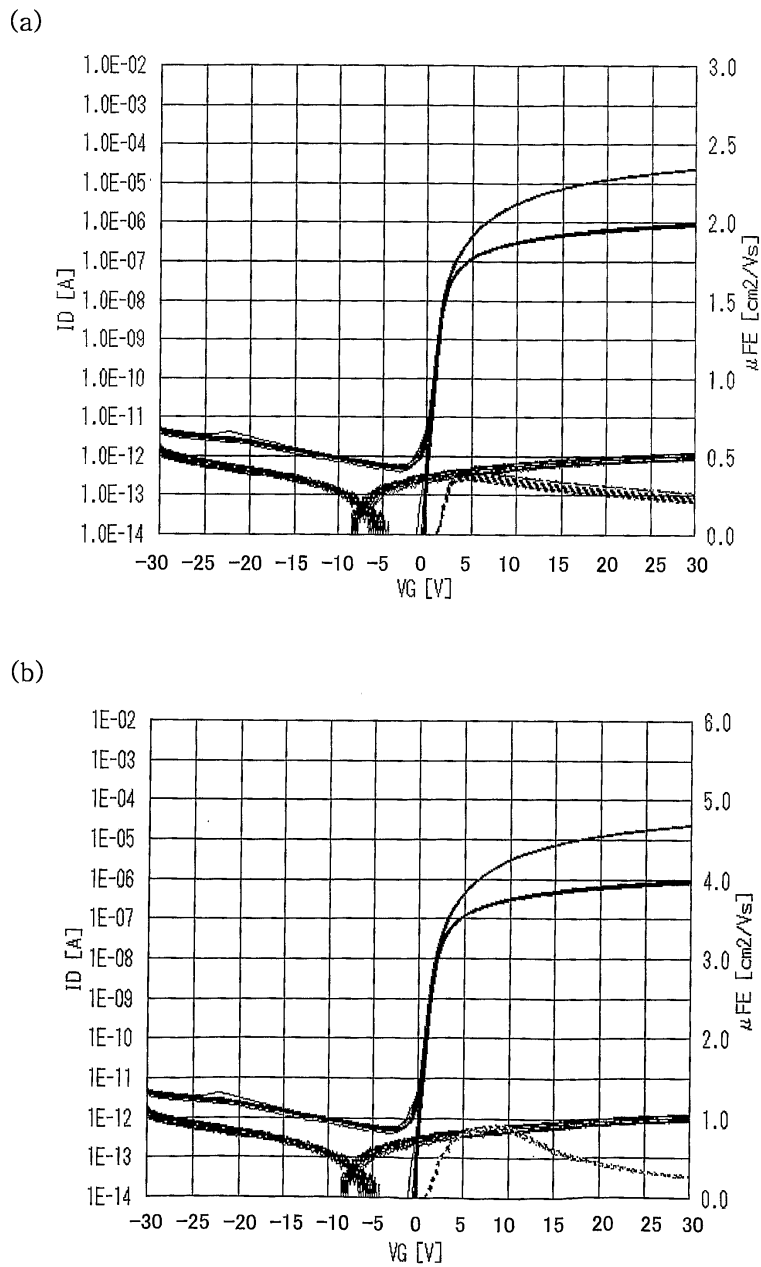
(b)



도면44

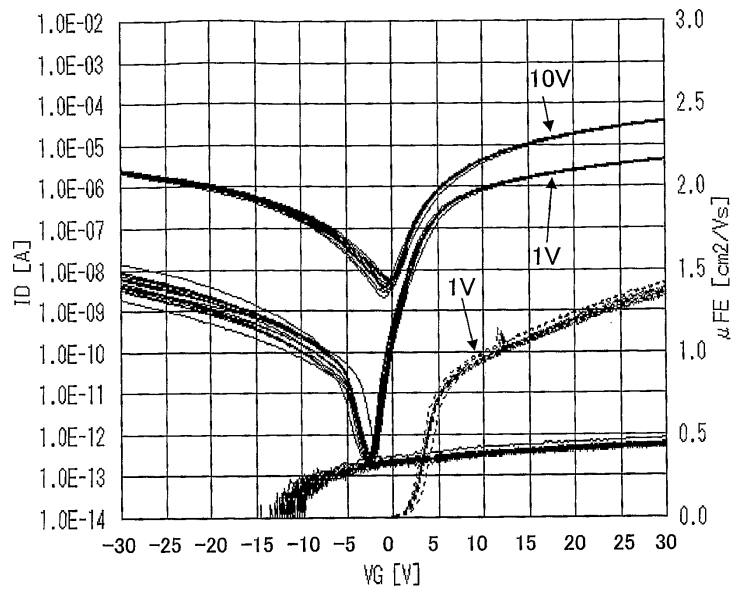


도면45

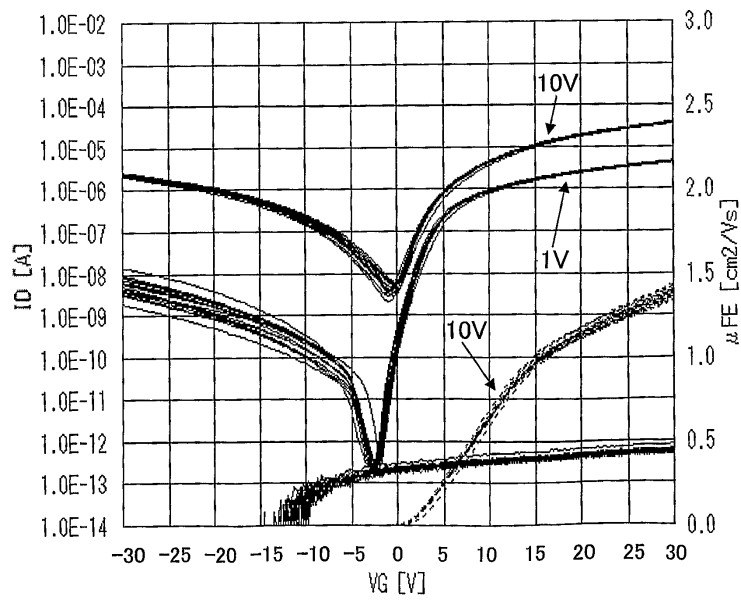


도면46

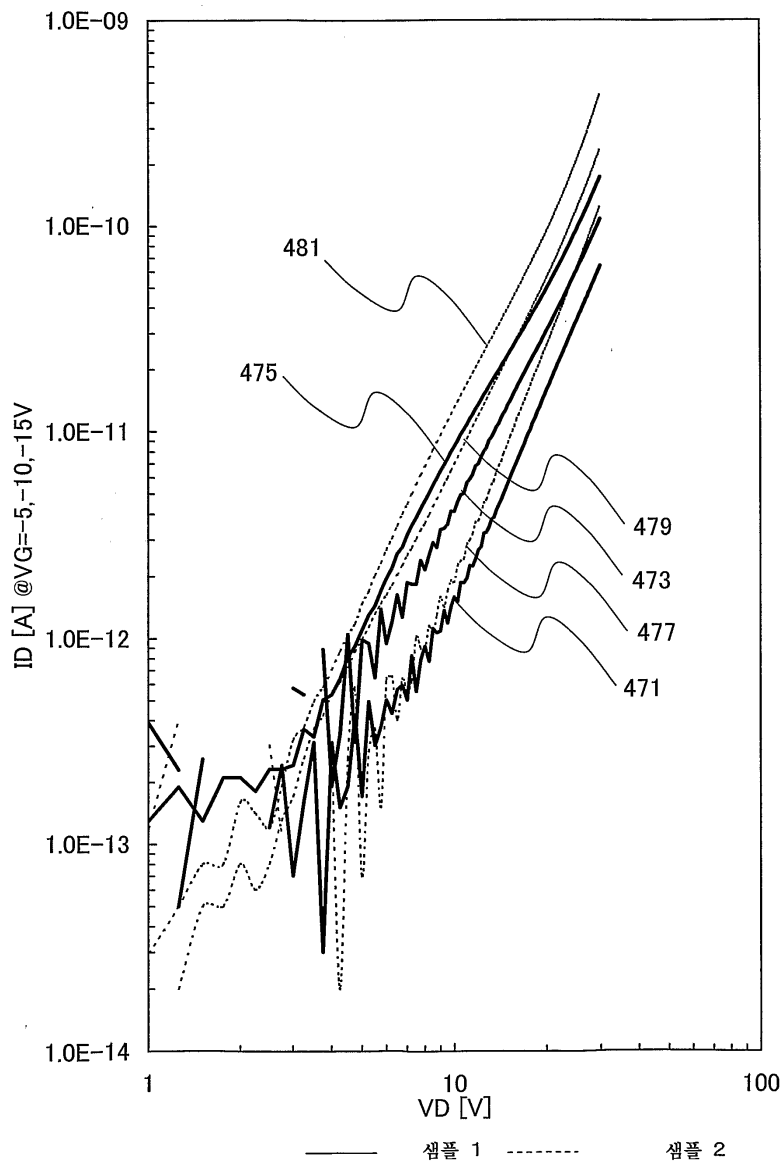
(a)



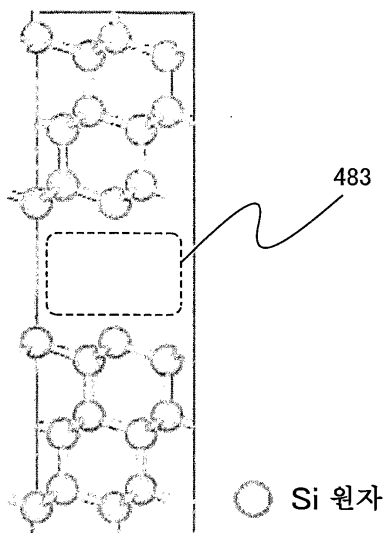
(b)



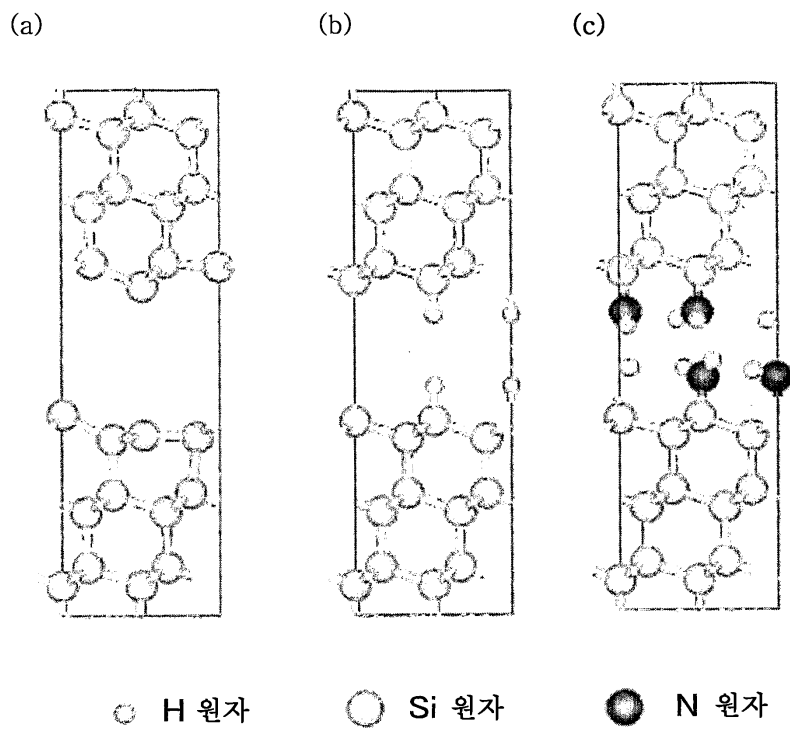
도면47



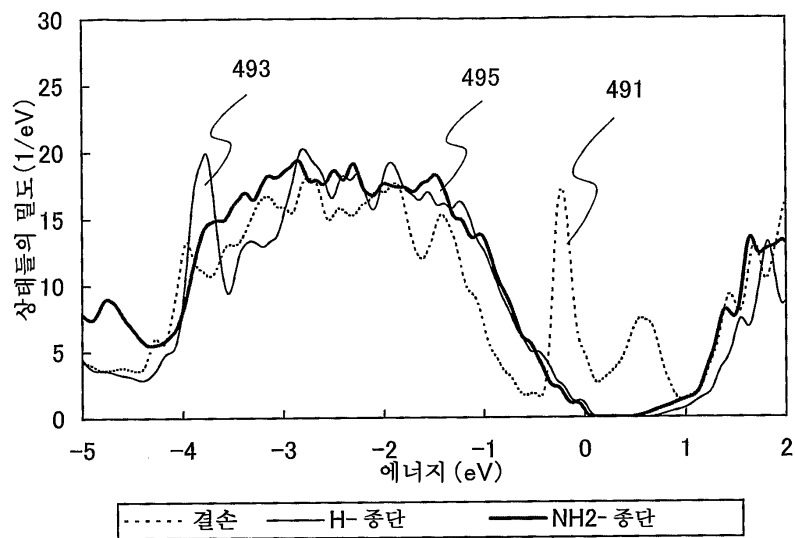
도면48



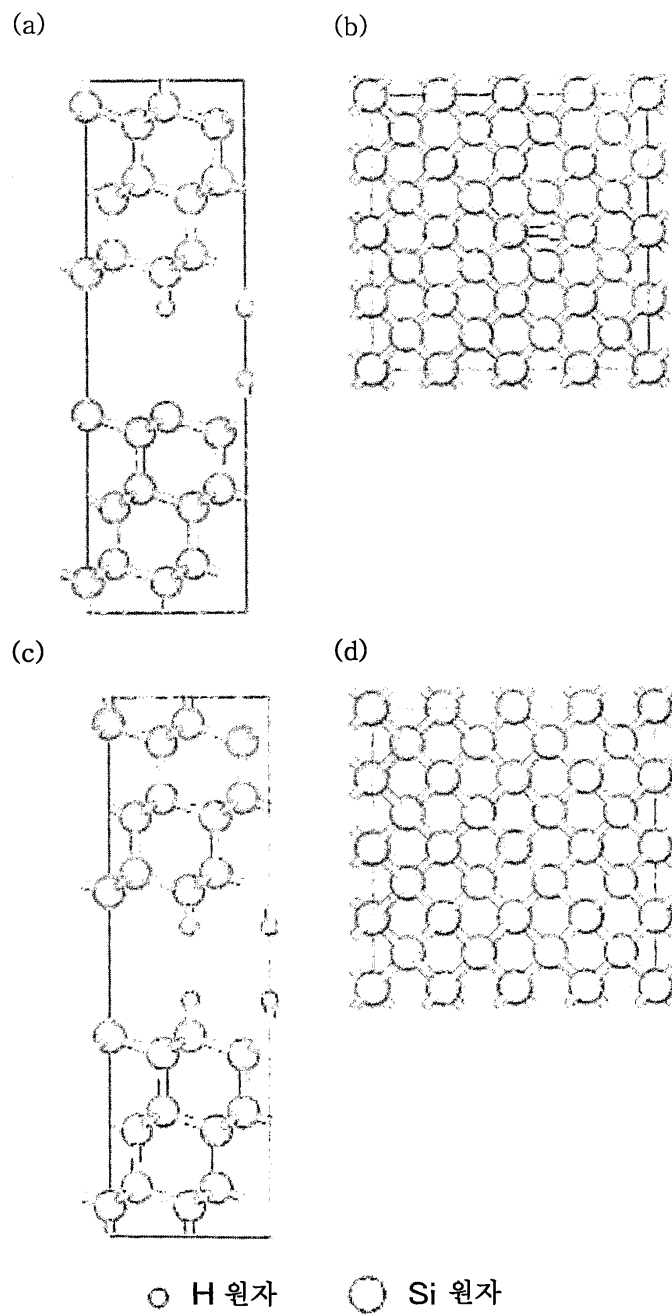
도면49



도면50



도면51



도면52

