(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2018-524642
(P2018-524642A)
(43)公表日　平成30年8月30日(2018.8.30)

(51)Int.Cl.	F I	テーマコード（参考）
G02F 1/1365 (2006.01)	G02F 1/1365	2H192

審査請求 未請求　予備審査請求 未請求　（全 17 頁）

(21)出願番号	特願2018-523364 (P2018-523364)
(86)(22)出願日	平成28年7月21日 (2016.7.21)
(85)翻訳文提出日	平成30年3月20日 (2018.3.20)
(86)国際出願番号	PCT/US2016/043230
(87)国際公開番号	WO2017/019420
(87)国際公開日	平成29年2月2日 (2017.2.2)
(31)優先権主張番号	62/196,359
(32)優先日	平成27年7月24日 (2015.7.24)
(33)優先権主張国	米国 (US)

(71)出願人　515124392
オレゴン　ステイト　ユニバーシティ
アメリカ合衆国、９７３３１　オレゴン州、コーバリス、３１２　カー　アドミニストレーション　ビルディング
(71)出願人　518023315
アモーフィックス
アメリカ合衆国、９７３３３　オレゴン州、コーバリス、５０８　サウスウェスト　ジェファーソン　アベニュー
(74)代理人　100104411
弁理士　矢口　太郎

最終頁に続く

(54)【発明の名称】アクティブなサブピクセル装置としてアモルファス金属非線形抵抗を使用した面内スイッチング液晶ディスプレイ・バックプレーン

(57)【要約】
【解決手段】　面内スイッチング液晶ディスプレイ・サブピクセル用の能動素子としてアモルファス金属非線形抵抗を使用する回路のための物理的レイアウトが提供される。２つのアモルファス金属非線形抵抗の下部インターコネクトおよび保持容量の下部電極を、同時に成膜およびパターニングすることができる。前記保持容量の領域は、前記データ信号インターコネクトおよび前記保持容量下部電極がオーバーラップする部分により画成され、これは前記下部電極のサイズおよび／または前記データ信号インターコネクトがピクセルの開口比を損なわずに前記下部電極とオーバーラップするサイズにより容易に修正できる。サブピクセル回路の２つの実施形態について説明する。そのうちの一方は、選択ラインブリッジを使用して画像データの完全なドット反転を使用可能にする。他方は、画像データの行反転のみを可能にする。
【選択図】　図２Ｄ

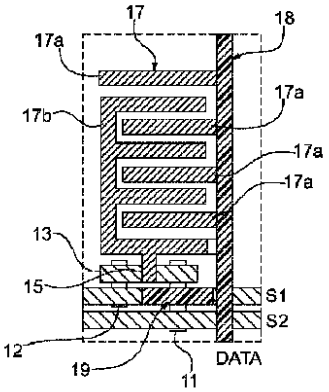

FIG. 2D

【特許請求の範囲】
【請求項１】
面内スイッチング液晶サブピクセル回路であって、
第１および第２のアモルファス金属非線形抵抗であって、当該抵抗の各々はアモルファス金属薄膜を有する下部電極インターコネクトを備えるものである、前記第１および第２のアモルファス金属非線形抵抗と、
アモルファス金属薄膜を有する下部キャパシタ電極を備える保持容量と
を有し、
前記下部電極インターコネクトおよび前記下部キャパシタ電極は同じ平面内に設けられるものである、
面内スイッチング液晶サブピクセル回路。
【請求項２】
請求項１記載の面内スイッチング液晶サブピクセル回路において、前記下部電極インターコネクトおよび前記下部キャパシタ電極の前記アモルファス金属薄膜は、約５０ｎｍまたはそれ未満の厚さを有するものである面内スイッチング液晶サブピクセル回路。
【請求項３】
請求項１または２記載の面内スイッチング液晶サブピクセル回路において、
前記下部電極インターコネクトおよび前記下部キャパシタ電極の上部に設けられた誘電体層を有し、
前記保持容量は、前記下部キャパシタ電極の上部に設けられたデータ信号インターコネクトを有し、前記下部キャパシタ電極と前記データ信号インターコネクトとの間に前記誘電体層の一部が設けられることにより、前記データ信号インターコネクト、前記下部キャパシタ電極、および前記誘電体層の一部が協動して前記保持容量を提供するものである
面内スイッチング液晶サブピクセル回路。
【請求項４】
請求項３記載の面内スイッチング液晶サブピクセル回路において、
前記誘電体層の上部の平面内に設けられた２つの液晶キャパシタ電極を有し、
前記液晶キャパシタ電極および前記データ信号インターコネクトは、同じ平面内に設けられるものである
面内スイッチング液晶サブピクセル回路。
【請求項５】
請求項４記載の面内スイッチング液晶サブピクセル回路において、
前記アモルファス金属非線形抵抗間に電気接続された上部コンタクトを有し、当該上部コンタクトは、前記液晶キャパシタ電極のうち選択された１つに電気接続されるものである
面内スイッチング液晶サブピクセル回路サブピクセル回路。
【請求項６】
請求項３～５のいずれか１つに記載の面内スイッチング液晶サブピクセル回路サブピクセル回路において、
前記誘電体層の上部に設けられた結晶性金属を有する少なくとも１つの選択ラインであって、当該少なくとも１つの選択ラインは、間隙が介設された第１および第２のセグメントを有し、前記アモルファス金属非線形抵抗のうち選択された１つの前記下部電極は、前記第１および第２のセグメント間の前記間隙内に配置されるものである、前記少なくとも１つの選択ラインと、
前記選択ラインの前記第１および第２のセグメントに電気接続され、前記選択されたアモルファス金属非線形抵抗の前記下部電極の上部に設けられたインターコネクト・ブリッジと
を有するものである面内スイッチング液晶サブピクセル回路。
【請求項７】
請求項６記載の面内スイッチング液晶サブピクセル回路において、前記インターコネク

ト・ブリッジは、前記第１および第２のセグメントから前記液晶キャパシタ電極の前記平面に延出するものである面内スイッチング液晶サブピクセル回路。
【請求項８】
請求項１～７のいずれか１つに記載の面内スイッチング液晶サブピクセル回路のアレイであって、前記第１および第２のアモルファス金属非線形抵抗の前記下部電極インターコネクトの上部に設けられたトンネル障壁層を有するものである
面内スイッチング液晶サブピクセル回路のアレイ。
【請求項９】
請求項６～８のいずれか１つに記載の面内スイッチング液晶サブピクセル回路のアレイであって、行列マトリックスに配置され、各サブピクセルの液晶キャパシタ電極に印加される電場を独立して制御するように構成されていることにより、マトリックス行に沿って、前記インターコネクト・ブリッジの位置が、前記液晶キャパシタ電極の下部に物理的に配置された選択ラインから前記液晶キャパシタ電極の上部に物理的に配置された選択ラインへ切り替えられ、次に、前記液晶キャパシタの下部に物理的に位置する前記選択ラインへ戻って交互に切り替えられるものである、
面内スイッチング液晶サブピクセル回路のアレイ。
【請求項１０】
請求項１～８のいずれか１つに記載の面内スイッチング液晶サブピクセル回路のアレイであって、行列マトリックスに配置され、各サブピクセルの液晶キャパシタ電極に印加される電場を独立して制御するように構成されている、サブピクセル回路のアレイ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、１つの観点において、ピクセル内の基板に平行な液晶材料の偏光を変調するため使用されるピクセルのマトリックスを有する液晶ディスプレイ・バックプレーンの実現に関する。本発明の能動素子（ａｃｔｉｖｅ　ｄｅｖｉｃｅ）は、各ピクセルの液晶偏光の制御を可能にし、ひいてはピクセル輝度の制御を可能にするアモルファス金属薄膜非線形抵抗を含むことができる。
【背景技術】
【０００２】
面内スイッチング（ｉｎ－ｐｌａｎｅ　ｓｗｉｔｃｈｉｎｇ：ＩＰＳ）サブピクセル回路を使用した液晶ディスプレイ（ｌｉｑｕｉｄ　ｃｒｙｓｔａｌ　ｄｉｓｐｌａｙ：ＬＣＤ）は、現在、最先端の技術であると考えられている。ＩＰＳ　ＬＣＤは、従来の垂直配列（ｖｅｒｔｉｃａｌ　ａｌｉｇｎｍｅｎｔ：ＶＡ）方式のＬＣＤサブピクセル回路と比べて、視野角および動作速度において利点がある。ＩＰＳとＶＡ　ＬＣＤサブピクセル回路の主な違いは、２つの電極（すなわち、サブピクセル電極）の相対位置にあり、当該２電極の間に介在する液晶材料に電場が印加され液晶材料を偏光させる。液晶材料が偏光される度合いにより、バックプレーンを透過する光量が制御される。バックプレーンによる光透過量の制御が、ＬＣＤ上にデジタル画像を生成する手段となる。ＩＰＳ方式のサブピクセル回路では、どちらの電極も基板（すなわち、バックプレーン）上に位置する一方、ＶＡ方式のサブピクセル回路では、一方の電極がバックプレーン上にあり、他方の電極は第２の基板（すなわち、カラーフィルター（ｃｏｌｏｒ　ｆｉｌｔｅｒ：ＣＦ））上にある。本ＩＰＳ　ＬＣＤ技術では、バックプレーン上に位置する薄膜トランジスタ（ｔｈｉｎ－ｆｉｌｍ　ｔｒａｎｓｉｓｔｏｒ：ＴＦＴ）を使って、サブピクセル電極間にかかる電場の大きさを制御し、転じてＩＰＳ　ＬＣＤ上のデジタル画像を制御する。
【０００３】
ＬＣＤバックプレーンはガラス基板であり、その上に能動素子と導電層と絶縁層とが作製され、当該バックプレーンと別のガラス層間にある液晶材料を精確に偏光させて液晶ディスプレイ上の画像を制御する。第２のガラス層は、特定の実施形態においてカラーフィルターガラス（ｃｏｌｏｒ　ｆｉｌｔｅｒ　ｇｌａｓｓ：ＣＦ）として知られており、カ

ラーフィルターの位置に、サブピクセルごとに１つずつあり、カラー画像を生成するため使用される。現在、好適なバックプレーンの能動素子は薄膜トランジスタ（ＴＦＴ）であり、ＴＦＴは順次積層されパターニングされた薄膜層から成る半導体ベースの素子である。ＴＦＴに使用される薄膜半導体材料には多くの制限があり、その制限としては、低いキャリア移動度、光と温度への感受性、ならびに性能および製造コスト上の問題を生じる製造の複雑さなどがある。そのため、そのような制限、例えば本明細書に開示した制限を克服する新たな装置は、現在の技術水準を前進させるものである。

【発明の概要】

【課題を解決するための手段】

【０００４】

アモルファス金属非線形抵抗（Ａｍｏｒｐｈｏｕｓ ｍｅｔａｌ ｎｏｎ－ｌｉｎｅａｒ ｒｅｓｉｓｔｏｒｓ：ＡＭＮＲ）は、半導体材料を使用せず、したがって、ＡＭＮＲベースのＬＣＤバックプレーンはＴＦＴベースのＬＣＤバックプレーンに伴う性能およびコストの問題を克服できることから、本発明の回路に使用することが特に望ましい。（ＡＭＮＲｓについては、公開済みＰＣＴ国際出願第ＷＯ２０１４０７４３６０および米国特許第９，０９９，２３０号においてさらに詳しく説明されており、この参照によりそれらの全体が本明細書に組み込まれる。）そのため、ＡＭＮＲベースのＬＣＤバックプレーンは、当該技術に重要な進歩をもたらす。例えば、ＬＣＤバックプレーン基板の平面内の液晶材料の偏光を変調するピクセル電極を使った面内スイッチング（ｉｎ－ｐｌａｎｅ ｓｗｉｔｃｈｉｎｇ：ＩＰＳ）は、画質の点でＬＣＤの性能を向上させた。ＩＰＳ ＬＣＤバックプレーンで能動素子としてＡＭＮＲｓを使用すると、単純な材料および工程で高性能なＬＣＤを製造できるため、製造コストを削減できる。

【０００５】

そのため、本発明は、その観点の１つにおいて、液晶ディスプレイ・バックプレーンにおける、ＡＭＮＲｓを含むことができる面内スイッチング用サブピクセル回路に関し、またそのような回路を製造する方法に関する。特に、アモルファス金属薄膜をパターニングすることにより、２若しくはそれ以上のＡＭＮＲｓおよび保持容量の下部電極の各々に、単一層で、電気的相互接続部（インターコネクト）を提供することができる。

【０００６】

付加的な一観点において、本発明は、２つのＡＭＮＲｓと、前記ＡＭＮＲアモルファス金属インターコネクトと同時に成膜されたＡＭＴＦ下部電極を有する保持容量とを使用するサブピクセル回路を製造する方法を提供する。前記サブピクセル回路は、当該回路を物理的に実現するため使用される材料を支持する基板上に設けられる。また、このサブピクセル回路は、同じ物理平面内に位置する２電極間に設けられた液晶材料全体にわたり、基板に平行な電場を印加することを可能とする。本書で説明する例示的な製造方法を通じ、本発明は、ＬＣＤに画像を生成するよう独立して制御できるアドレス指定可能なピクセル・マトリックスに、本明細書で説明するサブピクセル回路のインターコネクトを提供することができる。本明細書で説明する例示的な製造工程は、半導体ベースのＴＦＴバックプレーン製造コストと比べて製造コストが削減されるＩＰＳ方式ＬＣＤが生産可能なＬＣＤバックプレーンの製造手段をもたらす。製造コストの削減は、より少ない工程段階、より単純な工程段階、および半導体成分の排除から得られる結果である。

【図面の簡単な説明】

【０００７】

本発明の例示的な実施形態に関する以上の要約および以下の詳細な説明は、添付の図面と併せて読むとさらに理解が深まるであろう。

【図１】図１は、面内スイッチング液晶ディスプレイ・サブピクセル回路の集中素子モデルを示した図である。

【図２Ａ】図２Ａ～２Ｄは、図１のモデルに対応した物理的装置を形成する例示的な工程を概略的に示した図であり、図中、当該装置は、２つのアモルファス金属非線形抵抗と、同時に成膜およびパターニングされたＡＭＴＦ第１層とともに形成された保持容量とを備

えたデュアル選択面内スイッチングＬＣＤサブピクセル回路を含む。
【図２Ｂ】図２Ａ～２Ｄは、図１のモデルに対応した物理的装置を形成する例示的な工程を概略的に示した図であり、図中、当該装置は、２つのアモルファス金属非線形抵抗と、同時に成膜およびパターニングされたＡＭＴＦ第１層とともに形成された保持容量とを備えたデュアル選択面内スイッチングＬＣＤサブピクセル回路を含む。
【図２Ｃ】図２Ａ～２Ｄは、図１のモデルに対応した物理的装置を形成する例示的な工程を概略的に示した図であり、図中、当該装置は、２つのアモルファス金属非線形抵抗と、同時に成膜およびパターニングされたＡＭＴＦ第１層とともに形成された保持容量とを備えたデュアル選択面内スイッチングＬＣＤサブピクセル回路を含む。
【図２Ｄ】図２Ａ～２Ｄは、図１のモデルに対応した物理的装置を形成する例示的な工程を概略的に示した図であり、図中、当該装置は、２つのアモルファス金属非線形抵抗と、同時に成膜およびパターニングされたＡＭＴＦ第１層とともに形成された保持容量とを備えたデュアル選択面内スイッチングＬＣＤサブピクセル回路を含む。
【図３Ａ】図３Ａ～３Ｃは、図２Ｄの装置の断面図を概略的に示した図であり、図３Ｂは経路Ａ－Ｂ－Ｃに沿った断面を示し、図３Ｃは経路３Ｃ－３Ｃに沿った断面を示している。
【図３Ｂ】図３Ａ～３Ｃは、図２Ｄの装置の断面図を概略的に示した図であり、図３Ｂは経路Ａ－Ｂ－Ｃに沿った断面を示し、図３Ｃは経路３Ｃ－３Ｃに沿った断面を示している。
【図３Ｃ】図３Ａ～３Ｃは、図２Ｄの装置の断面図を概略的に示した図であり、図３Ｂは経路Ａ－Ｂ－Ｃに沿った断面を示し、図３Ｃは経路３Ｃ－３Ｃに沿った断面を示している。
【図４Ａ】図４Ａ～４Ｂは、個々のサブピクセルを接続して、行および列反転で独立してアドレス指定可能なサブピクセルのマトリックスを形成できる手段を概略的に示した図である。
【図４Ｂ】図４Ａ～４Ｂは、個々のサブピクセルを接続して、行および列反転で独立してアドレス指定可能なサブピクセルのマトリックスを形成できる手段を概略的に示した図である。
【図５Ａ】図５Ａ～５Ｄは、列反転なしのデュアル選択ＩＰＳ　ＬＣＤサブピクセル回路を形成する例示的な工程を概略的に示した図であり、この回路は、２つのＡＭＮＲｓと、４つのフォトリソグラフィ・パターニング・マスクを使った例示的な工程により同時に成膜およびパターニングされたＡＭＴＦ第１層とともに形成された保持容量とを備えている。
【図５Ｂ】図５Ａ～５Ｄは、列反転なしのデュアル選択ＩＰＳ　ＬＣＤサブピクセル回路を形成する例示的な工程を概略的に示した図であり、この回路は、２つのＡＭＮＲｓと、４つのフォトリソグラフィ・パターニング・マスクを使った例示的な工程により同時に成膜およびパターニングされたＡＭＴＦ第１層とともに形成された保持容量とを備えている。
【図５Ｃ】図５Ａ～５Ｄは、列反転なしのデュアル選択ＩＰＳ　ＬＣＤサブピクセル回路を形成する例示的な工程を概略的に示した図であり、この回路は、２つのＡＭＮＲｓと、４つのフォトリソグラフィ・パターニング・マスクを使った例示的な工程により同時に成膜およびパターニングされたＡＭＴＦ第１層とともに形成された保持容量とを備えている。
【図５Ｄ】図５Ａ～５Ｄは、列反転なしのデュアル選択ＩＰＳ　ＬＣＤサブピクセル回路を形成する例示的な工程を概略的に示した図であり、この回路は、２つのＡＭＮＲｓと、４つのフォトリソグラフィ・パターニング・マスクを使った例示的な工程により同時に成膜およびパターニングされたＡＭＴＦ第１層とともに形成された保持容量とを備えている。
【図６Ａ】図６Ａ～６Ｂは、列反転に対応しないＡＭＮＲベースのＩＰＳ　ＬＣＤサブピクセル回路の例示的な実施態様と、経路Ａ－Ｂ－Ｃに沿った断面とを概略的に示した図で

あり、データ信号インターコネクトとの間に保持容量が形成され、当該保持容量はアモルファス金属下部電極を有する。
【図６Ｂ】図６Ａ～６Ｂは、列反転に対応しないＡＭＮＲベースのＩＰＳ　ＬＣＤサブピクセル回路の例示的な実施態様と、経路Ａ－Ｂ－Ｃに沿った断面とを概略的に示した図であり、データ信号インターコネクトとの間に保持容量が形成され、当該保持容量はアモルファス金属下部電極を有する。
【図７Ａ】図７Ａ～７Ｂは、個々のサブピクセルを接続して、列反転を伴わず行反転で独立してアドレス指定可能なサブピクセルのマトリックスを形成できる手段を概略的に示した図である。
【図７Ｂ】図７Ａ～７Ｂは、個々のサブピクセルを接続して、列反転を伴わず行反転で独立してアドレス指定可能なサブピクセルのマトリックスを形成できる手段を概略的に示した図である。
【発明を実施するための形態】
【０００８】
ここで図を参照すると、図面全体にわたり同様な要素は同様な参照番号で表されており、本発明に係る例示的な装置および方法が、液晶ディスプレイバックプレーンにおける面内スイッチングについて示されている。このような装置および方法は、通常、アモルファス金属非線形抵抗（ａｍｏｒｐｈｏｕｓ　ｍｅｔａｌ　ｎｏｎ－ｌｉｎｅａｒ　ｒｅｓｉｓｔｏｒｓ：ＡＭＮＲｓ）を含み、ＡＭＮＲｓは対称的な電流－電圧（ＩＶ）特性を有する２端子素子として説明できる。例えば、図１は、サブピクセル回路８の非限定的で例示的な集中素子図を概略的に例示したものであり、２つのＡＭＮＲｓ　５を使用すると、キャパシタ６に電場をかけて液晶材料ＬＣを精確に偏光させることができる。破線内の領域８は、サブピクセルの物理的な素子を示す。前記キャパシタ６は、ノードＡおよびＢに電気接続された電極２、３を含み、これら電極２、３間には液晶材料ＬＣから成る誘電体が配置される。前記電極２、３は、バックプレーン基板と同じ物理平面内に設けられた酸化インジウムスズ（ｉｎｄｉｕｍ　ｔｉｎ　ｏｘｉｄｅ：ＩＴＯ）を有し、ノードＡおよびＢは、当該サブピクセル回路８により制御されるサブピクセルのデータおよび選択ノードとすることができる。保持容量（ｓｔｏｒａｇｅ　ｃａｐａｃｉｔｏｒ）７は、前記液晶キャパシタ６に並列に電気接続して、当該サブピクセル回路８に動作上の利点をもたらすことができる。この保持容量は、前記液晶キャパシタ６で電圧を保持することにより、この液晶キャパシタ６の電圧依存容量および漏れの影響を軽減する。
【０００９】
液晶材料は液晶材料にかけられた電場に応じて配向を変える長い分子であり、すなわち、液晶材料は電場により偏光される。したがって、偏光は、液晶分子が物理的に動く、より正確には回転する物理過程である。液晶材料は、同じ方向へ何度も繰り返し回転すると、その同じ方向における回転への抵抗が小さくなる。回転抵抗が低下すると、同じ大きさの電場をかけたときの液晶材料の偏光の大きさが変化してしまい、これは望ましくない効果である。偏光の大きさが変わらないようにするには、液晶材料にかけられる電場の極性を定期的に変更、より正確には、反転させる。本書で説明する本発明の一定の非限定的な実施形態において、ＩＰＳ　ＬＣＤサブピクセルのアレイへの印加電場の反転はアレイの行および列どちらによっても可能である。アレイの行を順次反転させるだけでなくアレイの列も順次反転させる方式は、当業者からドット反転と呼ばれている。本書で説明する本発明のもう１つの非限定的な実施形態は、当業者から列反転と呼ばれるもので、ＩＰＳ　ＬＣＤサブピクセルアレイを列ごとに順次反転させる一方、列方向の反転は行わない。
【００１０】
図２Ａ～３Ｃは、図１に示した回路モデルに対応する面内スイッチング（ＩＰＳ）ＩＰＳサブピクセル回路を製造するための非限定的で例示的な工程を概略的に例示したものである。（図２Ａ～２Ｄの破線枠内の領域は、図１の枠領域に対応する。）図２Ａ～３Ｃに示す例示的な工程シーケンスでは、５つのパターニング工程を採用する高精細度および超高精細度のＩＰＳ　ＬＣＤテレビジョン受信機の量産に関する現行の技術水準と比べて優

位性のある４つの材料層のパターニングを採用する。また、この例示的な工程では、隣接しあうサブピクセルの極性についてドット反転の使用が可能になる。

【００１１】

まず、厚さ５０ｎｍ未満のアモルファス金属薄膜（ａｍｏｒｐｈｏｕｓ　ｍｅｔａｌ　ｔｈｉｎ　ｆｉｌｍ：ＡＭＴＦ）を成膜し、同時に、前記保持容量７の下部電極１０へとパターニングし、２つのＡＭＮＲ下部インターコネクト１１、１２へとパターニングする。前記ＡＭＮＲ下部インターコネクト１１、１２は、ピクセルマトリックス内のピクセルをアドレス指定する第１および第２の行選択ラインを提供する。ＡＭＴＦ層は、成膜時にＲＭＳ粗さ０．５ｎｍ未満と超平滑にすることができる。前記ＡＭＴＦ電極１０およびインターコネクト１１、１２のこの超平滑な、すなわちＲＭＳ　０．５ｎｍ未満の表面形態により、下部電極１０を有する前記保持容量７および／または下部インターコネクト１１、１２を有するＡＭＮＲｓ　５に電場を精確に印加する能力が得られる。前記電極１０およびインターコネクト１１、１２を提供するための前記ＡＭＴＦパターニング後には、金属酸化物、金属窒化物、半導体酸化物、または半導体窒化物を有し、かつこれらに限定されない、パターニングされていない誘電体層を前記電極１０およびインターコネクト１１、１２上に成膜してトンネル障壁３２を設ける（図３Ｂ）。

【００１２】

次に、結晶性金属薄膜または２若しくはそれ以上の結晶性金属薄膜の積層体を有し、かつこれらに限定されない層を、前記トンネル障壁３２上に成膜できる。次に、前記積層された結晶性金属薄膜、または結晶性金属薄膜の積層体をパターニングして、選択ライン・インターコネクトＳ１、Ｓ２および選択インターコネクト・ノード１３（図１のノードＡに対応する）を前記選択ラインＳ１、Ｓ２間に形成することができる（図２Ｂ、３Ｂ）。

【００１３】

金属酸化物、金属窒化物、半導体酸化物、または半導体窒化物を有し、かつこれらに限定されない絶縁性の誘電体層３４は、前記パターニングした選択ラインＳ１、Ｓ２およびインターコネクト・ノード１３上に成膜できる。前記絶縁層３４は、前記保持容量７の第２の誘電体層として、前記ＡＭＮＲｓ　５用の保護層として、および前記選択ラインＳ１、Ｓ２の上部および次いで積層される金属膜の下部に位置する中間層誘電体（ｉｎｔｅｒ－ｌａｙｅｒ　ｄｉｅｌｅｃｔｒｉｃ：ＩＬＤ）として機能する。次に、前記誘電体層３４に穴をパターニングして、保持容量コンタクト１４と、選択インターコネクト・ノード・コンタクト１５と、選択ライン・ブリッジ・コンタクト１６とを設ける（図２Ｃ）。

【００１４】

最後に、前記誘電体層３４上に最上層の金属積層体を成膜する。その積層体の第１の層３７は、透明な導電性酸化物、例えば酸化インジウムスズ（ＩＴＯ）層３７を含むことができる。このＩＴＯ層３７は、図１に例示した液晶キャパシタ６に対応するＩＰＳ液晶キャパシタ１７の電極１７ａ、１７ｂを形成する。前記金属積層体の後続層３６は、前記ＩＴＯ層３７上に順次成膜していくことができ、結晶性金属薄膜または２若しくはそれ以上の結晶性金属薄膜の積層体のどちらかを有する。前記結晶性金属薄膜または前記２若しくはそれ以上の結晶性金属薄膜の積層体は、前記ＩＴＯ層３７とともに、データ信号インターコネクト１８および選択ラインブリッジ１９を提供し、これにより列反転が実施可能になる。前記ＡＭＮＲｓ　５の前記下部インターコネクト１１、１２は第１および第２の列選択ラインを提供するため、前記ＡＭＮＲｓ　５による行選択と、前記選択ラインブリッジ１９による列反転との組み合わせにより、ＩＰＳ　ＬＣＤのドット反転が実現される。前記データ信号インターコネクト１８と前記ＩＴＯ液晶キャパシタ１７間のコンタクトは、前記データ信号インターコネクト１８を直接前記ＩＴＯ液晶キャパシタ層１７上に順次成膜することにより作製できる。そのため、図２Ａ～３Ｃの構造を図１の構造と関連付けると、図１の前記保持容量７は、前記下部電極１０と、前記トンネル障壁３２と、前記絶縁層３４と、前記データ信号インターコネクト１８との組み合わせにより実現されて、保持容量２０をもたらすことがわかる（図３Ｃ）。同様に、図１の一方のＡＭＮＲ　５は、前記インターコネクト１２と、前記トンネル障壁３２と、前記選択ラインＳ１と、前記選

択インターコネクト・ノード１３との組み合わせにより、図１の他方のＡＭＮＲ　５は、前記インターコネクト１１と、前記トンネル障壁３２と、前記選択ラインＳ２と、前記選択インターコネクト・ノード１３との組み合わせにより実現されることがわかる。

【００１５】

本発明の特定の実施形態において、最上層の金属積層体をパターニングする工程シーケンスは、マルチトーン露光工程を使用できるが、これに限定されるものではない。この工程により、１つのフォトリソグラフィ・マスクで、前記ＩＰＳ液晶キャパシタ１７と、データ信号インターコネクト１８と、前記選択ラインブリッジ１９との形成が可能になる。

【００１６】

本書で説明する本発明の別の一実施形態において、前記ＩＴＯ層３７とそれに続いて積層される１または複数の結晶性金属層３６をエッチングするため使用される化学反応は、前記ＩＴＯまたは前記結晶性金属層だけをエッチングするよう設計できる。そのため、前記説明したエッチング化学反応は、それによりエッチングされる層に対して選択的であると定義できる。選択的なエッチング化学反応を使うと、マルチトーンフォトリソグラフィ・パターニング技術の有効性を高めることができ、また別個に２つのマスキング層を使用することができる。

【００１７】

図３Ａ～３Ｃは、図２Ｄの装置の断面図を概略的に例示したものである。経路Ａ－Ｂ－Ｃに沿った断面図は、選択ラインＳ２および選択インターコネクト・ノード１３を有する前記ＡＭＮＲ　５上部の前記選択ラインブリッジ１９の経路を示している。前記ＩＴＯの抵抗は結晶性金属より高いため、前記結晶性金属または結晶性金属積層体３６を前記選択ラインブリッジ１９に組み込むことで前記選択ラインの抵抗を低く保つことは重要である。前記ＩＬＤ（誘電体層３４）の２つのコンタクトホール１６は、前記選択ラインブリッジ１９を前記選択ラインＳ１に接続する手段をもたらす。点３Ｃ～３Ｃを通る断面図は、前記液晶キャパシタ１７の前記ＩＴＯ電極の１つ１７ｂを前記保持容量２０に接続する手段を例示している。前記ＩＴＯまたは保持容量コンタクト１４は、前記ＩＬＤ　３４および前記トンネル障壁３２の双方によりパターニングでき、前記液晶キャパシタ電極１７ｂの前記ＩＴＯと前記保持容量下部電極１０との接触を可能にする。

【００１８】

保持容量領域は、前記保持容量ＡＭＴＦ下部電極１０および前記データ信号インターコネクト１８がオーバーラップする部分により画成される。したがって、保持容量領域は、前記ＡＭＴＦ下部電極１０の寸法および／または前記データ信号インターコネクト１８が前記ＡＭＴＦ下部電極１０とオーバーラップする寸法により容易に調整できる。また、前記保持容量２０は、前記データ信号インターコネクト１８の下に位置するため、前記ＩＰＳ　ＬＣＤサブピクセルを透過する光量を大幅に減少しない。ＩＰＳ　ＬＣＤサブピクセルを透過する光のパーセンテージは、サブピクセル設計において重要な考慮事項である。そのため、ＡＭＮＲベースのＩＰＳ　ＬＣＤサブピクセル内に保持容量２０を作製するための本開示で説明する製造手順は、光透過量に重要な貢献をしている。

【００１９】

本明細書で説明するＡＭＮＲｓを使ったＩＰＳ　ＬＣＤサブピクセルは、図４Ａ～４Ｂに示すようにアレイへと接続できる。図４Ａの破線内の領域は図２Ｄの破線内の領域に対応し、図４Ｂの破線内の領域は図１の破線内の領域に対応する。前記選択ラインの連続したペア、例えば$S1_i$および$S2_i$、次に$S1_{i+1}$および$S2_{i+1}$の極性の正負を交互に切り替えると、行反転を行うことができる。前記選択ラインブリッジ１９を使うと、連続したデータ信号列D_i、D_{i+1}が、サブピクセルの行にわたり交互に異なる極性を有するようにでき、列反転を行える。行反転および列反転の組み合わせがドット反転につながる。図４Ｂでは前記液晶キャパシタ１７に適用されるデータ信号の極性を＋および－で示しており、ドット反転を概略的に表現している。ドット反転（ＩＰＳ　ＬＣＤテレビジョン受信機における現在最善の方法）は、本明細書で説明する本発明に係る４つのパターニング工程を使ったＡＭＮＲベースのサブピクセルを使うと容易に達成される。

【００２０】
本書で説明する本発明の一定の実施形態において、列反転を伴わない行反転、すなわちドット反転は、ＩＰＳ　ＬＣＤに十分な画質をもたらす。図５Ａ～５Ｄは、列反転を伴わないＡＭＮＲベースのＩＰＳ　ＬＣＤサブピクセルを作製するため使用される例示的で非限定的な製造工程段階のシーケンスを概略的に例示したものである。図５Ａ～５Ｄの破線枠内の領域は、図１の枠領域に対応する。
【００２１】
まず、厚さ５０ｎｍ未満のアモルファス金属薄膜（ＡＭＴＦ）を成膜し、下部電極５１０へとパターニングして２つのＡＭＮＲ下部インターコネクト５１１、５１２へとパターニングでき、これらＡＭＮＲ下部インターコネクトのうち一方は選択ラインＳ２５用で、他方は選択ラインＳ１５用である。本書で説明する本発明の一定の実施形態では、列反転を必要とすることなく、選択ラインＳ１５および選択ラインＳ２５をＩＰＳ　ＬＣＤサブピクセルの対辺に配置できるため、選択ラインブリッジは不要である。前記選択ラインブリッジの排除により、前記サブピクセル内のコンタクトホール数が４コンタクトから３コンタクトへと減り、これは利点でもある。上述したＡＭＴＦパターニングののち、金属酸化物、金属窒化物、半導体酸化物、または半導体窒化物から成り、かつこれらに限定されない、パターニングされていない誘電体層を前記パターニングしたＡＭＴＦインターコネクト５１１、５１２および保持容量下部電極５１０上に順次成膜してトンネル障壁５３２を設けることができる（図６Ｂ）。
【００２２】
次に、結晶性金属薄膜または２若しくはそれ以上の結晶性金属薄膜の積層体から成り、かつこれらに限定されない層を、前記トンネル障壁５３２上に成膜できる。次に、前記積層された結晶性金属薄膜、または結晶性金属薄膜の積層体の層をパターニングして、選択ライン・インターコネクトＳ１５、Ｓ２５および選択インターコネクト・ノード５１３を図１のノードＡに対応する前記選択ライン間に形成することができる。ドット反転を提供しないサブピクセルにおいて、選択インターコネクト・ノードは２つあってよい。
【００２３】
金属酸化物、金属窒化物、半導体酸化物、または半導体窒化物から成り、かつこれらに限定されない絶縁性の誘電体層５３４は、前記パターニングした選択ラインＳ１５、Ｓ２５およびインターコネクト・ノード５１３上に成膜できる（図６Ｂ）。前記絶縁層５３４は、前記保持容量５２０の第２の誘電体層として、前記ＡＭＮＲｓ　５１１、５１２用の保護層として、および前記選択ラインＳ１５、Ｓ２５の上部および次いで積層される金属膜の下部に位置する中間層誘電体（ＩＬＤ）として機能できる。次に、保持容量コンタクト５１４および選択インターコネクト・ノード・コンタクト５１５として、前記ＩＬＤに穴をパターニングすることができる。
【００２４】
その後、前記ＩＬＤ上に最上層の金属積層体を成膜できる。その積層体の第１の層５３７は、透明な導電性酸化物、すなわち酸化インジウムスズ（ＩＴＯ）とすることができる。このＩＴＯ層５３７は、図１に例示した液晶キャパシタ６に対応するＩＰＳ液晶キャパシタ５１７の電極５１７ａ、５１７ｂを形成できる。前記金属積層体の後続層５３６は、前記ＩＴＯ層５３７上に順次成膜していくことができ、結晶性金属薄膜または２若しくはそれ以上の結晶性金属薄膜の積層体のどちらかを有することができる。前記結晶性金属薄膜５３６または前記２若しくはそれ以上の結晶性金属薄膜の積層体は、前記ＩＴＯ層５３７とともに、データ信号インターコネクト５１８を提供できる。前記データ信号インターコネクト５１８と前記ＩＴＯ液晶キャパシタ５１７間のコンタクトは、前記データ信号インターコネクト層５３６を直接前記ＩＴＯ液晶キャパシタ層５３７上に順次成膜することにより作製できる。
【００２５】
本発明の特定の実施形態において、最上層の金属積層体をパターニングする工程シーケンスは、マルチトーン露光工程を使用できるが、これに限定されるものではない。この工

程により、１つのフォトリソグラフィ・マスクで、前記ＩＰＳ液晶キャパシタ５１７およびデータ信号インターコネクト５１８の形成が可能になる。

【００２６】

本書で説明する本発明の別の一実施形態において、前記ＩＴＯ層５３７とそれに続いて積層される１または複数の結晶性金属層をエッチングするため使用される化学反応は、前記ＩＴＯまたは前記結晶性金属層だけをエッチングするよう設計できる。そのため、前記説明したエッチング化学反応は、それによりエッチングされる層に対して選択的であると定義できる。選択的なエッチング化学反応を使うと、マルチトーンフォトリソグラフィ・パターニング技術の有効性を高めることができ、また別個に２つのマスキング層を使用することができる。

【００２７】

保持容量領域は、前記保持容量ＡＭＴＦ下部電極５１０および前記データ信号インターコネクト５１８がオーバーラップする部分により画成される。したがって、保持容量領域は、前記ＡＭＴＦ下部電極５１０の寸法および／または前記データ信号インターコネクト５１８が前記ＡＭＴＦ下部電極５１０とオーバーラップする領域により容易に調整できる。また、前記保持容量５２０は、前記データ信号インターコネクト５１８の下に位置するため、前記ＩＰＳ　ＬＣＤサブピクセルを透過する光量を大幅に減少しない。ＩＰＳ　ＬＣＤサブピクセルを透過する光のパーセンテージは、サブピクセル設計において重要な考慮事項である。そのため、ＡＭＮＲベースのＩＰＳ　ＬＣＤサブピクセル内に保持容量を作製するための本開示で説明する製造手順は、光透過量に重要な貢献をしている。

【００２８】

図６Ａ～６Ｂで提供したレイアウトおよび断面図は、構成要素５１０、５１１、５１２を含む下部ＡＭＴＦ層と、データ信号インターコネクト５１８とのオーバーラップにより形成される保持容量５２０が、ドット反転を可能にする前記ＡＭＮＲベースのＩＰＳ　ＬＣＤサブピクセル（例えば、図４Ａ、４Ｂ）および行反転だけを可能にする前記ＡＭＮＲベースのＩＰＳ　ＬＣＤサブピクセル（例えば、図５Ｄ）の対比と同様であることを例示している。前記液晶キャパシタ５１７の前記選択信号ＩＴＯ電極５１７ｂと、前記保持容量下部電極５１０との間の接続は、前記ＩＬＤ層５３４および前記トンネル障壁層５３２を通過するコンタクト５１４により行われる（図６Ｂ）。

【００２９】

図７Ａ～７Ｂは、ドット反転ではなく行反転を可能にするＡＭＮＲベースのＩＰＳ　ＬＣＤサブピクセルのアレイを概略的に表したものである。この例示的なアレイに選択ラインブリッジはなく、サブピクセル用の選択ラインＳ１$_i$、Ｓ２$_i$は当該サブピクセルの対辺に位置する。回路図アレイでは、前記サブピクセルの極性を＋および－で表している。

【００３０】

以上に述べた本発明の利点等は、当業者であれば、本明細書の上記説明から明確に理解されるであろう。そのため、当業者であれば、本発明の広義の発明概念を逸脱しない範囲で上記の実施形態を変更または修正できることが理解されるであろう。したがって、本発明は本明細書に説明した特定の実施形態に限定されず、添付の請求項に記載した本発明の要旨に含まれるすべての変更形態を含むよう意図されていると理解すべきである。

【図１】

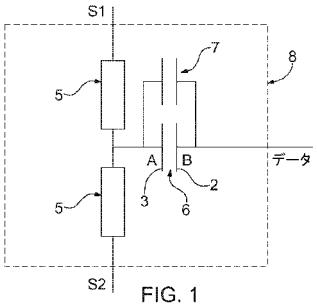

FIG. 1

【図２Ａ】

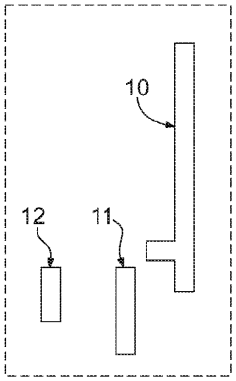

FIG. 2A

【図２Ｂ】

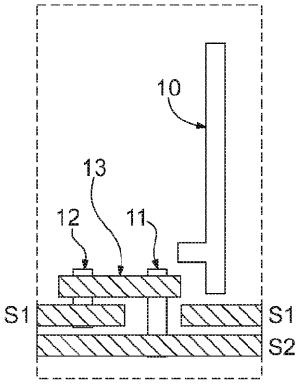

FIG. 2B

【図２Ｃ】

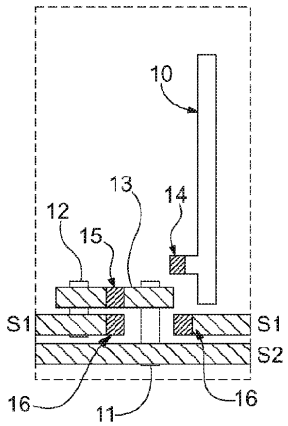

FIG. 2C

【図２Ｄ】

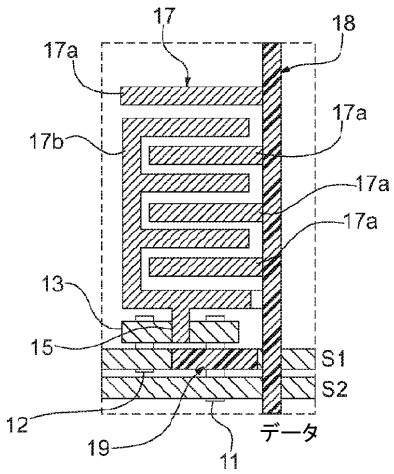

FIG. 2D

【図３Ａ】

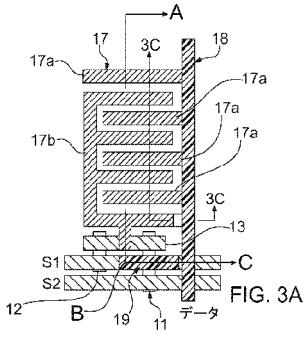

FIG. 3A

【図３Ｂ】

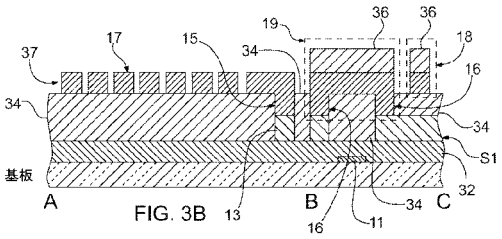

FIG. 3B

【図３Ｃ】

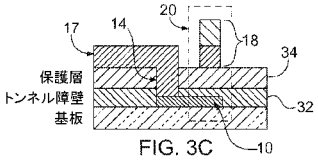

FIG. 3C

【図４Ａ】

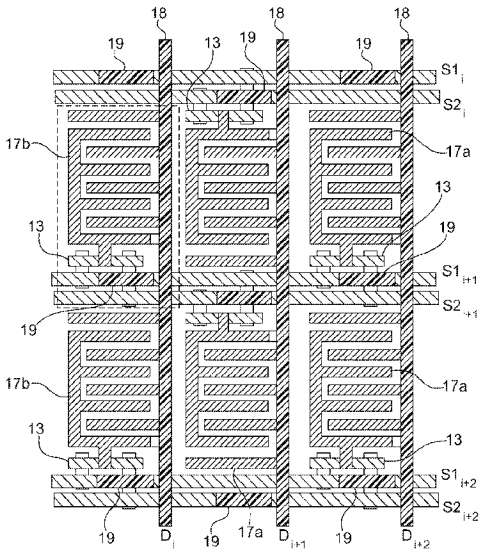

FIG. 4A

【図４Ｂ】

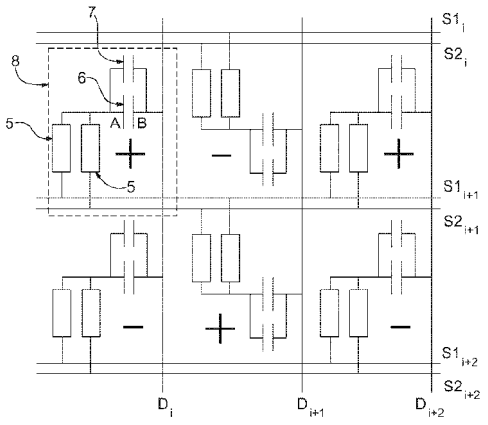

FIG. 4B

【図５Ａ】

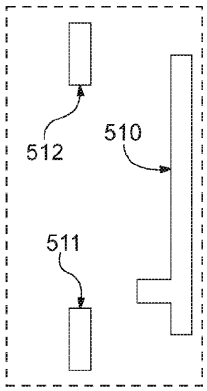

FIG. 5A

【図５Ｂ】

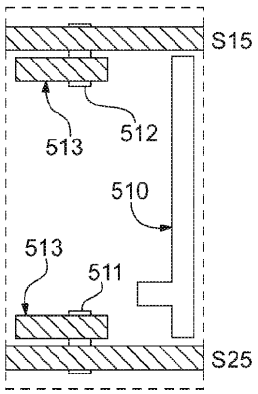

FIG. 5B

【図５Ｃ】

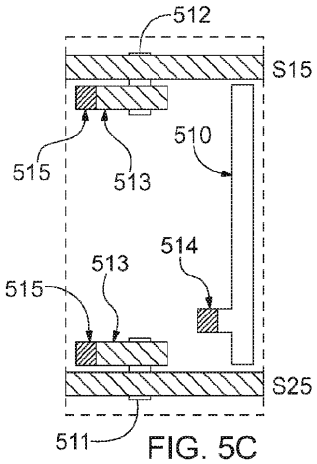

FIG. 5C

【図５Ｄ】

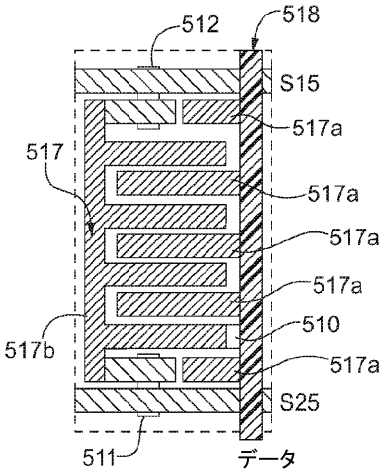

FIG. 5D

【図６Ａ】

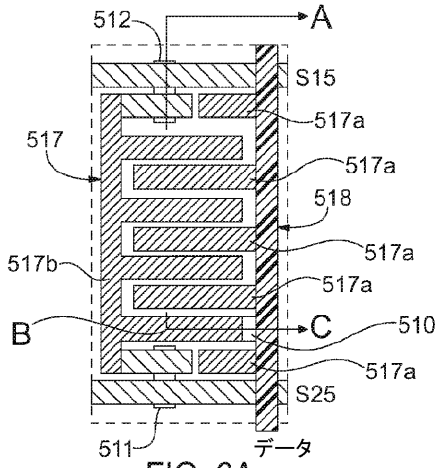

FIG. 6A

【図６Ｂ】

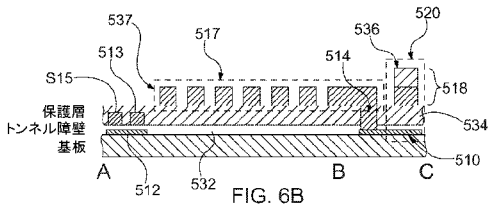

FIG. 6B

【図７Ａ】

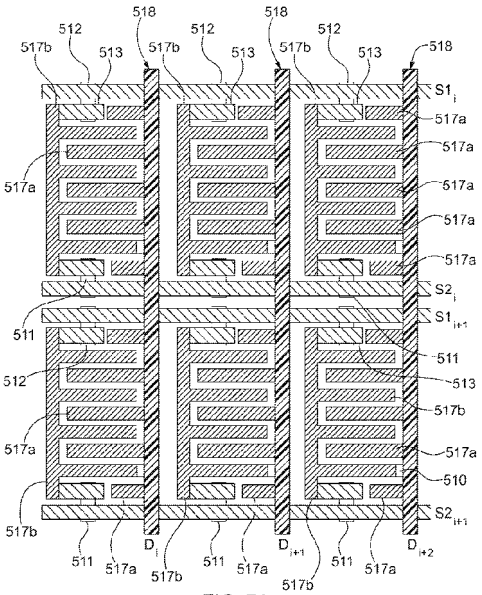

FIG. 7A

【図７Ｂ】

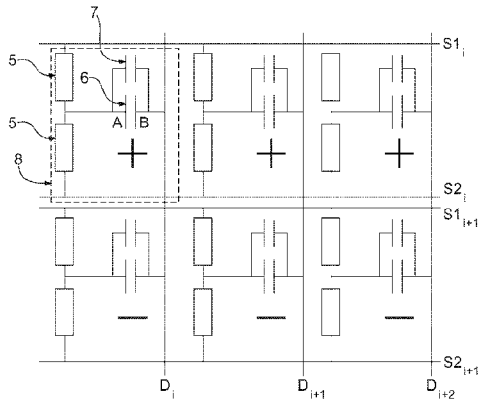

FIG. 7B

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2016/043230

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1343(2006.01)i, G02F 1/1362(2006.01)i, G02F 1/1368(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F 1/1343; G09G 5/02; H01C 1/012; G02F 1/1333; G06F 3/038; H01L 21/00; G02F 1/1362; G02F 1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models
Japanese utility models and applications for utility models

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS(KIPO internal) & Keywords: IPS LCD, sub-pixel, amorphous metal non-linear resistor, storage capacitor, liquid crystal capacitor electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011-0261028 A1 (JOON-CHUL GOH et al.) 27 October 2011 See paragraphs [0021], [0046]-[0049]; claim 6; and figure 1.	1-5
A	US 2009-0316061 A1 (YU-CHIEN KAO) 24 December 2009 See paragraphs [0022]-[0026]; and figure 4.	1-5
A	US 2010-0123744 A1 (JUN IBA et al.) 20 May 2010 See paragraphs [0031]-[0035], [0125]; claim 1; and figure 1	1-5
A	US 2014-0293166 A1 (INNOLUX CORPORATION) 02 October 2014 See paragraphs [0017]-[0024]; claims 1, 6; and figures 1-2.	1-5
A	WO 2014-074360 A1 (THE STATE OF OREGON ACTING BY AND THROUGH THE STATE BOARD OF HIGHER EDUCATION ON BEHALF OF OREGON STATE UNIVERSITY) 15 May 2014 See paragraphs [0016]-[0020]; and figure 1A.	1-5

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents,such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 October 2016 (24.10.2016)	**24 October 2016 (24.10.2016)**

Name and mailing address of the ISA/KR
International Application Division
Korean Intellectual Property Office
189 Cheongsa-ro, Seo-gu, Daejeon, 35208, Republic of Korea
Facsimile No. +82-42-481-8578

Authorized officer
LEE, Dong Yun
Telephone No. +82-42-481-8734

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2016/043230

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011-0261028 A1	27/10/2011	KR 10-2011-0117998 A	28/10/2011
		US 8803855 B2	12/08/2014
US 2009-0316061 A1	24/12/2009	TW 201001036 A	01/01/2010
		TW I372932 B	21/09/2012
		US 8149344 B2	03/04/2012
US 2010-0123744 A1	20/05/2010	JP 2010-123338 A	03/06/2010
		US 8378937 B2	19/02/2013
US 2014-0293166 A1	02/10/2014	CN 102053410 A	11/05/2011
		CN 102053410 B	21/11/2012
		JP 2011-096249 A	12/05/2011
		JP 5697939 B2	08/04/2015
		US 2011-0102692 A1	05/05/2011
		US 8804058 B2	12/08/2014
WO 2014-074360 A1	15/05/2014	CN 105264618 A	20/01/2016
		JP 2016-502268 A	21/01/2016
		KR 10-2015-0084879 A	22/07/2015
		TW 201432735 A	16/08/2014
		US 2014-0368310 A1	18/12/2014
		US 9099230 B2	04/08/2015

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 コーウェル、イー. 、ウィリアム ザサード
アメリカ合衆国、９７３３０－２２０３ オレゴン州、コーバリス ２１５６ ノースウエスト クリストファー プレイス
(72)発明者 ニュートン、ジョン
ニュージーランド、１０７１ オークランド、オラケイ、４１ レイハナ ストリート

Ｆターム(参考) 2H192 AA23 BB03 CA02 CA11 DA12 GD61 HA43