



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I680541 B

(45)公告日：中華民國 108 (2019) 年 12 月 21 日

(21)申請案號：107104875

(22)申請日：中華民國 107 (2018) 年 02 月 12 日

(51)Int. Cl. : H01L23/12 (2006.01)

H01L23/28 (2006.01)

H01L25/065 (2006.01)

H01L25/07 (2006.01)

H01L21/56 (2006.01)

(30)優先權：2017/02/21 美國

15/438,691

(71)申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：渡邊 住友 WATANABE, FUMITOMO (JP)；草薙 京葉 KUSANAGI, KEIYO (JP)

(74)代理人：陳長文

(56)參考文獻：

TW I447880

CN 100336221C

JP 7-117134A

KR 101123797B1

US 6541870B1

US 2012/0115278A1

US 2013/0147062A1

US 2015/0102507A1

US 2015/0364432A1

審查人員：李景松

申請專利範圍項數：22 項 圖式數：5 共 28 頁

(54)名稱

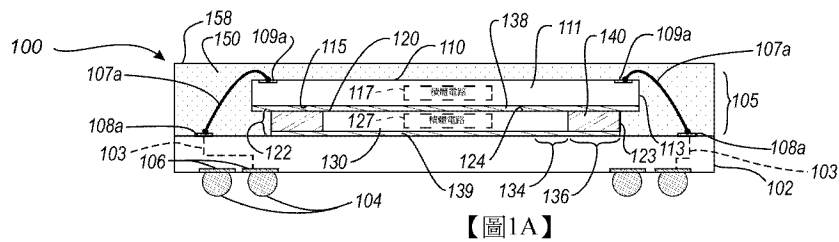
具有晶粒基板延伸之堆疊半導體晶粒總成

(57)摘要

本文中揭示具有晶粒基板延伸之堆疊半導體晶粒總成。在一項實施例中，一種半導體晶粒總成可包含一封裝基板、經安裝至該封裝基板之一第一晶粒，及經安裝至該第一晶粒之一第二晶粒。該第一晶粒包含一第一晶粒基板，且該第二晶粒包含經附接至該第一晶粒基板之一第二晶粒基板。該第一晶粒及該第二晶粒中之至少一者包含一半導體基板，及毗鄰該半導體基板之一晶粒基板延伸。該晶粒基板延伸包括至少部分地界定一平面形狀之一模製材料。

Stacked semiconductor die assemblies with die substrate extensions are disclosed herein. In one embodiment, a semiconductor die assembly can include a package substrate, a first die mounted to the package substrate, and a second die mounted to the first die. The first die includes a first die substrate, and the second die includes a second die substrate attached to the first die substrate. At least one of the first and second dies includes a semiconductor substrate and a die substrate extension adjacent the semiconductor substrate. The die substrate extension comprises a mold material that at least partially defines a planform.

指定代表圖：



符號簡單說明：

100 . . . 半導體晶粒
總成/總成

102 · · · 封装基板

103 . . . 電連接器

104 · · · 互連件

105 · · · 晶粒堆疊

106 · · · 封裝觸點

107a . . . 第一線接
合連接器

108a . . . 第一基板
墊

109a . . . 接合墊

110 · · · 第一晶粒/
晶粒

111 · · · 第一晶粒基
板

113 · · · 第一外邊緣

115 · · · 下部表面

117 · · · 積體電路組
件

120 · · · 第二晶粒

122 · · · 第二晶粒基
板/晶粒基板

123 · · · 第二外邊緣

124 · · · 上部表面

127 · · · 積體電路組
件

130 · · · 半導體基板

134 · · · 周邊部分

136 · · · 晶粒基板延
伸/基板延伸

138 · · · 第一晶粒附
接材料/晶粒附接材料

139 · · · 第二晶粒附
接材料/晶粒附接材料

140 · · · 第一模製材料

150 . . . 第二模製材
料
158 . . . 保護殼體/
殼體

【發明說明書】

【中文發明名稱】

具有晶粒基板延伸之堆疊半導體晶粒總成

【英文發明名稱】

STACKED SEMICONDUCTOR DIE ASSEMBLIES WITH DIE
SUBSTRATE EXTENSIONS

【技術領域】

所揭示之實施例係關於半導體晶粒總成且係關於此等總成中之晶粒基板延伸。

【先前技術】

包含記憶體晶片、微處理器晶片及成像器晶片之封裝式半導體晶粒可包含安裝於一封裝基板上之半導體晶粒。半導體晶粒包封於一塑膠保護覆蓋物中，且每一晶粒包含功能特徵，諸如記憶體單元、處理器電路及成像器裝置。晶粒上之接合墊電連接於功能特徵與封裝基板上之端子之間，該等端子允許將晶粒連接至外部電路。

為增加一封裝內之晶粒之密度，晶粒在殼體內可彼此上下堆疊。然而，垂直堆疊晶粒之一個挑戰係晶粒可具有不同大小或佔據面積。舉例而言，在一記憶體封裝中，封裝內之一記憶體控制器晶粒可具有比記憶體晶粒小之一佔據面積。記憶體控制器晶粒可較難以進行線接合，此乃因其自記憶體晶粒偏移。並且，當記憶體晶粒堆疊於較小記憶體控制器晶粒上時，有時可能會傾斜，此可導致導線變得不接合及/或導致晶片斷裂。

【發明內容】

【圖式簡單說明】

圖1A係根據本技術之一實施例組態之一半導體晶粒總成之一剖面圖，且圖1B係半導體晶粒總成之一部分之一俯視平面圖。

圖2A至圖2F係圖解說明根據本技術之實施例之處於一半導體晶粒總成之各種製造階段處之一半導體裝置之剖面圖。

圖3係根據本技術之另一實施例組態之一半導體晶粒總成之一剖面圖。

圖4係根據本技術之另一實施例組態之一半導體晶粒總成之一剖面圖。

圖5係根據本技術之實施例組態之包含一半導體晶粒總成之一系統之一示意圖。

【實施方式】

下文闡述具有晶粒基板延伸之堆疊晶粒總成之實施例。在某些實施例中，一堆疊晶粒總成包含一半導體晶粒及一模製材料，該半導體晶粒及該模製材料一起形成一晶粒基板或其上可堆疊一總成之額外晶粒之類似支撐結構。術語「半導體裝置」通常係指包含半導體材料之一固態裝置。一半導體裝置可包含(舉例而言)一半導體基板、晶圓或自一晶圓或基板單粒化之晶粒。貫穿本發明，通常在半導體晶粒之脈絡中闡述半導體裝置；然而，半導體裝置並不限於半導體晶粒。

術語「半導體裝置封裝」可係指具有併入於一共同封裝中之一或多個半導體裝置之一配置。一半導體封裝可包含部分或完全地囊封至少一個半導體裝置之一外殼或殼體。一半導體裝置封裝亦可包含一中介層基板，該中介層基板載運一或多個半導體裝置且附接至或以其他方式併入至殼體中。術語「半導體裝置總成」可係指一或多個半導體裝置、半導體裝置封

裝及/或基板(例如，中介層基板、支撐基板或其他適合基板)之一總成。舉例而言，半導體裝置總成可製造成離散封裝形式、條帶或矩陣形式及/或晶圓面板形式。

如本文中所使用，術語「垂直」、「橫向」、「上部」及「下部」可係指鑒於各圖中所展示之定向之半導體裝置中之特徵之相對方向或位置。舉例而言，「上部」或「最上部」可係指經定位比另一特徵更接近於一頁面之頂部之一特徵。然而，此等術語應廣泛地解釋為包含具有其他定向(諸如倒置或傾斜定向)之半導體裝置，其中頂部/底部、上方/下方、上面/下面、上/下及左/右取決於定向可互換。

圖1A係根據本技術之一實施例組態之一半導體晶粒總成100(「總成100」)之一剖面圖，且圖1B係該半導體晶粒總成之一俯視平面圖。參考圖1A，總成100包含載運一第一晶粒110及一第二晶粒120之一封裝基板102(例如，一印刷電路板)，其中第一晶粒110堆疊於第二晶粒120上(統稱為「晶粒堆疊105」)。第一晶粒110可係(舉例而言)具有一第一晶粒基板111(例如，一半導體基板)之一半導體晶粒，該第一晶粒基板具有一第一外邊緣113。第二晶粒120包含具有一周邊部分134及一晶粒基板延伸136(「基板延伸136」)之一半導體基板130(例如，一矽基板)，該晶粒基板延伸自周邊部分134延伸至第二晶粒120之一第二外邊緣123。第二晶粒120之第二外邊緣123自第一晶粒110之第一外邊緣113(例如，第一外邊緣113內側)嵌入。在下文所闡述之各項實施例中，基板延伸136可由一第一模製材料140(諸如一熱固性材料、一環氧樹脂或其他適合化合物)形成。第一模製材料140與半導體基板130形成第二晶粒120之一第二晶粒基板122。

總成100進一步包含一第二模製材料150 (例如，一環氧樹脂)，該第二模製材料位於封裝基板102上方且囊封晶粒堆疊105以形成一保護殼體158。殼體158可經組態以提供一機械支撐及與周圍環境(例如，與濕氣)之一屏蔽。殼體158亦維持線接合之間的電隔離。在某些實施例中，殼體158之第二模製材料150可與第二晶粒基板122之第一模製材料140相同或實質上類似。

參考圖1B，已移除總成100之殼體158 (圖1A)以進一步詳細地展示總成100之第一晶粒110、第二晶粒120，及其他組件。第一晶粒基板111 (圖1A)界定第二晶粒120上面之第一晶粒110之一第一佔據面積或第一周界 P_1 。第二晶粒基板122界定第二晶粒120之一第二佔據面積或第二周界 P_2 ，其中晶粒基板122之第一模製材料140至少部分地界定一平面形狀。第一周界 P_1 及第二周界 P_2 彼此重疊，使得第一晶粒基板111之第一外邊緣113之一區域懸伸於封裝基板102之一部分上方達一第一距離 d_1 ，且使得第二晶粒基板122之第二外邊緣123之一區域延伸超出第一外邊緣113一第二距離 d_2 。在圖1B中所圖解說明之實施例中，延伸第二距離 d_2 之第二外邊緣123的區域包含第二晶粒120之第一模製材料140的一部分及半導體基板130的一部分。

在使用中，基板延伸136可使第一晶粒110之懸伸邊緣113穩定。在各項實施例中，基板延伸136可不僅使第一晶粒110穩定，且亦使經堆疊於第一晶粒110上之任何額外晶粒(未展示)穩定。晶粒之堆疊配置會減小總成100之總體大小，此乃因所有晶粒皆位於晶粒堆疊之共同佔據面積內。另外，可減小第一晶粒110之厚度，此乃因第一晶粒110之懸伸部分係由第二晶粒120之基板延伸136支撐。在某些實施例中，第一晶粒110可係一

記憶體晶粒，且第二晶粒120可係一控制器晶粒。一記憶體晶粒可包含經組態以形成一記憶體電路之積體電路組件117（示意性地展示）。一控制器晶粒通常具有積體電路組件127之一較緊湊及/或較小配置（示意性地展示）。因此，一控制器晶粒通常具有比一記憶體晶粒小之一佔據面積。在一較小控制器晶粒上堆疊一較大記憶體晶粒之一挑戰係：當較大記憶體晶粒係堆疊於控制器晶粒上時若未適當地對準，則較大記憶體晶粒可歪斜或傾斜。在某些例項中，一傾斜晶粒可突出至保護殼體外側，且將晶粒之一部分曝露至周圍環境。傾斜晶片通常較易於發生晶片斷裂，且至一傾斜晶粒之線接合可能將較困難，此乃因線接合在晶粒之對置側處具有不同長度。用以解決此挑戰之一種習用製造技術涉及在下部晶粒可插入至其中之封裝基板中形成一腔。然而，此技術可使製造複雜化且增加成本，此乃因其需要礪磨或蝕刻封裝基板以形成腔。另一現有解決方案係將間隔件或支撐件安裝至封裝基板102。

根據本技術之各項實施例組態之晶粒總成可解決習用堆疊晶粒總成之此等及其他限制。舉例而言，在某些實施例中，下部第二晶粒120之基板延伸136可延伸第二晶粒基板122之周界，以匹配第一晶粒110之一大小及/或形狀。第二晶粒120之經增加大小可為第一晶粒110提供額外支撐，此繼而減小或防止晶粒傾斜。在各項實施例中，基板延伸136可經組態使得第一晶粒110之較少部分或沒有部分懸伸於封裝基板102上方。在某些實施例中，一半導體晶粒總成之其他晶粒可包含一基板延伸，或一晶粒堆疊中之多個晶粒可包含一基板延伸，以增強堆疊中之機械支撐。在此等實施例及其他實施例中，包含具有基板延伸之晶粒的晶粒總成可容納晶粒及具有經交錯配置、經重疊定向及/或全異形狀的對應半導體基板。

返回參考圖1A，封裝基板102包含複數個第一基板墊108a，該複數個第一基板墊藉由第一線接合連接器107a（例如，線接合）耦合至第一晶粒110上之對應接合墊109a。參考圖1B，第一基板墊108a沿著第二晶粒120之第二周界 P_2 之對置側排列。封裝基板102進一步包含第二基板墊108b，該等第二基板墊位於第二周界 P_2 之對置側上且沿大體上垂直於第一基板墊108a之陣列之一方向排列。第二基板墊108b藉由第二線接合連接器107b（例如，線接合）耦合至第二晶粒120之半導體基板130之一上部表面124上之對應接合墊109b。接合墊109a可通常與第一模製材料140對準，此可幫助增加線接合之可靠性且防止晶片斷裂。

如圖1A中進一步展示，封裝基板102可包含位於封裝基板102之對置側上及/或延伸穿過封裝基板102之電連接器103（示意性地展示），諸如金屬跡線、導通體或其他適合連接器（例如，形成重佈結構）。電連接器103可經由封裝基板102之對置側處之封裝觸點106及互連件104（例如，凸塊接合）將第一基板墊108a及/或第二基板墊108b（圖1B）耦合至外部電路（未展示）。在某些實施例中，電連接器103亦可將個別第一基板墊108a與個別第二基板墊108b耦合以用電方式將第一晶粒110與第二晶粒120相互耦合。

第一晶粒110進一步包含藉由一第一晶粒附接材料138（例如，一晶粒附接膜）附接至第二晶粒120之一下部表面115。在圖1A中所圖解說明之實施例中，第一晶粒附接材料138包含附接至第二晶粒120之基板延伸136之一第一部分，及附接至第二晶粒120之半導體基板130之上部表面124之一第二部分。在其他實施例中，第一晶粒附接材料138附接至半導體基板130，但不附接至基板延伸136（或反之亦然）。

第二晶粒120藉由一第二晶粒附接材料139 (例如，一晶粒附接膜)附接至封裝基板102。在某些實施例中，晶粒附接材料138與139可由相同或類似材料形成。在此等及其他實施例中，晶粒附接材料138及139中之一或多者可包含一上覆導線材料或一層壓膜(例如，基於環氧樹脂之材料之一層壓膜)。在某些實施例中，晶粒附接材料可包含(舉例而言)一晶粒附接膜或一切粒晶粒附接膜(分別作為「DAF」或「DDF」而為熟習此項技術者熟知)。在一項實施例中，晶粒附接材料及/或覆膜導線材料可各自包含由中國上海之德國漢高股份有限公司(Henkel AG & Co.)提供之DAF或DDF (例如，型號愛博斯迪科(Ablestick) ATB-100、100U、100A、100U)。

第一晶粒110及第二晶粒120中之每一者之半導體基板可由多種半導體材料(諸如矽、絕緣體上矽、化合物半導體(例如，氮化鎵)或其他適合基板)中之任何者形成。半導體基板可被切割或單粒化成具有各種積體電路組件(示意性地展示)(諸如動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)、快閃記憶體、包含記憶體、處理電路、成像組件之其他形式之積體電路裝置及/或其他半導體裝置)中之任何者之半導體晶粒。在選定實施例中，總成100可組態為一記憶體，其中晶粒110及120中之一者或兩者提供資料儲存(例如，NAND晶粒)及/或記憶體控制(例如，NAND控制)。在各項實施例中，總成100可包含額外晶粒，諸如堆疊於第一晶粒110上之額外晶粒。在某些實施例中，代替兩個記憶體晶粒，總成100可包含兩個以上記憶體晶粒(例如，四個晶粒、八個晶粒等)或僅包含一單個記憶體晶粒。此外，在各項實施例中，總成100之晶粒可具有不同大小。舉例而言，在某些實施例中，第一晶粒110之整個第一周界P₁可在第二晶

粒120之整個第二周界 P_2 外側。

圖2A至圖2F係圖解說明根據本技術之實施例之處於各種製造階段處之一半導體裝置200的剖面圖。首先參考圖2A，複數個第二晶粒120之複數個半導體基板130的上部表面124係藉由一黏合劑265附接至一臨時載體260。臨時載體260可係由可重複使用及/或再循環之一廉價材料(諸如矽或一載體帶)製成。

圖2B展示用第一模製材料140囊封半導體基板130之後的半導體裝置200。在各項實施例中，半導體基板130可被接納至一模製設備之一模製腔(未展示)中。可在腔中加熱且壓縮第一模製材料140，使得第一模製材料140液化且在半導體基板130上方流動。然後可允許第一模製材料140冷卻及硬化。第一模製材料140一旦硬化便可被薄化(例如，經由研磨)以界定第一模製材料140上之第一外部表面225a，如圖2C中所展示。薄化第一模製材料140亦曝露對應半導體基板130之第二外部表面225b (例如，背側表面)。在薄化之後，第一模製材料140與半導體基板130可係實質上共面。

圖2D展示在第一模製材料140及半導體基板130之外部表面225a及225b上方已形成第二晶粒附接材料139之後，及在第二晶粒附接材料139上方已形成一轉移結構270之後，呈一倒置定向的半導體裝置200。轉移結構270可包含(舉例而言)一晶粒附接帶。在某些實施例中，在形成轉移結構270之後，臨時載體260及黏合劑265可被移除，如圖2E中所展示。

圖2E展示將第二晶粒120單粒化之後的半導體裝置200。在單粒化期間，第一模製材料140可在切粒通道272處與第二晶粒附接材料139一起被切割。單粒化界定第二晶粒120之基板延伸136。單粒化可包含刀片切

割、鋸切割或雷射切割程序以及其他適合程序，以用於界定及機械地分離基板延伸136。在某些實施例中，第二晶粒120可經單粒化，使得第一模製材料140完全圍繞對應半導體基板130。在其他實施例中，第二晶粒220可經單粒化，使得模製材料圍繞少於一晶粒之所有邊緣延伸。

在某些實施例中，於隨後處理階段期間，第二晶粒120可保持於轉移結構270上以促進裝置處置。經單粒化第二晶粒120的製造可繼續至其他製造階段，諸如裝置測試或裝配。參考圖2F，第二晶粒120可自轉移結構270移除(僅展示一個)，其中經單粒化晶粒附接材料139保持於經拆離第二晶粒120上。第二晶粒120包含半導體基板130及基板延伸136，半導體基板130及基板延伸136一起形成第二晶粒基板122。經單粒化晶粒附接材料139可被用於將第二晶粒120附接至封裝基板102 (圖1A)。第二晶粒120可藉由第一晶粒附接材料138 (圖1A)附接至第一晶粒110 (圖1A)以形成一晶粒堆疊105。一囊封劑(未展示) (諸如第二模製材料150 (圖1A))可在晶粒堆疊及封裝基板102上方流動，以在線接合之後包封晶粒110及120，如上文所闡述。

圖3係根據本技術之另一實施例組態之一半導體晶粒總成300 (「總成300」)之一剖面圖。總成300可包含大體上類似於上文詳細闡述之總成100之特徵之特徵。舉例而言，總成300包含一中間晶粒320，該中間晶粒具有由一半導體基板330及一基板延伸形成之一晶粒基板322。在圖3中所圖解說明之實例中，基板延伸包含分別毗鄰半導體基板330之相對之邊緣332a及332b之第一延伸部分336a及第二延伸部分336b。

如圖3中進一步展示，總成300包含安裝至封裝基板102之下部晶粒382a與382b之一堆疊(統稱為「下部晶粒堆疊382」)。中間晶粒320附接

至下部晶粒堆疊382之最上部晶粒382a。下部晶粒382a與382b係交錯的使得最上部晶粒382a懸伸於封裝基板102之一部分上方，且中間晶粒320之一部分延伸超出最上部晶粒382a之周界。

總成300進一步包含由中間晶粒320載運之上部晶粒385a至385c之一堆疊(統稱為「上部晶粒堆疊385」)。上部晶粒堆疊385部分地懸伸於封裝基板102上方且以與下部晶粒堆疊382類似之一方式但沿一對置方向交錯。第一延伸部分336a懸伸於封裝基板102上方且自位於上部晶粒堆疊385之一最下部晶粒385c下面之半導體基板330之第一邊緣332a突出。第一延伸部分336a可支撐懸伸上部晶粒堆疊385來以與上文所闡述之方式類似之一方式防止或減小堆疊之歪斜或傾斜。

第二延伸部分336b自半導體基板330之第二邊緣332b延伸且位於下部晶粒堆疊382之最上部晶粒382a之一毗鄰部分上方。在各項實施例中，第二延伸部分336b可增加中間晶粒320之安裝表面之大小以促進至下部晶粒堆疊382之附接。在圖3中所圖解說明之實施例中，第二延伸部分336b具有比第一延伸部分336a小之一輪廓。在其他實施例中，第二延伸部分336b可大於第一延伸部分336a，或第二延伸部分336b可具有與第一延伸部分336a相同之形狀及/或大小。在某些實施例中，可省略第二延伸部分336b。

圖4係根據本技術之另一實施例組態之一半導體晶粒總成400(「總成400」)之一剖面圖。總成400可包含大體上類似於上文詳細闡述之晶粒總成之特徵之特徵。舉例而言，總成400包含下部晶粒堆疊382、安裝至下部晶粒堆疊382之中間晶粒320及安裝至中間晶粒320之上部晶粒堆疊385。在圖4中所展示之配置中，總成400包含由上部晶粒堆疊385載運之

一控制器晶粒431。在某些實施例中，中間晶粒320以及下部晶粒堆疊382及上部晶粒堆疊385可包含記憶體晶粒。在此等及其他實施例中，總成400可組態為一記憶卡。舉例而言，總成400可包含一外殼458及可被接納於一主機裝置(未展示)之一記憶體插槽(未展示)中之一封裝基板402。外殼458可由包封總成400之晶粒之一模製材料450形成。模製材料450可經成形以界定在安裝於主機裝置中時鄰接記憶體插槽之一外部突出部或鉤接突片456。封裝基板402可包含電連接至外殼458內之晶粒之外部端子404 (圖4中僅可見一個端子)。

可將上文參考圖1至圖4所闡述之堆疊半導體晶粒總成中之任一者併入至無數較大及/或較複雜系統中之任何者中，該等系統之一代表性實例係圖5中示意性地展示之系統590。系統590可包含一半導體晶粒總成500、一電源592、一驅動器594、一處理器596及/或其他子系統或組件598。半導體晶粒總成500可包含大體上類似於上文闡述之堆疊半導體晶粒總成之特徵之特徵。所得系統590可執行各種各樣之功能(諸如記憶體儲存、資料處理及/或其他適合功能)中之任一者。因此，代表性系統590可無限制地包含手持式裝置(例如，行動電話、平板電腦、數位讀取器及數位音訊播放器)、電腦及電器。系統590之組件可裝納於一單個單元中或(例如，透過一通信網路)分佈於多個經互連單元上。系統590之組件亦可包含遠端裝置及各種各樣之電腦可讀媒體中之任一者。

依據前述內容，將瞭解，雖然本文中已出於圖解說明的目的而闡述本技術之特定實施例，但可在不背離本發明之情況下做出各種修改。並且，亦可在其他實施例中組合或消除在特定實施例之內容脈絡中所闡述之新技術之特定態樣。此外，儘管已在本新技術之特定實施例之內容脈絡中

闡述與彼等實施例相關聯之優點，但其他實施例亦可展現此等優點且並非所有實施例皆必須展現此等優點以歸屬於本技術之範疇內。因此，本發明及相關聯技術可囊括本文中未明確展示或闡述之其他實施例。

【符號說明】

100	半導體晶粒總成/總成
102	封裝基板
103	電連接器
104	互連件
105	晶粒堆疊
106	封裝觸點
107a	第一線接合連接器
107b	第二線接合連接器
108a	第一基板墊
108b	第二基板墊
109a	接合墊
109b	接合墊
110	第一晶粒/晶粒
111	第一晶粒基板
113	第一外邊緣/懸伸邊緣
115	下部表面
117	積體電路組件
120	第二晶粒/下部第二晶粒/晶粒/經單粒化第二晶粒/經拆離第二晶粒

122	第二晶粒基板/晶粒基板
123	第二外邊緣
124	上部表面
127	積體電路組件
130	半導體基板
134	周邊部分
136	晶粒基板延伸/基板延伸
138	第一晶粒附接材料/晶粒附接材料
139	第二晶粒附接材料/晶粒附接材料/經單粒化晶粒附接材料
140	第一模製材料
150	第二模製材料
158	保護殼體/殼體
200	半導體裝置
225a	第一外部表面/外部表面
225b	第二外部表面/外部表面
260	臨時載體
265	黏合劑
270	轉移結構
272	切粒通道
300	半導體晶粒總成/總成
320	中間晶粒
322	晶粒基板
330	半導體基板

332a	邊緣/第一邊緣
332b	邊緣/第二邊緣
336a	第一延伸部分
336b	第二延伸部分
382a	下部晶粒/最上部晶粒
382b	下部晶粒
385a	上部晶粒
385b	上部晶粒
385c	上部晶粒/最下部晶粒
400	半導體晶粒總成/總成
402	封裝基板
404	外部端子
431	控制器晶粒
450	模製材料
456	外部突出部/鉤接突片
458	外殼
500	半導體晶粒總成
590	系統/代表性系統
592	電源
594	驅動器
596	處理器
598	子系統或組件
d ₁	第一距離

d_2	第二距離
p_1	第一周界
p_2	第二周界



I680541

【發明摘要】

【中文發明名稱】

具有晶粒基板延伸之堆疊半導體晶粒總成

【英文發明名稱】

STACKED SEMICONDUCTOR DIE ASSEMBLIES WITH DIE
SUBSTRATE EXTENSIONS

【中文】

本文中揭示具有晶粒基板延伸之堆疊半導體晶粒總成。在一項實施例中，一種半導體晶粒總成可包含一封裝基板、經安裝至該封裝基板之一第一晶粒，及經安裝至該第一晶粒之一第二晶粒。該第一晶粒包含一第一晶粒基板，且該第二晶粒包含經附接至該第一晶粒基板之一第二晶粒基板。該第一晶粒及該第二晶粒中之至少一者包含一半導體基板，及毗鄰該半導體基板之一晶粒基板延伸。該晶粒基板延伸包括至少部分地界定一平面形狀之一模製材料。

【英文】

Stacked semiconductor die assemblies with die substrate extensions are disclosed herein. In one embodiment, a semiconductor die assembly can include a package substrate, a first die mounted to the package substrate, and a second die mounted to the first die. The first die includes a first die substrate, and the second die includes a second die substrate attached to the first die substrate. At least one of the first and second dies includes a semiconductor substrate and a die substrate extension adjacent the semiconductor substrate. The die substrate

extension comprises a mold material that at least partially defines a planform.

【指定代表圖】

圖1A

【代表圖之符號簡單說明】

- 100 半導體晶粒總成/總成
- 102 封裝基板
- 103 電連接器
- 104 互連件
- 105 晶粒堆疊
- 106 封裝觸點
- 107a 第一線接合連接器
- 108a 第一基板墊
- 109a 接合墊
- 110 第一晶粒/晶粒
- 111 第一晶粒基板
- 113 第一外邊緣
- 115 下部表面
- 117 積體電路組件
- 120 第二晶粒
- 122 第二晶粒基板/晶粒基板
- 123 第二外邊緣
- 124 上部表面

127	積體電路組件
130	半導體基板
134	周邊部分
136	晶粒基板延伸/基板延伸
138	第一晶粒附接材料/晶粒附接材料
139	第二晶粒附接材料/晶粒附接材料
140	第一模製材料
150	第二模製材料
158	保護殼體/殼體

【發明申請專利範圍】

【第1項】

一種半導體晶粒總成，其包括：

一封裝基板；

一晶粒堆疊，其經附接至該封裝基板，其中該晶粒堆疊包含

一第一晶粒，其具有一第一晶粒基板，及

一第二晶粒，其具有經附接至該第一晶粒基板之一第二晶粒基板，其中該第二晶粒包含(1)具有一周邊部分之一半導體基板，及(2)自該周邊部分延伸之一第一模製材料，其中該周邊部分及該第一模製材料界定該第二晶粒基板；及

一第二模製材料，其囊封該晶粒堆疊，

其中該第一晶粒位於該封裝基板與該第二晶粒之間，且其中該第二晶粒之該第一模製材料延伸超出該第一晶粒且懸伸於該封裝基板上。

【第2項】

如請求項1之半導體晶粒總成，其中該第一晶粒基板包含經附接至該第二晶粒之該半導體基板之一第一部分，及經附接至該第二晶粒之該第一模製材料之一第二部分。

【第3項】

如請求項2之半導體晶粒總成，其中該第一晶粒基板具有一周界，且其中該第二晶粒之該第一模製材料及該半導體基板兩者皆延伸超出該周界。

【第4項】

如請求項1之半導體晶粒總成，其中該第一模製材料完全環繞該第二

晶粒之該半導體基板。

【第5項】

如請求項1之半導體晶粒總成，其中該第二晶粒之該第一模製材料及該半導體基板係共面的。

【第6項】

如請求項1之半導體晶粒總成，進一步包括位於該第一晶粒與該第二晶粒基板之間之一晶粒附接膜，其中該晶粒附接膜經附接至該第一模製材料及該第二晶粒基板兩者。

【第7項】

如請求項1之半導體晶粒總成，其中該第二晶粒之該第一模製材料包括一環氧樹脂及一熱固性材料中之至少一者。

【第8項】

如請求項1之半導體晶粒總成，其中該第一晶粒及該第二晶粒中之至少一者係一記憶體晶粒。

【第9項】

一種半導體裝置，其包含：

一封裝基板；

一第一晶粒，其經安裝至該封裝基板，其中該第一晶粒包含一第一晶粒基板；及

一第二晶粒，其經安裝至該第一晶粒，其中該第二晶粒包含經附接至該第一晶粒基板之一第二晶粒基板，

其中該第一晶粒基板及該第二晶粒基板中之至少一者包含一半導體

基板，及經耦合至該半導體基板之一周界之一晶粒基板延伸，其中該晶粒基板延伸包括一模製材料，且其中該模製材料至少部分地界定一平面形狀，

其中該模製材料延伸超出該第一晶粒及該第二晶粒之至少一者，且懸伸於該封裝基板上方。

【第10項】

如請求項9之半導體裝置，其中該模製材料係一第一模製材料，且其中該半導體裝置進一步包括囊封該第一晶粒及該第二晶粒之一第二模製材料。

【第11項】

如請求項9之半導體裝置，進一步包括將該第一晶粒附接至該第二晶粒之一晶粒附接膜，其中該半導體基板包含經附接至該晶粒附接膜之一第一表面，且該模製材料包含經附接至該晶粒附接膜之一第二表面。

【第12項】

如請求項11之半導體裝置，其中該晶粒附接膜係一第一晶粒附接膜，其中該第一晶粒包含該半導體基板及該基板延伸，且其中該半導體裝置進一步包括將該封裝基板附接至該第一晶粒之該半導體基板及該基板延伸兩者之一第二晶粒附接膜。

【第13項】

一種製造一半導體裝置之方法，該方法包括：

在一半導體基板之一部分上方模製一模製材料，其中該模製材料自該半導體基板之該部分向外延伸且界定一第一晶粒之一平面形狀；

將一第二晶粒附接至該第一晶粒以形成一晶粒堆疊，其中附接該第

二晶粒包含將該第二晶粒附接至該半導體基板及該模製材料；及
將該晶粒堆疊安裝至一封裝基板，
其中該模製材料延伸超出該第二晶粒，且懸伸於該封裝基板上方。

【第14項】

如請求項13之方法，其中該安裝包含將該封裝基板附接至該第一晶粒之該半導體基板及該模製材料兩者。

【第15項】

如請求項13之方法，其中該安裝包含將該第二晶粒附接至該封裝基板。

【第16項】

如請求項13之方法，其中該模製材料係一第一模製材料，且其中該方法進一步包括在該第一模製材料上方模製一第二模製材料，以形成一封裝殼體。

【第17項】

如請求項13之方法，其中該模製包含：
將該第一晶粒之該半導體基板附接至一臨時載體；
在該半導體基板及該臨時載體上方模製該模製材料；及
薄化該模製材料，以曝露該半導體基板之一第一表面及該模製材料之一第二表面，其中該第一表面係毗鄰該第二表面。

【第18項】

如請求項17之方法，進一步包括將該封裝基板附接至該第一表面及該第二表面。

【第19項】

如請求項17之方法，進一步包括將該第二晶粒附接至該第一表面及該第二表面。

【第20項】

如請求項17之方法，進一步包括在該模製之後，使一囊封劑在該封裝基板及該晶粒堆疊上方流動。

【第21項】

如請求項13之方法，其中該第一晶粒及該第二晶粒中之至少一者係一記憶體晶粒。

【第22項】

如請求項21之方法，其中該第一晶粒之該半導體基板包含一控制器電路。