

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年6月24日 (2010.6.24)

【公開番号】特開2007-311785(P2007-311785A)

【公開日】平成19年11月29日 (2007.11.29)

【年通号数】公開・登録公報2007-046

【出願番号】特願2007-121808(P2007-121808)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

【F I】

H 0 1 L 27/04 C

H 0 1 L 21/88 Z

H 0 1 L 27/06 1 0 2 A

【手続補正書】

【提出日】平成22年5月6日 (2010.5.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

活性領域を含む半導体基板と、
前記基板の上面の一部に形成され、絶縁領域を定義する絶縁物と、
共通コンダクタ層からパターンニングされ、前記基板上に形成され、前記絶縁物上に形成された第 1 パターン部と、

前記活性領域上に形成され、前記活性領域内に形成されたトランジスタのゲートを含む第 2 パターン部を含むコンダクタ層パターン、および

前記コンダクタ層パターンの前記第 1 パターン部上に形成された下部電極、前記下部電極上に形成された誘電層パターン、および前記誘電層パターン上に形成された上部電極を含む絶縁領域内のキャパシタを含む半導体集積回路素子。

【請求項 2】

前記誘電層パターンは、高誘電率物質、酸化物、酸化物 - 窒化物 - 酸化物構造のうちから選択された誘電物質のうちのいずれか一つである請求項 1 に記載の半導体集積回路素子。

【請求項 3】

前記上部電極は、前記誘電層パターン上に形成された第 1 上部電極層パターンと前記第 1 上部電極層パターン上に形成された第 2 上部電極層パターンとを含む請求項 1 に記載の半導体集積回路素子。

【請求項 4】

前記誘電層パターンは、前記上部電極の側壁に沿って形成される請求項 1 に記載の半導体集積回路素子。

【請求項 5】

前記基板上に形成された層間絶縁膜をさらに含み、前記キャパシタは前記層間絶縁膜を通して (through) 形成され、

前記キャパシタは前記コンダクタパターンの第 1 パターン部上の一部に形成され、前記下部電極コンタクトが前記層間絶縁膜を介して延長され前記コンダクタパターンの前記第 1 パターン部の他の部分の上部表面と電氣的に連結される請求項 1 に記載の半導体集積回路素子。

【請求項 6】

前記基板上に形成された層間絶縁膜をさらに含み、前記キャパシタは前記層間絶縁膜を通して (through) 形成され、

前記層間絶縁膜を介して延長され前記上部電極の上部表面と電氣的に連結される上部電極コンタクトをさらに含む請求項 1 に記載の半導体集積回路素子。

【請求項 7】

半導体基板の上部に絶縁領域を定義する絶縁物を形成し、

基板上にコンダクタ層を形成しパターンニングして、前記絶縁領域の絶縁物上の第 1 パターン部と前記活性領域上の第 2 パターン部とを含む伝導性パターンを形成し、

前記伝導性パターンの前記第 1 パターン部上に下部電極を形成し前記下部電極上に誘電層パターンを形成して、および前記誘電層パターン上に上部電極を形成して、前記絶縁領域の絶縁物上にキャパシタを形成することを含む半導体集積回路素子の製造方法。

【請求項 8】

前記誘電層パターンは、高誘電物質、酸化物、酸化物 - 窒化物 - 酸化物構造のうちから選択されたいずれか一つの誘電物質を含む請求項 7 に記載の半導体集積回路素子の製造方法。

【請求項 9】

前記上部電極は、前記誘電層パターン上に形成された第 1 上部電極層パターンと前記第 1 上部電極層パターン上に形成された第 2 電極層パターンとを含む請求項 7 に記載の半導体集積回路素子の製造方法。

【請求項 10】

前記キャパシタは、

前記伝導性層パターン上の基板上に層間絶縁膜を形成し、

前記層間絶縁膜をパターンニングして前記伝導性層パターン上の第 1 パターン部の一部を露出させるオープニングを形成し、

前記オープニングの底面および内壁に下部電極層を形成し、

前記オープニングの底面上の下部電極層パターンを形成するために前記下部電極層をエッチングし、

前記下部電極上に誘電層を形成し、

前記誘電層上に上部電極層を形成して、

前記上部電極層と前記誘電層下部の前記層間絶縁膜を露出させるために前記層間絶縁膜を平坦化する工程を行うことを含む請求項 7 に記載の半導体集積回路素子の製造方法。

【請求項 11】

前記上部電極層のエッチングは、前記オープニングの内壁から電極層を除去する請求項 10 に記載の半導体集積回路素子の製造方法。

【請求項 12】

前記層間絶縁膜を平坦化する前に前記層間絶縁膜上に犠牲層をさらに形成してパターンニングすることを含み、

前記パターンニング工程は前記犠牲層と層間絶縁膜とをパターンニングして、第 1 オープニングを形成することである請求項 10 に記載の半導体集積回路素子の製造方法。

【請求項 13】

エッチング方法で第 2 オープニングを形成するために前記第 1 オープニングを拡張させることをさらに含む請求項 12 に記載の半導体集積回路素子の製造方法。

【請求項 14】

前記拡張の後に、前記犠牲層の下が除去された部分が前記第 2 オープニング上に形成される請求項 1 3 に記載の半導体集積回路素子の製造方法。

【請求項 1 5】

前記キャパシタは、前記伝導性パターンの前記第 1 パターン部上の一部に形成され、前記層間絶縁膜を通して延長され前記伝導性パターンの前記第 1 パターン部の他の部分の上部表面と電氣的に連結される下部電極コンタクトを形成することをさらに含む請求項 1 0 に記載の半導体集積回路素子の製造方法。