

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4592243号  
(P4592243)

(45) 発行日 平成22年12月1日(2010.12.1)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int.Cl. F I  
**G06T 1/20 (2006.01)** G06T 1/20 B

請求項の数 9 (全 44 頁)

(21) 出願番号	特願2001-528935 (P2001-528935)	(73) 特許権者	000236436
(86) (22) 出願日	平成12年10月4日 (2000.10.4)		浜松ホトニクス株式会社
(86) 国際出願番号	PCT/JP2000/006905		静岡県浜松市東区市野町1126番地の1
(87) 国際公開番号	W02001/026051	(74) 代理人	100094983
(87) 国際公開日	平成13年4月12日 (2001.4.12)		弁理士 北澤 一浩
審査請求日	平成19年9月28日 (2007.9.28)	(74) 代理人	100095946
(31) 優先権主張番号	特願平11-282969		弁理士 小泉 伸
(32) 優先日	平成11年10月4日 (1999.10.4)	(74) 代理人	100099829
(33) 優先権主張国	日本国 (JP)		弁理士 市川 朗子
(31) 優先権主張番号	特願平11-296753	(72) 発明者	豊田 晴義
(32) 優先日	平成11年10月19日 (1999.10.19)		静岡県浜松市市野町1126番地の1 浜
(33) 優先権主張国	日本国 (JP)	(72) 発明者	中村 和浩
			静岡県浜松市市野町1126番地の1 浜
			松ホトニクス株式会社内
			最終頁に続く

(54) 【発明の名称】 高速画像処理カメラシステム

(57) 【特許請求の範囲】

【請求項1】

複数の受光素子が複数の行及び列に2次元状に配列され、前記複数の受光素子が複数のブロックにグループ分けされて形成されており、連続する複数のフレーム画像を所定のフレームレートで受光して出力信号を生成する受光素子アレイと、

前記受光素子アレイの前記複数のブロックに1対1に対応して設けられた複数のA/D変換器を備え、各A/D変換器が対応するブロック中の受光素子から順次読み出される出力信号をアナログ・デジタル変換することにより、各フレーム画像を示すデジタル生画像信号を生成するA/D変換器アレイと、

前記A/D変換器アレイにより順次生成される前記デジタル生画像信号に対して所定の演算を行い、前記所定の演算により得られる画像を示す演算結果画像信号と前記所定の演算により得られる値を示す演算結果値とを生成する画像演算機構と、

前記デジタル生画像信号と前記演算結果画像信号のうちの少なくとも一つを受け取り、前記受け取ったデジタル生画像信号と演算結果画像信号のうちの少なくとも一つを前記所定のフレームレートより低いフレームレートの画像信号に変換して出力する画像信号変換を行うための信号変換器と、

前記画像演算機構により順次生成される前記演算結果値もしくは前記演算結果値に基づいて得られる値を所定の設定値と比較し、比較結果に基づき一つのフレームを選択する選択器と、

前記選択されたフレームを含む複数の連続したフレームについて前記画像信号変換を行

10

20

うよう、前記信号変換器を制御する信号変換制御部とを備えており、

前記画像演算機構は複数の演算素子を備え、前記複数の演算素子が前記所定の演算を並列的に実行し、

前記信号変換器は、前記受け取ったデジタル生画像信号及び演算結果画像信号のうちの少なくとも一つを複数フレーム分蓄積記憶するためのバッファメモリをさらに備えていることを特徴とする高速画像処理カメラシステム。

【請求項 2】

前記信号変換器が、前記デジタル生画像信号、及び、前記演算結果画像信号のうちのいずれかに対して前記画像信号変換を行うことを特徴とする請求項 1 に記載の高速画像処理カメラシステム。

10

【請求項 3】

前記信号変換器が、前記デジタル生画像信号、及び、前記演算結果画像信号を合成して合成画像信号を生成し、前記合成画像信号に対して前記画像信号変換を行うことを特徴とする請求項 1 に記載の高速画像処理カメラシステム。

【請求項 4】

所定の画像データを蓄積保持するデータバッファを更に有し、前記画像演算機構が、各フレーム画像と前記所定の画像データとを比較する所定の比較演算を行うことを特徴とする請求項 1 に記載の高速画像処理カメラシステム。

【請求項 5】

前記 A / D 変換器アレイの各 A / D 変換器は、前記受光素子アレイの受光素子の各行に対応して一つずつ設けられていることを特徴とする請求項 1 に記載の高速画像処理カメラシステム。

20

【請求項 6】

前記 A / D 変換器アレイの各 A / D 変換器は、前記受光素子アレイの受光素子の各列に対応して一つずつ設けられていることを特徴とする請求項 1 に記載の高速画像処理カメラシステム。

【請求項 7】

前記複数の演算素子は、前記複数の受光素子に 1 対 1 に対応して設けられていることを特徴とする請求項 1 に記載の高速画像処理カメラシステム。

【請求項 8】

前記画像演算機構は、前記受光素子アレイの全ブロックのうちの少なくとも一部の複数のブロックに 1 対 1 に対応して設けられた複数の演算素子を備えていることを特徴とする請求項 1 に記載の高速画像処理カメラシステム。

30

【請求項 9】

前記 A / D 変換器アレイの各 A / D 変換器が、前記受光素子アレイの受光素子の各行に対応して一つずつ設けられており、前記画像演算機構が、それぞれ、前記受光素子アレイの全行のうちの少なくとも一部の複数の行に対応して一つずつ設けられた複数の演算素子を備えていることを特徴とする請求項 1 に記載の高速画像処理カメラシステム。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、画像処理機能を備えた高速カメラシステムに関する。

【背景技術】

【0002】

FAシステム等においてロボットを高速で動作させるためには、高速の画像処理が必要とされる。例えば、視覚センサとアクチュエータの間でフィードバックループを形成するロボットの場合、アクチュエータはミリ秒単位で制御可能であるため、本来はこれに対応した画像処理速度が必要になる。ところが、現状の視覚センサでは画像処理速度がビデオフレームレートに限られているため、この画像処理速度に合わせた低速動作しかできず、ロボットの性能を十分に活かしきれていないなどの問題があった。また、視覚センサを用

50

いた検査システムにおいてもビデオフレームレートの制限から精度・速度向上には限界があった。

【0003】

一方、高速CCDカメラの中には1ミリ秒程度で画像を撮像できるものもあるが、これらは撮像した画像をいったんメモリに貯えて、後から読み出して処理を行う機構になっているため、画像解析などの用途には使えるが、実時間性はほとんどなく、ロボット制御やオンライン検査などの用途には適用できなかった。

【0004】

このような問題を解決するため、画像の取込部と処理部を一体として取り扱う視覚センサの研究が進んでおり、マサチューセッツ工科大学、カリフォルニア工科大学、三菱電機などの研究が知られている( "An Object Position and Orientation IC with Embedded Imager"、David L. Standley ( "Solid State Circuits" , Vol. 26, No. 12, Dec. 1991, pp. 1853-1859, IEEE)、 "Computing Motion Using Analog and Binary Resistive Networks"、James Hutchinson, et al.( "Computer" , Vol. 21, March 1988, pp.52 - 64, IEEE)、及び、 "Artificial retinas -fast, versatile image processors"、Kazuo Kyuma et al., ( "Nature" , Vol. 372, 10 November 1994 )。しかし、これらは主として集積化の容易なアナログの固定回路を用いており、出力信号の後処理が必要であったり、アナログ信号特有の問題であるS/N確保やノイズ対策、画像処理の内容が特定用途に限定されていて汎用性がない、などの問題点があった。

【0005】

これらに対して汎用的な高速画像処理を行うことができる視覚センサとしては、特公平7-62866号公報に開示された技術(以下、従来技術1と呼ぶ)が知られている。さらに、集積化を進めるために特開平10-145680号公報に開示されているように、転送ラインを列毎に最適化した技術(以下、従来技術2と呼ぶ)も提案されている。こうした視覚センサでは、演算素子と受光素子とを1対1に対応させて完全並列演算により高速化を実現している。また、受光素子の1列ごとに1つの演算素子に対応させて部分並列演算により高解像度センサを実現する技術が国際公開WO95/24793号公報で開示されている(以下、従来技術3と呼ぶ)。こうした視覚センサを生産ラインにおける検査装置に利用することで、検査時間の大幅な短縮が可能となる。

【0006】

しかし、実際の使用に当たっては、こうした画像処理と同時に、処理対象の画像を人間が目視によって確認する必要性が生じる場合が多い。例えば、ベルトコンベア上の製品検査をする場合においては、最終チェックを人間の目に任せている場合が多いため、人間が目視できる表示装置に出力する必要がある。また、調整時や設定時においても、撮像位置照明状態、ピント合せ、レンズ系の汚れ、などを目視により確認することは検査状況を把握するためには不可欠である。また、検査方法のアルゴリズムを確定する際にも、しきい値レベルの設定やマッチングポイントの設定などにおいて実画像を見ながら、処理の途中経過を画像としてモニターすれば、処理アルゴリズムの評価が効率良く行なえる。

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、従来技術1~3の装置では、演算を行なった結果を特徴量(対象物の重心や検査結果)または制御信号(例えばモータ制御信号)の形でしか装置外部に出力しておらず、撮影した画像を効率よく外部の装置に出力する機能を有していない。仮に、外部の装置に出力したとしても、高速カメラからの画像のフレームレートは極端に早く、通常のテレビモニターでは対応できず、専用の表示装置が必要となり、システムが高価になる。さらに、高速カメラからの画像をそのまま表示できたとしても、人間の目の応答速度に限界があるため(ほぼ30ミリ秒)、必要な画像内容を人間が目視によって判断すること

はできない。

【 0 0 0 8 】

また、特開平 1 0 - 2 1 4 0 7 号公報には、こうした高速画像処理装置の画像情報と従来の画像処理装置からの画像情報をオーバーレイ表示することで、高速に動く物体を解像度良くモニターする装置が開示されている（以下、従来技術 4 と呼ぶ）。しかしながら、この従来技術 4 においては、出力される画像のフレームレートが従来とほぼ同じビデオレートに制限されてしまうため、高速に動いている物体を観測する場合において、必要な情報を取り出すことが難しい。

【 0 0 0 9 】

例えば、自動工作機械におけるプレスの瞬間やドリルの貫通する瞬間、部品を挿入する瞬間やゴルフや野球におけるボールとクラブ（バット）の当たる瞬間など、所定のタイミングの映像が重要な意味を有する場合に、こうした適切なタイミングの映像を目視により判断できるように表示させることは困難であった。

【 0 0 1 0 】

本発明は、上述の課題を解決するためになされたもので、高速での画像演算を行うとともに、特に重要なタイミングにおける画像を出力可能な高速画像処理カメラを提供することを目的としている。

【課題を解決するための手段】

【 0 0 1 1 】

上記目的を達成するために、本発明は、複数の受光素子が複数の行及び列に 2 次元状に配列され、前記複数の受光素子が複数のブロックにグループ分けされて形成されており、連続する複数のフレーム画像を所定のフレームレートで受光して出力信号を生成する受光素子アレイと、前記受光素子アレイの前記複数のブロックに 1 対 1 に対応して設けられた複数の A / D 変換器を備え、各 A / D 変換器が対応するブロック中の受光素子から順次読み出される出力信号をアナログ・デジタル変換することにより、各フレーム画像を示すデジタル生画像信号を生成する A / D 変換器アレイと、前記 A / D 変換器アレイにより順次生成される前記デジタル生画像信号に対して所定の演算を行い、前記所定の演算により得られる画像を示す演算結果画像信号と前記所定の演算により得られる値を示す演算結果値とを生成する画像演算機構と、前記デジタル生画像信号と前記演算結果画像信号のうちの少なくとも一つを受け取り、前記受け取ったデジタル生画像信号と演算結果画像信号のうちの少なくとも一つを前記所定のフレームレートより低いフレームレートの画像信号に変換して出力する画像信号変換を行うための信号変換器と、前記画像演算機構により順次生成される前記演算結果値もしくは前記演算結果値に基づいて得られる値を所定の設定値と比較し、比較結果に基づき一つのフレームを選択する選択器と、前記選択されたフレームを含む複数の連続したフレームについて前記画像信号変換を行うよう、前記信号変換器を制御する信号変換制御部とを備えており、前記画像演算機構は複数の演算素子を備え、前記複数の演算素子が前記所定の演算を並列的に実行し、前記信号変換器は、前記受け取ったデジタル生画像信号及び演算結果画像信号のうちの少なくとも一つを複数フレーム分蓄積記憶するためのバッファメモリをさらに備えていることを特徴とする高速画像処理カメラシステムを提供する。

【 0 0 1 2 】

本発明に係る高速画像処理カメラシステムによれば、画像演算機構によって並列演算処理を行うことでリアルタイムでの高速画像処理が可能となる。しかも、画像演算機構の演算結果画像信号及び A / D 変換器アレイの出力信号のうちの、少なくとも一つを、所定のフレームレートより低いフレームレートの画像信号に変換して出力する信号変換器を備えている。そして、画像演算機構の演算結果値に基づいて、任意の画像を抽出し、かかる抽出画像についての演算結果画像信号及び A / D 変換器アレイの出力信号のうちの少なくとも一つを、当該所定のフレームレートより低いフレームレートの画像信号に変換させるようになっている。したがって、所望の抽出画像についての演算結果画像信号及び出力信号の少なくとも一つが適切なフレームレートで出力されるので、重要なタイミングにおける

10

20

30

40

50

画像を適切なフレームレートで出力可能となっている。例えば、所望の抽出画像についての演算結果画像信号及び出力信号の少なくとも一つがモニターに適切に表示されるので、重要なタイミングにおける画像をモニター可能となる。また、所望の抽出画像についての演算結果画像信号及び出力信号の少なくとも一つが後段の画像処理装置に適切に出力されるので、重要なタイミングにおける画像を更なる画像処理に供することも可能となる。したがって、本発明によれば、並列処理により高速で画像処理を行い、処理結果画像を所望のタイミングで出力することが可能となる。

【0013】

ここで、信号変換器は、画像演算機構の演算結果画像信号及びA/D変換器アレイの出力信号のうちの、少なくとも一つを、画像表示するモニターや画像処理する画像処理装置に対応した所望の低いフレームレートの画像信号にダウンコンバートして出力する。このため、例えば、目視検査等に必要となる所望のタイミングで、高速処理画像を所望のフレームレートでモニタ表示することで、注目すべき画像のみを抽出したモニタ表示が可能となる。また、画像処理等に必要となる所望のタイミングで、高速処理画像を所望のフレームレートで出力することで、注目すべき画像のみを抽出した出力が可能となる。

10

【0014】

信号変換器は、受け取ったデジタル生画像信号及び演算結果画像信号のうちの少なくとも一つを複数フレーム分蓄積記憶するためのバッファメモリを備えている。したがって、特定のタイミングにおける連続画像等の複数の画像を抽出して出力させることができる。このように、信号変換器に複数の画面の画像情報を蓄積可能なデータバッファを設けることで、所望のタイミング付近の映像を時間的に引き延ばしてモニタ表示することも可能となる。

20

【0015】

また、信号変換器は、前記デジタル生画像信号、及び、前記演算結果画像信号のうちのいずれかに対して前記画像信号変換を行うことが好ましい。受光素子アレイで得られた生画像、あるいは、画像演算機構による画像処理により得られた画像の中から任意の画像を抽出して出力することができる。したがって、例えば、注目すべき画像のみを抽出した表示が可能となる。

【0016】

また、信号変換器は、前記デジタル生画像信号、及び、前記演算結果画像信号を合成して合成画像信号を生成し、前記合成画像信号に対して前記画像信号変換を行うのでもよい。かかる構成によれば、例えば、受光素子アレイで得られた画像（生画像）の中から任意の画像を抽出して、画像処理結果と合わせて表示することができる。この表示は、生画像と処理画像を並べて表示しても生画像と処理画像を上下あるいは左右に並べて表示してもよい。したがって、並列処理により高速で画像処理を行い、処理結果を元画像と重ね合わせて所望のタイミングでモニター出力することが可能であり、例えば、注目すべき画像のみを抽出して強調したモニタ表示が可能となる。

30

【0017】

また、本発明の高速画像処理カメラシステムは、所定の画像データを蓄積保持するデータバッファを更に有し、前記画像演算機構が、各フレーム画像と前記所定の画像データとを比較する所定の比較演算を行うことが好ましい。データバッファに蓄積された所定の画像データを用いることで、比較演算等を高速化できる。

40

【0018】

さらに、A/D変換器アレイの各A/D変換器は、受光素子アレイの受光素子の各行又は各列に対応して一つずつ設けられていることが好ましい。このようにすると、演算素子への転送が容易であり、回路設計がしやすくなる。

【0019】

また、前記複数の演算素子は、前記複数の受光素子に1対1に対応して設けられていることが好ましい。このようにすると、画素単位での演算処理を同時に一度の演算で行うことができ、画像処理の高速化が図れる。

50

## 【 0 0 2 0 】

また、前記画像演算機構は、前記受光素子アレイの全ブロックのうちの少なくとも一部の複数のブロックに1対1に対応して設けられた複数の演算素子を備えていることが好ましい。

## 【 0 0 2 1 】

また、前記A/D変換器アレイの各A/D変換器が、前記受光素子アレイの受光素子の各行に対応して一つずつ設けられており、前記画像演算機構が、それぞれ、前記受光素子アレイの全行のうちの少なくとも一部の複数の行に対応して一つずつ設けられた複数の演算素子を備えていることが好ましい。

## 【 図面の簡単な説明 】

10

## 【 0 0 2 2 】

【図1】第1図は、本発明の第1の実施形態に係る高速画像処理カメラシステムの構成図である。

【図2】第2図は、第1の実施形態に係る高速画像処理カメラシステムを示す概略構成図である。

【図3】第3図は、第1の実施形態に係る高速画像処理カメラシステムの受光素子アレイとA/D変換器アレイの回路構成図である。

【図4】第4図は、第1の実施形態に係る高速画像処理カメラシステムの積分回路の詳細回路構成図である。

【図5】第5図は、第1の実施形態に係る高速画像処理カメラシステムの信号変換器の詳細構成を示すブロック図である。

20

【図6】第6図は、第1の実施形態に係る高速画像処理カメラシステムの画像演算機構内の処理回路のブロック図である。

【図7】第7図は、第1の実施形態に係る高速画像処理カメラシステムの画像演算機構内の重心演算処理回路のブロック図である。

【図8】第8図は、第1の実施形態に係る高速画像処理カメラシステムの画像演算機構内のエッジ抽出処理回路のブロック図である。

【図9】第9図は、第1の実施形態に係る高速画像処理カメラシステムのA/D変換器アレイや画像演算機構内の各処理回路と信号変換器との接続状況を示す説明図である。

【図10】第10図は、第1の実施形態に係る高速画像処理カメラシステムにおける演算処理の概要を説明する図である。

30

【図11】第11(a)図~第11(c)図は、生画像と処理画像との重ね合わせを説明するために示す画像データ信号のタイミングチャートである。ここで、第11(a)図は、生画像の画像データのタイミングを示す図であり、第11(b)図は、画像演算処理結果の信号が生画像の画像データに合成されるタイミングを示す図であり、第11(c)図は、画像演算処理結果の信号が生画像の画像データに合成されるタイミングの別の例を示す図である。

【図12】第12図は、第1の実施形態に係る高速画像処理カメラシステムにおける制御内容を示すフローチャートである。

【図13(a)】第13(a)図は、第1の実施形態に係る高速画像処理カメラシステムにおける演算処理と画像表示のタイミングチャートである。

40

【図13(b)】第13(b)図は、従来技術における演算処理と画像表示のタイミングチャートである。

【図14】第14(a)図~第14(c)図は、抽出する画像イメージを示す説明図であり、このうち、第14(a)図は、抽出タイミングの前の画像イメージであり、第14(b)図は、抽出タイミングの画像イメージであり、第14(c)図は、抽出タイミングの後の画像イメージである。

【図15】第15図は、第1の実施形態に係る高速画像処理カメラシステムの画像演算機構内の処理回路の変更例のブロック図である。

【図16】第16図は、第15図の各処理回路と信号変換器との接続状況を示す説明図で

50

ある。

【図17】第17図は、本発明の第2の実施形態に係る高速画像処理カメラシステムの構成図である。

【図18】第18図は、第2の実施形態の高速画像処理カメラシステムの画像演算機構内の処理回路のブロック図である。

【図19】第19図は、第2の実施形態における各処理回路と信号変換器との接続状況を示す説明図である。

【図20】第20図は、第2の実施形態の高速画像処理カメラシステムにおける演算処理の概要を説明する図である。

【図21】第21図は、本発明の第3の実施形態に係る高速画像処理カメラシステムの構成図である。

【図22】第22図は、第3の実施形態の高速画像処理カメラシステムの画像演算機構内の処理回路のブロック図である。

【図23】第23図は、第22図の処理回路のうちのパターンマッチング回路のブロック図である。

【図24】第24図は、第3の実施形態におけるA/D変換器アレイ及び各処理回路と信号変換器との接続状況を示す説明図である。

【図25】第25図は、第3の実施形態の高速画像処理カメラシステムにおける制御内容を示すフローチャートである。

【図26】第26図は、第3の実施形態の高速画像処理カメラシステムにおける演算処理の概要を説明する図である。

【図27(a)】第27(a)図は、本発明の第4の実施形態に係る高速画像処理カメラシステムの構成図である。

【図27(b)】第27(b)図は、第4の実施形態に係る高速画像処理カメラシステムにおける制御内容を示すフローチャートである。

【図28】第28図は、本発明に係る高速画像処理カメラシステムの変形例のブロック図である。

【図29】第29図は、本発明に係る高速画像処理カメラシステムの他の変形例のブロック図である。

【図30】第30図は、本発明に係る高速画像処理カメラシステムの他の変形例のブロック図である。

【図31】第31図は、本発明に係る高速画像処理カメラシステムの他の変形例のブロック図である。

【発明を実施するための形態】

【0023】

本発明の実施形態に係る高速画像処理カメラシステムを第1図～第27図に基づき説明する。

【0024】

なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

【0025】

まず、本発明の第1の実施形態に係る高速画像処理カメラシステムを第1図～第16図に基づき説明する。

【0026】

第1図に、本発明の第1の実施形態に係る高速画像処理カメラシステム1のブロック図を示す。

【0027】

本実施形態のカメラシステム1は、 $N_1$ 個 $\times$  $N_2$ 個の2次元状に配置された受光素子120からなる受光素子アレイ11と、受光素子アレイ11の1行ごとに対応して受光素子から出力された電荷を電圧信号に変換し、更に、A/D変換する $N_2$ 個のA/D変換器210からなるA/D変換器アレイ13と、複数個(この例の場合、3個)の処理回路40

10

20

30

40

50

0 からなる演算素子アレイを備える画像演算機構 14 と、回路全体に命令信号等を送って制御する制御回路 15 と、制御回路 15 から信号を各回路に送るインストラクション/コマンドバス 16 と、演算素子アレイ 14 から送られてきたデータ信号を、選択的に、蓄積し、あるいは、表示画像信号に変換するための信号変換器 17 と、信号変換器 17 による信号蓄積及び信号変換を制御するための信号変換制御部 19 と、変換した表示画像信号により画像表示を行うモニタ 18 とから構成されている。モニタ 18 は、例えば、テレビモニターであり、その画像を利用して目視検査を行うものである。あるいは、モニタ 18 に替えてコンピュータを接続し、信号変換器 17 で選択的に変換された信号を出力信号としてコンピュータに直接出力してもよい。この場合は、コンピュータにより、画像演算機構 14 の演算処理結果に対して、従来の画像処理技術による画像処理を施すことができる。

10

#### 【0028】

第2図は、本実施形態の高速画像処理カメラシステム1の構成例を示したものである。受光素子アレイ11、A/D変換器アレイ13、画像演算機構14、信号変換器17、信号変換制御部19、制御回路15などの半導体チップを1つの基板の上にボンディングした図である。チップを直接基板にボンディングするため高集積化が可能であり、また、それぞれの装置の特性に合わせた加工工程を採用できるため、安定した生産が可能となる。将来的にはプロセス技術の向上により1チップ上に全ての機能を集積することも可能である。

#### 【0029】

続いて、各回路の内部構成について説明する。

20

#### 【0030】

第3図は、画像入力部の詳細構成を示している。画像入力部は、光を検出する受光部100(第1図に示す受光素子アレイ11に相当)、受光部100からの出力信号を処理する信号処理部200(第1図に示すA/D変換器アレイ13に相当)、受光部100及び信号処理部200に動作タイミングの指示信号を通知するタイミング制御部300(第1図に示す制御回路15の一部に相当)を備えている。

#### 【0031】

最初に、第3図により、第1図の受光素子アレイ11に相当する受光部100の構成を説明する。

30

#### 【0032】

1個の受光素子120が、入力した光強度に応じて電荷を発生する1個の光電変換素子130と、光電変換素子130の信号出力端子に接続され、水平走査信号 $V_i$ ( $i = 1 \sim N1$ )に応じて光電変換素子130に蓄積された電荷を出力する1個のスイッチ素子140とを、1組として構成されている。この受光素子120が第1の方向(以下、水平方向と呼ぶ)に沿ってN1個配置され、各受光素子120のスイッチ素子140が電氣的に接続されて水平受光部110を構成している。そして、この水平受光部110を水平方向に直交する垂直方向に沿ってN2個配列することにより受光部100が構成されている。

#### 【0033】

次に、同じく第3図により、A/D変換器アレイ13に相当する信号処理部200の構成を説明する。

40

#### 【0034】

信号処理部200は、対応する水平受光部110<sub>j</sub>( $j = 1 \sim N2$ )から転送されてきた電荷を個別に取り出して処理し、この電荷強度に対応するデジタル信号を出力するA/D変換器210<sub>j</sub>を、N2個配置して構成されている。A/D変換器210<sub>j</sub>は、チャージアンプ221<sub>j</sub>を含む積分回路220<sub>j</sub>と、比較回路230<sub>j</sub>と、容量制御機構240<sub>j</sub>の3つの回路から構成される。

#### 【0035】

このうち、積分回路220<sub>j</sub>は、水平受光部110<sub>j</sub>からの出力信号を入力として、この入力信号の電荷を増幅するチャージアンプ221<sub>j</sub>と、チャージアンプ221<sub>j</sub>の入力端子

50



に一方の端が接続され、出力端子に他方の端が接続された可変容量部 222<sub>j</sub>と、チャージアンプ 221<sub>j</sub>の入力端子に一方の端が接続され、出力端子に他方の端が接続され、リセット信号 R に応じて ON、OFF 状態となることで積分回路 220<sub>j</sub>の積分、非積分動作を切り替えるスイッチ素子 223<sub>j</sub>からなる。

#### 【0036】

ここで、第4図は、この積分回路 220の詳細構成図である。本図は、4ビットつまり16階調の分解能を持つA/D変換機能を備える積分回路の例であり、以下、この回路構成により説明する。可変容量部 222は、チャージアンプ 221の水平受光部からの出力信号の入力端子に一方の端子が接続された容量素子 C<sub>1</sub> ~ C<sub>4</sub>と、容量素子 C<sub>1</sub> ~ C<sub>4</sub>の他方の端子とチャージアンプ 221の出力端子の間に接続され、容量指示信号 C<sub>11</sub> ~ C<sub>14</sub> 10  
に応じて開閉するスイッチ素子 SW11 ~ SW14と、容量素子 C<sub>1</sub> ~ C<sub>4</sub>とスイッチ素子 SW11 ~ SW14の間に一方の端子が接続され、他方の端子がGNDレベルと接続されて、容量指示信号 C<sub>21</sub> ~ C<sub>24</sub>に応じて開閉するスイッチ素子 SW21 ~ SW24により構成されている。なお、容量素子 C<sub>1</sub> ~ C<sub>4</sub>の電気容量 C<sub>1</sub> ~ C<sub>4</sub>は、

$$C_1 = 2 C_2 = 4 C_3 = 8 C_4$$

$$C_0 = C_1 + C_2 + C_3 + C_4$$

の関係を満たす。ここで、C<sub>0</sub>は積分回路 220で必要とする最大電気容量であり、受光素子 130(第3図参照)の飽和電荷量を Q<sub>0</sub>、基準電圧を V<sub>REF</sub>とすると、

$$C_0 = Q_0 / V_{REF}$$

の関係を満たす。 20

#### 【0037】

再び、第3図に戻り、A/D変換器 210<sub>j</sub>の積分回路 220<sub>j</sub>以外の回路を説明する。比較回路 230<sub>j</sub>は、積分回路 220<sub>j</sub>から出力された積分信号 V<sub>S</sub>の値を基準値 V<sub>REF</sub>と比較して、比較結果信号 V<sub>C</sub>を出力する。容量制御機構 240<sub>j</sub>は、比較結果信号 V<sub>C</sub>の値から積分回路 220<sub>j</sub>内の可変容量部 222<sub>j</sub>に通知する容量指示信号 Cを出力すると共に、容量指示信号 Cに相当するデジタル信号 D1を、データ転送ライン 250に出力する。こうして、各受光素子 120(i, j)において得られた光電出力は、当該素子(i, j)における画像情報を示す生画像信号であるデジタル信号 D(x, y)(ここで、(x, y) = (i, j))に変換される。 30

#### 【0038】

各A/D変換器 210<sub>j</sub>の容量制御機構 240<sub>j</sub>の出力端は、対応するデータ転送ライン 250<sub>j</sub>に接続されている。したがって、信号処理部 200(A/D変換アレイ 13)全体の出力端には、N2個のデータ転送ライン 250<sub>j</sub>が接続されている。第1図に示すように、このデータ転送ライン 250<sub>j</sub>が画像演算機構 14に接続されている。このデータ転送ライン 250<sub>j</sub>は、また、生画像データバッファ 460にも接続されている。生画像データバッファ 460の出力端には、N2個のデータ転送ライン 500<sub>j</sub>が接続されている。生画像データバッファ 460は、データ転送ライン 250<sub>j</sub>から順次入力した生画像データであるデジタル信号 D1を、所定期間格納し、その後、対応するデータ転送ライン 500<sub>j</sub>を介して、信号変換器 17へ順次転送する。 40

#### 【0039】

なお、以上、A/D変換器アレイ 13が4ビットつまり16階調の分解能を持つ場合について説明したが、A/D変換器アレイ 13は、6ビット、8ビット等、他のビット構成の分解能を持つ構成であってもよい。

#### 【0040】

続いて、第3図に示すタイミング制御部 300の構成を説明する。タイミング制御部 300は、全回路のクロック制御を行う基本タイミングを発生する基本タイミング部 310と、基本タイミング部 310から通知された水平走査指示に従って、水平走査信号 V<sub>i</sub>を発生する水平シフトレジスタ 320と、リセット指示信号 Rを発生する制御信号部 340とから構成されている。

#### 【0041】

画像演算機構 14 は、複数の処理回路 400 をカスケードあるいはパラレル接続することにより、A/D変換器アレイ 13 から行  $j$  毎に最上位ビット(MSB)より順次転送出力されてくるデジタル信号に対して所定の画像処理を行うものである。

【0042】

各処理回路 400 としては、画像処理演算をハードウェア的に行うもの、ソフトウェア的に行うものの両方を採用することができる。本実施形態では、ハードウェア的に演算処理を行う処理回路を採用している。

【0043】

より詳しくは、本実施形態では、各処理回路 400 として、二値化回路 401 と、重心演算処理回路 402 と、エッジ抽出処理回路 403 とを設けている。各処理回路 401、402、403 は、それぞれ、演算処理内容に合わせた特有の回路構成を有している。ここで、各画像処理のハードウェアを簡易に開発実装できるFPGA(Field Programmable Gate Array)などを利用することにより、演算対象に応じた処理をハードウェア化する作業を効率的に行うことができる。さらに、HDL(ハードウェア記述言語)によりソフトウェアによって回路設計が可能となっているため、従来のノウハウの活用が容易に行うことができる。

【0044】

第5図に示すように、画像演算機構 14 と生画像データバッファ 460 とは、 $N$  2 個のスイッチ 20 を介して、信号変換器 17 に接続されている。このスイッチ 20 により、画像演算機構 14 内の処理回路 400 による処理結果と生画像データとが合成されて、信号変換器 17 に供給される。

【0045】

以下、画像演算機構 14 内の二値化処理回路 401、重心演算処理回路 402、及び、エッジ抽出処理回路 403 の具体的構成を説明する。なお、本実施形態の場合、二値化処理回路 401 の後段に、重心演算処理回路 402 とエッジ抽出処理回路 403 とがパラレルに接続されている。

【0046】

まず、二値化処理回路 401 について、第6図を参照して説明する。二値化回路 401 には、 $N$  2 個のビット比較器 405 <sub>$j$</sub>  が、受光素子アレイ 11 の  $N$  2 個の行に 1 対 1 に対応して配置されている。各比較器 405 <sub>$j$</sub>  の一つの入力端は、A/D変換器アレイ 13 からの対応するデータ転送ライン 250 <sub>$j$</sub>  に接続されている。各比較器 405 <sub>$j$</sub>  のもう一つの入力端は、インストラクション/コマンドバス 16 を介して、制御回路 15 と接続されており、比較対象のデータ信号が入力されるようになっている。各比較器 405 <sub>$j$</sub>  の出力端は、データ転送ライン 440 <sub>$j$</sub>  に接続されている。各比較器 405 <sub>$j$</sub>  は、その比較結果を、対応するデータ転送ライン 440 <sub>$j$</sub>  へ出力する。このようにして、各データ転送ライン 440 <sub>$j$</sub>  は、A/D変換アレイ 13 を介して、受光素子アレイ 11 中の対応する行  $j$  の各画素ラインに接続されている。

【0047】

第6図に示すように、重心演算を行う重心演算処理回路 402 は、二値化回路 401 からの  $N$  2 個のデータ転送ライン 440 <sub>$j$</sub>  に接続されている。重心演算処理回路 402 は、画像処理において基本的な演算の一つである重心演算を行うためのものである。重心演算処理回路 402 は、重心検出回路 409 と重心画像データ生成回路 425 とからなる。

【0048】

重心検出回路 409 の構成について、第7図を参照して、詳細に説明する。

【0049】

重心検出回路 409 は、受光素子アレイ 11 の  $N$  2 個の行、すなわち、 $N$  2 個の A/D 変換器 210 <sub>$j$</sub>  に対応して、 $N$  2 個の加算器 410 <sub>$j$</sub>  を有している。すなわち、二値化回路 401 からの  $N$  2 個のデータ転送ライン 440 <sub>$j$</sub>  が、 $N$  2 個の加算器 410 <sub>$j$</sub>  に、それぞれ接続されている。各加算器 410 <sub>$j$</sub>  は、対応する 1 個の乗算器 411 <sub>$j$</sub>  の一つの入力端に接続されている。各乗算器 411 <sub>$j$</sub>  のもう一つの入力端には、行位置データ供給回路

10

20

30

40

50

4 1 2 が接続されている。全  $N 2$  個の乗算器  $4 1 1_j$  の出力端は、共通の 1 個の加算器  $4 1 3$  が有する  $N 2$  個の入力端に、それぞれ、接続されている。加算器  $4 1 3$  の出力端は、割算器  $4 1 4$  の被除数入力端に接続されている。

【 0 0 5 0 】

二値化回路  $4 0 1$  からの  $N 2$  個のデータ転送ライン  $4 4 0_j$  は、更に、1 個の加算器  $4 1 5$  が有する  $N 2$  個の入力端に、それぞれ、接続されている。この加算器  $4 1 5$  の出力端は、別の加算器  $4 1 8$  の一つの入力端と、乗算器  $4 1 6$  の入力端に接続されている。乗算器  $4 1 6$  のもう一つの入力端には、列位置データ供給回路  $4 1 7$  が接続されている。乗算器  $4 1 6$  の出力端は、加算器  $4 1 9$  の入力端に接続されている。この加算器  $4 1 9$  の出力端は、割算器  $4 2 0$  の被除数入力端に接続されている。そして、割算器  $4 1 4$ 、 $4 2 0$  のそれぞれの除数入力端には加算器  $4 1 8$  の出力端が接続されている。割り算器  $4 1 4$  と  $4 2 0$  の割り算結果は、 $N 1 \times N 2$  個の入力信号  $D(x, y)$  が示す一つのフレーム画像の重心位置  $(P_x, P_y)$  の  $y$  座標と  $x$  座標を示す。割り算器  $4 1 4$  と  $4 2 0$  の出力端には、それぞれ、データ転送ライン  $5 1 0_y$ 、 $5 1 0_x$  が接続されている。割り算器  $4 1 4$  と  $4 2 0$  は、それぞれ、対応するデータ転送ライン  $5 1 0_y$ 、 $5 1 0_x$  を介して、重心位置データ  $P_y$  及び  $P_x$  を出力する。

10

【 0 0 5 1 】

第 6 図に示すように、割り算器  $4 1 4$  と  $4 2 0$  からのデータ転送ライン  $5 1 0_y$ 、 $5 1 0_x$  は、インストラクション/コマンドバス  $1 6$  を介して制御回路  $1 5$  に接続されており、重心位置データ  $(P_x, P_y)$  を制御回路  $1 5$  へ出力するようになっている。データ転送ライン  $5 1 0_y$ 、 $5 1 0_x$  は、また、重心画像データ生成回路  $4 2 5$  にも接続されている。

20

【 0 0 5 2 】

重心画像データ生成回路  $4 2 5$  は、割り算器  $4 1 4$  と  $4 2 0$  の割り算結果、すなわち、入力画像データの重心位置  $(P_x, P_y)$  に基づき、当該重心位置の点を示す重心画像データ  $P(x, y)$  を生成するためのものである。重心画像データ生成回路  $4 2 5$  の出力端には、 $N 2$  個のデータ転送ライン  $5 2 0_j$  が接続されている。重心画像データ生成回路  $4 2 5$  は、重心の  $y$  方向位置  $P_y$  に対応するデータ転送ライン  $5 2 0_j$  に対して、重心の  $x$  方向位置  $P_x$  に対応するタイミングで 2 値データ (1) を出力することで、重心位置  $(P_x, P_y)$  の点を表示する重心画像データ  $P(x, y)$  を生成する。

30

【 0 0 5 3 】

次に、エッジ抽出処理回路  $4 0 3$  について説明する。第 6 図に示すように、エッジ抽出処理回路  $4 0 3$  も、二値化回路  $4 0 1$  からの  $N 2$  個のデータ転送ライン  $4 4 0_j$  に接続されている。

【 0 0 5 4 】

本実施形態においては、エッジ抽出処理回路  $4 0 3$  は、 $3 \times 3$  マスク演算を行う回路構成となっており、近傍画素の画素データを用いてエッジ抽出演算を行うことができるようになっている。エッジ抽出回路  $4 0 3$  は、第 6 図に示すように、受光素子アレイ  $1 1$  の  $N 2$  個の行、すなわち、 $N 2$  個の  $A/D$  変換器  $2 1 0_j$  に対応して、 $N 2$  個の積和演算器  $4 3 0_j$  を備えている。そして、二値化回路  $4 0 1$  からの  $N 2$  個のデータ転送ライン  $4 4 0_j$  が、この  $N 2$  個の積和演算器  $4 3 0_j$  に、それぞれ接続されている。各積和演算器  $4 3 0_j$  は、対応する行  $j$  のデータ転送ライン  $4 4 0_j$  と共に、当該対応する行  $j$  の上下の行  $j$ 、 $j + 1$  のデータ転送ライン  $4 4 0_{j-1}$ 、 $4 4 0_{j+1}$  にも接続されている。

40

【 0 0 5 5 】

第 8 図に示すように、各積和演算器  $4 3 0_j$  内には、9 個の乗算器  $4 3 1(0) \sim 4 3 1(8)$  と 1 個の加算器  $4 3 2$  とが配置され、各乗算器  $4 3 1$  の出力が加算器  $4 3 2$  の対応する入力端に接続されている。乗算器  $4 3 1(0) \sim 4 3 1(8)$  のうち、乗算器  $4 3 1(0) \sim 4 3 1(2)$  が、データ転送ライン  $4 4 0_{j-1}$  に接続され、乗算器  $4 3 1(3) \sim 4 3 1(5)$  がデータ転送ライン  $4 4 0_j$  に接続され、乗算器  $4 3 1(6) \sim 4 3 1(8)$  が、データ転送ライン  $4 4 0_{j+1}$  に接続されている。各行  $j - 1$ 、 $j$ 、 $j + 1$  では

50

、各乗算器 4 3 1 が、対応するデータ転送ライン 4 4 0 からの画像データを、順次、後段の乗算器 4 3 1 へ転送できるようになっている。このデータの転送に伴って、所定の受光素子 1 2 0 とそれを囲む 8 つの受光素子の画像データがそれぞれの入力端に入力される構成になっている。なお、第 1 行 ( $j = 1$ ) に対応する積和演算器 4 3 0<sub>1</sub> については、 $j - 1$  行がないため、乗算器 4 3 1 (0) ~ 4 3 1 (2) にはデータ転送ライン 4 4 0 は接続されない。したがって、乗算器 4 3 1 (0) ~ 4 3 1 (2) には、常に、画像データ (0) が入力されることになる。同様に、第  $N 2$  行 ( $j = N 2$ ) に対応する積和演算器 4 3 0<sub>N 2</sub> については、 $j + 1$  行がないため、乗算器 4 3 1 (6) ~ 4 3 1 (8) にはデータ転送ライン 4 4 0 は接続されない。したがって、乗算器 4 3 1 (6) ~ 4 3 1 (8) には、常に、画像データ (0) が入力されることになる。

10

## 【 0 0 5 6 】

各乗算器 4 3 1 (0) ~ 4 3 1 (8) の他の入力端は、マスクデータ供給回路 4 5 0 に接続されており、演算内容を規定するマスク情報 (この場合、エッジ抽出を行うためのマスク情報) が送られるようになっている。

## 【 0 0 5 7 】

かかる構成を有する各積和演算器 4 3 0<sub>j</sub> の加算器 4 3 2 の出力端には、データ転送ライン 5 3 0<sub>j</sub> が接続されており、加算機 4 3 2 の加算結果である処理画像データ  $D' (x, y)$  (ここで、 $y = j$ ) が出力される。このため、エッジ抽出処理回路 4 0 3 全体の出力端には、 $N 2$  個のデータ転送ライン 5 3 0<sub>j</sub> が接続されている。第 6 図に示すように、この  $N 2$  個のデータ転送ライン 5 3 0<sub>j</sub> は、処理画像データバッファ 4 3 3 に接続されている。処理画像データバッファ 4 3 3 の出力端には、 $N 2$  個のデータ転送ライン 5 4 0<sub>j</sub> が接続されている。処理画像データバッファ 4 3 3 は、データ転送ライン 5 3 0<sub>j</sub> から順次受け取る処理画像データ  $D' (x, y)$  を、所定期間格納し、その後、対応するデータ転送ライン 5 4 0<sub>j</sub> にて、信号変換器 1 7 へ順次転送する。

20

## 【 0 0 5 8 】

第 9 図に示すように、生画像データバッファ 4 6 0 からの  $N 2$  個のデータ転送ライン 5 0 0<sub>j</sub>、重心画像データ生成回路 4 2 5 からの  $N 2$  個のデータ転送ライン 5 2 0<sub>j</sub>、及び、処理画像データバッファ 4 3 3 からの  $N 2$  個のデータ転送ライン 5 4 0<sub>j</sub> は、それぞれ、対応する  $N 2$  個のスイッチ 2 0<sub>j</sub> を介して、信号変換器 1 7 に接続されている。

## 【 0 0 5 9 】

信号変換器 1 7 内には、一行分 ( $N 1$  画素分) の合成画像データを所定の画面数 (例えば、 $n$  画面数、ここで、 $n$  は正の整数) 分蓄積するデータバッファ 1 7 1<sub>j</sub> が  $N 2$  個配列されている。各データバッファ 1 7 1<sub>j</sub> は、対応するスイッチ 2 0<sub>j</sub> を介して、生画像データバッファ 4 6 0 からの対応するデータ転送ライン 5 0 0<sub>j</sub>、重心画像データ生成回路 4 2 5 からの対応するデータ転送ライン 5 2 0<sub>j</sub>、及び、処理画像データバッファ 4 3 3 からの対応するデータ転送ライン 5 4 0<sub>j</sub> に、接続されている。各スイッチ 2 0<sub>j</sub> が、所定のタイミングで切り替えられることにより、各行  $j$  毎に、生画像データ  $D (x, y)$  と重心画像データ  $P (x, y)$  と処理画像データ  $D' (x, y)$  とが合成された合成画像データが、対応する各データバッファ 1 7 1<sub>j</sub> に入力される。

30

## 【 0 0 6 0 】

また、これらのデータバッファ 1 7 1<sub>j</sub> には、 $D / A$  変換器 1 7 2 と同期信号混合器 1 7 3 とが接続されている。 $D / A$  変換器 1 7 2 は、合成画像データであるデジタル画像信号をアナログ信号に変換するためのものである。また、同期信号混合器 1 7 3 は、 $D / A$  変換器 1 7 2 からのアナログ信号に、モニタ 1 8 (又は後段の汎用画像処理装置 = コンピュータ) のフレームレートに合った適切な同期信号を付加することにより、必要なフレームレートの画像信号を生成するためのものである。

40

## 【 0 0 6 1 】

制御回路 1 5 は、図示しない CPU 及びメモリ等からなり、本実施形態のカメラシステム 1 全体を、インストラクション / コマンドバス及び信号変換制御部 1 9 を介して制御するためのものである。制御回路 1 5 は、メモリに格納した後述の制御プログラム (第 1 2

50

図)を実行することで、カメラシステム1全体を制御する。信号変換制御部19は、図示しないCPU及びメモリ等からなり、制御回路15からの指示に基づいて、信号変換器17を制御し、生画像データと処理画像データの蓄積や、これらデータの信号変換を行わせるためのものである。制御回路15と信号変換制御部19とは、同一のCPUにより構成してもよい。

【0062】

次に、本実施形態のカメラシステム1の動作を、第10図を参照して説明する。

【0063】

本実施形態のカメラシステム1は、画像演算として、二値化処理、重心演算処理、エッジ抽出処理を行い、処理結果を元の画像と重ね合わせた表示を行う。

10

【0064】

まず、リセット信号Rを有為に設定し、第4図に示す可変容量部222のSW11～SW14を全て「ON」、SW21～SW24を全て「OFF」状態にする。これにより、チャージアンプ221の入力端子と出力端子間の容量値を $C_0$ に設定する。それと同時に、第3図に示す全てのスイッチ素子140を「OFF」状態とし、水平走査信号Viをいずれの受光素子120も選択しない状態に設定する。この状態から、リセット指示信号Rを非有為に設定し、各積分回路220での積分動作を開始させる。

【0065】

積分動作を開始させると、第3図に示すN2個の各水平受光部110<sub>j</sub>にある第1番目の受光素子120<sub>1,j</sub>のスイッチ素子140のみを「ON」とする水平走査信号V<sub>1</sub>が出力される。スイッチ素子が「ON」になると、それまでの受光によって光電変換素子130に蓄積された電荷Q<sub>1</sub>は、電流信号として受光部100から出力される。つまり、第9図に示される対象物900を撮像した生画像901に該当する信号を読み出すことができる。電荷Q<sub>1</sub>は容量値C<sub>0</sub>に設定された可変容量部222に流入する。

20

【0066】

次に、第4図により積分回路220内部の動作を説明する。容量制御機構240(第3図参照)は、SW12～SW14を開放した後、SW22～24を閉じる。この結果、積分信号V<sub>S</sub>は、

$$V_S = Q / C_1$$

で示す電圧値として出力される。積分信号V<sub>S</sub>は、比較回路230に入力して、基準電圧値V<sub>REF</sub>と比較される。ここで、V<sub>S</sub>とV<sub>REF</sub>の差が、分解能の範囲以下、すなわち $\pm(C_4/2)$ 以下の時は、一致したものとみなし、更なる容量制御は行わず、積分動作を終了する。分解能の範囲で一致しないときは、更に容量制御を行い、積分動作を続ける。

30

【0067】

例えば、V<sub>S</sub> > V<sub>REF</sub>であれば、容量制御機構240は、更に、SW22を開放した後に、SW12を閉じる。この結果、積分信号V<sub>S</sub>は、

$$V_S = Q / (C_1 + C_2)$$

で示す電圧値となる。この積分信号V<sub>S</sub>は、後続の比較回路230(同)に入力して、基準電圧値V<sub>REF</sub>と比較される。

【0068】

また、V<sub>S</sub> < V<sub>REF</sub>であれば、容量制御機構240は、更に、SW11及びSW22を開放した後に、SW12及びSW21を閉じる。この結果、積分信号V<sub>S</sub>は、

$$V_S = Q / C_2$$

で示す電圧値となる。この積分信号V<sub>S</sub>は、後続の比較回路230に送出され、基準電圧値V<sub>REF</sub>と比較される。

40

【0069】

以後、同様にして、積分回路220 比較回路230 容量制御機構240 積分回路220のフィードバックループによって、積分信号V<sub>S</sub>が基準電圧値V<sub>REF</sub>と分解能の範囲で一致するまで、比較及び容量設定(SW11～SW14及びSW21～SW24のON/OFF制御)を順次繰り返す。積分動作が終了した時点のSW11～SW14のON/OFF

50

OFF状態を示す容量指示信号 $C_{11} \sim C_{14}$ の値は、電荷 $Q_1$ の値に対応したデジタル信号であり、最上位ビット(MSB)の値が $C_{11}$ 、最下位ビット(LSB)の値が $C_{14}$ である。こうしてA/D変換が行われ、これらの値をデジタル信号D1として、データ転送ライン250を介して、演算素子アレイ14に出力する。

【0070】

以上述べたように、この装置では、デジタル信号D1の各ビット値は、MSB側からLSB側へ1ビットずつ順に定まる。

【0071】

このように、容量 $C_1 \sim C_4$ が一つずつONされながら、比較電圧 $V_{REF}$ との比較が行われ、その比較結果が出力デジタル信号D1として出力される。すなわち、まず、容量 $C_1$ がオンとされ、積分信号 $V_S = Q/C_1$ となり、この $V_S$ が $V_{REF}$ と比較される。 $V_S$ が大きければ“1”(= $C_{11}$ )、小さければ“0”(= $C_{11}$ )となり、これがMSB(最上位ビット)として出力される。次に、 $C_2$ がオンとされ、 $V_S = Q/(C_1 + C_2)$ (MSB=1の時)、または、 $V_S = Q/C_2$ (MSB=0の時)が得られ、 $V_{REF}$ と比較される。 $V_S$ が大きければ“1”(= $C_{12}$ )、小さければ“0”(= $C_{12}$ )となり、これが2ビット目として出力される。以上の処理が必要なビット数まで繰り返されることで、A/D変換が実行される。

【0072】

第1番目の受光素子 $120_{1,j}$ の光電出力に相当するデジタル信号の送出自が終了すると、リセット信号Rが有為とされ、再び、非有為にして、可変容量部 $222_j$ の容量値を初期化した後に、各水平受光部 $110_j$ の第2番目の受光素子 $120_{2,j}$ のスイッチ素子 $140$ のみを「ON」とする水平走査信号 $V_2$ を出力し、上述と同様の動作により、第2番目の受光素子 $120_{2,j}$ の光電出力を読み出し、これに相当するデジタル信号を送出する。以下、水平走査信号を切り替えて、全受光素子 $120$ の光電出力を読み出し、相当するデジタル信号を演算素子アレイ14に出力する。

【0073】

この結果、第11(a)図に示すように、各データ転送ライン $250_j$ には、対応するj行目における全受光素子 $120_{1,j} \sim 120_{N,j}$ からの出力が、この順番で、送われる。しかも、各受光素子 $120_{i,j}$ の出力は、その最上位ビット(MSB)から最下位ビット(LSB)まで、その順番で、送われる。こうして送われた各受光素子 $120_{i,j}$ からの4ビット生画像データ $D(x, y) = 901$ (第10図)は、二値化処理回路 $401$ に送われるのみならず、生画像データバッファ $460$ に格納され、所定期間保持される。

【0074】

かかる本実施形態のA/D変換器アレイ13の構成によれば、1画素あたりのA/D変換速度は、1ビットあたり約1マイクロ秒となる。したがって、例えば、入力アナログ信号を8ビット(128階調)でデジタル変換する場合には、1行分の128個の受光素子 $120$ の出力信号をデジタル変換するのに必要な時間は、8マイクロ秒 $\times$ 128=1.024ミリ秒となる。すなわち、各フレーム画像を、約1ミリ秒にて取得することができる。したがって、約1000フレーム/秒の高速フレームレートにて、連続する画像フレームを取得することができる。

【0075】

次に、画像演算機構14の動作を第1図および第6図～第10図により説明する。

【0076】

まず、第6図に示される二値化処理回路 $401$ が二値化演算を行う。

【0077】

具体的には、各比較回路 $405_j$ には、対応するA/D変換器 $210_j$ より画像データ $901$ (第10図)が入力される。ここで、画像データ $901$ は、前述したように、MSBより入力されてくるデジタル信号であるため、制御回路15からも、比較される信号列がMSBより順次入力されてくる。コンパレータ $405$ が、これら入力データについて、

10

20

30

40

50

順次比較を行い、画像信号が比較信号と一致又は大きいときにのみ1を出力し、小さいときは0を出力する。したがって、各比較回路405<sub>j</sub>からは、対応するデータ転送ライン440<sub>j</sub>を介して、1ビットの2値画像データが出力される。この結果、第10図に示されるような生画像901に対する2値画像902が得られる。この2値画像データは、データ転送ライン440<sub>j</sub>を介して、重心演算処理回路402及びエッジ抽出処理回路403に送出される。

【0078】

続いて、この2値化画像データをもとにして重心情報とエッジ抽出画像が求められる。

【0079】

重心情報は、第7図の構成を有する重心演算回路402によって、以下のように計算される。

【0080】

ここで、入力されてくる2値画像データをD(x, y)とすると、x方向、y方向の重心座標(P<sub>x</sub>, P<sub>y</sub>)は以下の式により求められる。

【数1】

$$P_x = \frac{\sum_{x=1}^{N_1} \sum_{y=1}^{N_2} x \times D(x, y)}{\sum_{x=1}^{N_1} \sum_{y=1}^{N_2} D(x, y)} \quad \dots(a)$$

20

$$P_y = \frac{\sum_{x=1}^{N_1} \sum_{y=1}^{N_2} y \times D(x, y)}{\sum_{x=1}^{N_1} \sum_{y=1}^{N_2} D(x, y)} \quad \dots(b)$$

【0081】

本演算回路402では、(a)(b)式に共通する分母とそれぞれの分子を、重心検出回路409により、並列的に演算する。

30

【0082】

すなわち、各加算器410<sub>j</sub>には、対応する行j内の全画素の2値化画像データが、対応するデータ転送ライン440<sub>j</sub>を介して、入力されてくる。したがって、各加算器410<sub>j</sub>は、対応する行j内の全N<sub>1</sub>個の画素の2値画像データを加算する。対応する乗算器411<sub>j</sub>は、この加算結果を、行位置データ供給回路412から送られくる対応する行位置情報yと掛け合わせ、その結果を、加算器413にて、全N<sub>2</sub>行分加算することにより、(b)式の分子の値を得る。

【0083】

一方、加算器415には、全データ転送ライン440<sub>j</sub>が接続されている。このため、加算器415は、各列iの2値画像データを全N<sub>2</sub>行分一斉に加算する。各列iについての加算結果は、さらに、全N<sub>1</sub>列分、加算器418で、加算されることで、(a)(b)式のそれぞれの分母の値が得られる。

40

【0084】

加算器415にて各列i毎に加算された2値画像データの値は、乗算器416にも送られる。乗算器416は、この各列iの加算結果を、列位置データ供給回路412から送られてくる対応する列位置情報xと掛け合わせ、その結果を加算器419に出力する。加算器419は、乗算器416による演算結果を、全N<sub>1</sub>列分加算することで、(a)式の分子の値を得る。

【0085】

50

割算器 4 1 4 は、こうして得られた行位置情報  $y$  で重み付けした画像データの総和値を、加算器 4 1 8 から出力された画像データの総和値で割ることにより、 $P_y$  に相当する出力を得る。また、割算器 4 2 0 は、列位置情報  $x$  で重み付けした画像データの総和値を、加算器 4 1 8 から出力された画像データの総和値で割ることにより、 $P_x$  に相当する出力を得る。

【 0 0 8 6 】

この重心結果データ ( $P_x$ 、 $P_y$ ) は、データ転送ライン 5 1 0  $x$ 、5 1 0  $y$ 、及び、インストラクション / コマンドバス 1 6 を介して、制御回路 1 5 に送出される。

【 0 0 8 7 】

重心画像データ生成回路 4 2 5 は、データ転送ライン 5 1 0  $x$ 、5 1 0  $y$  を介して、重心結果データ ( $P_x$ 、 $P_y$ ) を受け取ると、重心位置 ( $P_x$ 、 $P_y$ ) の点のみが 1 で残りの全ての画素 ( $x$ 、 $y$ ) ( $1 \leq x \leq N_1$ 、 $x \neq P_x$ 、 $1 \leq y \leq N_2$ 、 $y \neq P_y$ ) で 0 である重心画像データ  $P(x, y)$  を生成して、データ転送ライン 5 2 0  $j$  を介して、出力する。すなわち、 $P_y$  以外に対応する全データ転送ライン 5 2 0  $j$  (ここで、 $j \neq P_y$ ) にデータ 0 を出力し続け、 $P_y$  に対応するデータ転送ライン 5 2 0  $j$  (ここで、 $j = P_y$ ) には、 $P_x$  に対応するタイミングでのみデータ 1 を出力し、残りの全てのタイミングでデータ 0 を出力することで、重心画像データ  $P(x, y)$  を出力する。

【 0 0 8 8 】

こうして得られた重心画像データ  $P(x, y)$  は、第 1 0 図に示される画像 9 0 4 のように、画像内に表示した円中の  $x$  印の交点として示した重心位置のみに点が示された画像となる。

【 0 0 8 9 】

次にエッジ抽出処理について説明する。エッジ抽出は、第 8 図の構成を有する  $3 \times 3$  積和演算器 4 3 0  $j$  を  $N_2$  個備えるエッジ抽出処理回路 4 0 3 によって行われる。

【 0 0 9 0 】

各  $3 \times 3$  積和演算器 4 3 0  $j$  は、次式で示される画像処理演算を行う。

【 数 2 】

$$\begin{aligned} D'(i, j) = & \text{mask}(0)xD(i-1, j-1) + \text{mask}(1)xD(i, j-1) + \text{mask}(2)xD(i+1, j-1) \\ & + \text{mask}(3)xD(i-1, j) + \text{mask}(4)xD(i, j) + \text{mask}(5)xD(i+1, j) \\ & + \text{mask}(6)xD(i-1, j+1) + \text{mask}(7)xD(i, j+1) + \text{mask}(8)xD(i+1, j+1) \\ & \dots (c) \end{aligned}$$

【 0 0 9 1 】

ここで、 $D(i, j)$  ( $= D(x, y)$ ) は入力 2 値画像データである。より詳しくは、 $D(i-1, j)$ 、 $D(i, j)$ 、 $D(i+1, j)$  は、データ転送ライン 4 4 0  $j$  から送出されてくる互いに隣り合う 3 つの画素の 2 値データである。同様に、 $D(i-1, j-1)$ 、 $D(i, j-1)$ 、 $D(i+1, j-1)$  は、データ転送ライン 4 4 0  $j-1$  から送出されてくる互いに隣り合う 3 つの画素の 2 値データである。さらに、 $D(i-1, j+1)$ 、 $D(i, j+1)$ 、 $D(i+1, j+1)$  は、データ転送ライン 4 4 0  $j+1$  から送出されてくる互いに隣り合う 3 つの画素の 2 値データである。

【 0 0 9 2 】

$D'(x, y)$  が、処理結果である出力画像データであり、 $\text{mask}$  は、マスクデータ供給回路 4 0 5 から供給されるマスクデータである。

【 0 0 9 3 】

エッジ抽出処理においては、 $\text{mask}$  の値を以下のように設定してラプラシアン演算を



行う。

【数3】

$$\text{mask} = \{1, 1, 1, 1, -8, 1, 1, 1, 1\} \quad \dots(d)$$

【0094】

2値画像データ $D(x, y)$ は、データ転送ライン440を介して転送されてくる。この結果、各乗算器431には、近傍 $3 \times 3$ 画素の画像データ $D(i \pm 1, j \pm 1)$ がそれぞれ入力される。一方、マスクデータ供給回路450からは、式(d)に示されるマスクデータが各乗算器431へ入力される。すなわち、乗算器431(0)~431(3)と431(5)~431(8)には、1、乗算器431(4)には、-8が入力される。こうして入力されたマスクデータと画像データの乗算結果は、加算器432に送られて加算され、得られた演算結果データ $D'(x, y)$ 、つまり、エッジ抽出結果が出力される。これが、第10図に示されるエッジ抽出画像903である。

10

【0095】

こうして、各 $3 \times 3$ 積和演算器430にて得られたエッジ抽出結果 $D'(i, j)$ は、対応するデータ転送ライン530<sub>j</sub>に出力され、処理画像データバッファ433にて所定時間格納された後、対応するデータ転送ライン540<sub>j</sub>に出力される。

【0096】

20

以上の計算処理は、行毎の並列演算を採用して、計算時間を短縮して高速化して行われているため、A/D変換レートで定まる高速フレームレートで取得した画像を、リアルタイムで処理することができる。

【0097】

次に、処理画像と画像データの重ね合わせについて第9図~第11(c)図を参照して説明する。

【0098】

既に述べたように、生画像の画像データ901は、第11(a)図に示されるように、各行jにおいて、1行分の信号が、ビットシリアル信号としてMSBより順次出力される。各画素のデータは、例えば、4ビットで構成され、各々の画素データの間には、アンブやA/Dのリセットのための無信号時間が存在する。そこで、第9図に示すように、各行jに対応するスイッチ20<sub>j</sub>を制御し、対応するデータバッファ171<sub>j</sub>への信号の入力先を、画像演算機構14からのライン520<sub>j</sub>及び540<sub>j</sub>と、画像演算機構14を回避するA/D変換器アレイ13からのライン500<sub>j</sub>との間で切り替えることで、第11(b)図に示されるように、画像処理結果(この場合、重心画像データとエッジ抽出画像データ)を生画像の画素データ間のこの無信号時間部分に埋め込んで、生画像データ4ビット+処理結果画像データ2ビット(重心画像データ1ビット+エッジ抽出画像データ1ビット)=6ビットのデータを生成する。

30

【0099】

こうして、各行jに対応するスイッチ20<sub>j</sub>は、A/D変換器アレイ13(生画像データバッファ450)からのライン500<sub>j</sub>と、重心画像データ生成回路425からのライン520<sub>j</sub>と、エッジ抽出回路403(処理画像データバッファ433)からのライン540<sub>j</sub>との間で、順番に切り替わることで、生画像データと重心画像データとエッジ抽出画像データとを合成する。

40

【0100】

このように、各行jにおいて、各画素iに対し、生画像データ4ビットの後または前に、処理結果として得られた重心画像データ1ビット(0もしくは1)とエッジ抽出画像データ1ビット(0もしくは1)を追加するのである。但し、重心演算処理回路402による重心画像処理にはある程度の時間がかかることを考慮し、生画像データをいったん生画像データバッファ450に保持し、エッジ抽出処理画像データもいったん処理画像データ

50

バッファ 433 に保持するようにしている。重心画像データ生成回路 425 によって重心画像データが生成されるタイミングに合わせて、これら生画像データとエッジ抽出処理画像データを、対応するデータバッファ 450、433 から出力するようにしている。

【0101】

例えば、第 11 (b) 図に示すように、生画像の 4 ビットデータの後に、重心情報、エッジ抽出画像信号をそれぞれ 1 ビットずつ、この順序で挿入する。この結果、第 10 図に示されるような生画像のエッジを強調して重心位置が表示される重ね合わせ画像 905 が生成される。

【0102】

なお、データバッファ 450、433 は設けなくてもいい。その場合には、重心画像データについては、生画像データ及びエッジ抽出処理画像データに対して 1 フレーム後にずれたタイミングにおいて、対応する画素の位置に挿入すれば良い。

【0103】

また、後段の表示装置や演算装置の制約から出力画像データを 4 ビット長に維持する必要がある場合は、生画像の最下位あるいは最上位ビットの代わりに、処理結果を最下位あるいは最上位ビットに入れればよい。例えば、第 11 (c) 図に示すように、生画像の下位 2 ビットの代わりに、重心情報、エッジ抽出画像信号をそれぞれ 1 ビットずつ、この順序で挿入してもいい。この場合にも、第 10 図に示されるような生画像のエッジを強調して重心位置が表示される重ね合わせ画像 905 が生成される。

【0104】

こうして各行  $j$  に対して得られた合成画像データ 905 は、対応するデータバッファ  $171_j$  に格納される。なお、各データバッファ  $171_j$  は、格納する合成画像データ 905 のビット数に合わせた容量を有している。例えば、合成画像データ 905 が、第 11 (b) 図のように、各画素 6 ビットで形成される場合には、各データバッファ  $171_j$  は、6 ビット  $\times$  (各行  $j$  の画素数  $N1$ )  $\times$  (フレーム数  $n$ ) の容量を有するように構成される。また、合成画像データ 905 が、第 11 (c) 図のように、各画素 4 ビットで形成される場合には、各データバッファ  $171_j$  は、4 ビット  $\times$  (各行  $j$  の画素数  $N1$ )  $\times$  (フレーム数  $n$ ) の容量を有するように構成される。したがって、全  $N2$  個のデータバッファ  $171_j$  により、 $n$  フレーム分の合成画像データ 905 を保持することができる。

【0105】

本実施の形態のカメラシステム 1 によれば、連続する複数のフレーム画像 901 を、A/D 変換器アレイ 13 の A/D 変換レートで定まる高速フレームレートで繰り返し取得していく。そして、各フレームの合成画像データ 905 を繰り返し生成し保持していく。そして、所望の時点で得られた合成画像を所望のフレームレートに変換して、モニター 18 に表示する。

【0106】

ここで、所望の時点とは、例えば、重心検出回路 409 にて求められた重心位置 ( $P_x$ 、 $P_y$ ) が、所望の設定位置に一致した場合である。制御回路 15 は、1 フレームの画像が得られる度に、重心検出回路 409 から重心位置データ ( $P_x$ 、 $P_y$ ) を受け取り、それが設定値 ( $X$ 、 $Y$ ) に一致しているかを判断する。一致していない場合には、信号変換制御部 19 を介して、今回のフレームについての合成画像データをデータバッファ  $171$  に格納させる。一方、あるフレームにおいて、重心位置データ ( $P_x$ 、 $P_y$ ) が設定値 ( $X$ 、 $Y$ ) に一致したと判断されると、制御回路 15 は、信号変換制御部 19 に対し、モニタ表示処理の指示を出力する。表示処理が指示された信号変換制御部 19 は、信号変換器 17 を制御し、データバッファ  $171$  に既に格納されている  $n$  個分のフレームの合成画像データを、古いものから順番に読みだして、モニター表示に適した画像信号に変換して、モニター 18 に表示させる。さらに、現在のフレームについても同一の処理を行い、表示させる。さらに、今後順次得られる  $n$  個分のフレームについても、その合成画像データについて同一の処理を行い、表示させる。こうして、信号変換器 17 は、信号変換制御部 19 からの指示により、重ね合わせ画像信号を、モニタ 18 で表示するのに適した画像信号に

10

20

30

40

50

変換して、モニタ 18 に表示させる。

【0107】

本実施形態のカメラシステム 1 では、以上の処理を、制御回路 15 による制御の下、第 12 図に示すフローチャートに従って行う。

【0108】

すなわち、まず、S10 において、制御回路 15 は、受光素子アレイ 11 及び A/D 変換器アレイ 13 を制御して、1 フレームの生画像データ  $D(x, y)$  ( $1 \leq x \leq N1$ ,  $1 \leq y \leq N2$ ) を取得する。その結果、生画像データ  $D(x, y)$  が、データ転送ライン 250<sub>j</sub> を介して、画像演算機構 14 に転送されると共に、生画像データバッファ 460 に格納される。

10

【0109】

次に、S20 において、制御回路 15 は、画像演算機構 14 を制御して、演算処理を行わせる。すなわち、まず、二値化回路 401 を制御して、データ転送ライン 250<sub>j</sub> からの生画像データを二値化して、2 値画像データを生成する。さらに、重心演算回路 402 を制御して、2 値画像データに基づき、現在のフレームにおける重心位置 ( $P_x$ ,  $P_y$ ) を演算させる。演算結果は、制御回路 15 に送信されると共に、重心画像データ生成回路 425 に送られ、重心画像データが作成される。また、エッジ抽出処理回路 403 を制御して、2 値画像データに基づき、エッジ抽出画像データを生成する。エッジ抽出画像データは、処理画像データバッファ 433 に格納される。

【0110】

20

次に、S30 にて、制御回路 15 は、現在のフレームについて受け取った重心位置データ ( $P_x$ ,  $P_y$ ) を、設定データ ( $X$ ,  $Y$ ) と比較する。重心位置データ ( $P_x$ ,  $P_y$ ) と設定データ ( $X$ ,  $Y$ ) とが一致していない場合 (S40 にて No) には、制御回路 15 は、信号変換制御部 19 を介して、信号変換器 17 に対し、現在のフレームについて、合成画像データを生成させデータバッファ 171 に蓄積させる。すなわち、制御回路 15 は、スイッチ 20<sub>j</sub> を制御することにより、生画像データバッファ 460 の生画像データと、重心画像データ生成回路 425 からの重心画像データと、処理画像データバッファ 433 のエッジ抽出画像データとを合成し、データバッファ 171 に格納させる。そして、次のフレームの取得/処理 (S10) に進む。なお、ここで、n フレーム分の合成画像データがデータバッファ 171 に既に蓄積されていた場合には、最も古いフレームについての合成画像データを捨てて、最も新しい今回のフレームの合成画像データを蓄積させる。

30

【0111】

一方、現在のフレームについて受け取った重心位置データ ( $P_x$ ,  $P_y$ ) が設定データ ( $X$ ,  $Y$ ) と一致した場合 (S40 にて Yes) には、制御回路 15 は、S60 にて、信号変換制御部 19 に対し、モニタ表示処理を開始するよう指示する。なお、制御回路 15 は、かかる指示をした後、S10 に戻り、次のフレームの取得/処理を開始する。

【0112】

モニタ表示処理の指示を受けた信号変換制御部 19 は、S70 にて、データバッファ 171 に既に格納されている合成画像データと、今回のフレームの合成画像データと、今後 n 個分のフレームの合成画像データとを順次表示するよう、信号変換器 17 への制御を開始する。具体的には、信号変換制御部 19 は、まず、データバッファ 171 から、現在蓄積されている全フレーム (n 個分のフレーム) を、最も古いフレームから順に読みだし、D/A 変換器 172 でアナログ信号に変換し、さらに、同期信号混合器 173 にて同期信号と混合してモニター 18 に表示する。さらに、今回のフレームについての合成画像データについても同一の処理により表示をし、さらに、今後得られる n 個分のフレームに対しても同一の処理を行い表示をする。

40

【0113】

なお、以上の制御は、ある表示すべき瞬間の前後の画像を表示する場合についてのものだが、ある表示すべき瞬間のフレームとそれ以後のフレームについての画像のみを表示すればいい場合には、S50 では、画像の蓄積を行わなくていい。S40 にて Yes となっ

50

た場合のみ、そのフレームとそれ以降の数フレーム分について、画像の蓄積と表示とを行うようにすれば良い。

【0114】

以上のように、本実施の形態によれば、A/D変換器アレイ13は、受光素子アレイ11の各行の受光素子120に対応して1個のA/D変換器210を備えている。画像演算機構14は、複数の処理回路400を備えており、高速での画像演算を行う。信号変換器17は、A/D変換器アレイ13の出力信号と画像演算機構14の出力信号とを合成する。信号変換器17は、さらに、制御回路15及び信号変換制御部19の制御の下、重要なタイミングにおいて、合成信号を、モニタ18の表示に適したフレームレートにダウンコンバートして、モニタ18に表示させる。したがって、高速フレームレートで取得し処理した画像の内、本当に必要なフレームのみを抜き出して、信号変換して表示することができる。

10

【0115】

従来技術4の装置では、画像表示を行うための画像センサのフレームレートが30ミリ秒と制限されており、しかも、第13(b)図に示されるように、画像表示のタイミングに合わせて画像転送、処理演算を行う必要があるため、高速での画像処理演算は不可能であった。これに対して、本実施形態の装置では、画像転送、画像演算をフレームレート1000ミリ秒という高速で行い、任意のタイミングの映像をデータバッファ171に蓄積しておいてD/A変換器172、同期信号混合器173によりモニタ18側のフレームレートに合わせた映像信号を生成して出力することで、第13(a)図にタイミングチャートを示すように、所定のタイミングの映像を抽出して時間的に引き延ばして表示することが可能となっている。

20

【0116】

本実施形態のカメラシステム1によれば、例えば、第14(a)~(c)図に示すように、既にチップ51、52が実装されている基板50上にさらにチップ53を装置54を用いて実装する瞬間の画像を抽出することができる。第14(b)図が所望のチップ53が実装される瞬間の画像であり、第14(a)図、第14(c)図は、それぞれ、その前後のタイミングで取得された画像である。

【0117】

このチップ53が実装される瞬間の画像を抽出するため、本実施形態のカメラシステム1は、入力画像の中から、特徴抽出演算によって対象画像であるチップ53を抽出し、その対象が基板の所定の位置に実装されるタイミングで画像を出力することができる。

30

【0118】

具体的には、まず、入力画像 $D(x, y)$ が画像演算機構14に転送され、重心およびエッジ抽出が行われ、処理画像が生成される。重心演算結果に基づき、チップ53の位置を高速(フレームレートの速度)に把握する。そして、チップ53の位置が基板50の所定位置に達した所定のタイミングにおいて、信号変換制御部19から信号変換器17に対して画像信号の変換を指示することにより、このタイミングの画像(第14(b)図に示されるタイミングの画像)前後の映像をモニタ18に表示させる。

【0119】

さらに、本機能を用いることで、「ドリルが加工対象に接触する瞬間」や「バットがボールにぶつかる瞬間」とその前後等、最も重要な情報を含む画像列を抽出してモニター画像出力することが可能となる。従来の画像処理演算のほとんどが同様な手法でハードウェア化可能であるため、高速対象物の画像処理を実現できる。

40

【0120】

さらに、 $3 \times 3$ のマスク演算を行うエッジ抽出回路403によれば、式(c)で用いるマスクデータを変更することで、エッジ抽出以外にも様々な演算を行うことが可能である。例えば、スムージングであれば、maskとして{1, 1, 1, 1, 8, 1, 1, 1, 1}を、縦線検出であれば、maskとして{-1, 0, 1, -1, 0, 1, -1, 0, 1}を、横線検出であれば、maskとして{-1, -1, -1, 0, 0, 0, 1, 1,

50

1 } をそれぞれ用いればよい。

【 0 1 2 1 】

以上の説明では、生画像と処理画像を重ね合わせて表示する実施形態について説明してきたが、表示画面を2つに分けて、一方に生画像を他方に処理画像を同時に表示してもよい。例えば、生画像と処理画像とを左右に並べて同時表示する場合は、第9図に示されるデータバッファ171への信号転送の際に、表示画像のうち生画像が表示される画素に対応するバッファ領域にはA/D変換器アレイ13からの信号を転送し、処理画像が表示される画素に対応するバッファ領域には画像演算機構14からの信号が転送されるようにスイッチ20を切り替えればよい。

【 0 1 2 2 】

また、スイッチ20を任意のタイミングで切り替えることで、生画像のみを出力させたり、処理画像のみ（重心画像のみ、または、エッジ抽出画像のみ）を出力させたり、処理画像の合成画像（重心画像とエッジ抽出画像の合成画像）のみを出力させたりすることができる。したがって、ユーザの望む形態の画像を出力させることができる。

【 0 1 2 3 】

2値化回路401は、生画像データをそのまま通すようにし、2値化演算結果を、この生画像データの最下位ビットの後に挿入するようにしても良い。同様に、エッジ抽出回路403も、生画像データをそのまま通す構成としても良い。この場合には、A/D変換器アレイ13から画像演算機構14を回避してスイッチ20に到るデータ転送ライン500<sub>j</sub>が不要となる。

【 0 1 2 4 】

より詳しくは、第15図に示すように、二値化処理回路401の各ビット比較器405<sub>j</sub>は、受け取った生画像データを2値化すると、そのデータ転送ライン440<sub>j</sub>に対し、生画像データに2値画像データを追加して出力するようにする。さらに、第8図において点線で示すように、エッジ抽出回路403を構成する各種和演算回路430<sub>j</sub>の乗算器431(5)の出力端に、対応する行jからの生画像データD(x, y)をそのまま後段へ出力するためのデータ転送ライン550<sub>j</sub>を接続する。この場合には、第15図のように、全N2個の積和演算回路430の出力端には、全N2個のデータ転送ライン530<sub>j</sub>と全N2個のデータ転送ライン550<sub>j</sub>との両方が接続される。この場合には、生画像データバッファ（ここでは、生画像データバッファ435とする）を、この全N2個のデータ転送ライン550<sub>j</sub>に接続する。生画像データバッファ435の出力端に、N2個のデータ転送ライン560<sub>j</sub>を接続させる。かかる構成によれば、A/D変換器アレイ13からのデータ転送ライン250<sub>j</sub>に、画像演算機構14を迂回して伸びる部分を設ける必要がなくなる。すなわち、第16図に示すように、各行jに対応するスイッチ20<sub>j</sub>は、生画像データバッファ435からの対応するデータ転送ライン560<sub>j</sub>と、処理画像データバッファ433からの対応するデータ転送ライン540<sub>j</sub>と、重心画像データ生成回路425からの対応するデータ転送ライン520<sub>j</sub>とを、切り替えながら、対応するデータバッファ171<sub>j</sub>に接続することにより、合成画像データを生成することができる。

【 0 1 2 5 】

また、以上の説明では、重心位置を二値化画像から求めたが、生画像から同様の計算式によって求めることで、演算量は大きくなるもののより高い精度で重心位置を求めることも可能である。同様に、エッジ抽出処理も、生画像データに基づき行うのでもよい。

【 0 1 2 6 】

モニター18の代わりに、コンピュータ等の演算処理装置を信号変換器17に接続してもいい。この場合には、抽出されたフレームの合成画像データのみが、所望のフレームレートで演算処理装置に出力されることになる。したがって、演算処理装置は、必要な演算処理を必要な画像に対して容易に施すことができる。

【 0 1 2 7 】

本実施形態が目指しているのは、高速画像処理された結果から、所望のタイミングの画像を抽出して処理結果を実画像と合わせて出力したりモニターしたりする機能を有する画

10

20

30

40

50

像センサ装置である。処理速度の目安としては、FAロボットの制御においては、対象物の移動速度とロボットのアクチュエータの速度（1～10ミリ秒）から必要な処理速度が決まる。本実施形態では、この処理速度は、A/D変換器210におけるA/D変換処理速度によって決まるが、A/D変換器からの出力のビット数は可変であるため、より高速演算が必要な場合には、ビット数を減らすことによって高速化が可能である。例えば、8ビット変換に10μ秒かかっているような場合、4ビットにデータ長を削減することで、ほぼ2倍の変換速度が実現できることになる。

#### 【0128】

上記の実施形態では、信号変換器17に複数の画面分のデータバッファ171を有する例について説明してきたが、特定のタイミングの静止映像のみを取得すれば充分である場合には、データバッファ171を省略することでより簡易な装置構成とすることも可能である。

10

#### 【0129】

また、上記のシステムにおいて、さらに高速なフレームレートで処理を行いたい場合には、A/D変換器210における階調を少なくすることで、単位時間あたりにデータを転送する画素数を増やして高速化を実現できる。例えば、1画素あたりのデータ量を8ビット（256値）から1ビット（2値）まで可変とすることで、高速化が実現できる（8ビットを1ビットにすることで8倍の高速化が可能となる）。具体的には、第3図に示されるA/Dコンバータにおいて、最上位ビットから順に比較演算を行い、希望のビット数まで変換を終了した時点で、リセットを行い、次の画素の変換に処理を移すことで、そのままのハードウェアによって、任意の階調でのA/D変換を行うことが可能となる。本システムでは、少ない接続配線で並列処理を行わせるため、ビットシリアル転送（1本の配線を用いてA/D変換器から出力される上位ビットから順に転送する）を利用しているので、ビット数の変更に対しても、有効なビット数分の演算を行うだけで容易に対応できる。

20

#### 【0130】

また、高速なフレームレートで処理を行いたい場合のもう1つの方法としては、解像度を少なくして情報量を少なくした状態で演算を行う方法もある。これは、第1図、第3図に示される受光素子アレイ11において隣接する複数の受光素子120の出力信号を同時に読み出すことにより、例えば128×128画素の画像を、64×128画素（横方向に2点ずつ同時）、32×128画素（横方向に4点ずつ同時）として読み出すことで、画像のデータ量をそれぞれ50%、25%に減少させて、演算速度を2倍、4倍に向上させることが可能である。このように、複数のピクセルの電流和を取って、高速処理を実現する手段をピニングという。

30

#### 【0131】

対象に合わせて、上記の2つの機能を組み合わせれば、通常の監視状態では、アナログ階調の少ない画像や解像度の荒い画像を取得して高速なフレームレートで対象を追従していき、希望するタイミングに近づいたところで、多階調又は高解像度な画像を取得するのに切り替えて、細かい検査を行う、といった適応的な画像処理を行うことが可能となる。

#### 【0132】

次に、本発明の第2の実施形態に係る高速画像処理カメラシステムを第17図～第20図に基づき説明する。

40

#### 【0133】

第17図は、本発明の第2の実施形態に係る高速画像処理カメラシステム1の構成図である。なお、第1の実施形態の高速画像処理カメラシステムと同一又は同等な構成部分には同一符号を付し、その説明は省略する。

#### 【0134】

本実施形態では、第1の実施形態とは異なり、2値化回路401の代わりに、雑音除去を行う画像前処理回路1401が設けられている。また、重心演算処理回路402とエッジ抽出処理回路403とからなる画像後処理回路1403が設けられている。さらに、画

50

像後処理回路1403と画像前処理回路1401との間に、画像比較処理回路1402が備えられている。

【0135】

本実施形態の画像演算機構14では、これら画像処理回路1401～1403からなる演算素子アレイに、データ制御装置1404とデータバッファ1405とが接続されている。ここで、データバッファ1405は、画像比較処理回路1402に接続されており、画像比較処理回路1402に供給するための背景画像データを格納している。また、データ制御装置1404は、データバッファ1405から画像比較処理回路1402への背景画像データの転送を制御するためのものである。

【0136】

このように、本実施形態では、画像演算機構14は、画像前処理回路1401、画像比較処理回路1402、画像後処理回路1403、データ制御装置1404、及び、データバッファ1405から構成されている。

【0137】

なお、本実施形態の場合、制御回路15は、インストラクション/コマンドバス16を介して、これらデータバッファ1405やデータ制御装置1404、画像前処理回路1401、画像比較処理回路1402、画像後処理回路1403に接続されており、これらを制御するようになっている。

【0138】

また、本実施形態では、第1の実施形態とは異なり、A/D変換器アレイ13からのN2本のデータ転送ライン250<sub>j</sub>には、画像演算機構14を回避する分岐部分は形成されておらず、生画像データバッファ460も設けられていない。

【0139】

したがって、本実施形態では、前処理として雑音除去、比較処理として背景除去、後処理としてエッジ抽出と重心演算を行う。

【0140】

第18図は、これら前処理回路1401、比較処理回路1402、後処理回路1403の全体構成を示したブロック図である。

【0141】

雑音除去を行う前処理回路1401は、受光素子アレイ11の各行j毎に、1つずつのビット比較器1407<sub>j</sub>が配置されて構成されている。すなわち、前処理回路1401には、全N2個のビット比較器1407<sub>j</sub>が配置されており、各ビット比較器1407<sub>j</sub>の入力端が、対応するA/D変換器210<sub>j</sub>からのデータ転送ライン250<sub>j</sub>に接続されている。各比較器1407<sub>j</sub>のもう一つの入力端は、インストラクション/コマンドバス16を介して、制御回路15と接続されている。各比較器1407<sub>j</sub>の出力端には、データ転送ライン1440<sub>j</sub>が接続されている。こうして、前処理回路1401全体からは、全N2個のデータ転送ライン1440<sub>j</sub>が出力されている。

【0142】

比較処理回路1402は、受光素子アレイ11の各行j毎に、1つずつの減算器1408が配置されて構成されている。すなわち、比較処理回路1402には、全N2個の減算器1408<sub>j</sub>が配置されており、各減算器1408<sub>j</sub>の正入力端には、前処理回路1401の対応する比較器1407<sub>j</sub>で処理された信号が、対応するデータ転送ライン1440<sub>j</sub>を介して入力されるようになっている。各減算器1408<sub>j</sub>の負入力端には、データバッファ1405から、所定の背景画像を示す信号が入力される。各減算器1408<sub>j</sub>の出力端は、データ転送ライン440<sub>j</sub>に接続されている。したがって、比較処理回路1402全体からは、全N2個のデータ転送ライン440<sub>j</sub>が出力されている。

【0143】

後処理回路1403は、重心演算処理回路402とエッジ抽出処理回路403とから構成されている。第1の実施形態と同様、重心演算処理回路402は、重心検出回路409と重心画像データ生成回路425とから構成されている。また、エッジ抽出処理回路40

10

20

30

40

50

3も、受光素子アレイ11の各行jごとに1つずつ配置された積和演算器430<sub>j</sub>を備えており、3×3マスク演算を行うようになっている。さらに、重心検出回路409とエッジ抽出処理回路403とは、共に、比較処理回路402からの全N2個のデータ転送ライン440<sub>j</sub>に対し、平行に接続されており、雑音と背景画像が除去された生画像データに対し、重心演算とエッジ抽出処理を施すようになっている。

#### 【0144】

第1の実施形態同様、重心画像データ生成回路425の出力端には、N2個のデータ転送ライン520<sub>j</sub>が接続されている。また、エッジ抽出回路403の後段には、N2個のデータ転送ライン530<sub>j</sub>を介して処理画像データバッファ433が接続されており、この処理画像データバッファ433からN2本のデータ転送ライン540<sub>j</sub>が出力されている。

10

#### 【0145】

第19図に示されるように、各行jに対するスイッチ20<sub>j</sub>が、対応するデータ転送ライン520<sub>j</sub>と対応するデータ転送ライン540<sub>j</sub>とを、切り替えながら、対応するデータバッファ171<sub>j</sub>に接続するようになっている。

#### 【0146】

かかる構成を有する本実施形態のカメラシステム1によれば、第20図に示すように、受光素子アレイ11で取得された生画像データに対し、画像演算の前処理として雑音除去を行った後、比較演算として背景除去を行い、さらに、後処理として重心検出とエッジ抽出を行ったうえで、処理結果である重心画像とエッジ抽出画像とを重ね合わせて表示することができる。

20

#### 【0147】

次に、本実施形態のカメラシステム1の動作を第20図を参照して説明する。

#### 【0148】

受光素子アレイ11及びA/D変換器アレイ13により撮像された対象物1900の生画像1901には、雑音成分が含まれている。そこで、前処理回路1401により雑音除去を行う。すなわち、各行jのコンパレータ1407<sub>j</sub>が、画像信号と、所定の閾値である比較信号との比較を行い、画像信号が比較信号と一致又は大きいときのみ画像信号をそのまま（例えば、生画像信号が4ビットなら、その4ビットの生画像信号をそのまま）出力し、小さいときは0（例えば、生画像信号が4ビットなら、4ビットの(0000)画像信号）を出力する。これにより、比較される生画像信号が所定値以下の場合には、雑音として除去される。この結果、第20図に示されるような生画像1901の前処理（雑音除去）画像1902が得られる。

30

#### 【0149】

次に、比較処理回路1402が、前処理画像1902（雑音除去された生画像データ）に対して、背景除去を行う。データバッファ1405には、予め、背景画像1903の画像データが記憶されている。データ制御装置1404は、データバッファ1405から各減算器1408<sub>j</sub>への背景画像データの転送を制御する。すなわち、各画素(x、y)についての雑音除去画像データが対応する減算器1408<sub>j</sub>（ここで、j=y）に入力されてくるタイミングに合わせて、データ制御装置1404は、同一の画素(x、y)についての背景画像データを、データバッファ1405から対応する減算器1408<sub>j</sub>に転送する。

40

#### 【0150】

各減算器1408<sub>j</sub>は、前処理画像1902の画像信号から、この背景画像1903の画像信号を減算することにより、前処理画像1902から背景画像1903を除去した雑音・背景除去画像1904を生成する。生成した雑音・背景除去画像1904を、対応するデータ転送ライン440<sub>j</sub>を介して、画像後処理回路1403に出力する。

#### 【0151】

生成された雑音・背景除去画像1904の画像信号は、後処理回路1403の重心演算回路402とエッジ抽出回路403とに送られる。重心演算回路402では、第1の実施

50



形態と同様の動作が行われる。したがって、重心検出回路409により、重心位置が求められ、さらに、重心画像データ生成回路425により、重心画像データ1905が生成される。また、エッジ抽出回路1403では、エッジ抽出画像1906が生成される。

【0152】

第19図に示すように、各行 $j$ に対応するスイッチ $20_j$ が、対応するデータ転送ライン $520_j$ と $540_j$ と切り替えることにより、重心画像1905とエッジ抽出画像1906とを合成して、合成画像1907を生成して、対応するデータバッファ $171_j$ に格納させる。

【0153】

本実施形態では、第1の実施形態同様、制御回路15が第12図におけるフローチャートにて装置全体を制御しており、あるフレームにおいて重心検出回路409にて求められた重心位置( $P_x$ 、 $P_y$ )が所定の設定位置に一致した時( $S40$ にて $Yes$ )に、表示タイミングとなり、そのフレームと前後 $n$ 個のフレームについての合成画像1907が、モニタ18に適したフレームレートに変換されて、モニター18に表示される。

【0154】

このように、本第2の実施の形態によれば、画像演算機構14は、前処理回路1401、比較処理回路1402、後処理回路1403、及び、データバッファ1405を備えており、高速での画像演算を行う。信号変換器17は、画像演算機構14内の後処理回路1403の出力信号を合成する。信号変換器17は、さらに、制御回路15及び信号変換制御部19の制御の下、重要なタイミングにおいて、この合成信号を、モニタ18の表示に適したフレームレートにダウンコンバートして、モニタ18に表示させる。

【0155】

本実施形態では、データバッファ1405にバックグラウンド画像を記憶しておき、比較処理回路1402によって、取り込んだ画像からバックグラウンド画像の減算を行って出力画像とすることで、リアルタイムにバックグラウンド減算した画像を出力することが可能となっている。

【0156】

なお、本実施形態でも、第1の実施形態の変形例と同様に、積和演算器 $430_j$ を、第8図に点線にて示したように、入力された画像データ自体を出力するように構成してもよい。この場合には、積和演算器 $430_j$ は、雑音と背景画像とが除去された生画像データ1904をそのまま出力する。この場合には、第15図、第16図を参照して説明したのと同様に、エッジ抽出回路403の後段に、処理画像データバッファ433と生画像データバッファ435とを設け、これらから、それぞれ、 $N2$ 本のデータ転送ライン $540_j$ と $N2$ 本のデータ転送ライン $560_j$ とが出力されるようにする。かかる構成によれば、エッジ抽出回路404により、エッジ抽出画像1906が生成されると共に、雑音・背景除去画像1904もそのまま転送される。したがって、第16図に示したのと同様に、各行 $j$ に対するスイッチ $20_j$ を、対応するデータ転送ライン $520_j$ 、 $540_j$ 及び $560_j$ を切り替えながら対応するデータバッファ $171_j$ に接続することにより、雑音・背景除去画像1904と重心画像1905とエッジ抽出画像1906とを合成して、合成画像1907を生成し、対応するデータバッファ $171_j$ に格納させ、所望のタイミングにて表示させることができる。

【0157】

また、上記のシステムにおいて、さらに高速なフレームレートで処理を行いたい場合には、第1の実施形態において説明したように、A/Dコンバータ210において任意の階調でのA/D変換を行うようにすれば良い。この場合には、データバッファ1405にも、同様のビット数の画像を比較画像として蓄積しておけばよい。あるいは、データ制御装置1404を制御してビット数を変更して読み出してもよい。

【0158】

さらに、第1の実施形態において説明したように、対象に合わせて、A/D変換の階調変更とビニングとを組み合わせて用いれば、適応的な画像処理を行うことが可能となる。

10

20

30

40

50

但し、本実施形態の場合には、階調や解像度の違う画像について減算演算やマッチング等の比較処理を行うことになるため、それぞれの条件における比較画像（背景画像や参照画像）をデータバッファに用意し、それぞれと比較演算することが好ましい。

【0159】

また、データバッファ1405に1つ前のフレームの画像を記憶しておき、比較処理回路1402によって、取り込んだ画像から前フレームの画像の減算を行って出力画像とすることで、前画像との差分画像、すなわち、移動している物体のみを抽出した画像を生成して出力することが可能となる。このとき、現フレームとの単純な減算を行うのではなく、前フレーム画像（データバッファ）と現フレームの画像との比較を行った後、後処理回路1403で、画像信号がある閾値以上の画素を「動いた画素」と判定して、最終的な出力信号とすれば、画像の中から動いているものだけを鮮明に出力したり、この画像出力を元に重心演算装置によって重心を演算することで、動いている物体の正確なトラッキングをも実現できる。

10

【0160】

次に、本発明の第3の実施形態に係る高速画像処理カメラシステムを第21図～第26図に基づき説明する。

【0161】

第21図は、本発明の第3の実施形態に係る高速画像処理カメラシステム1の構成図である。なお、第1、2の実施形態の高速画像処理カメラシステムと同一又は同等な構成部分には同一符号を付し、その説明は省略する。

20

【0162】

本実施形態の画像演算機構14は、前処理を行う処理回路400として、第2の実施形態と同様、雑音除去を行う画像前処理回路1401を備えている。一方、比較演算を行う処理回路400として、パターンマッチング回路2402を備えている。また、後処理を行う処理回路400として、重心演算回路402を備えている。

【0163】

また、第2の実施形態同様、パターンマッチング回路2402にはデータバッファ2405が接続されている。データバッファ2405は、パターンマッチング回路2402がパターンマッチングを行う( $m_1 \times m_2$ )参照画像データを格納している。画像演算機構14は、さらに、第2の実施形態同様、データバッファ2405からパターンマッチング回路2402への( $m_1 \times m_2$ )参照画像データの転送を制御するためのデータ制御装置2404を備えている。

30

【0164】

第1の実施形態同様、A/D変換器アレイ13の出力端から伸びるN2本のデータ転送ライン250<sub>j</sub>は、分岐しており、一方が、画像演算機構14に接続され、他方が、生画像データバッファ460に接続されている。生画像データバッファ460の出力端は、第1の実施形態同様、N2本のデータ転送ライン500<sub>j</sub>に接続されている。生画像データバッファ460は、生画像データを所定時間格納した後、データ転送ライン500<sub>j</sub>を介して、スイッチ20<sub>j</sub>へ出力する。

【0165】

第22図に示すように、画像前処理回路1401は、第2の実施形態同様、N2個のビット比較器1407<sub>j</sub>から構成されており、その出力端には、N2本のデータ転送ライン1440<sub>j</sub>が接続されている。このN2本のデータ転送ライン1440<sub>j</sub>が、パターンマッチング回路2402に接続されている。

40

【0166】

以下、パターンマッチング回路2402について、第22図及び第23図を参照して、説明する。

【0167】

パターンマッチング回路2402は、雑音除去された生画像D(x、y)について、( $m_1 \times m_2$ )参照画像s(p、q)とのマッチング演算を行うためのものである。

50

## 【 0 1 6 8 】

マッチングの演算アルゴリズムは数多く提案されている。例えば、画素 ( x , y ) を左上端に有する ( m 1 x m 2 ) 領域と ( m 1 x m 2 ) 参照画像に対し、以下の関数 Error を求め、その値が所定のしきい値以下となった場合に、これらの領域が一致しているといえることができる。

## 【 数 4 】

$$ERROR(x,y) = \sum_{p=1}^{m1} \sum_{q=1}^{m2} |D(x+p-1,y+q-1) - s(p,q)|$$

10

## 【 0 1 6 9 】

本実施形態では、簡単のため、( m 1 x m 2 ) 参照画像として、( 3 x 3 ) 参照画像を採用する。すなわち、m 1 = m 2 = 3 である。そして、N 1 x N 2 画像内の各画素 ( x , y ) を中心に有する N 1 x N 2 個の ( 3 x 3 ) 領域のそれぞれに対し、( 3 x 3 ) 参照画像とのマッチング演算を行う。すなわち、各画素 ( x , y ) を中心に有する ( 3 x 3 ) 領域と ( 3 x 3 ) 参照画像に対し、以下の関数 Error を求め、その値が所定のしきい値以下となった場合に、当該 ( 3 x 3 ) 領域と ( 3 x 3 ) 参照画像とが一致しているとする。一致している場合には、当該中心画素 ( x , y ) について ( 1 ) を出力し、一致していない場合には、当該中心画素 ( x , y ) について ( 0 ) を出力することで、マッチング画像データ M ( x , y ) を生成する。

20

## 【 数 5 】

$$ERROR(x,y) = \sum_{p=1}^3 \sum_{q=1}^3 |D(x+p-2,y+q-2) - s(p,q)|$$

## 【 0 1 7 0 】

より詳しくは、パターンマッチング回路 2 4 0 2 は、第 2 2 図に示すように、N 2 本のデータ転送ライン 1 4 4 0<sub>j</sub> に対して、1 対 1 に対応した N 2 個の差分絶対値総和比較器 2 4 3 0<sub>j</sub> を備えている。

30

## 【 0 1 7 1 】

第 2 3 図に示すように、各差分絶対値総和比較器 2 4 3 0<sub>j</sub> は、対応するデータ転送ライン 1 4 4 0<sub>j</sub> の他、その上下のデータ転送ライン 1 4 4 0<sub>j-1</sub>、1 4 4 0<sub>j+1</sub> にも接続されている。すなわち、各差分絶対値総和比較器 2 4 3 0<sub>j</sub> は、対応する m 2 ( = 3 ) 本のデータ転送ライン j - 1 , j , j + 1 に接続されている。各差分絶対値総和比較器 2 4 3 0<sub>j</sub> 内には、m 1 x m 2 ( = 3 x 3 = 9 ) 個の差分絶対値演算器 2 4 3 1 ( 0 ) ~ 2 4 3 1 ( 8 ) と、1 個の加算器 2 4 3 2 と、1 個の比較器 2 4 3 3 とが配置されている。

## 【 0 1 7 2 】

差分絶対値演算器 2 4 3 1 ( 0 ) ~ 2 4 3 1 ( 8 ) は、m 1 ( = 3 ) 個ずつが m 2 個のデータ転送ライン 1 4 4 0<sub>j-1</sub>、1 4 4 0<sub>j</sub>、1 4 4 0<sub>j+1</sub> のそれぞれに接続されている。すなわち、差分絶対値演算器 2 4 3 1 ( 0 ) ~ 2 4 3 1 ( 2 ) は、データ転送ライン 1 4 4 0<sub>j-1</sub> に接続されている。差分絶対値演算器 2 4 3 1 ( 3 ) ~ 2 4 3 1 ( 5 ) は、データ転送ライン 1 4 4 0<sub>j</sub> に接続されている。差分絶対値演算器 2 4 3 1 ( 6 ) ~ 2 4 3 1 ( 8 ) は、データ転送ライン 1 4 4 0<sub>j+1</sub> に接続されている。各行では、各差分絶対値演算器 2 4 3 1 が、対応するデータ転送ライン 1 4 4 0 からの画像データを順次後段の差分絶対値演算器へ転送できるようになっている。このデータの転送に伴って、所定の受光素子 1 2 0 とそれを囲む 8 つの受光素子の画像データがそれぞれの入力端に入力される構成になっている。なお、第 1 行 ( j = 1 ) に対応する差分絶対値総和比較器 2 4 3 0<sub>1</sub> については、j - 1 行がないため、差分絶対値演算器 2 4 3 1 ( 0 ) ~ 2 4 3 1 ( 2 ) にはデータ転送ライン 1 4 4 0 は接続されない。したがって、差分絶対値演算器 2 4 3 1 ( 0 )

40

50

~ 2 4 3 1 ( 2 ) には、常に、画像データ ( 0 ) が入力されることになる。同様に、第 N 2 行 (  $j = N 2$  ) に対応する差分絶対値総和比較器 2 4 3 0<sub>N 2</sub> については、 $j + 1$  行がないため、差分絶対値演算器 2 4 3 1 ( 6 ) ~ 2 4 3 1 ( 8 ) にはデータ転送ライン 1 4 4 0 は接続されない。したがって、差分絶対値演算器 2 4 3 1 ( 6 ) ~ 2 4 3 1 ( 8 ) には、常に、画像データ ( 0 ) が入力されることになる。

【 0 1 7 3 】

差分絶対値演算器 2 4 3 1 ( 0 ) ~ 2 4 3 1 ( 8 ) の他の入力端は、データバッファ 2 4 0 5 に接続されており、 $m 1 \times m 2 ( = 3 \times 3 )$  参照画像  $s ( p, q )$  が送られるようになっている。

【 0 1 7 4 】

また、各差分絶対値演算器 2 4 3 1 の出力は、加算器 2 4 3 2 の対応する入力端に接続されている。加算器 2 4 3 2 の出力は、比較器 2 4 3 3 の一方の入力端に接続されている。比較器 2 4 3 3 の他方の入力端には、インストラクション / コマンドバス 1 6 から送信されている所定のしきい値が入力されている。

【 0 1 7 5 】

各差分絶対値演算器 2 4 3 1 は、減算器 2 4 3 4 と絶対値演算器 2 4 3 5 とを備えている。減算器 2 4 3 4 は、入力してきた雑音除去画像データから、データバッファ 2 4 0 5 からの参照画像データを減算する。絶対値演算器 2 4 3 5 は、この減算結果たる差分の絶対値を求める。加算器 2 4 3 2 は、全 9 個の差分絶対値演算器 2 4 3 1 ( 0 ) ~ ( 8 ) からの差分絶対値の総和を求める。比較器 2 4 3 3 は、この差分絶対値総和を、所定のしきい値と比較し、しきい値以下の場合には、( 1 ) を出力し、しきい値より大きい場合には、( 0 ) を出力する。この比較結果は、中心の差分絶対値演算器 2 4 3 1 ( 4 ) に入力した雑音除去画像データ  $D ( x, y )$  の画素  $( x, y )$  を中心とする  $m 1 \times m 2 ( = 3 \times 3 )$  領域の入力画像が  $( m 1 \times m 2 ) ( = 3 \times 3 )$  参照画像と同一であることを示しており、( 1 ) である場合には同一、( 0 ) である場合には非同一致であることを示している。

【 0 1 7 6 】

上記構成を有する各差分絶対値総和比較器 2 4 3 0<sub>j</sub> は、差分絶対値の演算及び演算結果のしきい値との比較を、各行  $j ( j = y )$  における全  $N 1$  個の素子  $( x, y )$  を中心とする  $( 3 \times 3 )$  領域に対して、順次繰り返し行うことにより、対応する行  $j$  についてのマッチング画像データ  $M ( x, y )$  を出力する。各差分絶対値総和比較器 2 4 3 0<sub>j</sub> の出力端には、データ転送ライン 4 4 0<sub>j</sub> が接続されている。すなわち、パターンマッチング回路 2 4 0 2 全体の出力端には、 $N 2$  本のデータ転送ライン 4 4 0<sub>j</sub> が接続されている。この  $N 2$  本のデータ転送ライン 4 4 0<sub>j</sub> が、重心演算回路 4 0 2 に接続されている。

【 0 1 7 7 】

なお、比較対照とする参照画像の大きさ  $( m 1 \times m 2 )$  は、 $( 3 \times 3 )$  に限らず、比較しようとする対象物画像のサイズに合わせて、任意に選択することができる。各行  $j$  に設ける差分絶対値総和比較器 2 4 3 0<sub>j</sub> には、 $( m 1 \times m 2 )$  個の差分絶対値演算器 2 4 3 1 を、 $m 1$  列  $\times$   $m 2$  行に 2 次元状に配置すればよい。これら  $m 2$  行の差分絶対値演算器 2 4 3 1 を、対応するデータ転送ライン 1 4 4 0<sub>j</sub> を含む計  $m 2$  本の隣り合うデータ転送ライン 1 4 4 0 に接続させれば良い。各データ転送ライン 1 4 4 0 に対応する各行に、 $m 1$  個の差分絶対値演算器 2 4 3 1 を配置する。

【 0 1 7 8 】

重心演算回路 4 0 2 は、第 1 の実施形態と同様、第 7 図に示す構成を有している。重心演算回路 4 0 2 内の重心検出回路 4 0 9 は、パターンマッチング回路 2 4 0 2 からの  $N 2$  本のデータ転送ライン 4 4 0<sub>j</sub> より入力してくるマッチング画像データ  $M ( x, y )$  について、重心演算を行い、重心位置  $( P x, P y )$  を求め、その結果を、制御回路 1 5 に出力する。重心演算回路 4 0 3 内の重心画像データ生成回路 4 2 5 は、重心位置  $( P x, P y )$  を示す重心画像データ  $P ( x, y )$  を生成し、データ転送ライン 5 2 0<sub>j</sub> に出力する。

【 0 1 7 9 】

10

20

30

40

50

第21図及び第24図に示すように、各行 $j$ に対応するスイッチ $20_j$ は、生画像データバッファ460からのデータ転送ライン $500_j$ と重心演算回路402からのデータ転送ライン $520_j$ とを切り替えて、対応するデータバッファ $171_j$ に接続するようになっている。したがって、生画像データと重心画像データとを合成してデータバッファ $171_j$ に格納することができる。

【0180】

かかる構成を有する本実施形態の高速画像処理カメラシステム1は、高速フレームレートで対象物の移動をモニターし、重要な瞬間、例えば、対象物の移動状態が変化した瞬間を抽出して、その前後の $n$ フレーム分をモニターに表示することができる。

【0181】

本実施形態では、以上の処理を、制御回路15による制御の下、第25図に示すフローチャートに従って行う。

【0182】

すなわち、まず、S100において、制御回路15は、受光素子アレイ11及びA/D変換器アレイ13を制御して、1フレームの生画像データを取得する。その結果、生画像データが、データ転送ライン $250_j$ を介して、画像演算機構14に転送されると共に、生画像データバッファ460に格納される。

【0183】

次に、制御回路15は、画像演算機構14を制御して、演算処理を行う。すなわち、まず、S110において、画像前処理回路1401を制御して雑音除去を行い、さらに、パターンマッチング回路2402を制御して、雑音除去データに対して、対象物を示す( $m_1 \times m_2$ )参照画像とのマッチング演算を行い、マッチング画像データ $M(x, y)$ を生成する。このマッチング画像データは、現フレーム中の対象物の位置をデータ(1)の位置により示している。

【0184】

次に、制御回路15は、S120において、重心演算回路402を制御し、現在のフレームにおけるマッチング画像データ $M(x, y)$ についての重心位置( $P_x, P_y$ )を演算させる。この演算結果は、現在のフレームにおける対象物の重心位置( $P_x, P_y$ )を示す。この演算結果は、制御回路15に送信される。重心演算回路402では、さらに、重心画像データ生成回路425にて、重心画像データが生成される。

【0185】

次に、S130で、制御回路15は、S120にて受け取った対象物の重心位置データ( $P_x, P_y$ )に基づき、現在の対象物の速度の変化量を演算する。具体的には、制御回路15は、前のフレームにおける速度データと重心位置データとを格納する図示しないメモリを有している。このため、制御回路15は、今回のフレームについての対象物の重心位置データ( $P_x, P_y$ )と、前回のフレームについての対象物の重心位置データとの差を演算することにより、現在の対象物の速度を求める。次に、こうして得られた現在の速度データと前回求められた速度データとの差の絶対値を演算することで、速度変化値を求める。

【0186】

ついで、制御回路15は、S140にて、S130にて演算された現在の速度変化値を、所定の設定値と比較する。現在の速度変化値が設定値以下の場合(S140で、No)には、S150に以降し、現在のフレームの合成画像データを生成し、データバッファ171に蓄積させる。すなわち、スイッチ $20_j$ を制御することにより、生画像データバッファ460の生画像データと、重心画像データ生成回路425からの重心画像データとを合成し、データバッファ171に格納する。そして、次のフレームの取得/処理(S100)に進む。

【0187】

一方、現在の速度変化値が設定値より大きい場合(S140にてYes)には、対象物の移動状態が変化したことが判明する。したがって、制御回路15は、S160にて、信

10

20

30

40

50

号変換制御部 19 に対し、モニター表示処理を開始するよう指示する。なお、制御回路 15 は、かかる指示をした後、S 100 に戻り、次のフレームの取得 / 処理を開始する。

【0188】

モニター表示処理の指示を受けた信号変換制御部 19 は、S 170 にて、データバッファ 171 に既に格納されている n フレーム分の合成画像データと、今回のフレームの合成画像データと、今後の n フレームの合成画像データとを順次表示するよう、信号変換器 17 への制御を開始する。すなわち、第 1 の実施形態における S 70 (第 12 図) と同様の処理を行う。

【0189】

本実施形態の高速画像処理カメラシステム 1 は、上述のような動作を行うため、例えば、第 26 図に示すように、バットがスイングしている状態の画像を高速フレームレートで取得していき、対象物であるボールがバットに当たる瞬間とその前後の数フレームを抽出して表示することができる。

【0190】

より詳しくは、受光素子アレイ 11 及び A / D 変換アレイ 13 にて、連続する複数のフレーム画像が、高速フレームレートで撮像されていく (S 100)。得られた画像データは、画像演算機構 14 内のパターンマッチング回路 2402 にてパターンマッチングされる (S 110)。ここで、(m1 x m2) 参照画像としては、対象物たるボールの画像を使用されており、そのため、ボールを抽出することができる。つづいて、抽出されたボールの重心が演算される (S 120)。ボールの重心位置のデータが制御回路 15 に渡され、1 つ前のフレームにおける位置との差から、ボールの速度が計算される (S 130)。ボールがバットに当たった瞬間、ボールの速度や向きが急に変化するので、その瞬間のフレームを抽出することができる (S 140)。そして、そのフレームとその前後のフレームを最終出力とする (S 160, S 170)。

【0191】

このように、バットがスイングしている状態を示す複数のフレーム画像 (T = 1 ~ 6) を、高速フレームレートで連続して取得していき、対象物であるボールがバットに当たる瞬間 (T = 4) を認識し、ボールがバットに当たった瞬間 (T = 4) とその前後 (T = 3, 5) の画像のみを抽出し、その画像にボールの重心位置を重ねて表示することができるのである。

【0192】

このようにして、高速フレームレートで取得した膨大な画像情報の中から、対象物の観測目的に合った画像の抽出が可能となっている。

【0193】

例えば、本実施形態の受光素子アレイ 11 及び A / D 変換アレイ 13 の画像取得速度が例えば 1000 フレーム / 秒とすると、時速 150 km / h のボールを、当該ボールが 4 cm 進む毎に撮影する事ができる。しかも、画像演算機構 14 がリアルタイムの演算処理を行うことで、本当に見たいボールがバットに当たる瞬間のみを抽出し、通常のフレームレート (例えば、30 フレーム / 秒) にてモニター 18 に表示させたり、NTSC カメラ入力 (約 30 フレーム / 秒) に対応した一般の画像処理装置へ入力させることが可能となる。しかも、重心処理結果を生画像に重ね合わせる事ができるため、後段の画像処理装置への負担を著しく軽減できる。

【0194】

このように、本実施形態のカメラシステム 1 によれば、動いている対象物を高速フレームレートでモニターしていき、観測したい瞬間を抽出し、その前後の画像のみを出力することができる。例えば、ドリルによる金属板加工時のリアルタイム検査を行う場合には、対象物であるドリルの歯が金属板に接触して打ちぬく瞬間を抽出して、その前後の画像をモニターに表示したり、その瞬間における、ドリルの歯の回転速度や移動速度、板のしなりなどを計測する事ができる。かかる計測結果は、より正確な検査や、異常の要因解明に利用できる。

10

20

30

40

50

## 【0195】

なお、上述の制御では、対象物の速度を演算し、速度の変化量が所定の値より大きくなった時を抽出しているが、第1の実施形態の場合のように、対象物の位置で判断してもよい。例えば、対象物であるドリルの刃が金属板の位置に到達したことを判断してもよい。

## 【0196】

また、本実施形態では、パターンマッチング回路2402は、全 $N^2$ 本のデータ転送ライン1440に接続された全 $N^2$ 個の差分絶対値総和比較器2430から構成されていた。しかしながら、パターンマッチング回路2402は、より少ない数の差分絶対値総和比較器2430より構成しても良い。すなわち、全 $M$ 個（ここで、 $M < N^2$ ）の差分絶対値総和比較器2430のそれぞれの入力端に、スイッチを設けておく。制御回路15は、前回のフレームでの重心位置検出結果（ $P_x$ 、 $P_y$ ）に基づき、今回のフレームにおいて対象物とのマッチングが得られると予想される位置を含む領域に対応する $M$ 個の隣り合うデータ転送ライン1440 $_j \sim 1440_{j+M-1}$ に対して、これら $M$ 個の差分絶対値総和比較器2430を接続させる。パターンマッチング回路2402は、これら $M$ 個のライン $j \sim j+M-1$ についてマッチング画像データ $M(x, y)$ を出力し、他のデータ転送ラインについては0のデータを出力することで、 $N_1 \times N_2$ の全画素に対するマッチング画像データ $M(x, y)$ を生成し、重心演算回路402に入力させる。かかる構成によれば、パターンマッチング回路2402は、より簡易な構成にて、マッチング画像データを生成することができる。

## 【0197】

次に、本発明の第4の実施形態に係る高速画像処理カメラシステムを第27(a)図及び第27(b)図に基づき説明する。

## 【0198】

本実施形態では、取得した画像と外部データとの比較から抽出タイミングを決定する。

## 【0199】

第27(a)図は、本発明の第4の実施形態に係る高速画像処理カメラシステム1の構成図である。本実施形態のカメラシステム1は、第2の実施形態のカメラシステム1と同様、雑音除去を行う画像前処理回路1401を有している。画像前処理回路1401の後段には、パターンマッチング回路3402が設けられている。

## 【0200】

画像前処理回路1401は、第2の実施形態同様、 $N^2$ 個のビット比較器1407 $_j$ から構成されており、その出力端には、 $N^2$ 本のデータ転送ライン1440 $_j$ が接続されている。この $N^2$ 本のデータ転送ライン1440 $_j$ が、パターンマッチング回路3402に接続されている。

## 【0201】

本実施形態では、パターンマッチング回路3402は、雑音除去された生画像について、 $(m_1 \times m_2)$ 参照画像とのマッチング演算を行う。この例では、第3の実施形態同様、 $m_1 = m_2 = 3$ である。このパターンマッチング回路3402は、第3の実施形態におけるパターンマッチング回路2402とは異なり、1個の差分絶対値総和比較器2430 $_2$ のみから構成されている。ここで、差分絶対値総和比較器2430 $_2$ は、 $N^2$ 本のデータ転送ライン1440 $_j$ のうちの対応する一つのライン（この例では、データ転送ライン1440 $_2$ ）とその上下のライン（この例では、データ転送ライン1440 $_1$ と1440 $_3$ ）とに接続されている。

## 【0202】

差分絶対値総和比較器2430 $_2$ は、第23図に示した構成と同一の構成をしているが、その比較器2433の出力端は、インストラクション/コマンドバス16を介して制御回路15に接続されている。

## 【0203】

パターンマッチング回路3402は、さらに、画像前処理回路1401からの $N^2$ 本のデータ転送ライン1440 $_j$ を、そのまま、対応するデータバッファ171 $_j$ に固定的に

10

20

30

40

50

接続させている。したがって、本実施形態の場合には、画像前処理回路1401で雑音を除去された生画像データが、そのまま、他の画像データと合成されることなく、データバッファ171<sub>j</sub>に格納される。したがって、本実施形態では、スイッチ20は設けられていない。

【0204】

本実施形態の場合も、データバッファ2405には、対象物を示す検索画像 $s(x, y)$ （大きさ $m_1 \times m_2$ ）が予め格納されている。あるフレームにおいて入力画像 $D(x, y)$ が画像演算機構14に転送されると、このデータバッファに記憶されている検索画像 $s(p, q)$ （大きさ $m_1 \times m_2$ ）が検索され、マッチング処理が行われる。

【0205】

パターンマッチング回路3402は、受光素子アレイ11の第2番目のライン上の全 $N_1$ 個の画素のそれぞれを中心とする全 $N_1$ 個の $(m_1 \times m_2)$ 領域のいずれかが $(m_1 \times m_2)$ 参照画像と一致しているか否かを演算する。すなわち、差分絶対値総和比較器2430<sub>2</sub>は、以下の差分演算を行う。

【数6】

$$ERROR(x,2) = \sum_{p=1}^3 \sum_{q=1}^3 |D(x+p-2,2+q-2) - s(p,q)|$$

【0206】

差分絶対値総和比較器2430<sub>2</sub>は、さらに、得られた関数 $Error$ の演算結果が所定のしきい値以下の場合には、(1)を出力し、しきい値より大きい場合には、(0)を出力する。

【0207】

すなわち、あるフレーム画像について、第2行目の全 $N_1$ 個の画素 $(x, 2)$ の各々を中心とする全 $N_1$ 個の $(m_1 \times m_2)$ 領域に対して得られた関数 $Error$ の値のうちのいずれかが所定のしきい値以下となったフレームの瞬間が、「希望するタイミング」ということになる。

【0208】

こうして、入力画像 $D(x, y)$ と比較画像 $s(p, q)$ との一致度をパターンマッチング回路3402によってリアルタイムで検出し、しきい値以下の誤差が得られたタイミングにおける画像フレームデータおよびその前後の画像フレームを出力画像とするように、信号変換制御部19から信号変換器17に対して、画像信号への変換を指示する。

【0209】

すなわち、本実施形態の場合には、制御回路15は、第27(b)図のフローチャートの処理を行う。より詳しくは、制御回路15は、第1の実施形態のS10(第12(図))と同様、S210において、各フレーム画像の取得を行う。各フレーム画像について、S220において、画像前処理回路1401で雑音除去を行わせ、パターンマッチング回路3402にマッチング処理を行わせる。S230において、パターンマッチング回路3402内の差分絶対値総和比較器2430<sub>2</sub>から順次送られてくる $N_1$ 個の比較結果のいずれかが(1)か否かを判断する。全 $N_1$ 個の比較結果が(1)でない(S240でNo)場合には、現フレームの生画像の蓄積を行い(S250)、次のフレームの処理へ移行する(S210)。一方、 $N_1$ 個の比較結果のうち少なくとも1個が(1)となった場合(S240でYes)には、抽出タイミングと判断して、S260に移行して、モニタ表示指示を信号変換制御部19に出力し、S270にて表示出力動作を行わせる。すなわち、現フレームと前後のフレームについて画像前処理回路1401から出力された雑音除去生画像データをモニター18に表示させる。このようにすれば、希望のタイミングの画像前後の映像をモニター18に表示させることができる。

【0210】



例えば、第14(a)図～第14(c)図を参照して説明したチップ53が実装される瞬間の画像を抽出することもできる。すなわち、マッチング比較演算によって、入力画像のうち、基板の所定の位置を示す所定の領域（この例の場合、受光素子アレイ11の第2番目の行jの位置に対応）のいずれかが、対象画像であるチップ53を示す画像と一致したか否かを判断することで、当該チップ53が基板の当該所定の位置に実装される瞬間を抽出し、そのタイミングで画像を出力することが可能となる。

#### 【0211】

特に、本装置においては、並列受光素子アレイ11からの信号を各行について並列的に転送している。しかも、画像演算機構14が並列演算を行なうことで、高速な演算処理を行っている。すなわち、画像前処理回路1401が、各行毎に備えた複数の比較器1407<sub>j</sub>を備え、各行に対して並列的に雑音除去を行っている。また、パターンマッチング回路3402は、対応するm2個の行（上記例の場合、第1, 2, 3番目の行）のそれぞれに、m1個の差分絶対値演算器2431を備え、各行に対して並列的に差分絶対値を求めて、マッチング処理を行っている。高速移動物体を追跡する場合に、物体に回転や向きの変化がある場合には、従来のTVカメラのような遅いフレームレート（30Hz）では、対象物の画像上の形状が変化してしまうため、フレーム間の画像から同じ対象物を判断するために非常に複雑なアルゴリズムが必要となりリアルタイムに表示させることが困難である。しかしながら、本装置のように高いフレームレート（>1KHz）で画像が捉えられる場合には、フレーム間の画像の違いは小さいために、上記のような簡単なアルゴリズムで高速にマッチングが行なえることになり、対象物を正確に追跡することが可能となる。

#### 【0212】

本発明に係る高速画像処理カメラシステムは、前述した実施形態に限定されず、種々の変更が可能である。

#### 【0213】

また、これまで説明した実施の形態では、画像処理を行う並列演算装置14として、演算素子を各行毎に並列に用意して演算処理を行う行並列方式を採用している。こうした並列化により、画像データのように大規模な演算を必要とする処理を高速に行うことが可能となる。

#### 【0214】

並列演算の方式としては、上記の例のほかにも、受光素子アレイをいくつかのブロックに分割し、これら複数のブロックに1対1に対応して複数の処理回路400a（処理回路401、402、403に相当）を用意して並列処理を行うブロック並列型（第28図）を採用してもよい。また、2次元受光素子アレイ11の各受光素子120に1対1に対応して複数の処理回路400bを用意して完全並列処理を行う完全並列型（第29図）なども採用できる。これら並列処理の方式は、用途や集積度、演算速度に応じて選択できる。ここで、完全並列型（第29図）の場合、各処理回路400bとしては、例えば、特開平10-145680号に記載された演算素子を設ければよい。各処理回路400bが、対応する受光素子からの画像信号に基づき、総和演算、重心演算等、任意の演算を行うことで、完全並列型の処理を行うことができる。したがって、例えば、重心演算結果や総和演算結果が所定の設定値となったか否かを判断し、設定値となった時を抽出タイミングとして、その前後のフレームの画像を表示することができる。ブロック並列型は、領域毎にマッチングや重心などを効率的に求める特長を持ち、完全並列型では、高速性が最大の特長となる。いずれの方式も、行毎又はブロック毎にA/D変換器210を用意して効率的にA/D変換を行い、部分並列または完全並列とした処理回路400a、400bにおいて画像処理を高速に行うアーキテクチャを採用している。

#### 【0215】

また、前述した第1～第3の実施形態では、複数の画像信号を合成して出力した。すなわち、第1の実施形態では、生画像信号と重心画像信号とエッジ抽出画像信号とを合成して出力した。第2の実施形態では、重心画像信号とエッジ抽出画像信号と（もしくは、更

10

20

30

40

50

に、雑音・背景除去生画像信号)を合成して出力した。第3の実施形態では、生画像信号と重心画像信号とを合成して出力した。しかしながら、かかる合成は行わなくてもいい。すなわち、A/D変換アレイ13にて生成される生画像信号か、画像演算機構14内のいずれか一つの処理回路400にて生成される処理画像信号のうちのいずれか一つをそのまま出力するのも良い。その場合には、スイッチ20<sub>j</sub>は不要となる。すなわち、第4の実施形態のように、各データバッファ171<sub>j</sub>を、出力しようとする画像信号が伝達されてくるデータ転送ラインに固定的に接続すればよい。

【0216】

A/D変換器アレイ13では、各A/D変換器210が受光素子アレイ11の各行jに対応して設けられていたが、代わりに、第30図に示すように、各列iに対応して設けられても良い。この場合には、A/D変換器アレイ13は、N1個のA/D変換器210からなる。受光素子アレイ11では、各列iに属する全N2個の受光素子120が互いに電氣的に接続されており、対応するA/D変換器210に接続されている。各列iにおいて、垂直走査信号を順次切り替えていくことにより、全N2個の受光素子120からの光電出力を順次読み出していくことができる。この場合は、画像演算機構14の各処理回路400も、各列iからの出力信号に対して演算処理を行うよう、列並列演算を行うようにすれば良い。

10

【0217】

また、上述の実施の形態では、A/D変換器210がチャージアンプ221を含む構成となっているが、A/D変換器210とチャージアンプ221とを別体とし、第31図のように、N2個のチャージアンプ221からなるアンプアレイ12を受光素子アレイ11に接続させ、さらに、N2個のA/D変換器210からなるA/D変換器アレイ13を当該アンプアレイ12と並列処理機構14との間に設けるようにしても良い。この場合には、アンプアレイ12内の各アンプ221は、受光素子アレイ11の対応する行110上の計N1個の受光素子120から出力される電荷を順次電圧信号に変換し、得られたアナログ電圧信号を、A/D変換器アレイ13内の対応するA/D変換器210に出力する。A/D変換器210は、当該チャージアンプ221からのアナログ電圧信号を順次A/D変換し、並列処理機構14に供給する。

20

【0218】

また、上記の実施形態では、単一の受光素子アレイ11を設けていたが、複数個設けてもよい。

30

【産業上の利用可能性】

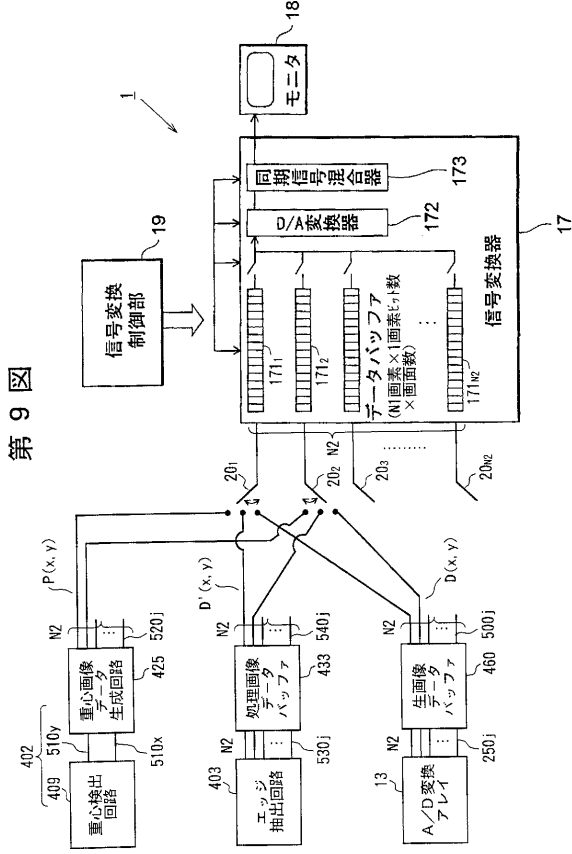
【0219】

本発明に係る高速画像処理カメラシステムは、自動工作機械におけるリアルタイム検査や、様々な対象を観測するモニタリングシステム等に幅広く用いられる。



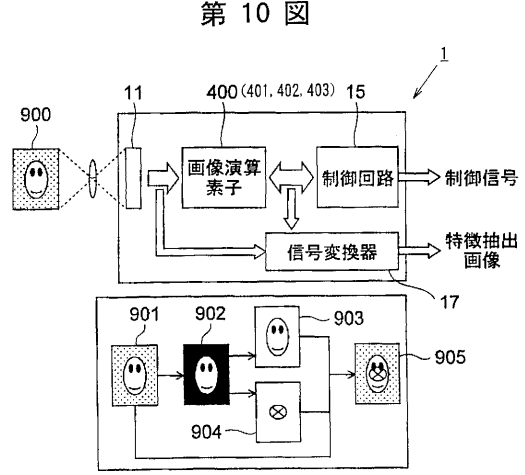


【図9】



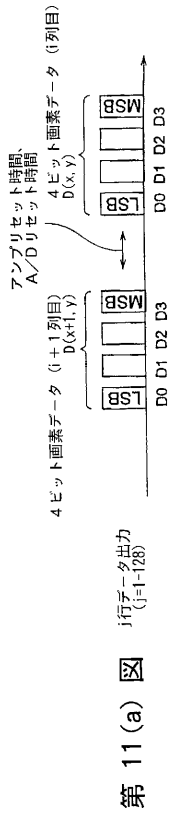
第9図

【図10】



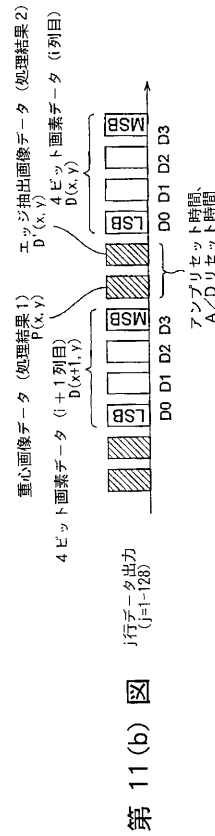
第10図

【図11(a)】



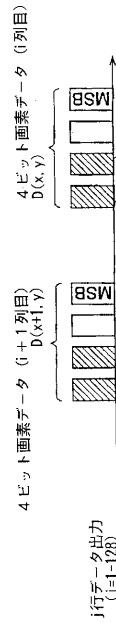
第11(a)図

【図11(b)】



第11(b)図

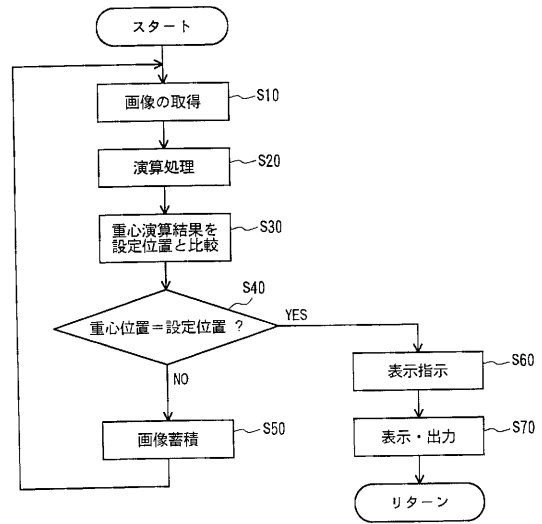
【図11(c)】



第11(c) 図

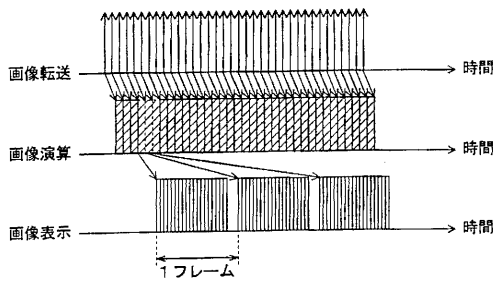
【図12】

第12 図



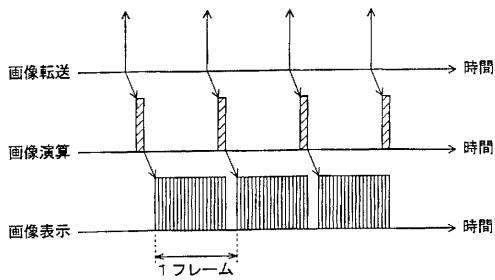
【図13(a)】

第13(a) 図



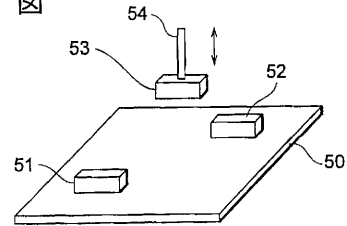
【図13(b)】

第13(b) 図



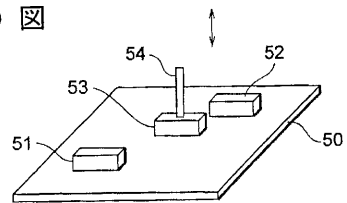
【図14(a)】

第14(a) 図



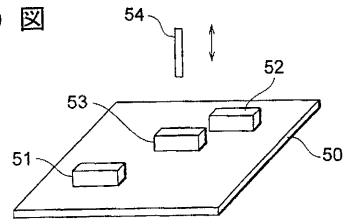
【図14(b)】

第14(b) 図

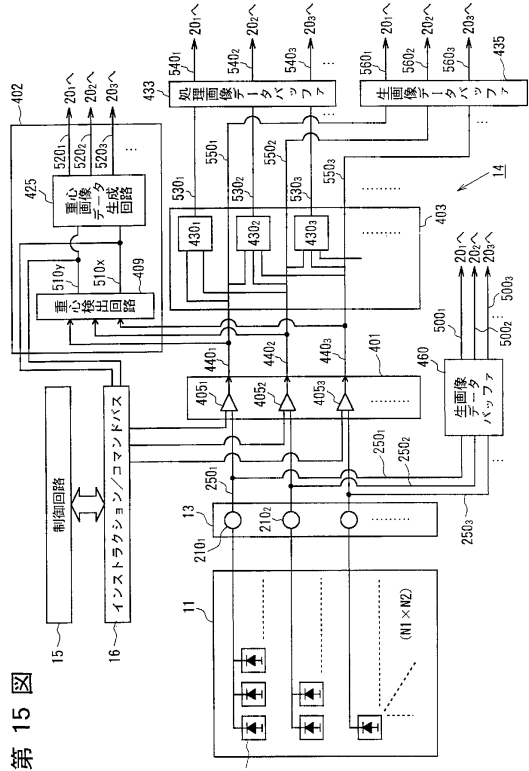


【図14(c)】

第14(c) 図

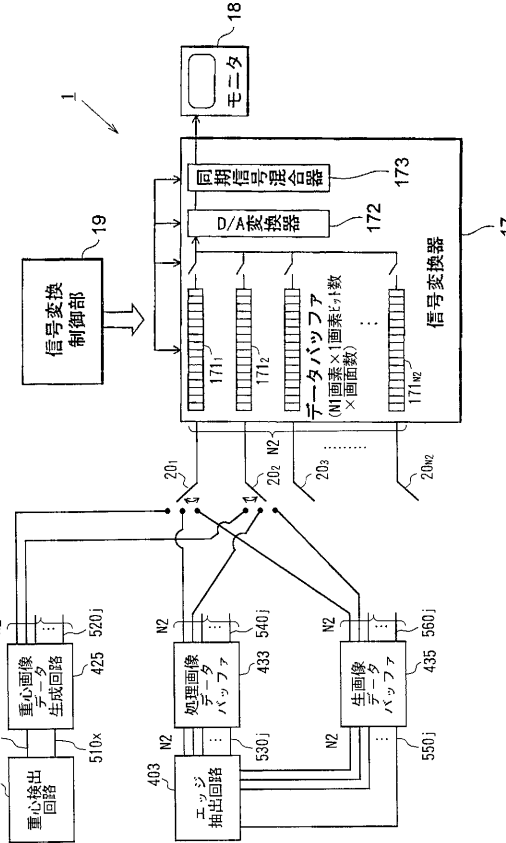


【図15】



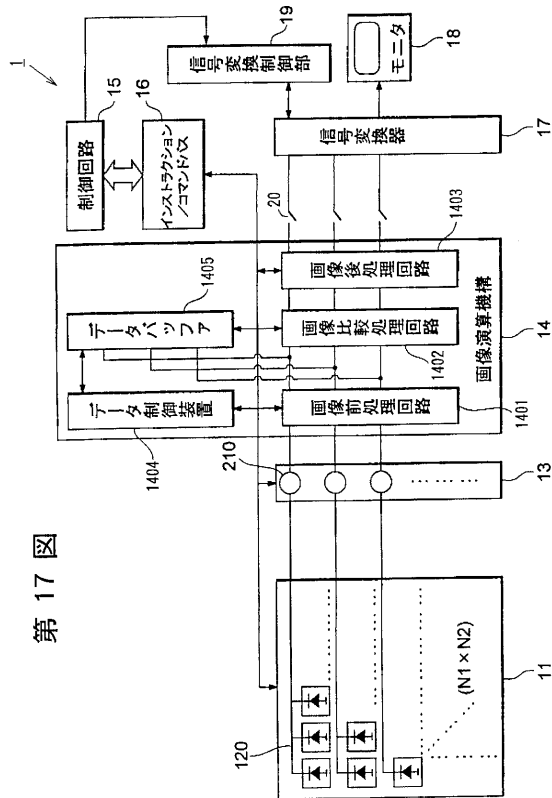
第15図

【図16】



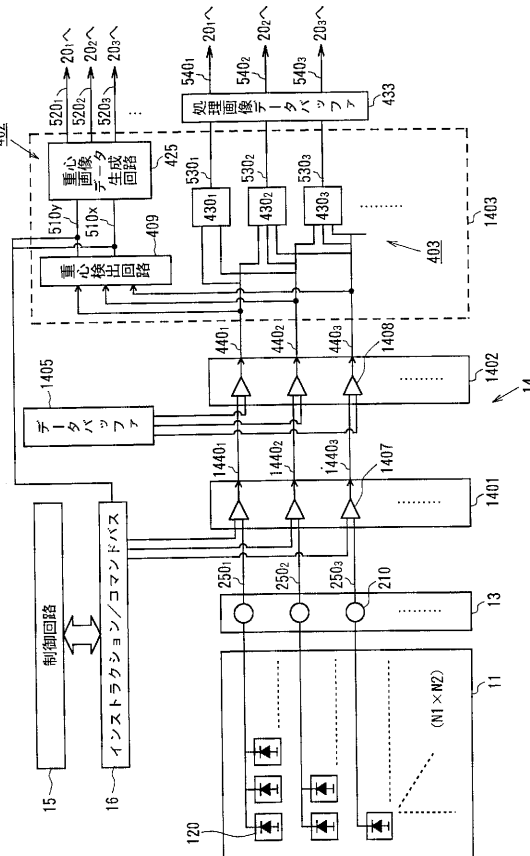
第16図

【図17】



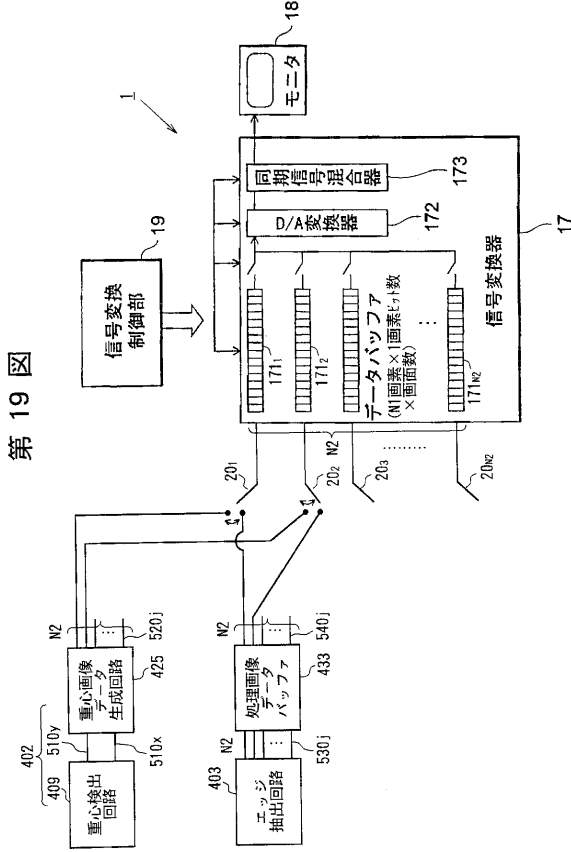
第17図

【図18】



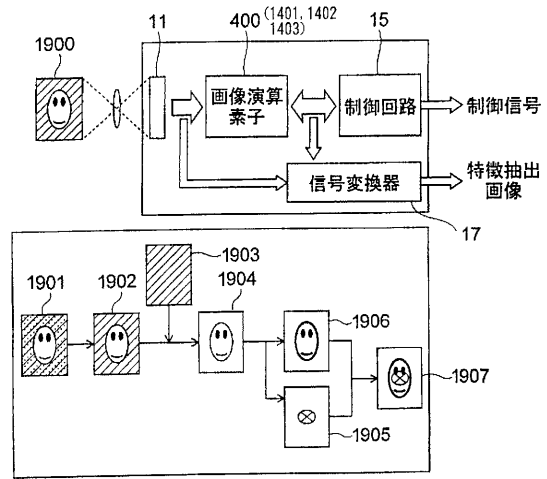
第18図

【図19】

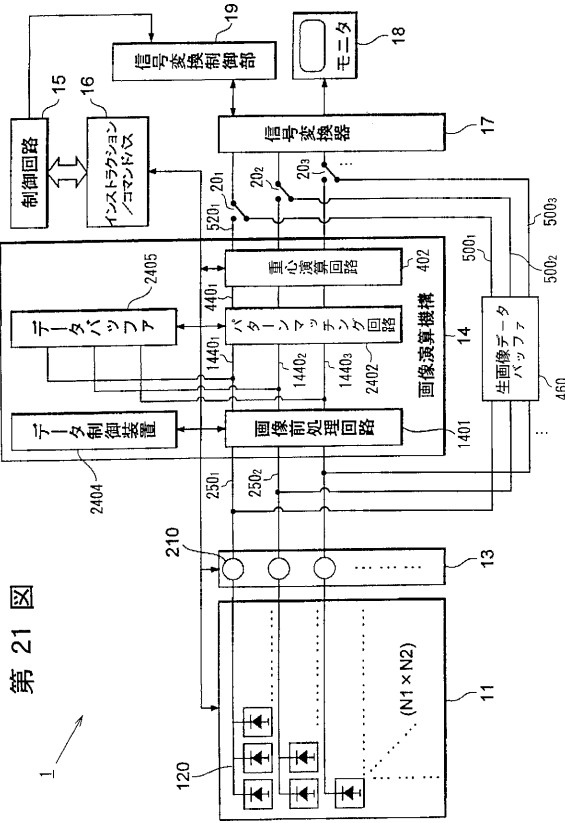


【図20】

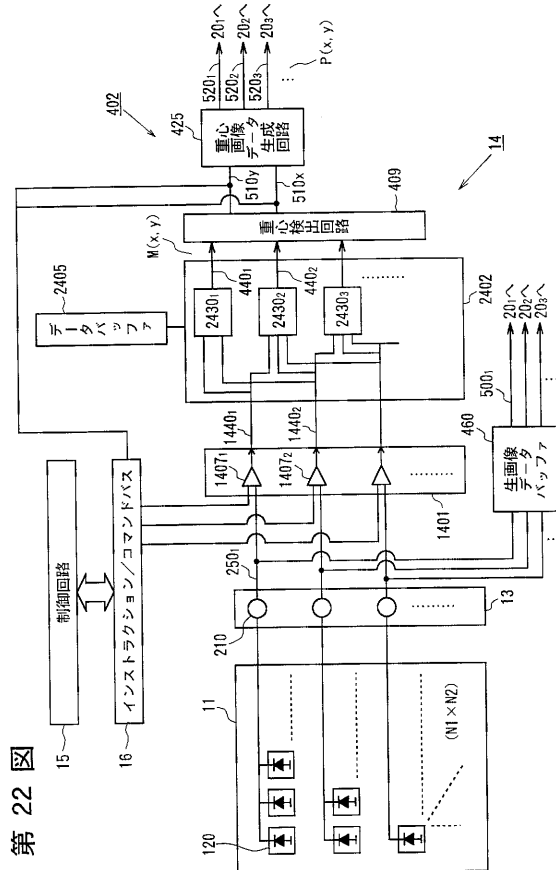
第20図



【図21】



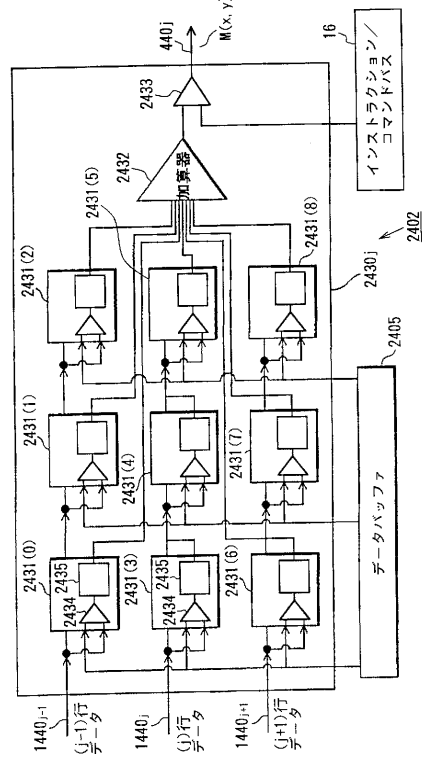
【図22】





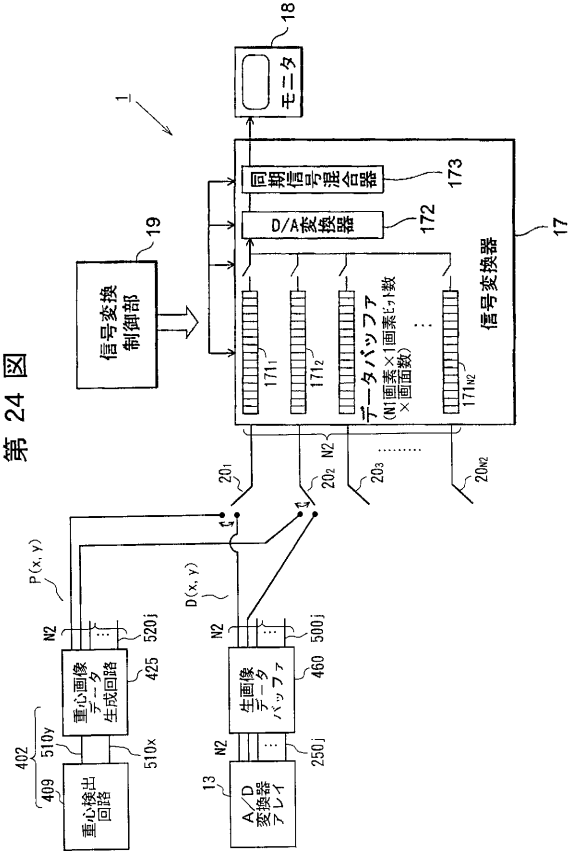
【図23】

第23図



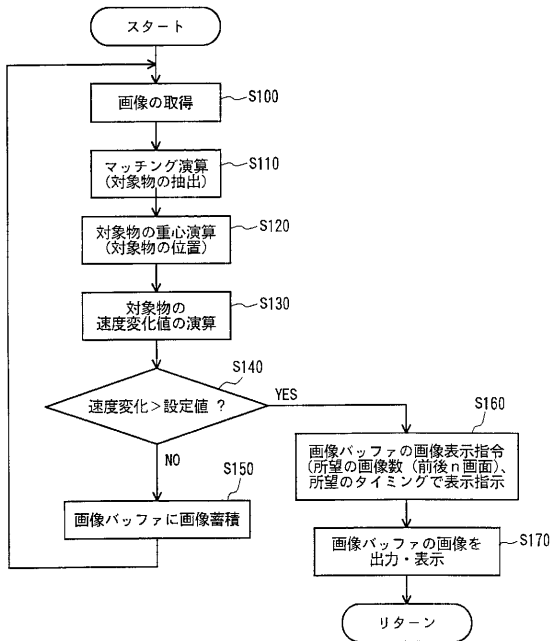
【図24】

第24図



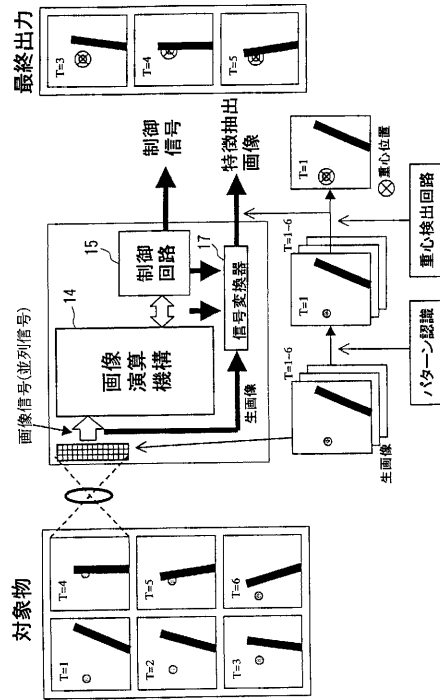
【図25】

第25図

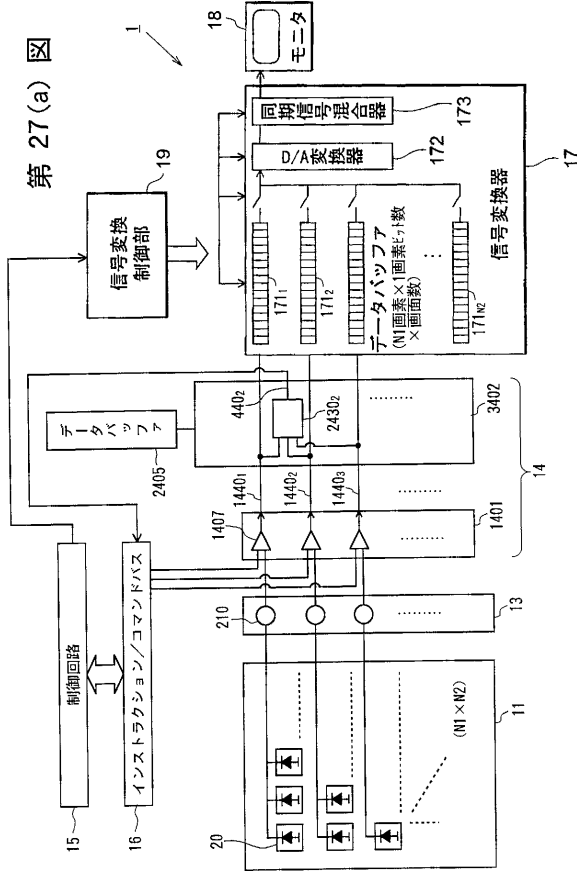


【図26】

第26図

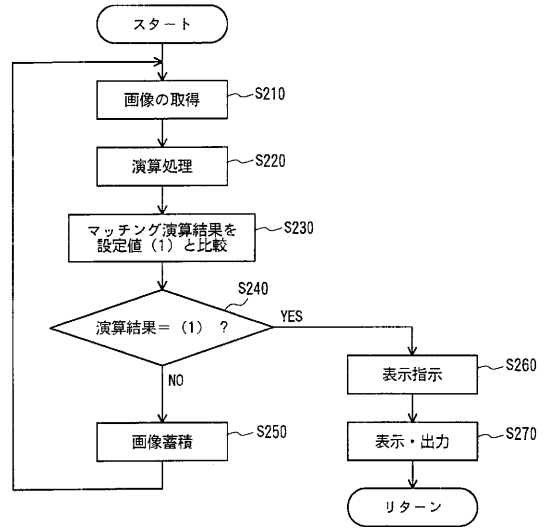


【図27(a)】



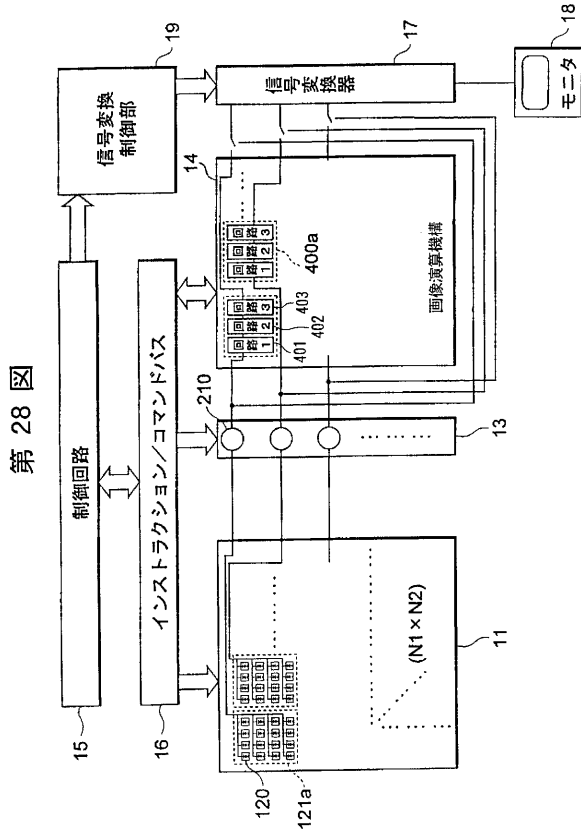
第27(a)図

【図27(b)】



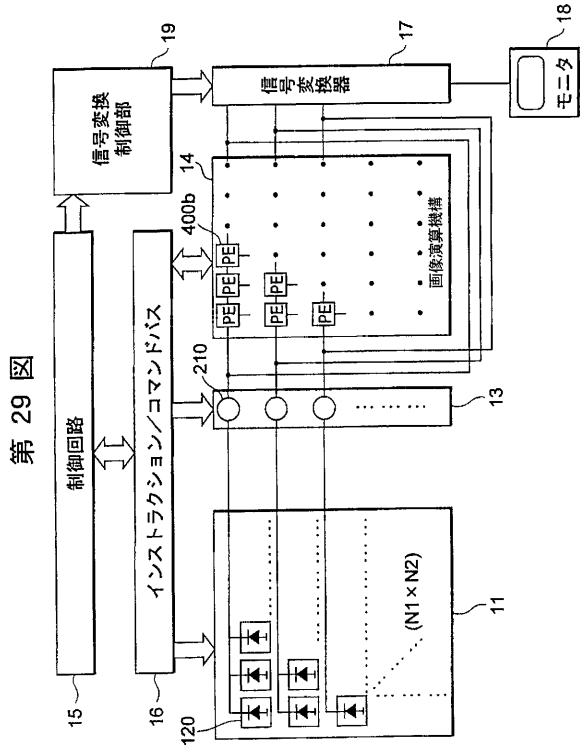
第27(b)図

【図28】



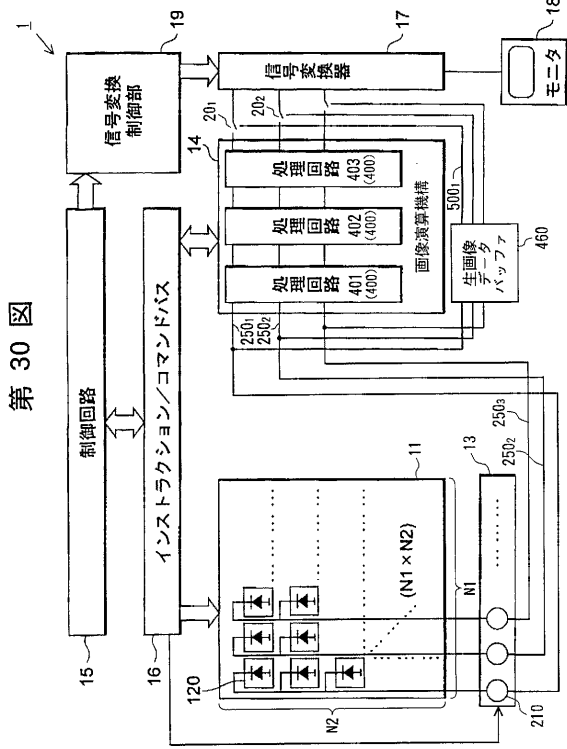
第28図

【図29】



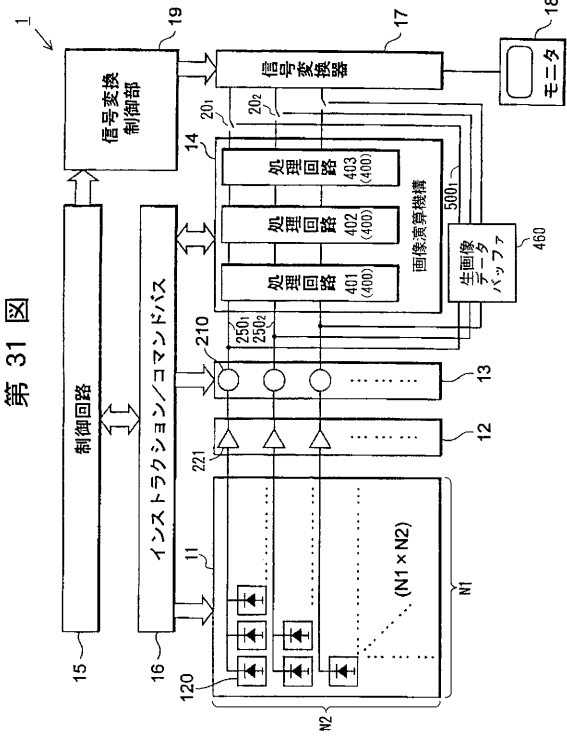
第29図

【図 30】



第 30 図

【図 31】



第 31 図

---

フロントページの続き

- (72)発明者 水野 誠一郎  
静岡県浜松市市野町1 1 2 6 番地の1 浜松ホトニクス株式会社内
- (72)発明者 山川 博雄  
静岡県浜松市市野町1 1 2 6 番地の1 浜松ホトニクス株式会社内
- (72)発明者 向坂 直久  
静岡県浜松市市野町1 1 2 6 番地の1 浜松ホトニクス株式会社内

審査官 新井 則和

- (56)参考文献 特開昭6 2 - 2 4 7 4 7 2 ( J P , A )  
特開平1 0 - 1 4 5 6 8 0 ( J P , A )  
特開平1 0 - 0 2 1 4 0 7 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)  
G06T 1/20