



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2012년04월18일
 (11) 등록번호 10-1136348
 (24) 등록일자 2012년04월06일

- (51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01)
- (21) 출원번호 10-2005-0062476
 (22) 출원일자 2005년07월12일
 심사청구일자 2010년07월12일
 (65) 공개번호 10-2007-0008742
 (43) 공개일자 2007년01월18일
 (56) 선행기술조사문헌
 KR1020030080353 A*
 JP2003139078 A
 JP평성10104576 A
 *는 심사관에 의하여 인용된 문헌

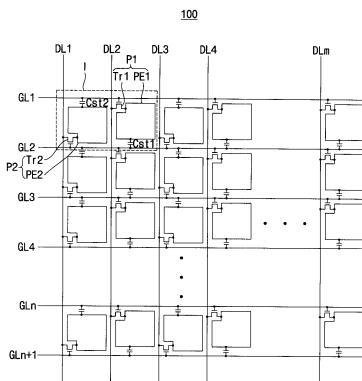
(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
주승용
 경기도 성남시 분당구 미금로 66, - 404동 1303호
 (구미동, 무지개마을)
강명구
 서울특별시 송파구 신천동 미성아파트 2-522
 (뒷면에 계속)
 (74) 대리인
박영우

전체 청구항 수 : 총 18 항

심사관 : 신창우

(54) 발명의 명칭 **어레이 기판 및 이를 갖는 표시장치****(57) 요 약**

어레이 기판 및 이를 갖는 표시장치에서, 다수의 게이트 라인은 베이스 기판 상에 형성되고, 다수의 데이터 라인은 게이트 라인들과 절연되게 교차하여 베이스 기판 상에 매트릭스 형태의 다수의 화소영역을 정의한다. 화소 매트릭스는 다수의 화소영역에 각각 형성되고, 다수의 화소행과 다수의 화소열을 포함한다. 각 화소행은 인접하는 제1 게이트 라인에 전기적으로 연결된 제1 화소그룹 및 인접하는 제2 게이트 라인에 전기적으로 연결된 제2 화소그룹을 포함하다. 각 화소열은 인접하는 하나의 데이터 라인에 공통적으로 연결된다. 따라서, 표시장치의 소비전력을 절감시키면서, 도트 반전 방식으로 표시장치가 구동될 수 있다.

대 표 도 - 도1

(72) 발명자

장린타오

경기도 용인시 기흥구 삼성2로 95, 상록수 101호
(농서동, 삼성전자)

이중선

경기도 광주시 회안대로 350-29, 205동 806호 (태
전동, 쌍용스윗닷홈)

정석기

경기 수원시 권선구 곡반정동 23블럭 15롯트 204호

이동엽

경기도 시흥시 은행로216번길 13, 103동 1104호 (대야동, 벽산아파트)

박종화

서울특별시 강남구 밤고개로20길 92-5 (자곡동)

특허청구의 범위

청구항 1

베이스 기판;

상기 베이스 기판 상에 형성된 다수의 게이트 라인;

상기 베이스 기판 상에 형성되고, 상기 게이트 라인들과 절연되게 교차하여 매트릭스 형태의 다수의 화소영역을 정의하는 다수의 데이터 라인; 및

상기 다수의 화소영역에 각각 형성되고, 다수의 화소행과 다수의 화소열을 포함하는 화소 매트릭스를 포함하고,

상기 각 화소행은 인접하는 제1 게이트 라인에 전기적으로 연결된 제1 화소그룹 및 인접하는 제2 게이트 라인에 전기적으로 연결된 제2 화소그룹을 포함하며, 상기 각 화소열은 인접하는 하나의 데이터 라인에 공통적으로 연결되고,

상기 제1 화소그룹은 상기 제1 게이트 라인에 전기적으로 연결된 제1 스위칭 소자 및 상기 제1 스위칭 소자에 전기적으로 연결된 제1 화소 전극으로 이루어진 다수의 제1 화소를 포함하며,

상기 제1 화소전극은 상기 제2 게이트 라인과 부분적으로 오버랩되는 것을 특징으로 하는 어레이 기판.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 제1 화소전극과 상기 제2 게이트 라인과의 사이에 개재된 절연막을 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 5

제1항에 있어서, 상기 제1 스위칭 소자는 상기 제1 게이트 라인과 전기적으로 연결된 제어전극, 상기 데이터 라인에 연결된 제1 전극 및 상기 제1 화소전극에 연결된 제2 전극을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 6

제5항에 있어서, 상기 제1 게이트 라인과 상기 제어전극은 제1 금속층으로부터 형성되고,

상기 데이터 라인, 상기 제1 및 제2 전극은 상기 제1 금속층과 다른 층에 형성되는 제2 층으로부터 형성되는 것을 특징으로 하는 어레이 기판.

청구항 7

제1항에 있어서, 상기 제2 화소그룹은 상기 제2 게이트 라인에 전기적으로 연결된 제2 스위칭 소자 및 상기 제2 스위칭 소자에 전기적으로 연결된 제2 화소전극으로 이루어진 다수의 제2 화소를 포함하는 것을 특징으로 하는 어레이 기판.

청구항 8

제7항에 있어서, 상기 제2 화소전극은 상기 제1 게이트 라인과 부분적으로 오버랩되는 것을 특징으로 하는 어레이 기판.

청구항 9

어레이 기판 및 상기 어레이 기판과 마주하는 대향기판으로 이루어져 영상을 표시하는 표시패널;

상기 어레이 기판에 다수의 게이트 신호를 순차적으로 제공하는 게이트 구동부; 및

상기 어레이 기판에 다수의 데이터 신호를 제공하는 데이터 구동부를 포함하고,

상기 어레이 기판은,

제1 베이스 기판;

상기 제1 베이스 기판 상에 형성된 다수의 게이트 라인;

상기 제1 베이스 기판 상에 형성되고, 상기 게이트 라인들과 절연되게 교차하여 매트릭스 형태의 다수의 화소영역을 정의하는 다수의 데이터 라인; 및

상기 다수의 화소영역에 각각 형성되고, 다수의 화소행과 다수의 화소열을 포함하는 화소 매트릭스를 포함하고,

상기 각 화소행은 인접하는 제1 게이트 라인에 전기적으로 연결된 제1 화소그룹 및 인접하는 제2 게이트 라인에 전기적으로 연결된 제2 화소그룹을 포함하며, 상기 각 화소열은 인접하는 하나의 데이터 라인에 공통적으로 연결되고,

상기 제1 화소그룹은 상기 제1 게이트 라인에 전기적으로 연결된 제1 스위칭 소자 및 상기 제1 스위칭 소자에 전기적으로 연결된 제1 화소 전극을 포함하며,

상기 제1 화소전극은 상기 제2 게이트 라인과 부분적으로 오버랩되는 것을 특징으로 하는 표시장치.

청구항 10

제9항에 있어서, 상기 제1 화소그룹은 상기 제1 게이트 라인으로 제공되는 제1 게이트 신호에 응답하여 턴온되고,

상기 제2 화소그룹은 상기 제2 게이트 라인으로 제공되는 제2 게이트 신호에 응답하여 턴온되는 것을 특징으로 하는 표시장치.

청구항 11

제10항에 있어서, 상기 각 화소행이 턴온되는 $1H$ 시간의 초기 $\frac{1}{2}H$ 시간동안 상기 제1 게이트 신호는 하이 전압을 유지하고, 후기 $\frac{1}{2}H$ 시간동안 상기 제2 게이트 라인은 하이 전압을 유지하는 것을 특징으로 하는 표시장치.

청구항 12

제11항에 있어서, 상기 초기 $\frac{1}{2}H$ 시간동안 제1 극성을 갖는 상기 다수의 데이터 신호가 상기 다수의 데이터 라인을 통해 상기 제1 화소그룹으로 제공되고,

상기 후기 $\frac{1}{2}H$ 시간동안 상기 제1 극성과 반전된 제2 극성을 갖는 상기 다수의 데이터 신호가 상기 다수의 데이터 라인을 통해 상기 제2 화소그룹으로 제공되는 것을 특징으로 하는 표시장치.

청구항 13

제12항에 있어서, 상기 다수의 데이터 신호의 극성을 $\frac{1}{2}H$ 시간 단위로 반전되는 것을 특징으로 하는 표시장치.

청구항 14

제12항에 있어서, 상기 제1 극성은 부극성(-)이고, 상기 제2 극성은 정극성(+)인 것을 특징으로 하는 표시장치.

청구항 15

제14항에 있어서, 상기 제1 게이트 신호는 상기 후기 $\frac{1}{2}H$ 시간동안 로우 전압을 유지하고, 후기 $\frac{1}{2}H$ 시간 이후 상기 로우 전압보다 높은 제1 전압으로 상승하는 것을 특징으로 하는 표시장치.

청구항 16

제14항에 있어서, 상기 제2 게이트 신호는 상기 후기 $\frac{1}{2}$ H 시간 이후 $\frac{1}{2}$ H 시간동안 로우 전압을 유지하고, 이후 상기 로우 전압보다 낮은 제2 전압으로 하강하는 것을 특징으로 하는 표시장치.

청구항 17

제10항에 있어서, 상기 제1 화소그룹은,
상기 제1 화소전극과 마주하고, 상기 제2 게이트 라인으로부터 연장된 제1 스토리지 전극; 및
상기 제1 화소전극과 상기 제1 스토리지 전극과의 사이에 개재된 절연막으로 이루어진 다수의 제1 화소를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 18

제10항에 있어서, 상기 제2 화소그룹은,
상기 제2 게이트 라인에 전기적으로 연결된 제2 스위칭 소자;
상기 제2 스위칭 소자에 전기적으로 연결된 제2 화소전극;
상기 제2 화소전극과 마주하고, 상기 제1 게이트 라인으로부터 연장된 제2 스토리지 전극; 및
상기 제2 화소전극과 상기 제2 스토리지 전극과의 사이에 개재된 절연막으로 이루어진 다수의 제2 화소를 포함하는 것을 특징으로 하는 표시장치.

청구항 19

제10항에 있어서, 상기 제1 화소그룹은 상기 각 화소행의 짹수번째 화소들은 포함하고,
상기 제2 화소그룹은 상기 각 화소행의 훌수번째 화소들을 포함하는 것을 특징으로 하는 표시장치.

청구항 20

베이스 기판;
상기 베이스 기판 상에 형성된 다수의 게이트 라인;
상기 베이스 기판 상에 형성되고, 상기 게이트 라인들과 절연되게 교차하여 매트릭스 형태의 다수의 화소영역을 정의하는 다수의 데이터 라인; 및
상기 다수의 화소영역에 각각 형성되고, 다수의 화소행과 다수의 화소열을 포함하는 화소 매트릭스를 포함하고,
상기 각 화소행은 인접하는 다수의 게이트 라인에 각각 전기적으로 연결된 다수의 화소그룹을 포함하며, 상기 각 화소열은 인접하는 하나의 데이터 라인에 공통적으로 연결되고,
상기 다수의 화소그룹 중 적어도 하나는 상기 게이트 라인 중 제1 게이트 라인에 전기적으로 연결된 스위칭 소자 및 상기 스위칭 소자에 전기적으로 연결된 화소전극을 포함하며,
상기 화소전극은 상기 제1 게이트 라인에 인접한 제2 게이트 라인과 부분적으로 오버랩되는 것을 특징으로 하는 어레이 기판.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

[0016] 본 발명은 어레이 기판 및 이를 갖는 표시장치에 관한 것으로, 더욱 상세하게는 소비 전력을 감소시키면서 표시

특성을 개선할 수 있는 어레이 기판 및 이를 갖는 표시장치에 관한 것이다.

[0017] 일반적인 액정표시장치는 어레이 기판과 대향기판 및 어레이 기판과 대향기판 사이에 개재된 액정층으로 이루어진 액정표시패널을 포함한다.

[0018] 어레이 기판은 상호 교차하는 다수개의 데이터 라인과 다수의 게이트 라인을 구비하며, 데이터 라인들과 게이트 라인들에 의해서 정의되는 다수의 화소 영역에 형성된 다수의 화소를 포함한다. 각 화소는 스위칭 소자, 화소전극 및 스토리지 전극으로 이루어진다.

[0019] 한편, 대향기판은 각 화소에 대응하여 색상을 표시하는 컬러필터와 화소전극과 마주하고 공통전압이 제공되는 공통전극을 구비한다. 따라서, 화소전극과 공통전극에 의해서 액정 커페시터가 형성되고, 화소전극과 스토리지 전극에 의해서 스토리지 커페시터가 형성된다.

[0020] 액정표시장치의 액정에 한 극성의 전압이 지속적으로 인가되면 액정이 열화된다. 이러한 액정의 열화를 방지하기 위해, 액정표시장치는 액정에 인가되는 전압의 극성을 일정한 주기로 반전시키는 반전 방식을 채용하고 있다.

[0021] 반전 방식은 프레임 단위로 극성을 반전하는 프레임 반전 방식, 라인 단위로 극성을 반전하는 라인 반전 방식 및 도트 단위로 극성을 반전하는 도트 반전 방식 등을 기본으로 다양한 반전 방식으로 구분된다.

[0022] 특히, 라인 반전 방식은 공통전압의 레벨을 매 1H마다 반전시키고, 라인 데이터 신호의 레벨을 공통전압의 레벨에 대해 반전시키는 방식이다.

[0023] 여기서, 1H 시간은 하나의 게이트 라인을 엑티브 시키는데 소용되는 시간으로 하기 하는 수학식 1에 의해 정의 된다.

수학식 1

$$1H \ time = \left(\frac{1}{f} \right) \cdot \left(\frac{1}{\text{게이트 라인의 수}} \right)$$

[0024]

[0025] 라인 반전 방식을 수행하는 경우, 액정표시장치의 해상도가 증가됨에 따라 공통전압의 반전 주파수 역시 증가된다. 이때, 공통전압의 반전 주파수가 커짐에 따라서 액정표시장치의 소비 전력이 증가한다.

발명이 이루고자 하는 기술적 과제

[0026] 따라서, 본 발명의 목적은 소비 전력을 감소시키면서 개구율을 증가시킬 수 있고 휘도를 개선할 수 있는 어레이 기판을 제공하는 것이다.

[0027] 또한, 본 발명의 다른 목적은 상기한 어레이 기판을 갖는 표시장치를 제공하는 것이다.

발명의 구성 및 작용

[0028] 본 발명의 일 특징에 따른 어레이 기판은 베이스 기판, 다수의 게이트 라인, 다수의 데이터 라인 및 화소 매트릭스를 포함한다.

[0029] 상기 다수의 게이트 라인은 상기 베이스 기판 상에 형성되고, 상기 다수의 데이터 라인은 상기 베이스 기판 상에 형성되고, 상기 게이트 라인들과 절연되게 교차하여 매트릭스 형태의 다수의 화소영역을 정의한다. 상기 화소 매트릭스는 상기 다수의 화소영역에 각각 형성되고, 다수의 화소행과 다수의 화소열을 포함한다.

[0030] 상기 각 화소행은 인접하는 제1 게이트 라인에 전기적으로 연결된 제1 화소그룹 및 인접하는 제2 게이트 라인에 전기적으로 연결된 제2 화소그룹을 포함하고, 상기 각 화소열은 인접하는 하나의 데이터 라인에 공통적으로 연결된다.

[0031] 본 발명의 다른 특징에 따른 표시장치는 표시패널, 게이트 구동부 및 데이터 구동부를 포함한다. 상기 표시패널은 어레이 기판 및 상기 어레이 기판과 마주하는 대향기판으로 이루어져 영상을 표시한다. 상기 게이트 구동부는 상기 어레이 기판에 다수의 게이트 신호를 순차적으로 제공한다. 상기 데이터 구동부는 상기 어레이 기판에 다수의 데이터 신호를 제공한다.

- [0032] 상기 어레이 기판은 베이스 기판, 다수의 게이트 라인, 다수의 데이터 라인 및 화소 매트릭스를 포함한다.
- [0033] 상기 다수의 게이트 라인은 상기 베이스 기판 상에 형성되고, 상기 다수의 데이터 라인은 상기 베이스 기판 상에 형성되고, 상기 게이트 라인들과 절연되어 교차하여 매트릭스 형태의 다수의 화소영역을 정의한다. 상기 화소 매트릭스는 상기 다수의 화소영역에 각각 형성되고, 다수의 화소행과 다수의 화소열을 포함한다.
- [0034] 상기 각 화소행은 인접하는 제1 게이트 라인에 전기적으로 연결된 제1 화소그룹 및 인접하는 제2 게이트 라인에 전기적으로 연결된 제2 화소그룹을 포함하고, 상기 각 화소열은 인접하는 하나의 데이터 라인에 공통적으로 연결된다.
- [0035] 이러한 어레이 기판 및 이를 갖는 표시장치에 따르면, 게이트 라인으로 제공되는 게이트 신호를 이용하여 다수의 화소로 제공되는 데이터 신호의 극성을 제어함으로써, 소비 전력을 감소시킬 수 있고, 개구율의 저하를 방지할 수 있다.
- [0036] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0037] 도 1은 본 발명의 일 실시예에 따른 어레이 기판을 나타낸 도면이다.
- [0038] 도 1을 참조하면, 본 발명의 일 실시예에 따른 어레이 기판(100)은 다수의 게이트 라인(GL1 ~ GLn+1) 및 다수의 데이터 라인(DL1 ~ DLm)을 포함한다. 상기 게이트 라인들(GL1 ~ GLn+1)과 데이터 라인들(DL1 ~ DLm)은 매트릭스 형태의 다수의 화소영역을 정의한다. 여기서, n과 m은 정수이다. 상기 어레이 기판(100)은 상기 화소영역들 각각에 형성되고, n개의 화소행과 m개의 화소열로 이루어진 $n \times m$ 개의 화소로 이루어진 화소 어레이를 포함한다.
- [0039] 상기 각 화소행은 제1 화소그룹 및 제2 화소그룹으로 구분되고, 상기 제1 및 제2 화소그룹은 서로 다른 게이트 라인에 전기적으로 연결된다. 상기 제1 화소그룹은 제1 스위칭 소자(Tr1) 및 제1 화소전극(PE1)으로 이루어진 다수의 제1 화소(P1)를 포함한다. 본 발명의 일 예로, 상기 다수의 제1 화소(P1)는 상기 각 화소행의 짹수번째 화소들이다.
- [0040] 특히, 첫 번째 화소행에서 상기 제1 스위칭 소자(Tr1)는 상기 제1 게이트 라인(GL1)에 전기적으로 연결되고, 상기 제1 화소전극(PE1)은 상기 제1 스위칭 소자(Tr1)에 전기적으로 연결된다. 따라서, 상기 첫 번째 화소행에서 상기 제1 화소그룹은 상기 제1 게이트 라인(GL1)으로 제공된 게이트 신호에 응답하여 구동된다. 상기 제1 화소(P1) 각각은 제2 게이트 라인(GL2)과 상기 제1 화소전극(PE1)에 의해서 정의되는 제1 스토리지 커패시터(Cst1)를 더 포함한다.
- [0041] 상기 제2 화소그룹은 제2 스위칭 소자(Tr2) 및 제2 화소전극(PE2)으로 이루어진 다수의 제2 화소(P2)를 포함한다. 본 발명의 일 예로, 상기 다수의 제2 화소(P2)는 상기 각 화소행의 홀수번째 화소들이다.
- [0042] 특히, 상기 첫 번째 화소행에서 상기 제2 스위칭 소자(Tr2)는 상기 제2 게이트 라인(GL2)에 전기적으로 연결되고, 상기 제2 화소전극(PE2)은 상기 제2 스위칭 소자(Tr2)에 전기적으로 연결된다. 따라서, 상기 첫 번째 화소행에서 상기 제2 화소그룹은 상기 제2 게이트 라인(GL2)으로 제공된 게이트 신호에 응답하여 구동된다. 상기 제2 화소(P2) 각각은 상기 제1 게이트 라인(GL1)과 상기 제2 화소전극(PE2)에 의해서 정의되는 제2 스토리지 커패시터(Cst2)를 더 포함한다.
- [0043] 도 1에서, 상기 제n+1 게이트 라인(GLn+1)은 n번째 화소행의 제2 화소그룹을 구동시키기 위하여 추가된 라인이다.
- [0044] 한편, 상기 각 화소열은 인접하는 하나의 데이터 라인에 공통적으로 연결된다.
- [0045] 도 2는 도 1에 도시된 I 부분의 레이아웃도이고, 도 3은 도 2에 도시된 절단선 II-II'에 따라 절단한 단면도이다.
- [0046] 도 2 및 도 3을 참조하면, 제1 베이스 기판(110) 상에는 폴리 실리콘(Poly-si)(121)이 형성되고, 그 위로 게이트 절연막(122)이 형성된다.
- [0047] 상기 게이트 절연막(122) 상에는 상기 폴리 실리콘(121)이 형성된 영역에 대응하여 제1 및 제2 게이트 전극(GE1, GE2)이 형성된다. 또한, 상기 게이트 절연막(122) 상에는 제1 및 제2 게이트 라인(GL1, GL2)이 형성된다. 여기서, 상기 제1 게이트 전극(GE1)은 상기 제1 게이트 라인(GL1)으로부터 분기되고, 상기 제2 게이트 전극(GE2)은 상기 제2 게이트 라인(GL2)으로부터 분기된다.
- [0048] 또한, 상기 제1 스토리지 커패시터(Cst1)의 제1 전극인 제1 스토리지 전극(CE1)은 상기 제2 게이트 라인(GL2)으

로부터 연장되고, 상기 제2 스토리지 커패시터(Cst2, 도 1에 도시됨)의 제1 전극인 제2 스토리지 전극(CE2)은 상기 제1 게이트 라인(GL1)으로부터 연장된다.

[0049] 이후, 상기 폴리 실리콘층(121)을 봉소(B) 또는 인(P)을 이용하여 도핑하여 n 또는 p 채널을 형성한다.

[0050] 다음, 상기 제1 및 제2 게이트 전극(GE1, GE2)이 형성된 상기 게이트 절연막(122) 상에는 충간 절연막(131)이 형성된다. 상기 게이트 절연막(122)과 상기 충간 절연막(131)에는 상기 폴리 실리콘층(121)의 일부분을 노출시키기 위한 제1 및 제2 콘택홀(131a, 131b)이 형성된다. 상기 충간 절연막(131) 상에는 제1 및 제2 소오스 전극(SE1, SE2), 제1 및 제2 드레인 전극(DE1, DE2)이 형성된다. 특히, 상기 제1 소오스 전극(SE1)은 상기 제1 콘택홀(131a)을 통해 상기 폴리 실리콘층(121)과 전기적으로 연결되고, 상기 제1 드레인 전극(DE1)은 제2 콘택홀(131b)을 통해 상기 폴리 실리콘층(121)과 전기적으로 연결된다. 이로써, 상기 제1 베이스 기판(110) 상에는 폴리 실리콘형으로 이루어진 상기 제1 및 제2 스위칭 소자(Tr1, Tr2)가 형성된다.

[0051] 도 2 및 도 3에서는 상기 제1 및 제2 스위칭 소자(Tr1, Tr2)가 폴리 실리콘형으로 이루어진 구조를 도시하였다. 그러나, 상기 제1 및 제2 스위칭 소자(Tr1, Tr2)는 아몰퍼스 실리콘형으로 이루어질 수 있다.

[0052] 상기 충간 절연막(131) 상에는 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)이 더 형성된다. 상기 제1 소오스 전극(SE1)은 상기 제1 데이터 라인(DL1)으로부터 분기되고, 상기 제1 드레인 전극(DE1)은 상기 제1 소오스 전극(SE1)과 소정 거리로 이격된다. 또한, 상기 제2 소오스 전극(SE2)은 상기 제2 데이터 라인(DL2)으로부터 분기되고, 상기 제2 드레인 전극(DE2)은 상기 제2 소오스 전극(SE2)과 소정 거리로 이격된다.

[0053] 이후, 상기 충간 절연막(131) 상에는 보호막(132)이 형성된다. 상기 보호막(132)은 무기 절연막으로 이루어진다. 상기 보호막(132)에는 상기 제1 및 제2 드레인 전극(DE1, DE2)을 노출시키기 위한 제3 콘택홀(132a)이 형성된다. 상기 보호막(132) 상에는 상기 제1 및 제2 화소전극(PE1, PE2)이 형성된다. 특히, 상기 제1 화소전극(PE1)은 상기 제3 콘택홀(132a)을 통해 상기 제1 드레인 전극(DE1)과 전기적으로 연결된다. 여기서, 상기 제1 및 제2 화소전극(PE1, PE2)은 인듐 틴 옥사이드(Indium Tin Oxide; 이하, ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; 이하, IZO)로 이루어진다.

[0054] 상기 제1 화소전극(PE1)은 상기 제1 스토리지 전극(CE1)과 마주하고, 상기 제1 화소전극(PE1)과 상기 제1 스토리지 전극(CE1)과의 사이에는 상기 충간 절연막(131)과 보호막(132)을 개재된다. 또한, 상기 제2 화소전극(PE2)은 상기 제2 스토리지 전극(CE2)과 마주하고, 상기 제2 화소전극(PE2)과 상기 제2 스토리지 전극(CE2)과의 사이에는 상기 충간 절연막(131)과 보호막(132)이 개재된다. 따라서, 상기 제1 화소전극(PE1)은 상기 제1 스토리지 커패시터(Cst1)의 제2 전극이 되고, 상기 제2 화소전극(PE2)은 상기 제2 스토리지 커패시터(Cst2)의 제2 전극이 된다.

[0055] 도 4는 본 발명의 다른 실시예에 따른 표시장치의 평면도이고, 도 5는 도 4에 도시된 표시장치의 단면도이다.

[0056] 도 4 및 도 5를 참조하면, 본 발명의 다른 실시예에 따른 표시장치(400)는 영상을 표시하는 표시패널을 포함한다. 상기 표시패널은 어레이 기판(100), 상기 어레이 기판(100)과 마주하는 대향기판(200) 및 상기 어레이 기판(100)과 상기 대향기판(200)과의 사이에 개재된 액정층(300)을 포함한다.

[0057] 상기 어레이 기판(100)에서 상기 제1 베이스 기판(110)은 표시영역(DA), 상기 표시영역(DA)에 인접한 제1 주변 영역(PA1) 및 상기 제1 주변영역(PA1)에 인접한 제2 주변영역(PA2)으로 구분된다.

[0058] 상기 표시영역(DA)에는 다수의 게이트 라인(GL1 ~ GLn) 및 상기 다수의 게이트 라인(GL)과 절연되어 교차하는 다수의 데이터 라인(DL1 ~ DLm)이 구비된다. 따라서, 상기 표시영역(DA)에는 매트릭스 형태의 화소영역이 제공된다.

[0059] 상기 제1 베이스 기판(110)의 상기 제1 주변영역(PA1)에는 게이트 구동회로(150)가 구비된다. 상기 게이트 구동회로(150)는 상기 다수의 게이트 라인(GL1 ~ GLn)에 전기적으로 연결되고, 다수의 게이트 신호를 순차적으로 제공한다. 도 4에서, 상기 게이트 구동회로(150)는 상기 제1 베이스 기판(110) 상에 박막 공정을 통해 접적된다. 그러나, 상기 게이트 구동회로(150)는 칩 형태로 이루어져 상기 제1 베이스 기판(110) 상에 실장될 수 있다.

[0060] 상기 제1 베이스 기판(110)의 상기 제2 주변영역(PA2)에는 데이터 구동회로(160)가 구비된다. 상기 데이터 구동회로(160)는 상기 다수의 데이터 라인(DL1 ~ DLm)에 전기적으로 연결되고, 다수의 데이터 라인(DL1 ~ DLm)에 다수의 데이터 신호를 제공한다. 상기 데이터 구동회로(160)는 칩 형태로 이루어져 상기 제1 베이스 기판(110) 상에 실장된다.

[0061] 한편, 상기 대향기판(200)은 제2 베이스 기판(210), 컬러필터층(220) 및 공통전극(230)을 포함한다. 상기 제2 베이스 기판(210)은 상기 제1 베이스 기판(110)과 마주하고, 상기 컬러필터층(220)은 상기 제2 베이스 기판(210) 상에 형성된다. 도면에 도시하지는 않았지만, 상기 컬러필터층(220)은 레드, 그린 및 블루 색화소를 포함할 수 있다. 상기 공통전극(230)은 상기 컬러필터층(220) 상에 형성된다. 상기 공통전극(230)은 ITO 또는 IZO와 같은 투명성 도전 물질로 이루어진다.

[0062] 도 5에 도시된 바와 같이, 상기 공통전극(230)은 상기 제1 화소전극(PE1)과 마주하고, 상기 공통전극(230)과 상기 제1 화소전극(PE1)과의 사이에는 상기 액정층(300)이 개재된다. 따라서, 상기 공통전극(230), 상기 제1 화소전극(PE1) 및 상기 액정층(300)에 의해서 액정 커패시터(Cl_c)가 정의된다.

[0063] 여기서, 상기 제1 스토리지 커패시터(Cst1)는 상기 액정 커패시터(Cl_c)에 병렬 연결된다.

[0064] 도 6은 도 4에 도시된 게이트 구동회로의 출력 파형도이고, 도 7은 도 4에 도시된 데이터 구동회로로부터 출력된 데이터 신호의 극성을 나타낸 도면이다.

[0065] 도 6을 참조하면, 한 프레임(1 frame)동안 다수의 게이트 라인(GL₁ ~ GL_{n+1})에는 제1 내지 제n 게이트 신호(GS₁ ~ GS_{n+1})가 순차적으로 제공된다. 여기서, 1H 시간은 하나의 화소행이 턴온되는데 소요되는 시간으로 정의된다.

[0066] 상기 제1 게이트 신호(GS₁)는 첫 번째 화소행이 턴온되는 첫 번째 1H₁ 시간 중 첫 번째 초기 $\frac{1}{2} H_{1-1}$ 시간동안 제1 하이 전압(V_H)을 유지하고, 첫 번째 후기 $\frac{1}{2} H_{1-2}$ 시간동안 제1 로우 전압(V_L)을 유지한다. 상기 제1 게이트 신호(GS₁)는 첫 번째 후기 $\frac{1}{2} H_{1-2}$ 시간 이후에 제2 하이 전압(V_{H`})으로 상승한다. 상기 제2 하이 전압(V_{H`})은 상기 제1 하이 전압(V_H)과 상기 제1 로우 전압(V_L)과의 사이의 전압레벨을 갖는다.

[0067] 상기 첫 번째 화소행 중 상기 제1 게이트 라인(GL₁)에 연결된 제1 화소그룹의 제1 스위칭 소자들(Tr₁, 도 1에 도시됨)은 상기 첫 번째 초기 $\frac{1}{2} H_{1-1}$ 시간동안 상기 제1 게이트 신호(GS₁)에 응답하여 턴온된다. 이후, 상기 다수의 데이터 라인(DL₁ ~ DL_m)으로 제공된 다수의 데이터 신호(DS₁ ~ DS_m) 중 짹수번째 데이터 신호들은 상기 제1 화소그룹의 제1 화소전극(PE₁, 도 1에 도시됨)들로 제공된다. 본 발명의 일 예로, 상기 첫 번째 초기 $\frac{1}{2} H_{1-1}$ 시간동안 상기 다수의 데이터 신호(DS₁ ~ DS_m)는 공통전압(V_{com})보다 낮은 전압레벨을 갖도록 부극성(-)을 갖는다. 따라서, 도 7에 도시된 바와 같이 상기 첫 번째 화소행에서 짹수번째 화소들에는 부극성(-)의 데이터 신호가 제공된다.

[0068] 한편, 상기 제2 게이트 신호(GS₂)는 상기 첫 번째 후기 $\frac{1}{2} H_{1-2}$ 시간동안 상기 제1 하이 전압(V_H)을 유지하고, 두 번째 화소행이 턴온되는 두 번째 1H₂ 시간 중 두 번째 초기 $\frac{1}{2} H_{2-1}$ 시간동안 상기 제1 로우 전압(V_L)을 유지한다. 상기 제2 게이트 신호(GS₂)는 상기 두 번째 초기 $\frac{1}{2} H_{2-1}$ 시간 이후에 제2 로우 전압(V_{L`})으로 하강한다. 상기 제2 로우 전압(V_{L`})은 상기 제1 로우 전압(V_L)보다 낮은 전압레벨을 갖는다.

[0069] 상기 첫 번째 화소행 중 상기 제2 게이트 라인(GL₂)에 연결된 제2 화소그룹의 제2 스위칭 소자들(Tr₂, 도 1에 도시됨)은 상기 첫 번째 후기 $\frac{1}{2} H_{1-2}$ 시간동안 상기 제2 게이트 신호(GS₂)에 응답하여 턴온된다. 또한, 두 번째 화소행 중 상기 제2 게이트 라인에 연결된 제1 화소그룹의 제1 스위칭 소자들은 상기 두 번째 초기 $\frac{1}{2} H_{2-1}$ 시간동안 상기 제2 게이트 신호(GS₂)에 응답하여 턴온된다. 이후, 상기 다수의 데이터 라인(DL₁ ~ DL_m)으로 제공된 다수의 데이터 신호(DS₁ ~ DS_m) 중 홀수번째 데이터 신호들은 상기 제2 화소그룹의 제2 화소전극(PE₂)들로 제공되고, 짹수번째 데이터 신호들은 상기 제1 화소그룹의 제1 화소전극(PE₁)들로 제공된다.

[0070] 본 발명의 일 예로, 상기 첫 번째 후기 $\frac{1}{2} H_{1-2}$ 시간동안 상기 다수의 데이터 신호(DS₁ ~ DS_m)는 공통전압(V_{co}

m)보다 높은 전압레벨을 갖도록 정극성(+)을 갖는다. 즉, 상기 다수의 데이터 신호(DS1 ~ DS_m)는 $\frac{1}{2}H$ 시간 단위로 공통전압(V_{com})을 기준으로 반전된다. 따라서, 도 7에 도시된 바와 같이, 상기 첫 번째 화소행의 홀수번 째 화소들과 상기 두 번째 화소행의 짹수번 째 화소들에는 정극성(+)의 데이터 신호가 제공된다.

[0071] 도 7에 도시된 바와 같이, 홀수번 째 화소행의 제1 화소그룹에는 부극성(-)의 데이터 신호가 제공되고, 제2 화소그룹에는 정극성(+)의 데이터 신호가 제공된다. 또한, 짹수번 째 화소행의 제1 화소그룹에는 정극성(+)의 데이터 신호가 제공되고, 제2 화소그룹에는 부극성(-)의 데이터 신호가 제공된다. 이로써, 상기 표시장치(400)는 도트 반전 방식으로 구동이 가능하다.

[0072] 다시 도 6을 참조하면, 상기 제1 게이트 신호(GS1)는 첫 번째 후기 $\frac{1}{2}H_{1-2}$ 시간 이후에 상기 제1 로우 전압(V_L)에서 상기 제2 하이 전압(V_{H`})으로 상승한다. 따라서, 상기 제1 게이트 라인(GL1)에 연결된 제2 스토리지 커페시터(Cst2)에 의해서 상기 첫 번째 화소행의 제2 화소그룹으로 제공된 정극성(+)의 데이터 신호의 전압 레벨이 상승한다.

[0073] 한편, 상기 제2 게이트 신호(GS2)는 두 번째 초기 $\frac{1}{2}H_{2-1}$ 이후에 상기 제1 로우 전압(V_L)에서 상기 제2 로우 전압(V_{L`})으로 하강한다. 따라서, 상기 제1 게이트 라인(GL1)에 연결된 첫 번째 화소행의 제1 스토리지 커페시터(Cst1)에 의해서 상기 첫 번째 화소행의 제1 화소그룹으로 제공된 부극성(-)의 데이터 신호의 전압 레벨이 감소한다. 또한, 상기 2 게이트 라인에 연결된 제2 스토리지 커페시터(Cst2)에 의해서 상기 두 번째 화소행의 제2 화소그룹으로 제공된 부극성(-)의 데이터 신호의 전압 레벨이 감소한다.

[0074] 이와 같이, 상기 제1 내지 제n+1 게이트 신호(GS1 ~ GS_{n+1})를 이용하여 상기 제1 및 제2 스토리지 커페시터(Cst1, Cst2)를 제어할 수 있다. 따라서, 상기 제1 및 제2 스토리지 커페시터(Cst1, Cst2)에 연결된 액정 커페시터(Cl_c)의 커페시턴스를 보상할 수 있다. 또한, 상기 표시장치(400)의 소비 전력을 절감할 수 있으면서 도트 반전 구동을 할 수 있다.

발명의 효과

[0075] 이와 같은 어레이 기판 및 이를 갖는 표시장치에 따르면, 각 화소행은 서로 다른 게이트 라인에 연결된 두 개의 그룹으로 분리되고, 각 게이트 라인으로 제공되는 게이트 신호를 이용하여 다수의 화소로 제공되는 데이터 신호의 극성이 제어된다.

[0076] 따라서, 소비 전력을 증가시키지 않으면서 도트 반전 방식으로 표시장치를 구동시킬 수 있다. 또한, 게이트 신호를 이용하여 극성을 제어함으로써 별도의 신호배선이 추가되지 않고, 그 결과 개구율의 저하를 방지할 수 있다. 이로써, 표시장치의 표시특성을 개선할 수 있다.

[0077] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시예에 따른 어레이 기판을 나타낸 도면이다.

[0002] 도 2는 도 1에 도시된 I 부분의 레이아웃이다.

[0003] 도 3은 도 2에 도시된 절단선 II-II`에 따라 절단한 단면도이다.

[0004] 도 4는 본 발명의 다른 실시예에 따른 표시장치의 평면도이다.

[0005] 도 5는 도 4에 도시된 표시장치의 단면도이다.

[0006] 도 6은 도 4에 도시된 게이트 구동회로의 출력 과정도이다.

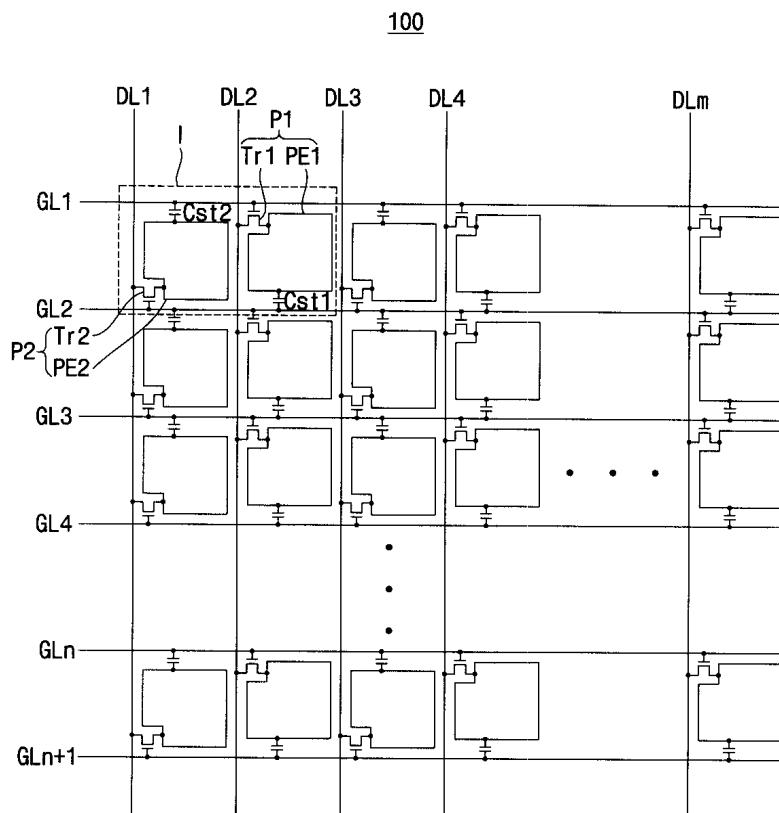
[0007] 도 7은 도 4에 도시된 데이터 구동회로로부터 출력된 데이터 신호의 극성을 나타낸 도면이다.

[0008] *도면의 주요 부분에 대한 부호의 설명*

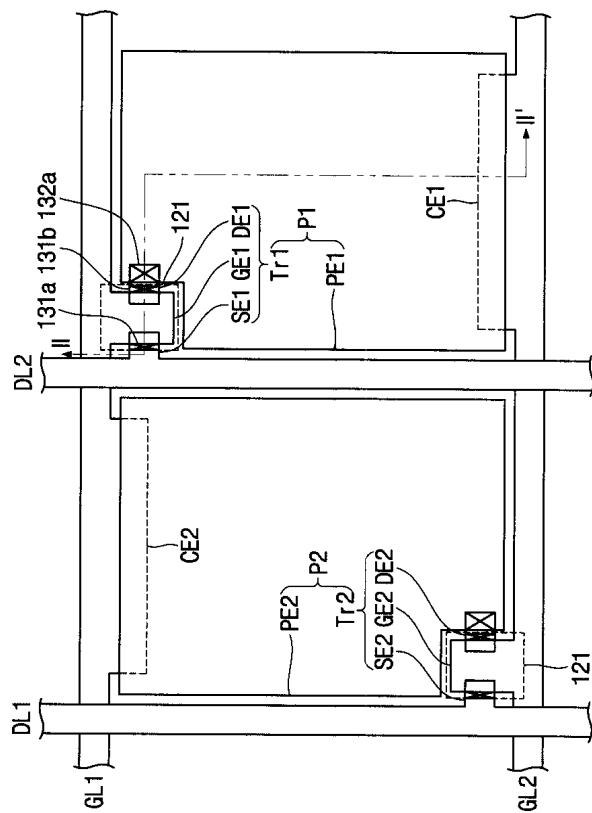
| | | |
|--------|----------------|-----------------|
| [0009] | 100 : 어레이 기판 | 110 : 제1 베이스 기판 |
| [0010] | 121 : 폴리 실리콘층 | 122 : 게이트 절연막 |
| [0011] | 131 : 충간 절연막 | 132 : 보호막 |
| [0012] | 150 : 게이트 구동회로 | 160 : 데이터 구동회로 |
| [0013] | 200 : 컬러필터기판 | 210 : 제1 베이스 기판 |
| [0014] | 220 : 컬러필터층 | 230 : 공통전극 |
| [0015] | 400 : 표시장치 | |

도면

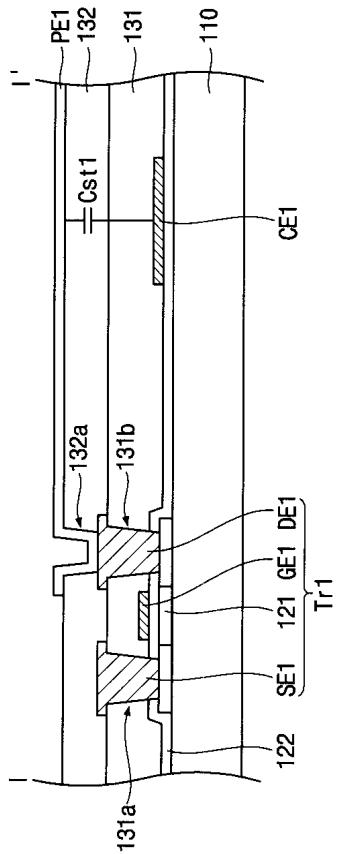
도면1



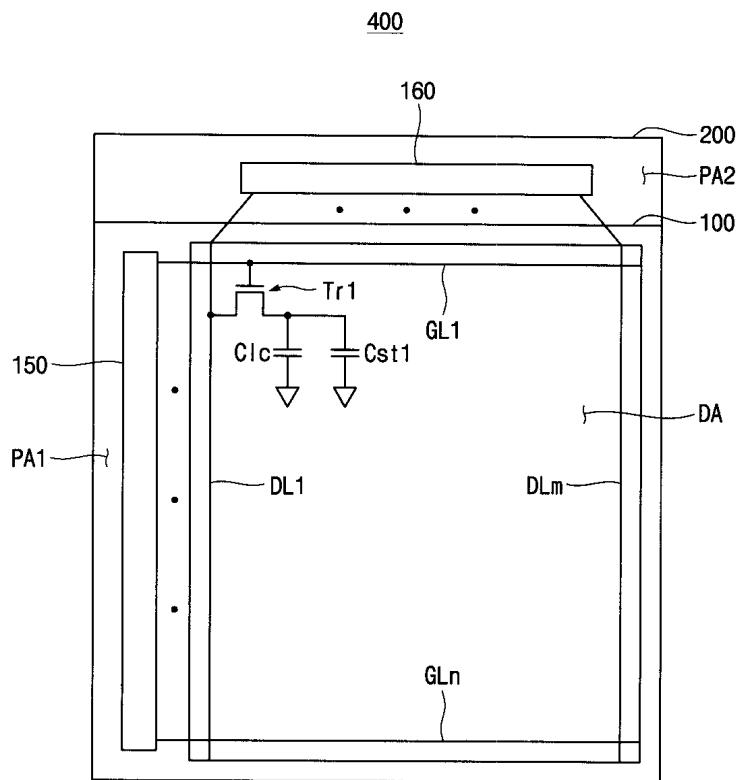
도면2



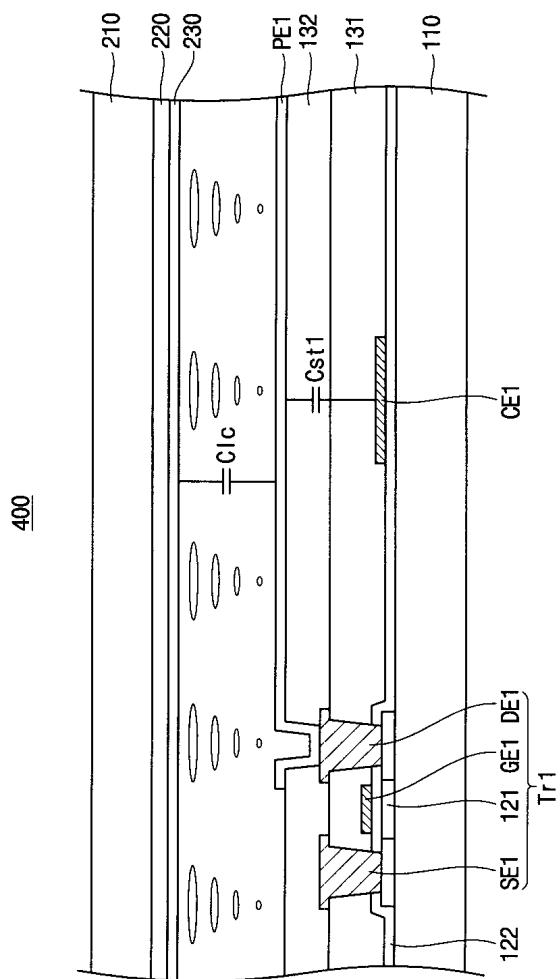
도면3



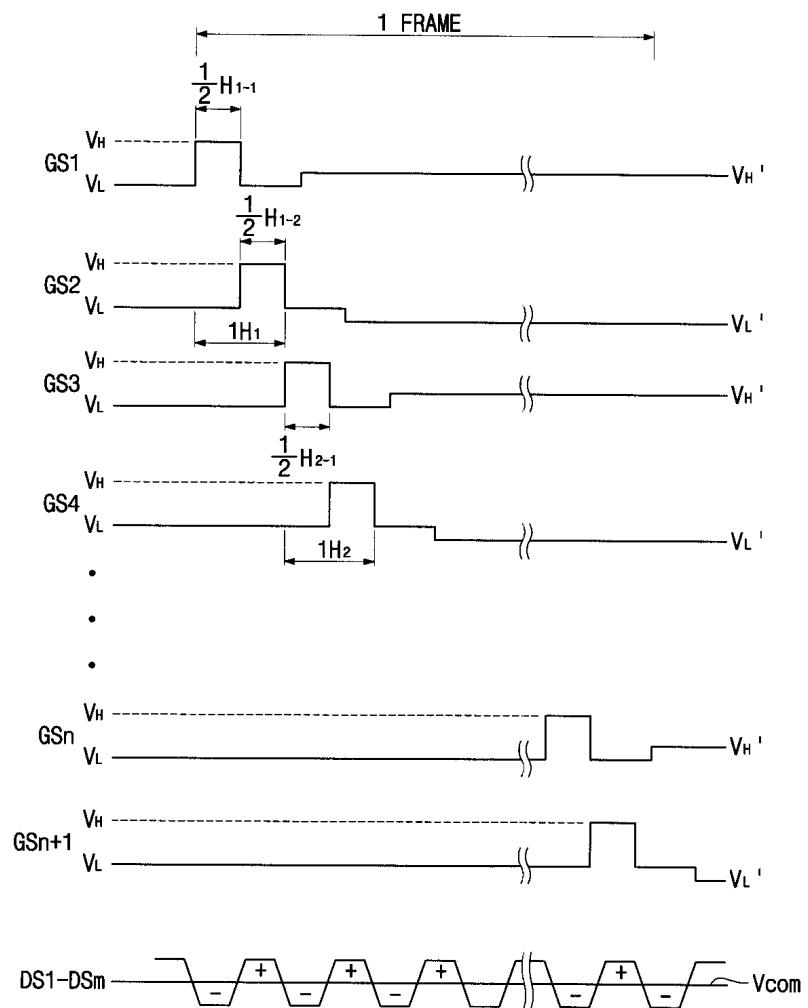
도면4



도면5



도면6



도면7

| | DL1 | DL2 | DL3 | DL4 | DLm | |
|-------|-----|-----|-----|-----|-------|---|
| GL1 | + | - | + | - | - | |
| GL2 | - | + | - | | - | + |
| GL3 | + | - | + | - | • • • | - |
| GL4 | | | • | | | |
| GLn | | | • | | | |
| GLn+1 | + | - | + | - | | - |