

311998本

申請日期	85 年 5 月 28 日
案 號	85106343
類 別	Int. Cl ⁶ G06F 15/62

A4
311998

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	參數曲線產生裝置
	英 文	Parametric curve generating device
二、發明 人創作	姓 名	(1) 南利秋 (2) 山崎竜彦 (3) 大園逸男
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都大田區下丸子三丁目三〇番二號 キャノン株式会社内 (2) 日本國東京都大田區下丸子三丁目三〇番二號 キャノン株式会社内 (3) 日本國東京都大田區下丸子三丁目三〇番二號 キャノン株式会社内
三、申請人	姓 名 (名稱)	(1) 佳能股份有限公司 キャノン株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都大田區下丸子三丁目三〇番二號
	代 表 人 姓 名	(1) 御手洗富士夫

裝

訂

線

311998

申請日期	85 年 5 月 28 日
案 號	85106343
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 原裕司
	國 籍	(4) 日本
	住、居所	(4) 日本國東京都大田區下丸子三丁目三〇番二號 キャノン株式会社内
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
 日本 1995 年 5 月 31 日 7-134192 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明背景

發明領域

本發明關於參數曲線產生裝置，產生用於諸如電腦或印表機之辦公室自動化設備的輪廓字形或用於CAD、設計等之領域的任意參數曲線。

相關背景技藝

首先，解釋做為曲線例子的Bezier曲線。以下等式可代表三次Bezier曲線，利用四點座標 P_0 、 P_1 、 P_2 、 P_3 ：

$$P(t) = P_0(1-t)^3 + 3P_1t(1-t)^2 + 3P_2t^2(1-t) + P_3t^3 \quad (0 \leq t \leq 1)$$

連續取控制點 $(P_0 \cdots \cdots P_3)$ 的中點，此Bezier曲線 $(P_0 \cdots \cdots P_3)$ 可分成二個Bezier曲線 $(Q_0 \cdots \cdots Q_3)$ 和 $(R_0 \cdots \cdots R_3)$ ，如圖1，其中 $Q_3 = R_0$ 。重複此除法來完成圖式，直到控制點全長等於或小於位元距離1。

初值 $(P_0 \cdots \cdots P_3)$ 的除法產生二倍資料量，一組 $(R_0 \cdots \cdots R_3)$ 存入堆疊，另一組 $(Q_0 \cdots \cdots Q_3)$ 做為下一除法的初值。重複此運算，若資料 $(Q_0 \cdots \cdots Q_3)$ 收斂在某一點，則資料 $(R_0 \cdots \cdots R_3)$ 做為下一運算

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (2)

的初值。若資料 $(Q_0 \cdots \cdots Q_3)$ 和 $(R_0 \cdots \cdots R_3)$ 都收斂，則預先存入堆疊的控制點資料取還成下一運算的初值。當堆疊變空時，所有運算完成。經由此過程，以從 P_0 至 P_3 的連續方式可得到 Bezier 曲線的一串描繪點。

決定二個控制點之中點的運算涉及加法和除 2。由於 1 位元右移可除 2，故將加法器輸出右移一位元，加法器可達成加法和除 2。若控制點資料為 n 位元，則加法結果的高 $(n - 1)$ 位元得到除 2 結果。加法器的進位輸出可做為計算結果的最高位元。

圖 2 顯示進行上述除 2 之參數曲線產生裝置電路的例子。上述資料 $(P_0 \cdots \cdots P_3)$ 分別存入暫存器 1 - 4。加法器 11 - 16 執行除 2，運算結果 $(Q_0 \cdots \cdots Q_3, R_0 \cdots \cdots R_3)$ 釋放到點 21 - 27 (Q_3 和 R_0 相同，釋放到點 24)。

收斂鑑別電路 31、32 分別決定 $|Q_0 - Q_3|$ 和 $|R_0 - R_3|$ ，鑑別這些值是否滿足預定收斂條件，亦即這些值是否等於或小於位元距離 1。

上述參數曲線產生裝置的功能是依據控制點收斂狀態分成三個情形，亦即 $(Q_0 \cdots \cdots Q_3)$ 不收斂的情形、 $(Q_0 \cdots \cdots Q_3)$ 收斂但 $(R_0 \cdots \cdots R_3)$ 不收斂的情形、 $(Q_0 \cdots \cdots Q_3)$ 和 $(R_0 \cdots \cdots R_3)$ 都收斂的情形。未顯示的控制電路控制此功能。

若 $(Q_0 \cdots \cdots Q_3)$ 不收斂，則釋放到點 22、23、24 的資料 $(Q_0 \cdots \cdots Q_3)$ 經由選擇器 41 存入暫存

五、發明說明 (3)

器 2 - 4 。暫存器的 1 內容 (等於 Q_0) 不變。同時，釋放到點 2 5 、 2 6 、 2 7 的資料 ($R_0 \cdots \cdots R_3$) 經由匯流排 5 1 存入堆疊記憶 6 1 ，對新資料 ($Q_1 \cdots \cdots Q_3$) 進行類似運算。

若 ($Q_0 \cdots \cdots Q_3$) 收斂但 ($R_0 \cdots \cdots R_3$) 不收斂，則釋放從暫存器 1 釋放到點 2 1 的資料 Q_0 。為計算以下的點，在 2 4 、 2 5 、 2 6 的資料 ($R_0 \cdots \cdots R_2$) 經由選擇器 4 1 存入暫存器 1 - 3 。暫存器 4 的內容 (等於 R_3) 不變。

若 ($Q_0 \cdots \cdots Q_3$) 和 ($R_0 \cdots \cdots R_3$) 都收斂，則釋放資料 Q_0 和 R_3 。然後，為計算 R_0 的下一點，暫存器 4 的內容 (R_3) 經由選擇器 4 1 存入暫存器 1，三點的預先儲存資料從堆疊記憶 6 1 經由匯流排 5 1 和選擇器 4 1 存入暫存器 2 - 4。

為操作此電路，須設定時脈周期，在一時脈周期內可進行除 2、收斂鑑別、選擇器 4 1 的切換、轉移到暫存器 1 - 4、對堆疊記憶 6 1 的儲存 / 取還。詳言之，不管資料轉移時間，上述設定須滿足：

(時脈周期) + > (加法器的延遲時間) $\times$ 3 + (收斂鑑別電路的延遲時間) + (選擇器切換時間) + (暫存器的資料設立時間)

三個控制點的資料須在此周期時間內存入或取自堆疊記憶

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

。

各控制點的資料是有浮動小數點的資料，由 1_0 位元的整數部和 1_1 位元的分數部組成。為無誤產生 Bezier 曲線，分數部位元數 1_1 須與 1_0 相當，例如，若 1_0 有 16 位元，則上述參數曲線產生裝置的暫存器 $1-4$ 和加法器 1_1-1_6 須各有約 32 位元，因而硬體數量相當大。

為同時掌控三個控制點的資料，堆疊記憶 6_1 需要 $32 \times 3 = 96$ 位元的埠。資料匯流排 5_1 同樣須有 96 位元寬度。此大寬度之匯流排的存在需要大接線面積，不利將此電路形成 LSI。

如前述，為高速執行決定 Bezier 曲線所需的除 2，傳統電路需要大寬度的匯流排，因此不適於 LSI 形成。

發明概要

本發明的目標是提供產生 Bezier 曲線的參數曲線產生裝置，能以有限電路高速執行除 2。

依據本發明，產生任意參數曲線的參數曲線產生裝置可達成上述目標，包括：第一暫存器，儲存曲線控制點座標；除 2 電路，將存入暫存器的控制點除以二，藉以形成二個曲線的控制點；第二暫存器，儲存除 2 電路所形成之二個曲線的控制點；堆疊記憶，連續儲存多組控制點；第三暫存器，位於第一和第二暫存器之間儲存一組控制點；鑑別電路，決定是否由除 2 電路進行控制點除法，其中對第一暫存器之前的控制點重複除 2，產生並釋放所需參數

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

曲線。

本發明另外特性在於：若除2電路所形成之二組控制點的一組依鑑別電路的鑑別結果而暫時儲存，則要儲存的組一度存入第三暫存器，再存入堆疊記憶。

本發明另外特性在於：若曲線之暫時儲存組的控制點依鑑別電路的鑑別結果而轉移到第一暫存器，則轉移第三暫存器的內容。

本發明另外特性在於：除2電路的除2和第三暫存器與堆疊記憶之間的轉移以平行方式同時進行。

本發明另外特性在於：堆疊記憶一次讀寫一控制點。

本發明另外特性在於：除2電路由三個加法器組成，各控制點的除法運算在三個時脈周期完成。

本發明另外特性在於：暫存器和堆疊記憶各由整數部和分數部組成。

本發明另外特性在於：產生的曲線是Bezier曲線。

本發明另外特性在於：上述Bezier曲線屬於有x和y座標的二維空間，上述暫存器和堆疊記憶供給各x和y座標。

本發明另外特性在於：提供釋放產生曲線的輸出構件。

本發明另外特性在於：上述輸出構件是印表機。

經由使用第三暫存器，本發明的參數曲線產生裝置能以平行方式同時執行除2電路之Bezier曲線控制點的除法運算和堆疊記憶之一組控制點的儲存／取還作業。歸因於

五、發明說明 (6)

此組態，在所有情形，各除 2 運算可在 4 個時脈周期內進行，不管收斂狀態。

圖式簡述

圖 1 是顯示三次 Bezier 曲線除以二的示意圖；

圖 2 是顯示參數曲線產生裝置組態的方塊圖；

圖 3 是顯示參數曲線產生裝置組態的方塊圖；

圖 4 至 6 顯示圖 3 之各種組件功能的時序；

圖 7 是顯示本發明另一組態的方塊圖；

圖 8 至 10 顯示本發明之組態之各種組件功能的時序。

較佳實施例說明

圖 3 顯示實施本發明之電路的例子，其中顯示如同前述暫存器 1 - 4 之儲存資料 ($P_0 \dots \dots P_3$) 的暫存器 7 1 - 7 4；相較於圖 2 的組態，數目從六降到三的加法器 8 1 - 8 3；相較於圖 2 的組態，數目增加的暫存器 9 1 - 9 7；堆疊記憶 10 1；連接堆疊記憶 10 1 與暫存器 7 2 - 7 4 的匯流排 11 1。未顯示的控制電路控此電路。

參照圖 4、5、6 的時序圖，解釋此電路的功能。

至第四周期的運算在圖 4、5、6 相同。

第一周期中，加法器 8 1 - 8 3 執行計算 $Q_1 = (P_0 + P_1) / 2$ 、 $S = (P_1 + P_2) / 2$ 、 $R_2 = (P_2 + P_3$

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

) / 2, 其結果 Q_1 、 S 、 R_2 分別存入暫存器 92、94、96。同時, P_3 成為 R_3 轉移到暫存器 97。

第二周期中, 加法器 81 將暫存器 92 和 94 的內容相加並乘以 $1/2$, 所得結果做為 Q_3 存入暫存器 93。加法器 83 將暫存器 94 和 96 的內容相加並乘以 $1/2$, 所得結果做為 R_2 存入暫存器 95。

第三周期中, 加法器 82 將暫存器 93 和 96 的內容相加並乘以 $1/2$, 所得結果做為 $Q_3(R_0)$ 存入暫存器 94。此時, Q_0 存入暫存器 91, Q_1 在 92, Q_2 在 93, $Q_3 = R_0$ 在 94, R_1 在 95, R_2 在 96, R_3 在 97。依此方式, 在三個時脈周期內可執行圖 2 的除 2。

第四周期中, 收斂鑑別電路 121、122 鑑別 ($Q_0 \dots Q_3$) 和 ($R_0 \dots R_3$) 是否在收斂狀態, 過程隨鑑別結果而變。

圖 4 顯示 ($Q_0 \dots Q_3$) 不收斂的情形。根據收斂鑑別電路 121、122 的鑑別結果, 切換選擇器 131, 使得 ($Q_0 \dots Q_3$) 在下一周期開始存入暫存器 72-74, ($Q_0 \dots Q_3$) 在第五周期開始存入暫存器 72-74。暫存器 71 的內容 Q_0 不變。另一方面, ($R_1 \dots R_3$) 在第五、六、七周期經由匯流排 111 順序存入堆疊記憶 101。到儲存完成才開始下一除 2。所以在此情形需要 7 個周期。

圖 5 顯示 ($Q_0 \dots Q_3$) 收斂但 ($R_0 \dots R_3$) 不收斂的情形。根據第四周期之收斂鑑別電路 121、

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (8)

1 2 2 的鑑別結果，釋放 Q_0 並切換選擇器 1 3 1，使得 $(R_0 \cdots R_2)$ 存入暫存器 7 1 - 7 3。 $(R_0 \cdots R_2)$ 在第五周期開始存入暫存器 7 1 - 7 3。暫存器 7 4 的內容 R_3 不變。在此情形，因暫存器 7 1 - 7 4 的內容固定在第五周期開始而從第五周期可開始第一周期和其後的上述運算，故需要 4 個周期。

圖 6 顯示 $(Q_0 \cdots Q_3)$ 和 $(R_0 \cdots R_3)$ 都收斂的情形。根據第四周期之收斂鑑別電路 1 2 1、1 2 2 的鑑別結果，釋放 Q_0 和 R_3 並切換選擇器 1 3 1，使得在第五、六、七周期可取還控制點資料，暫存器 9 7 的內容可轉移到暫存器 7 1。三個控制點的資料 (P'_1, P'_2, P'_3) 在第五、六、七周期從堆疊記憶 1 0 1 經由匯流排 1 1 1 取到暫存器 7 2 - 7 4。暫存器 9 7 的內容 (P'_0) 在第五周期開始經由選擇器 1 3 1 存入暫存器 7 1。在此情形，因暫存器 7 1 - 7 4 的內容在第八周期開始固定，故需要 7 個周期。

圖 3 的組態中，堆疊記憶 1 0 1 和匯流排 1 1 1 的資料埠寬度為 3 2 位元，因而較適於 L S I 形成。

為操作此電路，時脈周期須設定如下，不管資料轉移時間：

$(\text{時脈周期}) > \max \{ (\text{加法器延遲時間}), (\text{收斂鑑別電路延遲時間} + \text{選擇器切換時間}), (\text{堆疊記憶存取時間}) \} + (\text{暫存器資料設立時間})$

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

若堆疊記憶由容許高速存取的暫存器檔組成，則可使圖 3 的時脈周期為圖 2 之時脈周期的約 $1/4$ 。所以，相較於圖 2 的電路，圖 3 的電路能以 $(Q_0 \dots \dots Q_3)$ 收斂但 $(R_0 \dots \dots R_3)$ 不收斂之情形的相當速度處理，但慢了以堆疊記憶 1 0 1 轉移之周期所需的時間。

〔另一實施例〕

圖 7 顯示本發明另一實施例，其中功能和位置相當於圖 3 的元件由加分號的對應數字代表。暫存器 1 4 1 - 1 4 3 加到圖 3 的組態，因而此實施例電路增加最少。

參照圖 8、9、10 的時序圖，解釋圖 7 的電路功能。未顯示的控制電路控制此電路。

至第四周期的運算在圖 8、9、10 相同。

首先，第一周期中，加法器 8 1' - 8 3' 進行計算 $(P_0 + P_1) / 2$ 、 $(P_1 + P_2) / 2$ 、 $(P_2 + P_3) / 2$ ，其結果 Q 、 S 、 R_2 分別存入暫存器 9 2'、9 4'、9 6'。同時， P_0 成為 Q_0 轉移到暫存器 9 1'， P_3 成為 R_3 轉移到暫存器 9 7'。

第二周期中，加法器 8 1' 將暫存器 9 2'、9 4' 的內容 Q_1 、 S 相加並乘以 $1/2$ ，所得結果 R_1 存入暫存器 9 5'。加法器 8 3' 將暫存器 9 4'、9 6' 的內容 S 、 R_2 相加並乘以 $1/2$ ，所得結果 R 存入暫存器 9 5'。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(10)

第三周期中，加法器 8 2' 將暫存器 9 3'、9 5' 的內容 Q_2 、 R_1 相加並乘以 $1/2$ ，所得結果 $Q_3 = R_0$ 存入暫存器 9 4'。此時， Q_0 存入暫存器 9 1'， Q_1 在 9 2'， Q_2 在 9 3'， $Q_3 = R_0$ 在 9 4'， R_1 在 9 5'， R_2 在 9 6'， R_3 在 9 7'。依此方式，在三個時脈周期內可執行圖 2 的除 2。

第四周期中，收斂鑑別電路 1 2 1'、1 2 2' 鑑別 ($Q_0 \dots \dots Q_3$) 和 ($R_0 \dots \dots R_3$) 是否在收斂狀態，過程隨鑑別結果而變。

圖 8 顯示 ($Q_0 \dots \dots Q_3$) 不收斂的情形。根據收斂鑑別電路 1 2 1'、1 2 2' 的鑑別結果，切換選擇器 1 3 1'，使得 ($Q_1 \dots \dots Q_2$) 在第五周期開始存入暫存器 7 2' - 7 4'，($Q_1 \dots \dots Q_3$) 在第五周期開始存入 1 4 1 - 1 4 3。($Q_1 \dots \dots Q_3$) 在第五周期存入暫存器 7 2' - 7 4'。暫存器 7 1 的內容 Q_0 不變。($R_1 \dots \dots R_2$) 存入暫存器 1 4 1 - 1 4 3。第五、六、七周期中，暫存器 1 4 1 - 1 4 3 的內容順序存入堆疊記憶 1 0 1'，但暫存器 1 4 1 - 1 4 3 的內容不變。

圖 9 顯示 ($Q_0 \dots \dots Q_3$) 收斂但 ($R_0 \dots \dots R_3$) 不收斂的情形。根據收斂鑑別電路 1 2 1'、1 2 2' 的鑑別結果，釋放 Q_0 並切換選擇器 1 3 1'，使得 ($R_0 \dots \dots R_2$) 存入暫存器 7 1' - 7 3'。($R_0 \dots \dots R_2$) 在第五周期開始存入暫存器 7 1' - 7 3'。暫存器 7 4' 的內容 R_3 不變。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(11)

圖 10 顯示 $(Q_0 \dots \dots Q_3)$ 和 $(R_0 \dots \dots R_3)$ 都收斂的情形。根據收斂鑑別電路 121'、122' 的鑑別結果，釋放 Q_0 和 R_0 並切換選擇器 131'，使得暫存器 141-143 的內容 (P'_1, P'_2, P'_3) 轉移到暫存器 72'-74'，暫存器 97' 的內容 (P'_0) 在第五周期轉移到暫存器 71'。然後，在第五周期開始堆疊記憶 141-143 的內容轉移到暫存器 72'-74'。暫存器 141-143 的內容與先前存入堆疊記憶 101' 者相同。在第五周期開始，暫存器 74' 的內容經由選擇器 131' 存入暫存器 71'。然後，第五、六、七周期中，存在於堆疊記憶頂部第二位置的資料 (P''_1, P''_2, P''_3) 從堆疊記憶 101' 經由匯流排 111' 順序取到暫存器 141-143。前一組資料取至堆疊記憶頂部。結果，在各除 2 運算後，暫存器 141-143 的內容一直與在堆疊記憶 101' 之頂部的一組資料一致。即使持續 $(Q_0 \dots \dots Q_3)$ 和 $(R_0 \dots \dots R_1)$ 都收斂的情況，暫存器 141-143 的內容也可用來取還暫存器 72'-74' 的控制點資料而不需等待匯流排周期。

以下考慮此電路的功能，特別是關於：

1) 堆疊記憶 101' 與暫存器 141-143 之間的匯流排周期；

2) 暫存器 141-143 與暫存器 72'-74'、95'-97' 之間的資料轉移周期；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

3) 除 2 運算。

匯流排周期總是發生在第五、六、七周期。

轉移周期總是發生在第五周期開始。

至於除 2 運算 3)，下一運算所需的資料在第五周期開始固定於暫存器 7 1 ' - 7 4 '。能以獨立及連續方式執行除 2 運算，利用暫存器 7 1 ' - 7 4 ' 的資料。

所以，此電路的功能中，管線作業在匯流排 / 轉移周期與除 2 運算之間是可能的。以比管線作業可在 4 個時脈周期內執行各除 2 運算。

所需時脈周期數的判定中，利用上述管線作業定為 4 個時脈周期。

可選擇時脈周期相當於圖 3 的電路。

上文限於一維資料的情形，但關於本發明的 Bezier 曲線定在二維空間並有 x 和 y 座標，為掌控此 Bezier 曲線，應準備上述二組參數曲線產生裝置。在此情形，當 x 和 y 都收斂時，辨識上述收斂狀態，對 x 和 y 座標進行相同鑑別。

圖 3 和 7 的組態利用暫存器 9 1、9 7、9 1'、9 7' 以簡化，但這些暫存器可捨棄。在此情形，暫存器 7 1、7 1'、7 4、7 4' 分別取代暫存器 9 1、9 1'、9 7、9 7'。

藉由存入記憶之輪廓字形資料的輸入，本實施例的參數曲線產生裝置可得到產生曲線的控制點，根據如此得到的控制點產生曲線，由印表機或顯示裝置提供如此產生的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (13)

曲線。

如前述，本發明的參數曲線產生裝置能以有限硬體高速產生 Bezier 曲線。因匯流排寬度降低，故特別適於 L S I 形成。

(請先閱讀背面之注意事項再填寫本頁)

註

訂

線

四、中文發明摘要(發明之名稱：

參數曲線產生裝置

揭示產生 Bezier 曲線的參數曲線產生裝置，能以有限硬體高速執行除 2 運算。

加法器計算 $(P_0 + P_1) / 2$ 等，結果分別存入暫存器。然後加法器計算暫存器內容，結果存入一暫存器。加法器計算暫存器內容，結果存入一暫存器。加法器計算暫存器內容，結果存入暫存器。收斂鑑別電路鑑別資料是否收斂，隨後過程依鑑別結果而變。堆疊記憶經由暫存器儲存資料。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

英文發明摘要(發明之名稱：

六、申請專利範圍

1. 一種參數曲線產生裝置，用以產生任意參數曲線，包括：

第一暫存器，儲存曲線的控制點座標值；

除2電路，將存入該暫存器的控制點除以二，藉以形成二組曲線的控制點；

第二暫存器，儲存除2電路所形成之二組曲線的控制點；

堆疊記憶，連續儲存多組控制點；

第三暫存器，位於第一和第二暫存器之間，儲存一組控制點；

鑑別電路，根據存入第二暫存器的控制點，決定是否由除2電路進行控制點的除2；

其中對第一暫存器之前的控制點重複除2，產生所需參數曲線。

2. 如申請專利範圍第1項的參數曲線產生裝置，其中若加法器所形成之二組控制點的一組依鑑別電路的鑑別結果而暫時儲存，則該組一度存入第三暫存器，再存入堆疊記憶。

3. 如申請專利範圍第1項的參數曲線產生裝置，其中若暫時儲存之曲線的一組控制點依鑑別電路的鑑別結果而轉移到第一暫存器，則轉移第三暫存器的內容。

4. 如申請專利範圍第1項的參數曲線產生裝置，其中除2電路的除2和第三暫存器與堆疊記憶之間轉移以平行方式同時進行。

六、申請專利範圍

5 . 如申請專利範圍第 1 項的參數曲線產生裝置，其中堆疊記憶一次讀寫一控制點。

6 . 如申請專利範圍第 1 項的參數曲線產生裝置，其中除 2 電路由三個加法器組成，控制點的除 2 在三個時脈周期完成。

7 . 如申請專利範圍第 1 項的參數曲線產生裝置，其中暫存器和堆疊記憶各由整數部和分數部組成。

8 . 如申請專利範圍第 1 項的參數曲線產生裝置，其中產生的曲線是 *Bezier* 曲線。

9 . 如申請專利範圍第 8 項的參數曲線產生裝置，其中 *Bezier* 曲線屬於有 *x* 和 *y* 座標的二維空間，暫存器和堆疊記憶供給各 *x* 和 *y* 座標。

10 . 如申請專利範圍第 1 項的參數曲線產生裝置，另包括釋放產生曲線的輸出構件。

11 . 如申請專利範圍第 10 項的參數曲線產生裝置，其中輸出構件是印表機。

(請先閱讀背面之注意事項再填寫本頁)

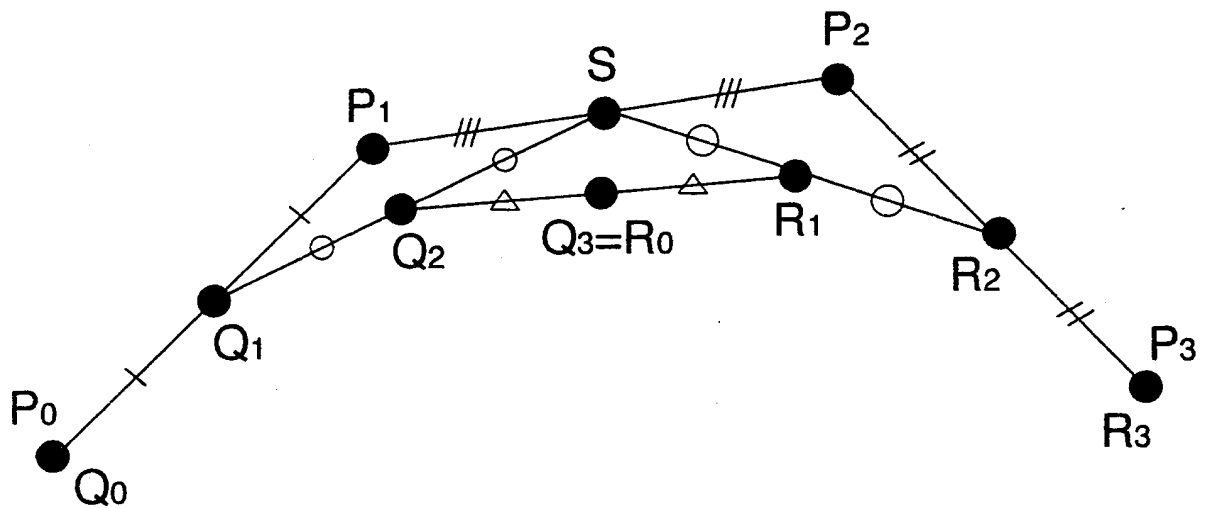
訂

線

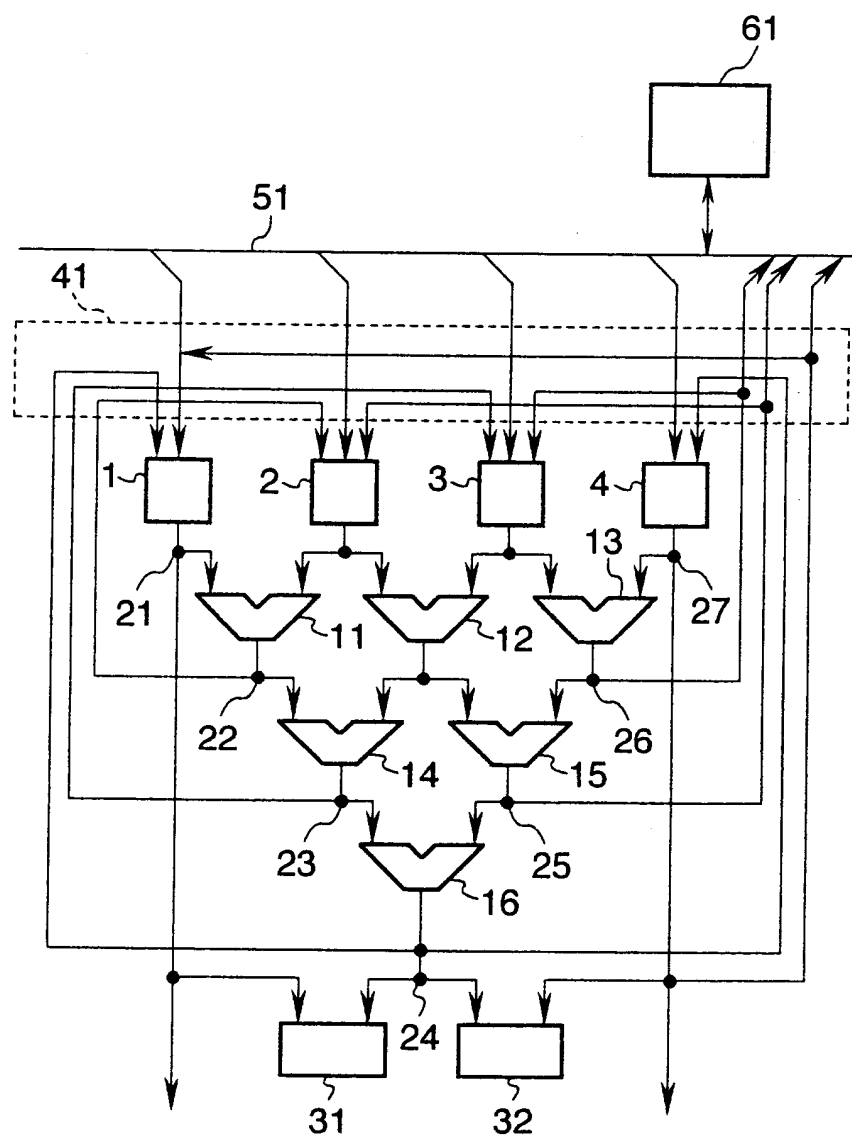
85106343

725506

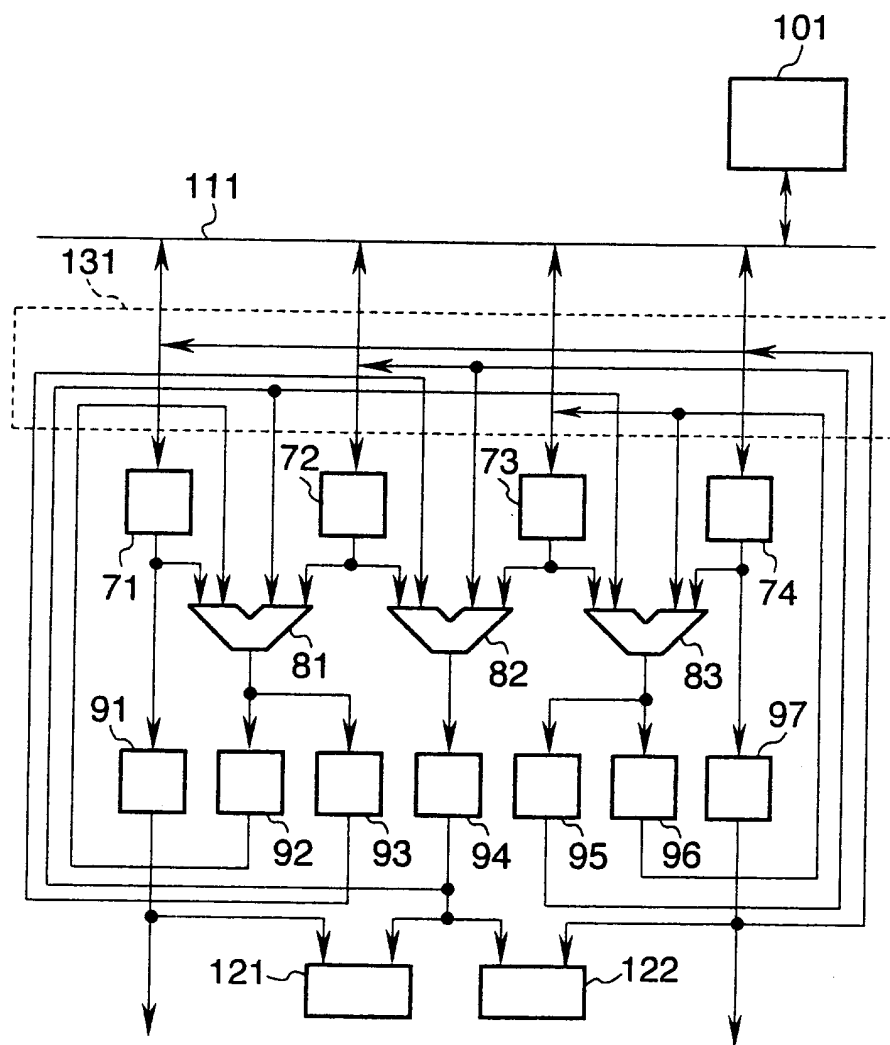
第 1 圖



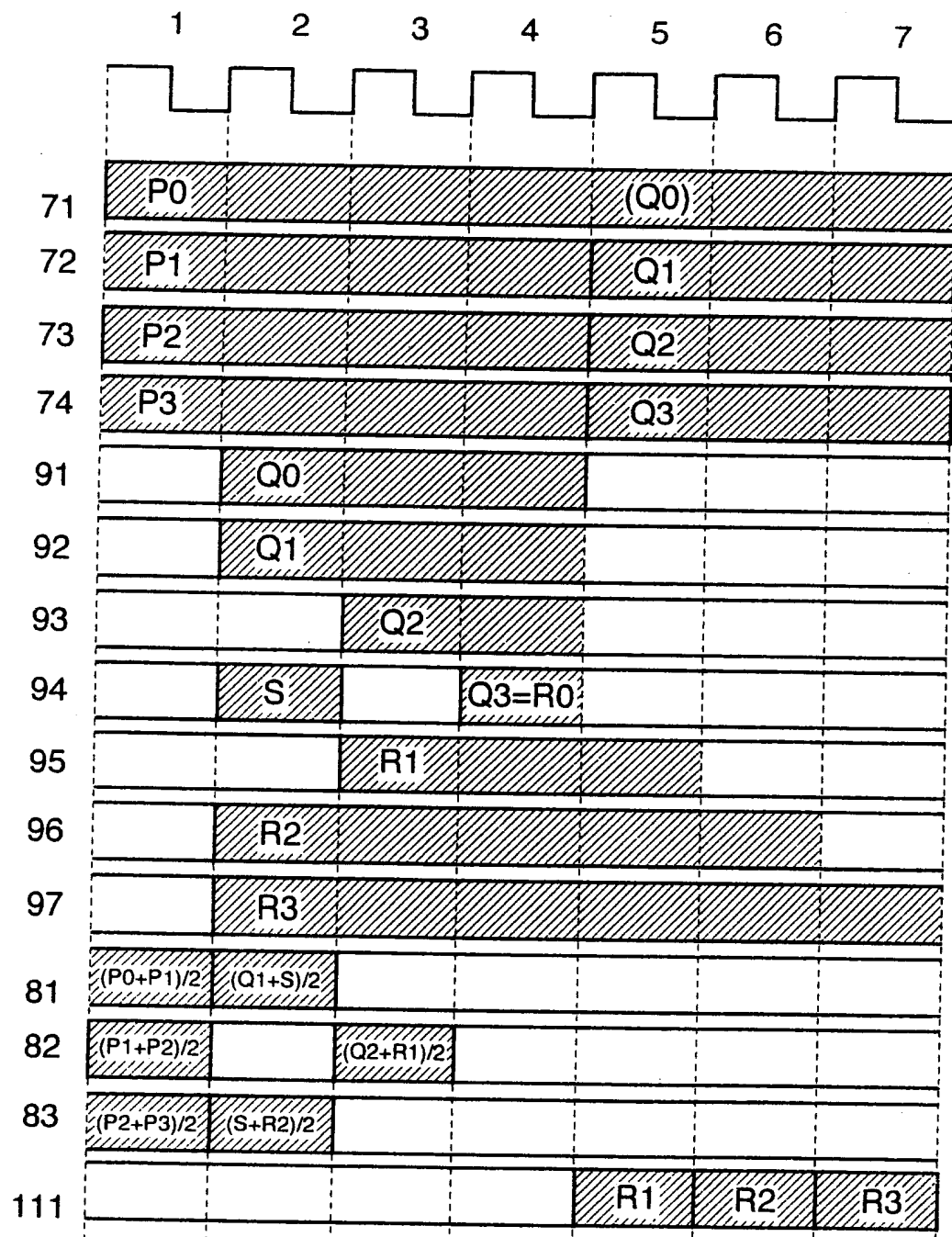
第 2 圖



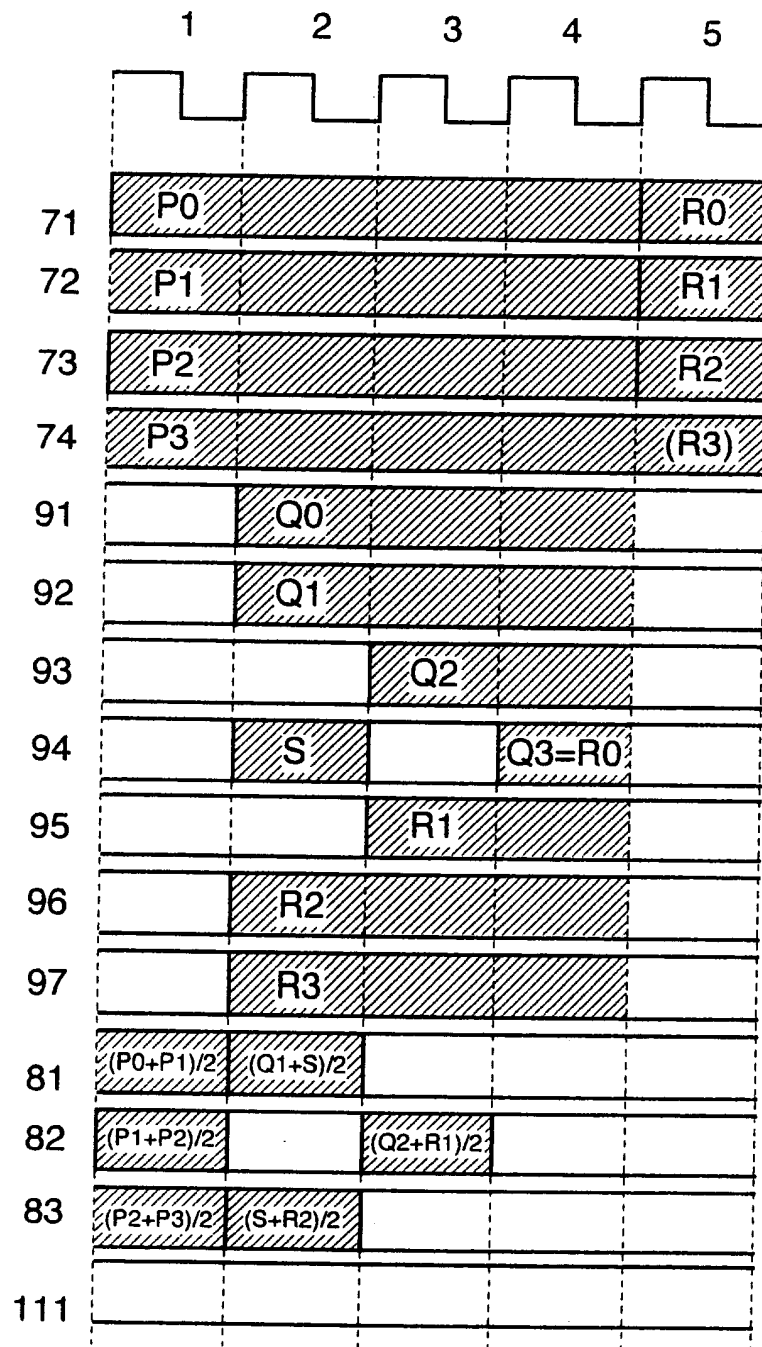
第 3 圖



第 4 圖



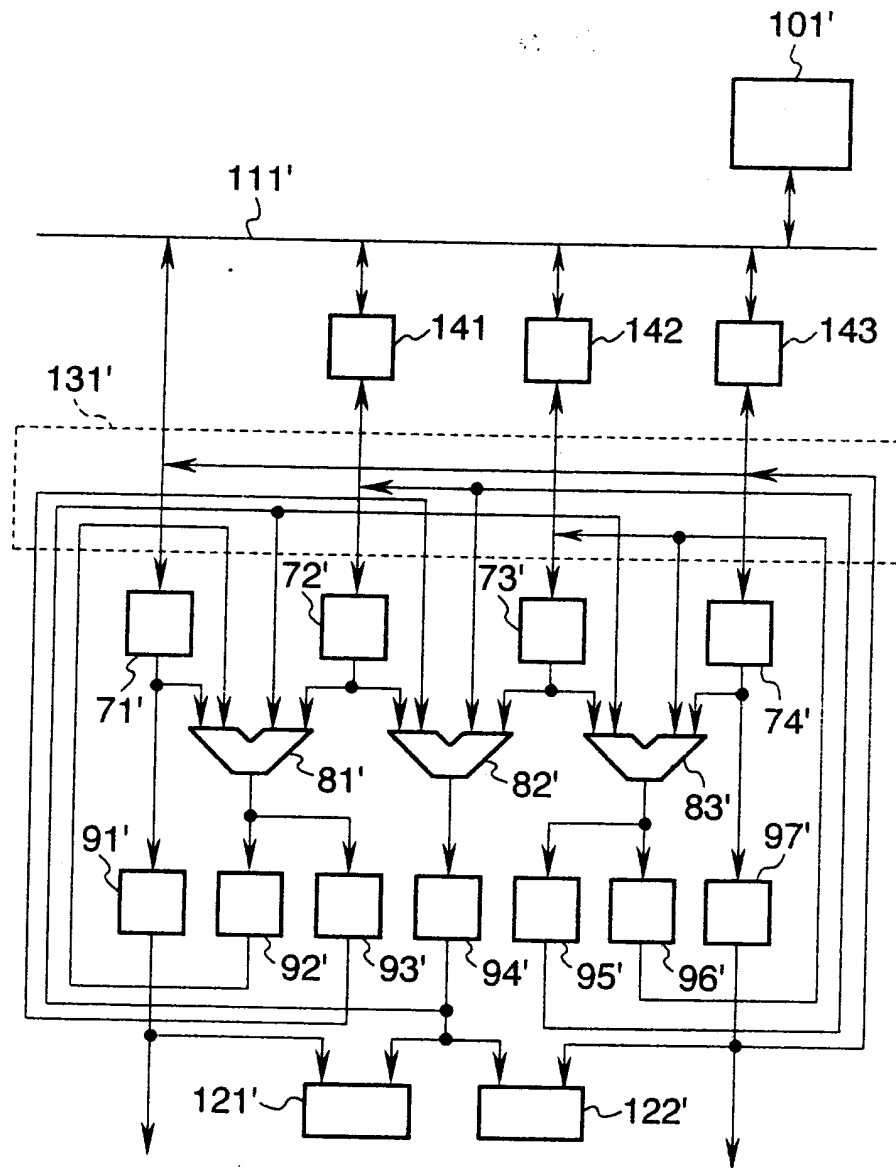
第 5 圖



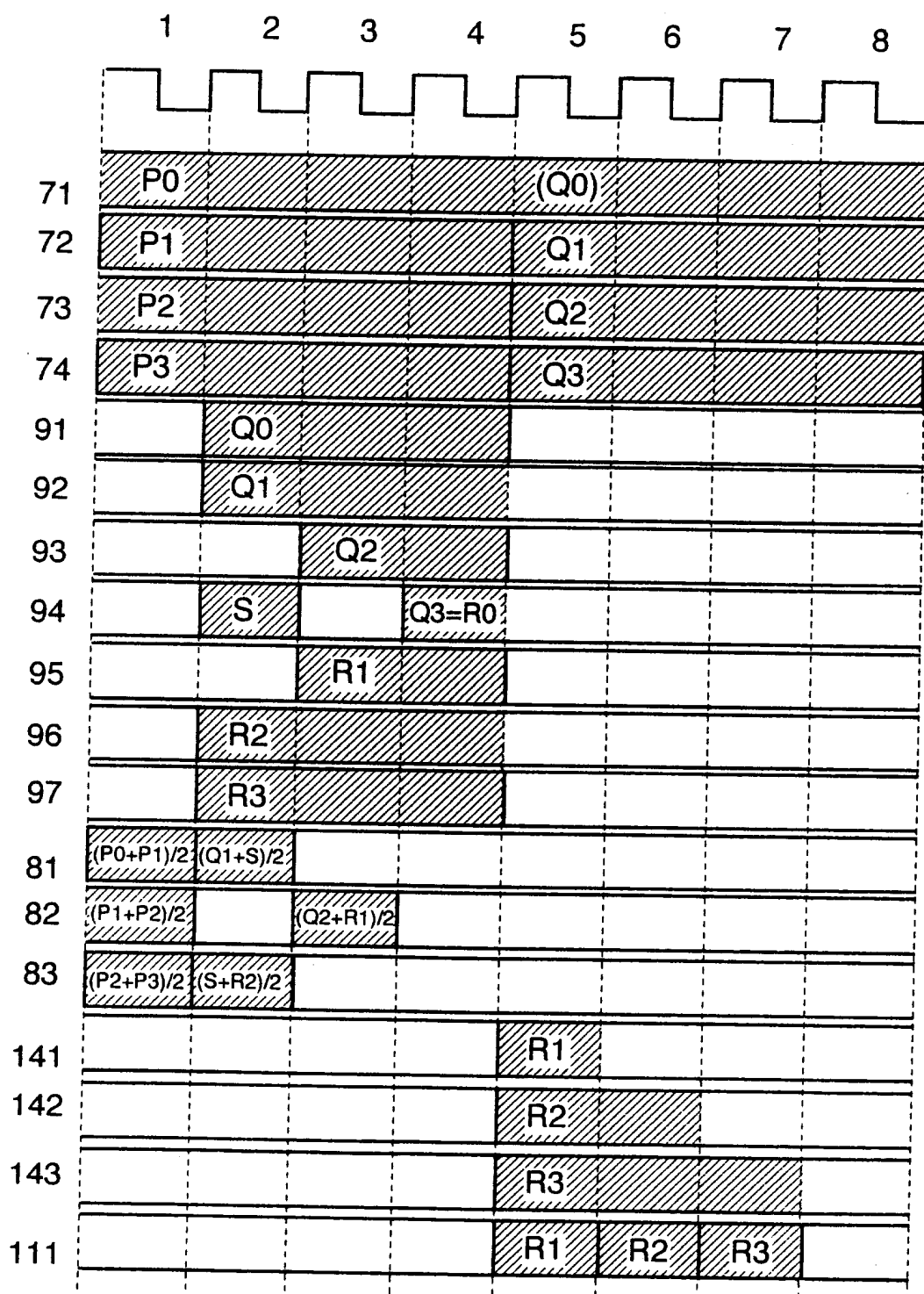
第 6 圖

	1	2	3	4	5	6	7	8
71	P0				P0'			
72	P1					P1'		
73	P2						P2'	
74	P3							P3'
91		Q0						
92		Q1						
93			Q2					
94		S		Q3=R0				
95			R1					
96		R2						
97		R3						
81	$(P0+P1)/2$	$(Q1+S)/2$						
82	$(P1+P2)/2$		$(Q2+R1)/2$					
83	$(P2+P3)/2$	$(S+R2)/2$						
111					P1'	P2'	P3'	

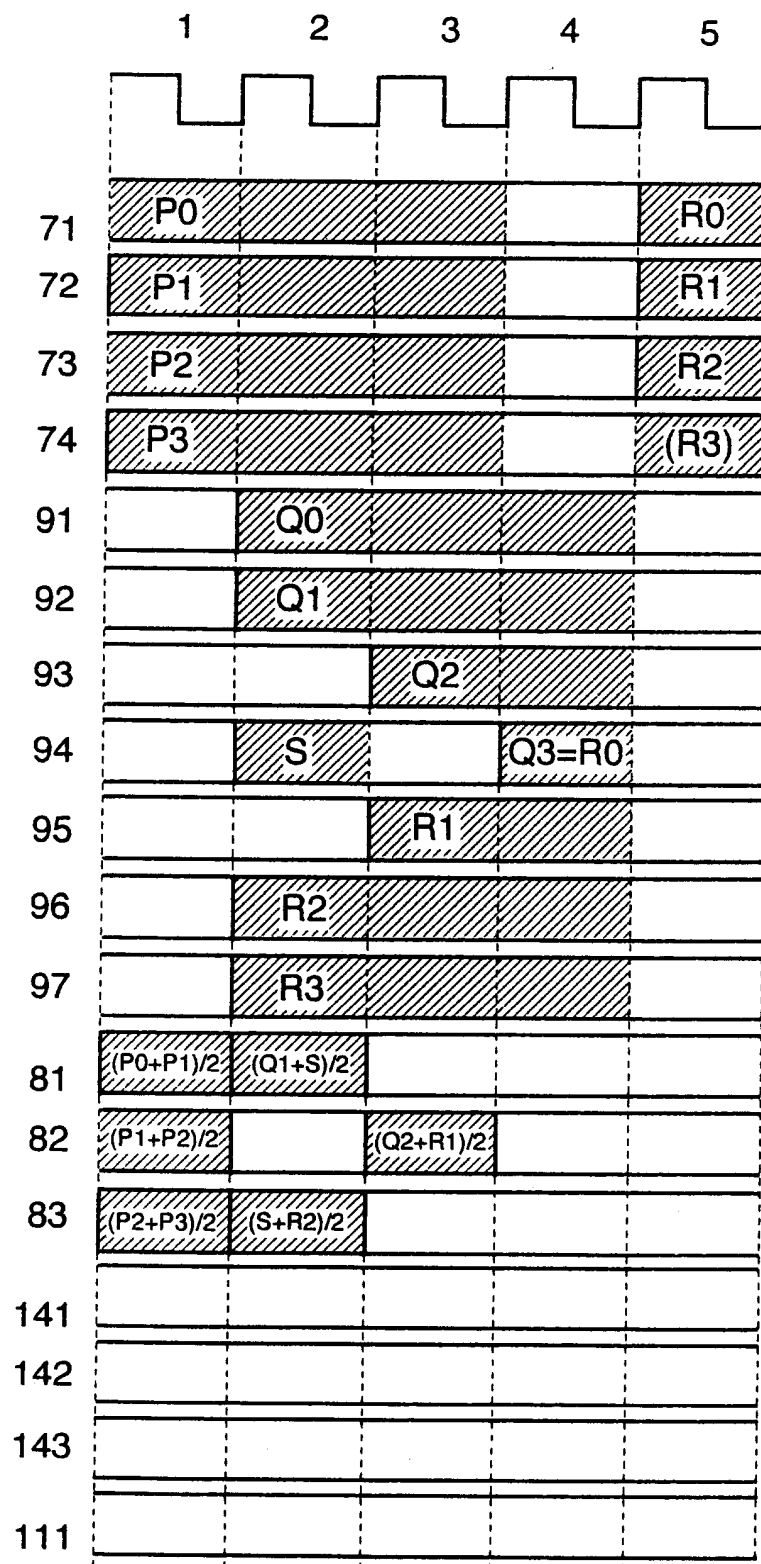
第 7 圖



第 8 圖



第 9 圖



第 10 圖

