

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 21/77

(11) 공개번호 특2000-0022801  
(43) 공개일자 2000년04월25일

(21) 출원번호	10-1999-0036454
(22) 출원일자	1999년08월31일
(30) 우선권 주장	1998-251308 1998년09월04일 일본(JP)
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무 일본 도쿄도 치요다구 간다스루가다이 4쵸메 6반치가부시키가이샤 히다찌 초엘. 에스. 아이. 시스템즈 스즈끼 진이찌로 일본 도쿄도 고다이라시 조스이혼쵸 5쵸메 22방 1고 (72) 발명자 스가와라야스히로 일본도쿄도아키히마시미도리쵸3-1-19-301 후루카와료이치 일본도쿄도오우메시신마쵸2-19-2-102 우에무라토시오 일본사이타마켄니이자시이시가미5-7-1 다카마쓰아키라 일본도쿄도하무라시사카에쵸2-14-3-201 야마모토히로히코 일본도쿄도하치오지시나카노가미쵸5-8-9 요시다다다노리 일본사이타마켄사야마시이레마가와2-3-3-701 이시자카마사유키 일본도쿄도고다이라시오가와쵸1-402-3-106 이이지마신페이 일본도쿄도아키히마시다마카와쵸3-1-18 오오지유히루 일본도쿄도니시다마군히노데마쵸다이라이2196-327 (74) 대리인 장수길, 구영창

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

실리콘 산화막(50)에 형성된 홈(52)의 내면을 따르도록 제1 실리콘막을 형성하고, 제1 실리콘막의 표면에 산화막을 형성하고, 또한 제2 비정질 실리콘막을 퇴적한다. 제2 비정질 실리콘막의 표면에 실리콘핵 부가 및 입자 성장 촉진을 위한 열처리를 실시하여, 제2 비정질 실리콘막으로부터 입상 실리콘 결정(57)을 입자 성장시킨다. 이에 의해 용량 소자의 하부 전극(59)의 저항을 저감시킬 수 있다.

대표도

도26

색인어

반도체 기판, 실리콘 산화막, 게이트 산화막, 포토레지스트막, 실리콘 질화막, SOG막

명세서

도면의 간단한 설명

도 1은 제1 실시예의 DRAM를 형성한 반도체 칩의 전체 평면도이다.  
 도 2는 제1 실시예의 DRAM의 등가 회로도이다.  
 도 3 내지 도 26는 제1 실시예의 DRAM의 제조 공정의 일 예를 공정순으로 나타낸 단면도이다.  
 도 27은 하부 전극의 일부를 모식적으로 확대하여 나타낸 단면도이다.  
 도 28은 하부 전극 단면 형상을 관찰한 SEM 사진의 모식도이다.  
 도 29 내지 도 31은 제1 실시예의 DRAM의 제조 공정의 일 예를 공정순으로 나타낸 단면도이다.  
 도 32는 제1 실시예의 DRAM의 제조 공정의 다른 예를 확대하여 나타낸 단면도이다.  
 도 33 내지 도 35는 제2 실시예의 DRAM의 제조 공정의 일 예를 공정순으로 나타낸 단면도이다.  
 도 36은 제2 실시예의 DRAM의 제조 공정의 다른 예를 나타낸 단면도이다.  
 도 37 내지 도 40은 제3 실시예의 DRAM의 제조 공정의 일 예를 공정순으로 나타낸 단면도이다.  
 도 41 내지 도 46은 제4 실시예의 DRAM의 제조 공정의 일 예를 공정순으로 나타낸 단면도이다.

<도면의 주요 부분에 대한 간단한 설명>

1 : 반도체 기판  
 5 : 홈  
 6, 7, 15, 25, 26 : 실리콘 산화막  
 10 : n형 반도체 영역  
 11 : p형 웰  
 12 : n형 웰  
 13 : 게이트 산화막  
 14A, 14B, 14C : 게이트 전극  
 16, 21 : 포토레지스트막  
 17 : p<sup>-</sup>형 반도체 영역  
 18 : n<sup>-</sup>형 반도체 영역  
 19 : n형 반도체 영역  
 20 : 실리콘 질화막  
 22 : p<sup>+</sup>형 반도체 영역  
 23 : n<sup>+</sup>형 반도체 영역  
 24 : SOG막

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 기술에 관한 것으로, 특히 DRAM (Dynamic Random Access Memory)을 갖는 반도체 장치에 적용하기 유효한 기술에 관한 것이다.

DRAM의 메모리 셀은 반도체 기판의 주면 상에 매트릭스 상으로 배치된 복수의 워드선과 복수의 비트선과의 교점에 배치되고, 한 개의 메모리 셀 선택용 MISFET (Metal Insulator Semiconductor Field Effect Transistor)와 이에 직렬로 접속된 한 개의 정보 축적용 용량 소자(캐패시터)로 구성되어 있다. 메모리 셀 선택용 MISFET는 주위를 소자 분리 영역으로 둘러싼 활성 영역에 형성되고, 주로 게이트 산화막, 워드선과 일체로 구성된 게이트 전극, 및 소스, 드레인을 구성하는 한 쌍의 반도체 영역으로 구성되어 있다. 비트선은 메모리 셀 선택용 MISFET의 상부에 배치되고, 그 연장 방향으로 인접하는 두 개의 메모리 셀 선택용 MISFET에 의해 공유되는 소스, 드레인 중 한 쪽과 전기적으로 접속되어 있다. 정보 축적용 용량 소자는 동일하게 메모리 셀 선택용 MISFET의 상부에 배치되고, 상기 소스, 드레인 중 다른 쪽과 전기적으로 접속되어 있다.

비트선의 상부에 정보 축적용 용량 소자를 배치하는 캐패시터 오버 비트라인 (Capacitor Over Bitline) 구조의 DRAM은 메모리 셀의 미세화에 따른 정보 축적용 용량 소자의 축적 전하량(Cs)의 감소를 보상하기 위해, 비트선의 상부에 배치한 정보 축적용 용량 소자의 하부 전극(축적 전극)을 원통상으로 가공함으로써 그 표면적을 증가시키고, 그 상부에 용량 절연막과 상부 전극(필드 전극)을 형성하고 있다.

그러나, C0B 구조를 갖는 메모리 셀에서는, 메모리 셀 어레이 영역에 형성된 캐패시터의 반도체 기억 장치로서의 동작 신뢰성을 확보할 필요에다가, 장치의 집적도가 향상되고 셀 면적이 축소되어도 상당한 입체화가 필요하게 된다. 이와 같은 입체화된 캐패시터를 형성한 후에 층간 절연막을 형성한 경우에는, 메모리 셀 어레이 영역과 주변 회로 영역 사이에 캐패시터의 높이에 상당하는 분만큼의 단차가 생겨 버린다.

이와 같은 단차는 DRMA의 집적도가 증가함에 따라, 일정한 캐패시터 용량을 확보할 필요가 있고, 점차 높아지는 방향에 있다. 또, DRAM의 집적도 향상의 요구로부터 포토리소그래피의 노광 정밀도의 향상이 요구되고, 이와 같은 요구를 만족하기 위해 허용되는 초점 휘도 값이 점차 엄밀한 것이 된다. 이와 같은 단차의 증대, 및 포토리소그래피에 의한 노광 초점의 여유의 감소로부터 상기 층간 절연막 상에 형성되는 배선층의 형성이 곤란하게 된다고 하는 문제가 있다.

또, 하부 전극을 상기한 바와 같이 원통상으로 가공하는 것은 공정이 복잡하므로, 가능한 한 간략화한 구조가 바람직하다. 그러나, 간략화한 하부 전극의 구조에서는 표면적을 넓게 할 수 없고, 상기한 단차의 저감에 대해서는 역효과가 된다.

이와 같은 입체 구조 캐패시터를 갖는 문제점을 방지하는 방법으로서, 예를 들면, 1996년 11월 10일, 응용 물리학회 발행, 「응용 물리」 제65권 제11호, p1106~1113에 기재되어 있는 바와 같이, 하부 전극인 실리콘 표면에 미소한 요철을 형성하여 조면화하고, 하부 전극 크기를 크게 하는 일 없이, 표면적을 실질적으로 크게 할 수 있는 기술, 즉 HSG (Hemispherical Silicon Grain) 구조의 기술이 제안되고 있다.

또, 특개평 10-56155호 공보에서는, HSG 구조를 형성하는 제조 방법에서 결정핵의 형성 전에 비정질 실리콘막(아몰퍼스 실리콘막)을 형성하는 기술이 기재되고, 특개평 9-298284호 공보 또는 특개평 6-204426호 공보에서는 불순물을 포함한 제1 비정질 실리콘막 상에 불순물을 포함하지 않는 제2 비정질 실리콘막을 형성하고, 제2 비정질 실리콘막에 HSG 구조를 형성하는 기술이 기재되어 있다.

### 발명이 이루고자하는 기술적 과제

그런데, 상기한 HSG 구조의 기술에서는, 이하와 같은 문제점이 있다. 즉, DRAM의 고집적화의 요청에 따른 디바이스 사이즈의 미세화에 의해 하부 전극의 점유 면적 사이즈도 작아지는 것이 요구된다. 특히, 통 형상의 하부 전극의 경우, 통 내경의 축소가 요구되고, 미세화된 통 내부에서의 정밀도가 양호한 입상 실리콘의 형성이 요구된다. 즉, 하부 전극을 구성하는 다결정 실리콘막의 박막화에 따른 입상 실리콘 높이(요철)의 제어가 곤란하게 된다고 하는 문제가 있다.

또, 하부 전극을 구성하는 다결정 실리콘막의 박막화에 의해 다결정 실리콘막이 고저항화되고, 하부 전극의 충분한 도전성이 확보될 수 없게 되었다. 특히, 입상 실리콘 성장후의 막 부분의 두께가 얇아져, 고저항화의 문제가 현저하게 된다.

게다가, 캐패시터 전극의 공핍층의 영향이 문제가 된다. 즉, 다결정 실리콘막으로 구성되는 하부 전극 내의 불순물이 충분히 활성화되어 있지 않는 경우, 또는 불순물량이 충분하지 않는 경우에는, 캐리어 농도가 저하하고, 상부 전극과의 전위 관계에 의해서는 용량 절연막과의 계면의 하부 전극에 공핍층이 생긴다. 공핍층이 생기면 그 실효막 두께에 상당하는 만큼 용량 절연막의 막 두께가 증가하게 되어 용량치의 저하를 초래한다. 특히, HSG 구조의 경우에는 불순물 농도가 높아지면 입상 실리콘의 성장성이 저해되기 때문에, 입상 실리콘 성장 후의 불순물 농도가 부족한 경우가 있어, 공핍층의 문제가 현저해지기 쉽다.

본 발명의 목적은 캐패시터 하부 전극에 적용되는 다결정 실리콘막의 막 두께를 입상 실리콘의 부분(요철 부분)을 포함하여 제어할 수 있는 기술을 제공하는 데에 있다.

또, 본 발명의 목적은 다결정 실리콘막 표면의 입상 실리콘(요철)의 높이를 용이하게 제어하는 기술을 제공하는 데에 있다.

또, 본 발명의 목적은 캐패시터 하부 전극에 적용되는 다결정 실리콘막의 고저항화를 방지하고, 하부 전극의 도전성을 확보할 수 있는 기술을 제공하는 데에 있다.

또, 본 발명의 목적은 캐패시터 하부 전극을 구성하는 다결정 실리콘막과 용량 절연막과의 계면에서의 다결정 실리콘막의 공핍층의 발생 (공핍화)을 방지하고, 공핍화에 의한 축적 용량의 저하를 제어할 수 있는 기술을 제공하는 데에 있다.

본 발명의 상기 및 그 외의 목적과 신규한 특징은 본 명세서의 기술 및 첨부 도면으로부터 명확하게 될 것이다.

본원에서 개시된 발명 중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

본원 발명의 하나의 측면에 의하면, 용량 소자를 구성하는 제1 전극이 그 막 두께가 거의 동일한 실리콘막과 실리콘막의 표면의 입상 실리콘 결정으로 구성되어 있기 때문에, 제1 전극의 전기 저항을 저감할 수 있다.

본원 발명의 다른 측면에 의하면 용량 소자를 구성하는 제1 전극을 형성하기 위해서, 실리콘막 상에 형성된 아몰퍼스 실리콘막으로부터 실리콘을 공급하여 입상 실리콘 결정을 형성하지만, 실리콘 공급은 아몰퍼스 실리콘막으로부터 행해지고, 실리콘막으로부터는 행해지지 않기 때문에, 입상 실리콘 결정의 높이, 직경을 제어하기 쉽다.

또, 본원 발명의 다른 측면에 의하면, 입상 실리콘 결정의 형성에 실리콘막은 기여하지 않기 때문에, 고농도 불순물을 갖는 실리콘막을 이용할 수 있으며, 제1 전극의 저항을 저감할 수 있다.

또한, 본원 발명의 다른 측면에 의하면, 고농도 불순물을 갖는 실리콘막을 이용할 수 있으며, 제1 전극

의 공핍화를 저감할 수 있기 때문에 축적 용량의 저감을 방지한다.

또, 본원 발명의 다른 측면에 의하면, 저농도의 불순물을 포함하는 아몰퍼스 실리콘에 의해 입상 실리콘 결정층을 형성함으로써 결정립의 형성 조건이 용이하게 된다.

### 발명의 구성 및 작용

이하, 본 발명의 실시 형태를 도면에 기초하여 상세하게 설명한다. 또, 실시 형태를 설명하기 위한 전체 도면에서 동일한 기능을 갖는 부재에는 동일한 부호를 붙여 그 반복된 설명을 생략한다.

#### <제1 실시예>

도 1은 제1 실시예의 DRAM을 형성한 반도체 칩의 전체 평면도이다. 도면에서와 같이, 단결정 실리콘으로 이루어진 반도체 칩(1A)의 주면에는 X방향 (반도체 칩(1A)의 장변 방향) 및 Y 방향 (반도체 칩(1A)의 단변 방향)을 따라 다수의 메모리 어레이 MARY가 매트릭스 상으로 배치되어 있다. X 방향을 따라 서로 인접하는 메모리 어레이 MARY 사이에는 센스 앰프 SA가 배치되어 있다. 반도체 칩(1A)의 주면의 중앙부에는 워드 드라이버 WD, 데이터선 선택 회로 등의 제어 회로나, 입출력 회로, 본딩 패드 등이 배치되어 있다.

도 2는 제1 실시예의 DRAM의 등가 회로도이다. 도시한 바와 같이, 이 DRAM의 메모리 어레이(MARY)는 매트릭스 상으로 배치된 복수의 워드선  $WL(WL_0, WL_1, \dots, WL_n)$ 과 복수의 비트선 BL 및 이들의 교점에 배치된 복수의 메모리 셀(MC)로 구성되어 있다. 1비트의 정보를 기억하는 한 개의 메모리 셀은, 한 개의 정보 축적용 용량 소자 C와 여기에 직렬로 접속된 한 개의 메모리 셀 선택용 MISFETs로 구성되어 있다. 메모리 셀 선택용 MISFETs의 소스, 드레인 중 한 쪽은 정보 축적용 용량 소자 C와 전기적으로 접속되고, 다른 쪽은 비트선 BL과 전기적으로 접속되어 있다. 워드선 WL의 일 단은 워드 드라이버 WD에 접속되며, 비트선 BL의 일 단은 센스 앰프 SA에 접속되어 있다.

다음에, 본 실시예의 DRAM의 제조 방법을 도면을 이용하여 공정순으로 설명한다.

도 3 내지 도 31은 제1 실시예의 DRAM의 제조 공정의 일예를 공정순으로 나타낸 단면도이다.

먼저, 도 3에 나타난 바와 같이, 소자 분리 영역 및 불순물이 도입된 웰 영역을 형성한다.

p형이며 비저항이  $10\Omega\text{cm}$  정도인 단결정 실리콘으로 이루어진 반도체 기판(1)을 이용하며, 예를 들면  $850^\circ\text{C}$  정도이며 웨트 산화되어 형성된 막 두께  $10\text{nm}$  정도로 얇은 실리콘 산화막 (도시 생략) 및 예를 들면 CVD (Chemical Vapor Deposition)법으로 형성한 막 두께  $140\text{nm}$  정도인 실리콘 산화막 (도시 생략)을 반도체 기판(1) 상에 퇴적한다. 여기에서는 단결정 실리콘의 반도체 기판(1)을 예시하지만, 표면에 단결정 실리콘층을 갖는 SOI (Silicon On Insulator) 기판, 또는 표면에 다결정 실리콘막을 갖는 글래스, 세라믹 등의 유전체 기판이어도 좋다.

다음에, 포토레지스트막(도시 생략)을 마스크로 하여, 홈(5)이 형성된 영역의 상기 실리콘 산화막 및 실리콘 산화막을 패터닝하여, 이 실리콘 산화막을 마스크로서 반도체 기판(1)을 드라이 에칭함으로써, 소자 분리 영역의 반도체 기판(1)에 깊이  $300\sim 400\text{nm}$  정도의 홈(5)을 형성한다.

다음에, 상기 포토레지스트 막을 제거한 후, 상기 에칭에 의해 홈(5)의 내벽에 생긴 데미지층을 제거하기 위해서, 예를 들면  $850\sim 900^\circ\text{C}$  정도의 웨트 산화에 의한 얇은 (막 두께  $10\text{nm}$  정도) 실리콘 산화막(6)을 홈(5)의 내벽에 형성하고, 예를 들면 오존( $\text{O}_3$ )과 테트라에톡실란( $\text{TEOS}$ )을 소스 가스로 이용한 플라즈마 CVD법으로 퇴적된 실리콘 산화막(도시 생략)을  $300\sim 400\text{nm}$  정도의 막 두께로 퇴적한다. 이 실리콘 산화막은  $1000^\circ\text{C}$  정도에서 드라이 산화에 의해 신터링(소결)을 행해도 좋다.

다음에, 이 실리콘 산화막을 CMP법에 의해 연마하여 홈(5) 이외의 영역의 실리콘 산화막을 제거하고, 홈(5)의 내부에 실리콘 산화막(7)을 남기고 소자 분리 영역을 형성한다. 또, 이 CMP법에 의한 연마 전에, 홈(5)의 영역에 실리콘 산화막을 형성하고 홈(5) 영역의 실리콘 산화막이 과다하게 얇게 연마되는 디싱을 방지할 수 있다.

다음에, 반도체 기판(1)의 표면에 잔존하고 있는 실리콘 산화막 및 실리콘 산화막을 예를 들면 열 인산을 이용한 웨트 에칭으로 제거한 후, 메모리 셀을 형성하는 영역(메모리 어레이)의 반도체 기판(1)에 n형 불순물, 예를 들면 P(인)을 이온 주입하여 n형 반도체 영역(10)을 형성하고, 메모리 어레이와 주변 회로의 일부 (n 채널형 MISFET를 형성한 영역)에 p형 불순물, 예를 들면 B(붕소)를 이온 주입하여 p형 웰(11)을 형성하고, 주변 회로의 다른 일부 (p 채널형 MISFET를 형성하는 영역)에 n형 불순물, 예를 들면 P(인)을 이온 주입하여 n형 웰(12)를 형성한다. 또, 이 이온 주입에 이어서, MISFET의 임계치 전압을 조정하기 위한 불순물, 예를 들면  $\text{BF}_2$ (불화 붕소)를 p형 웰(11) 및 n형 웰(12)에 이온 주입한다. n형 반도체 영역(10)은 입력 회로 등으로부터 반도체 기판(1)을 통해 메모리 어레이의 p형 웰(11)에 노이즈가 침입하는 것을 방지하기 위해 형성된다.

다음에, 반도체 기판(1)의 표면을 예를 들면 HF(불산)계의 세정액을 사용하여 세정한 후, 반도체 기판(1)을  $850^\circ\text{C}$  정도에서 웨트 산화하여 p형 웰(11) 및 n형 웰(12)의 각 표면에 막 두께  $7\text{nm}$  정도의 절연 게이트 산화막(13)을 형성한다.

특히 한정하지는 않지만, 상기 게이트 산화막(13)을 형성한 후, 반도체 기판(1)을  $\text{N}_2\text{O}$ (산화 질소) 분위기 중 또는  $\text{N}_2\text{O}$ (아산화 질소) 분위기 중에서 열처리함으로써, 게이트 산화막(13)과 반도체 기판(1)의 계면에 질소를 편질시켜도 좋다(산질화 처리). 게이트 산화막(13)이  $7\text{nm}$  정도 까지 얇아지면, 반도체 기판(1)과의 열팽창 계수차에 기인하여 양자의 계면에 생기는 왜곡이 현저해져, 핫 캐리어의 발생을 유발한다. 반도체 기판(1)과의 계면에 편질한 질소는 이 왜곡을 완화하기 때문에, 상기 산질화 처리는 극히 얇은

게이트 산화막(13)의 신뢰성을 향상시킬 수 있다.

다음에, 도 4에 나타난 바와 같이, 게이트 산화막(13)의 상부에 게이트 전극(14A, 14B, 14C)을 형성한다. 게이트 전극(14A)은 메모리 셀 선택용 MISFET의 일부를 구성하고, 활성 영역 이외의 영역에서는 워드선 WL로서 사용된다. 이 게이트 전극(14A) (워드선 WL)의 폭, 즉 게이트 길이는 메모리 셀 선택용 MISFET의 단 채널 효과를 억제하고, 임계치 전압을 일정치 이상으로 확보할 수 있는 허용 범위 내의 최소 치수 (예를 들면  $0.24\mu\text{m}$  정도)로 구성된다. 또, 인접하는 게이트 전극(14A) (워드선 WL) 끼리의 간극은 포토리소그래피의 해상 한계로 결정된 최소 치수 (예를 들면  $0.22\mu\text{m}$ )로 구성된다. 게이트 전극(14B) 및 게이트 전극(14C)은 주변 회로의 n채널형 MISFET 및 p채널형 MISFET의 각 일부를 구성한다.

게이트 전극(14A) (워드선 WL) 및 게이트 전극(14B, 14C)은 예를 들면 P(인)등의 n형 불순물이 도핑된 막 두께  $70\text{nm}$  정도의 다결정 실리콘막을 반도체 기판(1) 상에 CVD법으로 퇴적하고, 이어서 그 상부에 막 두께  $50\text{nm}$  정도의 WN (텅스텐 나이트라이드)막과 막 두께  $100\text{nm}$  정도의 실리콘 산화막(15)을 CVD법으로 퇴적한 후, 포토레지스트막(16)을 마스크로 하여 이들 막을 패터닝함으로써 형성한다. WN막은 고온 열처리시에 W막과 다결정 실리콘막이 반응하여 양자의 계면에 고저항의 실리사이드층이 형성되는 것을 방지하는 배리어층으로 기능한다. 배리어층은 WN막 외, TiN(티탄 나이트라이드)막 등을 사용할 수도 있다.

게이트 전극(14A) (워드선 WL)의 일부를 저저항의 금속(W)으로 구성한 경우에는, 그 시트 저항을  $2\sim 2.5\ \Omega/\square$  정도로까지 저감할 수 있기 때문에, 워드선 지연을 저감할 수 있다. 또, 워드 전극(14) (워드선 WL)을 시 배선 등으로 보강하지 않아도 워드선 지연을 저감할 수 있기 때문에, 메모리 셀의 상부에 형성되는 배선층의 수를 1층 감소시킬 수 있다.

다음에, 포토레지스트막(16)을 제거한 후, 불산 등의 에칭액을 사용하여 반도체 기판(1)의 표면에 남은 드라이 에칭 잔사나 포토레지스트 잔사 등을 제거한다. 이 웨트 에칭을 행하면, 게이트 전극(14A) (워드선 WL) 및 게이트 전극(14B, 14C)의 하부 이외의 영역의 게이트 산화막(13)이 깎이는 동시에, 게이트 측벽 하부의 게이트 산화막(13)도 등방적으로 에칭되어 언더컷이 생기기 때문에, 이 상태로는 게이트 산화막(13)의 내압이 저하된다. 여기에서, 반도체 기판(1)을  $900^\circ\text{C}$  정도로 웨트 산화함으로써 깎여진 게이트 산화막(13)의 막질을 개선한다.

다음에, 도 5에 나타난 바와 같이, n형 웰(12)에 p형 불순물, 예를 들면 B(붕소)를 이온 주입하여 게이트 전극(14C)의 양측의 n형 웰(12)에 p<sup>-</sup>형 반도체 영역(17)을 형성한다. 또, p형 웰(11)에 n형 불순물, 예를 들면 P(인)을 이온 주입하여 게이트 전극(14B)의 양측의 p형 웰(11)에 n<sup>-</sup>형 반도체 영역(18)을 형성하고, 게이트 전극(14A)의 양측의 p형 웰(11)에 n형 반도체 영역(19)을 형성한다. 이에 의해 메모리 어레이에 메모리 셀 선택용 MISFETs가 형성된다.

다음에, 도 6에 나타난 바와 같이, 반도체 기판(1) 상에 CVD법으로 막 두께  $50\sim 100\text{nm}$  정도의 실리콘 질화막(20)을 퇴적한 후, 메모리 어레이의 실리콘 질화막(20)을 포토레지스트막(21)으로 피복하고, 주변 회로의 실리콘 질화막(20)을 이방성 에칭함으로써, 게이트 전극(14B, 14C)의 측벽에 사이드월 스페이서(20a)를 형성한다. 이 에칭은 게이트 산화막(13)이나 소자 분리층(5)에 매립된 실리콘 산화막(7)의 각임량을 최소로 하기 위해서, 실리콘 산화막에 대한 실리콘 질화막(20)의 에칭레이트가 커지도록 하는 에칭 가스를 사용하여 행한다. 또, 게이트 전극(14B, 14C) 상의 실리콘 질화막(15)의 각임량을 최소로 하기 위해서 오버 에칭량을 필요 최소한으로 하도록 한다.

다음에, 포토레지스트막(21)을 제거한 후, 도 7에 나타난 바와 같이, 주변 회로 영역의 n형 웰(12)에 p형 불순물, 예를 들면 B(붕소)를 이온 주입하여 p채널형 MISFET의 p<sup>+</sup>형 반도체 영역(22) (소스, 드레인)을 형성하고, 주변 회로 영역의 p형 웰(11)에 n형 불순물, 예를 들면 As(비소)를 이온 주입하여 n채널형 MISFET의 n<sup>+</sup>형 반도체 영역(23) (소스, 드레인)을 형성한다. 이에 의해 주변 회로 영역에 LDD (Lightly Doped Drain) 구조를 구비한 p채널형 MISFETp 및 n채널형 MISFETn이 형성된다.

다음에, 도 8에 나타난 바와 같이, 반도체 기판(1) 상에 막 두께  $300\text{nm}$  정도의 SOG (Spin On Glass) 막(24)을 스핀 도포한 후, 반도체 기판(1)을  $800^\circ\text{C}$ , 1분 정도 가열 처리하여 SOG막(24)을 신터링(소결)한다. 또, SOG막(24)의 상부에 막 두께  $600\text{nm}$  정도의 실리콘 산화막(25)을 퇴적한 후, 이 실리콘 산화막(25)을 CMP 법으로 연마하여 그 표면을 평탄화한다. 게다가, 실리콘 산화막(25)의 상부에 막 두께  $100\text{nm}$  정도의 실리콘 산화막(26)을 퇴적한다. 이 실리콘 산화막(26)은 CMP 법으로 연마될 때 생기는 상기 실리콘 산화막(25)의 표면의 미세한 손상을 보상하기 위해 퇴적된다. 실리콘 산화막(25, 26)은 예를 들면 오존( $\text{O}_3$ )과 테트라에톡실란( $\text{TEOS}$ )을 소스 가스로 이용한 플라즈마 CVD법으로 퇴적한다. 실리콘 산화막(26) 대신에 PSG (Phospho Silicate Glass) 막 등을 퇴적해도 좋다.

이와 같이, 본 실시 형태에서는, 게이트 전극(14A)(워드선 WL) 및 게이트 전극(14B, 14C)의 상부에 리플로우성이 높은 SOG막(24)을 도포하고, 또한 그 상부에 퇴적된 실리콘 산화막(25)을 CMP법으로 평탄화한다. 이에 의해 게이트 전극(14A)(워드선 WL) 끼리의 미세한 간극의 갭충전성이 향상됨과 동시에, 게이트 전극(14A)(워드선 WL) 및 게이트 전극(14B, 14C)의 상부의 절연막의 평탄화를 실현할 수 있다.

다음에, 도 9에 나타난 바와 같이, 포토레지스트막(27)을 마스크로 한 드라이 에칭으로 메모리 셀 선택용 MISFETs의 n형 반도체 영역(19)(소스, 드레인)의 상부의 실리콘 산화막(26, 25) 및 SOG막(24)을 제거한다. 이 에칭은 실리콘 산화막(20)에 대한 실리콘 산화막(26, 25) 및 SOG막(24)의 에칭 레이트가 커지는 조건에서 행하고, n형 반도체 영역(19)이나 소자 분리층(5)의 상부를 피복하고 있는 실리콘 산화막(20)이 완전하게는 제거되지 않게 한다. 이어서, 상기 포토레지스트막(27)을 마스크로 한 드라이 에칭으로 메모리 셀 선택용 MISFETs의 n형 반도체 영역(19)(소스, 드레인)의 상부 실리콘 질화막(20)과 게이트 산화막(13)을 제거함으로써, n형 반도체 영역(19)(소스, 드레인)의 한 쪽의 상부에 콘택트

홀(28)을 형성하고, 다른 쪽의 상부에 콘택트홀(29)을 형성한다. 이 에칭은 실리콘 산화막(게이트 산화막(13) 및 소자 분리 홀(5) 내의 실리콘 산화막(7))에 대한 실리콘 질화막(15)의 에칭 레이트가 커지는 조건에서 행하고, n형 반도체 영역(19)이나 소자 분리홀(5)이 깊게 깎이지 않도록 한다. 또, 이 에칭은 실리콘 질화막(20)이 이방적으로 에칭되도록 하는 조건에서 행하고, 게이트 전극(14A)(워드선 WL)의 측벽에 실리콘 질화막(20)이 남도록 한다. 이에 의해, 포토리소그래피의 해상 한계 이하의 미세한 직경을 갖는 콘택트홀(28, 29)이 게이트 전극(14A)(워드선 WL)에 대해 자기 정합으로 형성된다. 콘택트홀(28, 29)을 게이트 전극(14A)(워드선 WL)에 대해 자기 정합으로 형성하기 위해서는, 미리 실리콘 질화막(20)을 이방성 에칭하여 게이트 전극(14A)(워드선 WL)의 측벽에 사이드월 스페이서를 형성하여 두어도 좋다.

또, 도 9에서의 실리콘 산화막(26) 및 레지스트막(27)의 표면은 도 8에서 나타낸 바와 같은 주변 회로 영역에서의 실리콘 산화막(25) 표면을 따라 함몰(단차) 형상을 이루고 있다. 도 9는 그 형상을 생략하고 있다.

다음에, 포토레지스트막(27)을 제거한 후, 불산+불화 암모늄 혼합액 등의 에칭액을 사용하여, 콘택트홀(28, 29)의 저부에 노출된 기판 표면의 드라이 에칭 잔사나 포토레지스트 잔사 등을 제거한다. 이 때, 콘택트홀(28, 29)의 측벽에 노출된 SOG막(24)도 에칭액에 노출되지만, SOG막(24)은 전술한 800℃ 정도의 신터링에 의해 불산계의 에칭액에 대한 에칭 레이트가 저감되어 있기 때문에, 이 웨트 에칭 처리에 의해 콘택트홀(28, 29)의 측벽이 크게 언더컷되는 일은 없다. 이에 의해 다음의 공정에서 콘택트홀(28, 29)의 내부에 매립된 플러그 끼리의 쇼트를 확실하게 방지할 수 있다.

다음에, 도 10에서 나타낸 바와 같이, 콘택트홀(28, 29)의 내부에 플러그(30)를 형성한다. 플러그(30)는 실리콘 산화막(26)의 상부에 n형 불순물(예를 들면 P(인))을 도핑한 다결정 실리콘막을 CVD법으로 퇴적한 후, 이 다결정 실리콘막을 CMP법으로 연마하여 콘택트홀(28, 29)의 내부에 남김으로써 형성된다.

다음에, 도 11에서 나타낸 바와 같이, 실리콘 산화막(26)의 상부에 막 두께 200nm 정도의 실리콘 산화막(31)을 퇴적한 후, 반도체 기판(1)을 800℃ 정도에서 열처리한다.

실리콘 산화막(31)은 예를 들면 오존( $O_3$ )과 테트라에톡실란(TEOS)을 소스 가스로 이용한 플라즈마 CVD법으로 퇴적된다. 이 열처리에 의해 플러그(30)를 구성하는 다결정 실리콘막 중의 n형 불순물이 콘택트홀(28, 29)의 저부로부터 메모리 셀 선택용 MISFETQs의 n형 반도체 영역(19)(소스, 드레인)에 확산되고, n형 반도체 영역(19)이 저 저항화된다.

다음에, 도 12에서 나타낸 바와 같이, 포토레지스트막(32)을 마스크로 한 드라이에칭으로 상기 콘택트홀(28)의 상부의 실리콘 산화막(31)을 제거하여 플러그(30)의 표면을 노출시킨다. 다음에, 포토레지스트막(32)을 제거한 후, 도 13에서 나타낸 바와 같이, 포토레지스트막(33)을 마스크로 한 드라이에칭으로 주변 회로 영역의 실리콘 산화막(31, 26, 25), SOG막(24) 및 게이트 산화막(13)을 제거함으로써, n채널형 MISFETQn의 n<sup>+</sup>형 반도체 영역(23)(소스, 드레인)의 상부에 콘택트홀(34, 35)을 형성하고, p채널형 MISFETQp의 p<sup>+</sup>형 반도체 영역(22)(소스, 드레인)의 상부에 콘택트홀(36, 37)을 형성한다.

다음에, 포토레지스트막(33)을 제거한 후, 도 14에서 나타낸 바와 같이 실리콘 산화막(31)의 상부에 비트선 BL 및 주변 회로의 제1 층배선(38, 39)을 형성한다. 비트선 BL 및 제1 층배선(38, 39)을 형성하기 위해서는, 먼저 실리콘 산화막(31)의 상부에 막 두께 50nm 정도의 Ti막을 스퍼터링법으로 퇴적하고, 반도체 기판(1)을 800℃ 정도에서 열처리한다. 이어서, Ti막의 상부에 막 두께 50nm 정도의 TiN막을 스퍼터링법으로 퇴적하고, 또한 그 상부에 막 두께 150nm 정도의 W막과 막 두께 200nm 정도의 실리콘 산화막(40)을 CVD법으로 퇴적한 후, 포토레지스트막(41)을 마스크로 하여 이들 막을 패터닝한다.

실리콘 산화막(31)의 상부에 Ti막을 퇴적한 후, 반도체 기판(1)을 800℃ 정도에서 열처리함으로써, Ti막과 기재(基材) Si이 반응하여, n채널형 MISFETQn의 n<sup>+</sup>형 반도체 영역(23)(소스, 드레인)의 표면과 p채널형 MISFETQp의 p<sup>+</sup>형 반도체 영역(소스, 드레인)의 표면과 플러그(30)의 표면에 저 저항의  $TiSi_2$ (티탄 실리사이드) 층(42)이 형성된다.

이에 의해, n<sup>+</sup>형 반도체 영역(23), p<sup>+</sup>형 반도체 영역(22) 및 플러그(30)에 접속되는 배선(비트선 BL, 제1 층배선(38, 39))의 콘택트 저항을 저감할 수 있다. 또, 비트선 BL을 W막/TiN막/Ti막으로 구성함으로써, 이 시트 저항을  $2\Omega/\mu$  이하까지 저감할 수 있기 때문에, 정보의 판독 속도 및 기입 속도를 향상시킬 수 있음과 동시에, 비트선 BL과 주변 회로의 제1 층배선(38, 39)을 하나의 공정에서 동시에 형성할 수 있기 때문에, DRAM의 제조 공정을 단축할 수 있다. 또한, 주변 회로의 제1 층배선(38, 39)을 비트선 BL과 동종의 배선으로 구성하는 경우에는, 제1 층배선을 메모리 셀의 상층의 AI 배선으로 구성하는 경우에 비하여 주변 회로의 MISFET(n채널형 MISFETQn, p채널형 MISFETQp)과 제1 층배선을 접속하는 콘택트홀(34~37)의 애스펙트비가 저감되기 때문에, 제1 층배선의 접속 신뢰성이 향상된다.

비트선 BL은 인접하는 비트선 BL과의 사이에 형성되는 기생 용량을 뛸 수 있는 한 저감하여 정보의 판독 속도 및 기입 속도를 향상시킬 수 있기 때문에, 그 간극이 그 폭보다 길어지게 형성된다. 비트선 BL의 간극은 예를 들면 0.24 $\mu$ m 정도로 하고, 폭은 예를 들면 0.22 $\mu$ m 정도로 한다.

또,  $TiSi_2$ 층(42)은 열처리에 의한 열화가 생길 가능성이 있지만, 이 열처리로서 후에 설명하는 정보 축적용 용량 소자의 용량 절연막의 형성 공정을 생각할 수 있다. 그러나, 후에 설명되는 바와 같이, 본 실시예에서는 용량 절연막의 형성 공정이 저온화되기 때문에,  $TiSi_2$ 층(42)이 열처리에 의해 열화되고, 접속 저항의상온 등 불합리한 점을 발생시키는 일은 없다.

다음에, 포토레지스트막(41)을 제거한 후, 도 15에서 나타낸 바와 같이, 비트선 BL의 측벽과 제1 층배선(38, 39)의 측벽에 사이드월 스페이서(43)를 형성한다. 사이드월 스페이서(43)는 비트선 BL 및

제1 층배선(38, 39)의 상부에 CVD법으로 실리콘 질화막을 퇴적한 후, 이 실리콘 질화막을 이방성 에칭하여 형성한다.

다음에, 도 16에서 나타난 바와 같이, 비트선 BL 및 제1 층배선(38, 39)의 상부에 막 두께 300nm 정도의 SOG막(44)을 스핀 도포한다. 이어서, 반도체 기판(1)을 800℃, 1분 정도 열처리하여 SOG막(44)을 신터링(소결)한다.

SOG막(44)은, BPSG막에 비해 리플로우성이 높아, 미세한 배선 간의 갭충전성이 우수하기 때문에, 포토리소그래피의 해상 한계 정도 까지 미세화된 비트선 BL 끼리의 간극을 양호하게 매립할 수 있다. 또, SOG막(44)은 BPSG막이며 필요로 하는 고온, 장시간의 열처리를 행하지 않고도 높은 리플로우성을 얻을 수 있기 때문에, 비트선 BL의 하층에 형성된 메모리 셀 선택용 MISFETs의 소스, 드레인이나 주변 회로의 MISFET(n채널형 MISFETn, p채널형 MISFETp)의 소스, 드레인에 포함되는 불순물의 열확산을 억제하여 얇은 접합화를 도모할 수 있다. 게다가, 게이트 전극(14A)(워드선 WL) 및 게이트 전극(14B, 14C)을 구성하는 메탈(W막)의 열화를 억제할 수 있기 때문에, DRAM의 메모리 셀 주변 회로를 구성하는 MISFET의 고성능화를 실현할 수 있다. 또, 비트선 BL 및 제1 배선층(38, 39)을 구성하는 Ti막, TiN막, W막의 열화를 억제하여 배선 저항의 저감을 도모할 수 있다.

다음에, SOG막(44)의 상부에 막 두께 600nm 정도의 실리콘 산화막(45)을 퇴적한 후, 이 실리콘 산화막(45)을 CMP법으로 연마하여 그 표면을 평탄화한다. 실리콘 산화막(45)은 예를 들면 오존(O<sub>3</sub>)과 테트라에톡실란(TEOS)을 소스 가스로 이용한 플라즈마 CVD법으로 퇴적한다.

이와 같이, 본 실시예에서는, 비트선 BL 및 제1 층배선(38, 39)의 상부에 성막 직후에도 평탄성이 양호한 SOG막(44)을 도포하고, 또한 그 상부에 퇴적된 실리콘 산화막(45)을 CMP법으로 평탄화한다. 이에 의해 비트선 BL 끼리의 미세한 간극의 갭 충전성이 향상됨과 동시에, 비트선 BL 및 제1 층배선(38, 39)의 상부의 절연막의 평탄화를 실현할 수 있다. 또, 고온, 장시간의 열처리를 행하지 않기 때문에, 메모리 셀 및 주변 회로를 구성하는 MISFET의 특성 열화를 방지하여 고성능화를 실현할 수 있는 동시에, 비트선 BL 및 제1 층배선(38, 39)의 저 저항화를 도모할 수 있다.

다음에, 실리콘 산화막(45)의 상부에 막 두께 100nm 정도의 실리콘 산화막(46)을 퇴적한다. 이 실리콘 산화막(46)은, CMP법으로 연마될 때 생기는 상기 실리콘 산화막(45)의 표면의 미세한 손상을 보수하기 위해 퇴적된다. 실리콘 산화막(46)은 예를 들면 오존(O<sub>3</sub>)과 테트라에톡실란(TEOS)을 소스 가스에 이용한 플라즈마 CVD법으로 퇴적된다.

다음에, 도 17에서 나타난 바와 같이, 포토레지스트막(47)을 마스크로 한 드라이에칭으로 콘택트홀(29)의 상부의 실리콘 산화막(46, 45), SOG막(44) 및 실리콘 산화막(31)을 제거하여 플러그(30)의 표면에 달하는 스루홀(48)을 형성한다. 이 에칭은 실리콘 산화막(46, 45, 31) 및 SOG막(44)에 대한 실리콘 질화막의 에칭 레이트가 작아지도록 하는 조건에서 행하고, 스루홀(48)과 비트선 BL의 정합 어긋남이 생기는 경우에도, 비트선 BL의 상부의 실리콘 질화막(40)이나 사이드월 스페이서(43)가 깊게 깎이지 않도록 한다. 이에 의해 스루홀(48)이 비트선 BL에 대해 자기 정합으로 형성된다.

다음에, 포토레지스트막(47)을 제거한 후, 불산+불화 암모늄 혼액 등의 에칭액을 사용하여 스루홀(48)의 저부에 노출된 플러그(30)의 표면의 드라이에칭 잔사나 포토레지스트 잔사 등을 제거한다. 이 때, 스루홀(48)의 측벽에 노출된 SOG막(44)도 에칭액에 노출되지만, SOG막(44)은 상기 800℃ 정도의 신터링에 의해 불산계의 에칭액에 대한 에칭 레이트가 저감되어 있기 때문에, 이 웨트에칭 처리에 의해 스루홀(48)의 측벽이 크게 언더컷되는 일은 없다.

이에 의해 다음의 공정에서 스루홀(48)의 내부에 매립되는 플러그와 비트선 BL의 쇼트를 확실하게 방지할 수 있다. 또, 플러그와 비트선 BL을 충분히 이간시킬 수 있기 때문에, 비트선 BL의 기생 용량의 증가를 억제할 수 있다.

다음에, 도 18에서 나타난 바와 같이, 스루홀(48)의 내부에 플러그(49)를 형성한다. 플러그(49)는 다결정 실리콘막으로 이루어지고, 플러그(30)와 동일하게 형성된다. 플러그(49)는 도체이면 좋고, 텅스텐(W) 등의 금속막이어도 좋다.

다음에, 도 19에서 나타난 바와 같이, 실리콘 산화막(46)의 상부에 막 두께 1.3μm 정도의 절연막, 예를 들면 실리콘 산화막(50)을 퇴적하고, 포토레지스터막(51)을 마스크로 하여 실리콘 산화막(50)을 드라이에칭함으로써 홈(52) 또는 개구를 형성한다. 실리콘 산화막(50)은 예를 들면 오존(O<sub>3</sub>)과 테트라에톡실란(TEOS)을 소스 가스로 이용한 플라즈마 CVD법으로 퇴적된다. 또, 홈(52)은 플러그(49)의 상부에 개구되고, 플러그(49)의 상면이 노출될 때 까지 행한다. 홈(52)의 내벽에는 후에 설명하는 개폐시터의 하부 전극이 형성된다.

다음에, 포토레지스터막(51)을 제거한 후, 도 20에서 나타난 바와 같이 제1 층배선의 비정질 실리콘막(53)을 퇴적한다. 비정질 실리콘막(53)은 CVD법으로 퇴적되고, 그 막 두께는 30nm로 한다. 또, 비정질 실리콘막(53)에는  $4.0 \times 10^{20}$  atoms/cm<sup>3</sup> 정도의 농도의 인(P)을 도입한다. 인의 도입은 CVD법으로 비정질 실리콘막(53)을 퇴적할 때에 불순물 가스로서 예를 들면 포스핀(PH<sub>3</sub>)을 원료 가스에 혼합하여 도입할 수 있지만, 이에 한하지 않고, 이온 주입법 등을 이용하여 불순물을 도입해도 좋다. 제1 층배선의 비정질 실리콘막(53)은 후에 설명하는 바와 같이 결정화되어 다결정 실리콘막이 되어 하부 전극의 일부가 되지만, 입상 실리콘 결정의 성장에는 기여하지 않고, 막상 상태에서 결정화된다. 이 때문에 하부 전극의 도전성이 확보된다. 또,  $4.0 \times 10^{20}$  atoms/cm<sup>3</sup> 정도라고 하는 비교적 높은 농도의 불순물이 도입되기 때문에 이점에서도 하부 전극의 도전성이 확보되게 된다.

다음에, CVD 장치의 반응실 내에 반도체 기판(1)을 보유한 상태에서, 반응실을 누설시켜 반응실 내에 대기를 도입한다. 그 후, 도 21에서 나타난 바와 같이, 제2 층배선의 비정질 실리콘막(54)을 퇴적한다. 비



정질 실리콘막(54)은 CVD법에 의해 퇴적하고, 막 두께는 20nm로 한다. 또, 비정질 실리콘막(54)에는  $1.5 \times 10^{20}$  atom/cm<sup>2</sup> 정도의 농도의 인(P)을 상기와 동일하게 도입한다.

비정질 실리콘막(54)은 후에 설명하는 바와 같이, 입상 실리콘 결정으로 성장하는 원료층이며 입상 결정은 하부 전극의 표면 부분을 구성한다. 이 때문에, 불순물의 농도는  $1.5 \times 10^{20}$  atoms/cm<sup>2</sup> 정도로 비교적 낮게 하여 입상 결정의 입경 크기를 제어하기 쉽게 한다. 또, 비정질 실리콘막(54)의 막 두께에 의해 입상 결정의 높이, 즉 하부 전극의 막 두께를 조절할 수 있다. 예를 들면 입상 결정의 높이를 높게 하는 경우에는 비정질 실리콘막(54)의 막 두께를 두껍게 하고, 낮게 하는 경우에는 막 두께를 얇게 한다. 이와 같이 비정질 실리콘막(54)의 막 두께로 입상 결정의 높이를 용이하게 조절할 수 있다.

또, 비정질 실리콘막(53, 54)에 도입되는 불순물의 농도는 상기에 한하지 않는다. 비정질 실리콘막(53)의 불순물 농도는 하부 전극의 도전성을 확보하는 점으로부터 많을수록 바람직하지만, 지나치게 많으면 도핑될 수 없고, 결정화에 방해가 되는 경우도 있다. 따라서 비정질 실리콘막(53)의 불순물 농도는  $1 \times 10^{20}$  atoms/cm<sup>2</sup> 이상,  $1 \times 10^{22}$  atoms/cm<sup>2</sup> 이하가 될 수 있다. 비정질 실리콘막(54)의 불순물 농도는 입상 결정의 성장성을 고려하면 낮은 쪽이 바람직하다. 따라서, 비정질 실리콘막(53)의 불순물 농도는  $5.0 \times 10^{20}$  atoms/cm<sup>2</sup> 이하, 바람직하게는  $1.5 \times 10^{20}$  atoms/cm<sup>2</sup> 이하가 되는 것이 좋다. 비정질 실리콘막(54)의 불순물 농도를 비정질 실리콘막(53)의 불순물 농도보다 작게 하는 것이 중요하다.

또, 비정질 실리콘막(53, 54)의 막 두께는 상기에 한하지 않는다. 비정질 실리콘막(53)은 하부 전극의 도전성을 확보하는 관점으로부터 두꺼운 쪽이 바람직하지만, 지나치게 두꺼우면 미세 가공에 대응할 수 없다. 따라서 비정질 실리콘막(53)의 막 두께는 20nm 이상, 100nm 이하로 할 수 있다. 비정질 실리콘막(54)은 상기한 바와 같이 입상 결정의 원료층이 된다. 따라서, 막 두께가 두꺼우면 큰(높이가 높은) 입상 결정이 성장하여 미세 가공상 바람직하지 않다. 그러나, 지나치게 얇으면 입상 결정이 성장하지 않게 되는 일이 본 발명자들의 검토에 의해 판명되고 있다. 따라서, 비정질 실리콘막(54)의 막 두께는 20nm 이상으로 할 수 있다.

상기한 바와 같이, 제2 층재의 비정질 실리콘막(54)의 퇴적 전에, 제1 층재의 비정질 실리콘막(53)을 일단 대기 분위기에 노출시키기 위해, 도 22에서 나타낸 바와 같이, 비정질 실리콘막(53)과 비정질 실리콘막(54) 사이에 자연 산화막(55)이 형성된다.

자연 산화막(55)은 그 막 두께가 2nm 이하이다. 또, 도 22에서는 편의상 자연 산화막(55)을 연속한 막으로서 나타내고 있지만, 반드시 막일 필요는 없고, 섬 형상(아일랜드 형상)의 실리콘 산화물이어도 좋다. 자연 산화막(55)은 후에 설명하는 제2 층재의 비정질 실리콘막(54)의 결정화 때에, 입상 결정의 원료가 되는 실리콘 원자의 공급을 비정질 실리콘막(54)로부터만으로 제한하고, 제1 층재의 비정질 실리콘막(53)으로부터는 입상 실리콘 결정의 성장에 기여하는 실리콘 원자의 공급이 되지 않도록 실리콘 원자의 이동을 저해하는 저해물의 기능을 갖는다. 절연막 또는 금속막이면 좋다.

또, 여기에서는 제1 층재의 비정질 실리콘막(53)의 표면을 대기 해방에 의해 대기 분위기에 노출하여 자연 산화막(55)이 형성되는 경우를 예시하고 있지만, 적극적으로 상기한 바와 같은 실리콘 원자의 이동을 저해하는 저해물을 박막, 또는 부착물로서 형성하여도 좋다. 예를 들면 극히 단시간의 실리콘 산화막의 퇴적, 또는 예를 들면 산화제 예를 들면 오존, 산화 질소 등의 폭로, 또는 산화 분위기에서의 플라즈마 처리, 자외선 조사 처리 등을 행해도 좋다.

다음에, 도 23에서 나타낸 바와 같이, 홈(52)을 매립하는 절연막(56)을 퇴적한다. 절연막(56)의 퇴적에 의해 그 표면을 거의 평탄하게 하는 것이 바람직하고, 또 절연막(56)은, 후에 에칭 백되고, 홈(52) 내의 잔존물을 에칭하여 제거하는 것이기 때문에 실리콘 산화막(50)에 대해 에칭이 용이한 재료(에칭 선택비가 큰 것)로 이루어진 것이 바람직하다. 예를 들면 SOG(Spin On Glass) 막, 레지스트 등의 유기 수지를 예로 들 수 있다.

다음에, 도 24에서 나타낸 바와 같이, 절연막(56)을 드라이 에칭에 의해 에칭 백한다. 이 에칭 백은 홈(52) 이외의 실리콘 산화막(50) 표면의 비정질 실리콘막(53, 54)이 에칭될 때 까지 행한다. 이와 같이 하여 홈(52) 내에 통형의 비정질 실리콘막(53, 54)의 적층막이 홈(52)의 내부에만 선택적으로 잔존되게 한다.

다음에, 도 25에서 나타낸 바와 같이, 홈(52) 내의 절연막(56)을 예를 들면 HF(불화 수소) 계의 에칭에 의해 제거하고, 비정질 실리콘막(54)의 표면을 노출시킨다.

다음에, 도 26에서 나타낸 바와 같이, 비정질 실리콘막(54)을 결정화하여 입상 실리콘 결정(57)을 성장시킨다. 입상 실리콘 결정(57)의 성장은 다음 2 단계로 분리된다. 먼저, 실리콘 핵 부가의 단계이고, 다음에 실리콘 입자 성장을 촉진하는 열처리의 단계이다. 이 두 단계를 연속하여 처리한다.

실리콘 핵 부가의 조건은 예를 들면 압력  $1 \times 10^{-3}$  Torr의 모노시덴(SiH<sub>4</sub>) 가스 분위기 중에서, 처리 온도 740℃, 처리 시간 60초의 조건에서 반도체 기판(1)을 유지한다. 이에 의해 비정질 실리콘막(54)의 표면에 실리콘핵이 형성된다. 다음에, 열처리의 조건은 예를 들어 처리 압력  $1 \times 10^{-8}$  Torr, 처리 온도 740℃, 처리 시간 150초이다. 이 조건 하에서 실리콘 입자가 성장한다.

여기에서, 상술한 바와 같이 입상 실리콘 결정(57)은 비정질 실리콘막(54)으로부터 공급된 실리콘에 의해 성장되고, 비정질 실리콘막(53)으로부터의 실리콘의 공급은 이루어지지 않는다. 이것은 실리콘 이동 저해물인 자연 산화막(55)의 기능에 의해 비정질 실리콘막(53)으로부터의 실리콘의 이동이 생기기 않기 때문이다. 그 결과, 상기 열처리에 의해 비정질 실리콘막(54)으로부터 실리콘이 공급되어 표면에 생긴 실리콘 핵이 비정질 실리콘막(54)으로부터의 실리콘을 흡수하여 성장되어도, 비정질 실리콘막(54)이 없어질 때 까지, 즉 실리콘이 다 공급되면 입상 실리콘 결정(57)의 성장은 거기에서 멈춘다. 이것이 입상



실리콘 결정(57)의 높이(요철의 높이)를 비정질 실리콘막(54)의 막 두께에 의해 제어할 수 있는 기능이라고 생각된다. 이 때문에, 종래 열처리 시간에 의해 성장 입자의 크기(높이)를 제어하고 있는 바, 시간의 요인은 거의 무관계가 되고, 열처리 시간에 의하지 않고 입상 실리콘 결정(57)의 높이(크기)를 조정하는 것이 가능하게 된다. 소위 자기 종료형 반응으로서, 극히 제어성이 좋아, 프로세스 윈도우가 넓어지고, 공정의 안정화, 로버스트성의 향상이 극히 유리하게 된다.

다음에, 800℃ 정도의 열처리를 실시하고, 제1 층재의 비정질 실리콘막(53)을 결정화하여 다결정 실리콘막(58)으로 한다. 이와 같이 하여 다결정 실리콘막(58), 입상 실리콘 결정(57)으로 이루어진 하부 전극(59)이 형성된다. 또, 상기에서 핵 부가, 각 열처리의 조건은 어디까지나 예시적인 것으로, 이에 한정되지 않는다. 예를 들면 온도, 처리 시간의 조건은 다른 조건을 임의로 선택할 수 있으며, 또 모노실란 대신에 디실란( $\text{Si}_2\text{H}_6$ )을 이용할 수도 있다.

도 27은 하부 전극(59)의 일부를 모식적으로 확대하여 나타낸 모식도이다. 입상 실리콘 결정(57)은 거의 모든 비정질 실리콘막(54)으로부터의 실리콘의 공급을 받아 성장이 완료되고 있는 상태를 나타내고 있다. 이 때문에, 입상 실리콘 결정(57) 끼리로는 막으로 연결되어 있지 않고, 다결정 실리콘막(58)의 표면에 부착된 형태로 되어 있다. 한편, 다결정 실리콘막(58)은 입계에서 결정 끼리 접촉하고, 충분한 전기적 도통을 도모할 수 있다. 또, 비정질 실리콘막(53)으로부터 실리콘이 공급되지 않기 때문에, 그 막 두께의 감소는 없고, 비정질 실리콘막(53)으로서 형성된 형상이 그대로 유지되어 결정화된다. 또, 다결정 실리콘막(58)은 비정질 실리콘막(53)으로부터 고상 성장에 의해 결정화하여 형성된다. 이 때문에, 다결정 실리콘막(58)의 표면은 극히 평탄하고, 그 표면 조약도(예를 들면 5점 평균 조약도)는 다결정 실리콘막(58)의 막 두께의 10% 이하이다. 즉, 입상 실리콘 결정(57)이 만들어진 부분과, 그 사이의 부분에서 다결정 실리콘막(58)의 막 두께는 거의 동일하게 되어 있다.

또, 입상 실리콘 결정(57)과 다결정 실리콘막(58)의 면방위는 다르게 되어 있다. 이것은 입상 실리콘 결정(57)과 다결정 실리콘막(58)이 어느 한 쪽의 결정성에도 영향을 주지 않고 결정화한 것을 나타내고 있고, 저해막인 자연 산화막(55)의 존재가 원인이라고 생각된다.

실제의 하부 전극 형상을 전자 현미경(SEM)으로 관찰한 단면 형상의 사진의 모식도를 도 28에서 나타낸다. 도 28에서 나타낸 부분은 거의 도 26에서의 A부분이다. 도 26에서 나타낸 바와 같이 제1 층재의 비정질 실리콘막(53)이 결정화한 다결정 실리콘막(58)은 거의 평탄 (즉, 실리콘 산화막(50)의 측벽을 따라 동일한 막 두께를 가짐)하고, 그 평탄한 다결정 실리콘막(58)의 표면에 입상 실리콘 결정(57)이 부착되도록 하여 형성되어 있는 모양을 관찰할 수 있다. 또, 입상 실리콘 결정(57)의 높이는 균일하게 형성되어 있고, 극히 제어성 좋게 입자가 성장된 모노인 것을 이해할 수 있을 것이다. 또, 입상 실리콘 결정(57)의 표면에 그려져 있는 것은 다음에 설명하는 용량 절연막(60)이다.

또, 도 27에서 자연 산화막(55)을 연속한 막과 같이 그리고 있지만 상기한 것과 동일하게 자연 산화막(55)이 현실적으로 막으로 형성되어 있는 것을 요건으로 하는 것은 아니고, 도 27에서는 편의상 막으로 그리고 있을 뿐이다. 따라서, 자연 산화막(55)은 실제로는 아일랜드 형상으로 형성된 실리콘 산화물이어도 좋고, 실리콘 산화물이 존재하지 않는 계면 영역이 있어도 상관 없다. 또, 자연 산화막(55)은 극히 얇기 때문에, 도 28에서 나타낸 SEM 사진의 모식도에서는 당연히 그려지는 것은 아니다.

다음에, 도 29에서 나타낸 바와 같이, 반도체 기판(1)의 전면면에 용량 절연막(유전체막)(60)을 형성한다. 용량 절연막(60)은 예를 들면 CVD법에 의한 실리콘 산화막, 실리콘 질화막, 실리콘 산화막의 적층막으로 구성할 수 있다. 이 경우, 실리콘 산화막에 의한 하부 전극 표면의 산화를 방지할 수 있기 때문에, 용량 절연막(60)의 형성 전에 예를 들면 암모니아 분위기에서 열처리하여, 하부 전극의 표면을 질화하여도 좋다.

또, 용량 절연막(60)은 산화 탄탈막을 이용할 수도 있다. 산화 탄탈막은 CVD법에 의해 비정질의 산화 탄탈막을 퇴적하고, 이것을 산소 분위기에서의 열처리로 결정화하여, 다결정 산화 탄탈막을 형성하여도 좋다. 이 경우에도 하부 전극 표면의 산화를 방지하기 위해서, 용량 절연막(60)의 형성 전에 예를 들면 암모니아 분위기에서 열처리하여, 하부 전극의 표면을 질화하여도 좋다.

다음에, 용량 절연막(60) 상에 상부 전극이 되는 도전체막(61)을 퇴적하고, 도 30에서 나타낸 바와 같이 포토레지스트막(62)을 마스크로 하여 도전체막(61) 및 용량 절연막(60)을 에칭한다. 도전체막(61)으로서는 예를 들면 다결정 실리콘막, 질화 텅스텐막, 텅스텐막, 질화 티탄막을 예로 들 수 있다.

다음에, 포토레지스트막(62)을 제거하고, 도 31에서 나타낸 바와 같이, 정보 축적용 용량 소자 C의 상부에 막 두께 40nm 정도의 실리콘 산화막(63)을 퇴적한다. 실리콘 산화막(63)은 예를 들면 오존( $\text{O}_3$ )과 테트라에톡실란( $\text{TEOS}$ )을 소스 가스로 이용한 플라즈마 CVD법으로 퇴적한다. 그 후, 포토레지스트막을 마스크로 한 드라이 에칭으로 주변 회로의 제1 층배선(38)의 상부의 절연막을 제거함으로써, 스루홀(64)을 형성한다. 그 후, 스루홀(64)의 내부에 플러그(65)를 형성하고, 이어서 실리콘 산화막(63)의 상부에 제2 층배선(66)을 형성한다. 플러그(65)는 실리콘 산화막(63)의 상부에 스퍼터링법으로 막 두께 100nm 정도의 TiN막을 퇴적하고, 또한 그 상부에 CVD법으로 막 두께 500nm 정도의 W막을 퇴적한 후, 이들의 막을 에칭백하여 스루홀(64)의 내부에 남김으로써 형성된다. 제2 층배선(66)은 실리콘 산화막(63)의 상부에 스퍼터링법으로 막 두께 50nm 정도의 TiN막, 막 두께 500nm 정도의 Al(알루미늄) 막, 막 두께 50nm 정도의 Ti막을 퇴적한 후, 포토레지스트막을 마스크로 한 드라이 에칭으로 이들의 막을 패터닝하여 형성한다.

그 후, 층간 절연막을 거쳐 제3 층배선을 형성하고, 그 상부에 실리콘 산화막과 실리콘 질화막으로 구성된 패시베이션막을 퇴적하지만, 그 도시는 생략한다. 이상의 공정에 의해 본 실시예의 DRAM이 대략 완성된다.

또, 제3 층배선 및 여기에 접속된 플러그는 제2 층배선의 경우와 동일하게 형성할 수 있고, 층간 절연막은 예를 들면 막 두께 300nm 정도의 실리콘 산화막, 막 두께 400nm 정도의 SOG막 및 막 두께 300nm 정도

의 실리콘 산화막으로 구성할 수 있다. 실리콘 산화막은 예를 들면 오존( $O_3$ )과 테트라에톡실란(TEOS)을 소스 가스로 이용한 플라즈마 CVD법으로 퇴적한다.

본 실시예에 의하면, 입상 실리콘 결정(57)을 제어성 좋게 형성할 수 있다. 이에 의해 미세 가공에 대응한 입상 실리콘 결정을 갖는 다결정 실리콘막을 제공할 수 있다.

또, 다결정 실리콘막(58)이 입상 실리콘 결정(57)의 성장에 관계 없이 그 막 두께를 유지할 수 있기 때문에, 하부 전극(59)의 도전성을 충분히 확보할 수 있다. 이 도전성은 다결정 실리콘막(58)이 되는 비정질 실리콘막(53)으로의 불순물 도입량을 조정하는 것에 의해서도 양호하게 유지할 수 있다.

또, 다결정 실리콘막(58)으로의 불순물의 다량의 도입은 하부 전극(59)의 공핍층의 형성을 억제하는 효과도 갖는다. 즉, 하부 전극(59)을 구성하는 다결정 실리콘막(58)에 불순물을 대량으로 도입하고, 한편, 입상 실리콘 결정(57)에는 그 성장 저해성을 고려하여 불순물을 적게 한다. 그러나, 용량 절연막(60)의 형성 공정 등 고온의 열 프로세스를 거치면, 다결정 실리콘막(58) 내의 불순물이 충분히 활성화되고, 또는 다결정 실리콘막(58)으로부터 입상 실리콘 결정(57)으로의 불순물의 확산이 발생한다. 입자 성장 후에 불순물 농도가 증가하는 것은 결정성 등에 어떠한 영향도 주지 않고, 오히려 공핍층의 형성을 억제하여 용량치의 저하를 억제할 수 있다. 그 결과 축적 전하량을 증가시켜 DRAM의 리프레시 특성을 향상시킬 수 있다.

또, 본 실시예에서는, 비정질 실리콘막(54)이 모두 입상 실리콘 결정(57)으로 성장하는 경우를 설명했지만, 도 32에서 나타낸 바와 같이, 비정질 실리콘막(54)의 일부가 입상 실리콘 결정(67)으로 성장하고, 일부가 다결정 실리콘막(68)으로서 잔존하여도 좋다.

## <제2 실시예>

도 33 내지 도 35는 제2 실시예의 DRAM의 제조 공정의 일 예를 공정순으로 나타낸 단면도이다. 도 33 내지 도 35에서 (a)는 DRAM의 정보 축적용 용량 소자의 부분을 확대한 단면도이고, (b)는 정보 축적용 용량 소자를 구성하는 하부 전극의 일부를 확대한 단면도이다.

본 실시예의 DRAM은 그 회로 구성 및 평면 구성에서 도 1 및 도 2에서 나타낸 것과 동일하다. 또, 정보 축적용 용량 소자 C의 구조에서 서로 다른 것을 제외하고는, 제1 실시예의 단면과 동일하다. 따라서, 이하의 설명에서는 그 다른 부분에 대해서만 설명하고, 동일한 부분의 설명은 생략한다.

제2 실시예의 DRAM의 제조 방법은 제1 실시예에서의 도 19 까지의 공정과 동일하다. 그 후, 도 33의 (a)에서 나타낸 바와 같이, 실리콘 산화막(50)의 홈(52)의 내부를 피복하도록 다결정 실리콘막(69)을 형성한다. 제1 실시예에서는 비정질 실리콘막(53)을 퇴적하고, 후에 이를 열처리하여 결정화했지만, 본 실시예에서는, 어즈데포(As 증착) 상태에서 다결정 실리콘막이 되도록 CVD법에 의해 다결정 실리콘막(69)을 퇴적한다. 이 때문에 도 33의 (b)에서 나타낸 바와 같이, 표면에 다결정 실리콘막의 그 레인에 기인하는 어느 정도의 요철이 형성된다.

다음에, 도 34의 (a)에서 나타낸 바와 같이, 다결정 실리콘막(69) 상에 비정질 실리콘막(70)을 퇴적한다. 도 34의 (b)에서 나타낸 바와 같이, 본 실시예에서는 자연 산화막이 형성되어 있지 않다.

다음에, 제1 실시예의 도 23 및 도 24의 공정과 동일하게 하여 홈(52) 내에만 다결정 실리콘막(69) 및 비정질 실리콘막(70)만을 잔존시키고, 도 35의 (a)에서 나타낸 바와 같이 비정질 실리콘막(70)에 제1 실시예와 동일한 실리콘 핵 부가 및 입자 성장 촉진을 위한 열처리를 행하여 입상 실리콘 결정(71)을 성장시킨다.

본 실시예의 경우, 저해막인 산화막이 형성되어 있지 않지만, 입상 실리콘 결정(71)의 원료층인 비정질 실리콘막(70)은 다결정 실리콘막(69) 상에 형성되어 있기 때문에, 입상 실리콘 결정(71)의 성장시 다결정 실리콘막(69)으로부터 실리콘이 공급되는 일은 없다. 이 때문에, 저해층을 갖지 않고도 제어성이 좋은 입상 실리콘 결정(71)을 얻을 수 있다. 또, 다결정 실리콘막(69) 및 비정질 실리콘막(70)의 막 두께 및 불순물 농도는 제1 실시예와 동일하게 한다.

결정화된 다결정 실리콘막(69) 상에 형성된 비정질 실리콘막(70)으로부터 이것을 공급함으로써, 입상 실리콘 결정(71)의 성장을 행하기 때문에, 다결정 실리콘막(69)로부터 실리콘이 공급되는 일이 없다. 이 때문에, 도 35의 (b)에서 나타낸 바와 같이, 입상 실리콘 결정(71)이 다 성장한 후에도 다결정 실리콘막(69)의 막 두께는 유지되어, 필요한 도전성은 다결정 실리콘막(69)에 의해 확보된다.

또, 도 36에서 나타낸 바와 같이, 비정질 실리콘막(70)의 일부가 입상 실리콘 결정(72)으로 성장하고, 일부가 다결정 실리콘막(73)으로 잔존하여도 좋다.

## <제3 실시예>

도 37 내지 도 39는 제3 실시예의 DRAM의 제조 공정의 일 예를 공정 순으로 나타낸 단면도이다. 도 37 내지 도 39에서, (a)는 DRAM의 정보 축적용 용량 소자의 부분을 확대한 단면도이고, (b)는 정보 축적용 용량 소자를 구성하는 하부 전극의 일부를 확대한 단면도이다.

본 실시예의 제조 방법은 제2 실시예의 제조 방법에서 저해막인 자연 산화막이 형성되어 있는 것을 제외하고 동일하다. 따라서, 이하 설명에서는 다른 부분에 대해서만 설명하고, 동일한 부분의 설명은 생략한다.

제2 실시예의 도 33의 경우와 동일하게 다결정 실리콘막(69)을 형성한다. 그 후, 도 37에서 나타낸 바와 같이, 반응실에 대기를 누설하고, 다결정 실리콘막(69)의 표면을 대기중에 노출하여 자연 산화막(74)을 형성한다.

다음에, 도 38에서 나타낸 바와 같이, 제2 실시예와 동일하게 비정질 실리콘막(70)을 형성한다. 본 실

시에에서는, 자연 산화막(74)이 형성되어 있기 때문에, 비정질 실리콘막(70)의 퇴적 시에 다결정 실리콘막(69)의 결정성을 반영한 호모에피택셜 성장이 일어날 우려가 없다. 즉, 비정질 실리콘막(70)의 퇴적 조건에 의해서는 호모에피택셜 성장이 생기고, 비정질 실리콘막(70)에 마이크로크리스탈(미결정)이 포함될 가능성이 있지만, 본 실시예에서는, 그와 같은 가능성이 극히 적다. 즉, 자연 산화막(74)이 비정질 실리콘막(70)의 에피택셜 성장(결정화)을 저해하는 막으로서 기능한다.

다음에, 도 39에서 나타낸 바와 같이, 제2 실시예와 동일하게 홈(52) 내에만 다결정 실리콘막(69) 및 비정질 실리콘막(70)을 잔존시키고, 비정질 실리콘막(70)을 입상 실리콘 결정(71)으로 성장시킨다.

본 실시예에서는 결정화 저해막인 자연 산화막(74)이 형성되어 있기 때문에, 비정질 실리콘막(70)을 거의 완전하게 비정질로서 최적시키고, 확실하게 입상 실리콘 결정(71)을 성장시킬 수 있다.

또, 제1 및 제2 실시예와 동일하게, 입상 실리콘 결정(71)의 성장을 도중에 중지시켜, 입상부를 갖는 다결정 실리콘막으로 해도 좋은 것은 물론이다.

#### <제4 실시예>

도 40 내지 도 43은 제 4 실시예의 DRAM의 제조 공정의 일 예를 공정순으로 나타낸 단면도이고, DRAM의 정보 축적용 용량 소자의 부분을 확대한 단면도이다.

본 실시예의 DRAM은 그 회로 구성 및 평면 구성에서 도 1 및 도 2에서 나타낸 것과 동일하다. 또, 정보 축적용 용량 소자 C의 구조에서 서로 다른 것은 제외하고는, 제1 실시예의 단면과 동일하다. 따라서, 이하의 설명에서는 그 다른 부분에 대해서만 설명하고, 동일한 부분의 설명은 생략한다.

본 실시예의 DRAM의 제조 방법은, 제1 실시예에서의 도 19 까지의 공정과 동일하다. 그 후, 도 40에서 나타낸 바와 같이, 실리콘 산화막(50)의 홈(52)의 내부를 피복하도록 비정질 실리콘막(75)을 형성한다. 제1 실시예에서는 또한 비정질 실리콘막을 퇴적했지만, 본 실시예에서는 도 41에서 나타낸 바와 같이, 이 단계에서 비정질 실리콘막(75)을 입자 성장시켜 입상 형상 실리콘 결정(76)을 형성한다. 이와 같이 한 층의 비정질 실리콘막(75)에서 입상 실리콘 결정(76)으로 성장되기 때문에, 기재의 결정성이나 저해막의 개재를 고려하는 일 없이 입상 실리콘 결정(76)을 제어성 좋게 형성할 수 있다.

다음에, 도 42에서 나타낸 바와 같이, 다결정 실리콘막(77)을 전면에 퇴적한다. 또, 다결정 실리콘막(77)은 비정질 실리콘막을 퇴적후에 이를 고정 성장시켜 형성하여도 좋다.

다음에, 도 43에서 나타낸 바와 같이 홈(52)을 매립하는 절연막(56)을 제1 실시예와 동일하게 형성하여, 도 44에서 나타낸 바와 같이 제1 실시예와 동일하게 절연막(56)을 에칭 백하여 실리콘 산화막(50) 상면의 다결정 실리콘막(77) 및 입상 실리콘 결정(76)을 제거하고, 홈(52)에 잔존한 절연막(56)을 제거한다.

이와 같이 하여 다결정 실리콘막(77) 및 입상 실리콘 결정(76)으로 이루어진 하부 전극이 형성된다. 후 공정은 제1 실시예와 동일하다.

본 실시예에 의하면, 기재의 결정성이나 저해막의 개재를 고려하는 일 없이 입상 실리콘 결정(76)을 제어성 좋게 형성할 수 있고, 또한 다결정 실리콘막(77)에 의해 하부 전극의 도전성을 확보할 수 있다. 비정질 실리콘막(75)은 제1 실시예의 비정질 실리콘막(54)에 상당하는 것이고, 다결정 실리콘막(77)은 제1 실시예에서의 비정질 실리콘막(53)에 상당하는 것이다. 이들의 막 두께 또는 불순물 농도는 제1 실시예의 각 상당하는 막의 값을 적용할 수 있다.

또는 본 실시예에서, 비정질 실리콘막(75)의 퇴적 전에, 도 45에서 나타낸 바와 같이, 접착막(78)을 형성할 수 있다. 접착막(78)은 비정질 실리콘막(75)의 결정화에 의한 입상 실리콘 결정(76)의 실리콘 산화막(50)에의 접착성을 향상할 수 있다. 접착막(78)에는 예를 들면 다결정 실리콘막을 적용할 수 있고, 그 막 두께는 20nm 이하의 막 두께이어도 좋다.

비정질 실리콘막(75)의 결정화에 의한 입상 실리콘 결정(76)의 성장 후에는, 도 46에서 나타낸 바와 같이, 입상 실리콘 결정(76)은 접착막(78)을 거쳐 실리콘 산화막(50)에 접착되어 있어 박리하기 어려워진다. 또, 접착막(78)과 비정질 실리콘막(75)의 계면에는 자연 산화막 등의 저해막이 형성되어 있어도 좋다.

이상, 본 발명자에 의해 이루어진 발명을 발명의 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 벗어나지 않는 범위에서 각종 변경 가능한 것은 말할 것도 없다.

예를 들면, 상기 실시 형태에서 정보 축적용 용량 소자의 하부 전극으로서 통형상의 것을 예로 들었지만, 예를 들면 스택형, 라인형 등의 구조에도 적용할 수 있다.

또, 제2 실시예에서, 하부 전극의 제1 층재로서 다결정 실리콘막의 예를 나타냈지만, 이에 한하지 않고 텅스텐 실리사이드막, 티탄 실리사이드막 또는 코발트 실리사이드막 등의 금속 실리사이드막이어도 좋고, 텅스텐막, 티탄막, 코발트막, 질화 티탄막 또는 질화 텅스텐막 등의 금속막 또는 금속 화합물막이어도 좋다. 또, 다결정 실리콘막과 금속 실리사이드막, 금속막 또는 금속 화합물막과의 적층막이어도 좋다.

#### 발명의 효과

본원에 의해 개시된 발명 중, 대표적인 것에 의해 얻을 수 있는 효과를 간략하게 설명하면 이하와 같다.

(1) 캐패시터 하부 전극에 적용되는 다결정 실리콘막의 막 두께를 입상 실리콘의 부분(요철 부분)을 포함하여 제어할 수 있다.

- (2) 다결정 실리콘막 표면의 입상 실리콘(요철)의 높이를 용이하게 제어할 수 있다.
- (3) 캐패시터 하부 전극에 적용하는 다결정 실리콘막의 고저항화를 방지하고, 하부 전극의 도전성을 확보할 수 있다.
- (4) 캐패시터 하부 전극을 구성하는 다결정 실리콘막과 용량 절연막과의 계면에서의 다결정 실리콘막의 공핍층의 발생(공핍층)을 방지하고, 공핍화에 의한 축적 용량의 저하를 억제할 수 있다.

## (57) 청구의 범위

### 청구항 1

반도체 기판과, 상기 기판의 주변에 형성된 MISFET와, 상기 MISFET의 소스 또는 드레인으로서 기능하는 반도체 영역에 전기적으로 접속된 제1 전극, 상기 제1 전극에 대향하여 형성된 제2 전극, 및 상기 제1 전극과 제2 전극 사이에 끼워진 용량 절연막으로 구성되는 정보 축적용 용량 소자를 갖는 반도체 장치에 있어서,

상기 제1 전극은 제1 실리콘막과 상기 제1 실리콘막의 표면에 형성되며, 입상체를 갖는 제2 실리콘막을 갖고,

상기 제1 실리콘막과 상기 제2 실리콘막의 계면에는, 실리콘 원자의 이동을 저해하는 실리콘 원자의 이동을 저해하는 실리콘 원자 이동 저해물을 갖는 것을 특징으로 하는 반도체 장치.

### 청구항 2

제1항에 있어서, 상기 실리콘 원자 이동 저해물은, 상기 제1 실리콘막의 표면에 형성된 실리콘 산화막인 것을 특징으로 하는 반도체 장치.

### 청구항 3

반도체 기판과, 상기 기판의 표면에 형성된 MISFET와, 상기 MISFET의 소스 또는 드레인으로서 기능하는 반도체 영역에 전기적으로 접속된 제1 전극, 상기 제1 전극에 대향하여 형성된 제2 전극, 및 상기 제1 전극과 제2 전극 사이에 끼워진 용량 절연막으로 구성되는 정보 축적용 용량 소자를 갖는 반도체 장치에 있어서,

상기 제1 전극은 제1 실리콘막과, 상기 제1 실리콘막의 표면에 형성된 입상 실리콘을 포함하는 제2 실리콘막을 갖고,

상기 제1 실리콘막과 상기 제2 실리콘막의 계면에는, 실리콘 산화막을 갖는 것을 특징으로 하는 반도체 장치.

### 청구항 4

제3항에 있어서, 상기 실리콘 산화막의 막 두께는 2nm 이하인 것을 특징으로 하는 반도체 장치.

### 청구항 5

제3항에 있어서, 상기 실리콘 산화막은, 상기 제1 실리콘막으로 이루어진 실리콘막의 형성 후에 상기 실리콘막의 표면을 산소를 함유하는 분위기에 노출시킴으로써 형성된 실리콘의 자연 산화막인 것을 특징으로 하는 반도체 장치.

### 청구항 6

제3항에 있어서, 상기 제1 실리콘막의 표면이 평탄한 것을 특징으로 하는 반도체 장치.

### 청구항 7

제6항에 있어서, 상기 제1 실리콘막의 표면의 거칠기는 그 막 두께의 10% 이하인 것을 특징으로 하는 반도체 장치.

### 청구항 8

반도체 기판과, 상기 기판의 표면에 형성된 MISFET와, 상기 MISFET의 소스 또는 드레인으로서 기능하는 반도체 영역에 전기적으로 접속된 제1 전극, 상기 제1 전극에 대향하여 형성된 제2 전극, 및 상기 제1 전극과 제2 전극 사이에 끼워진 용량 절연막으로 구성되는 정보 축적용 용량 소자를 갖는 반도체 장치에 있어서,

상기 제1 전극은 제1 도전막을 갖고, 상기 제1 도전막의 표면에는 입상체를 갖는 제2 실리콘막을 갖는 것을 특징으로 하는 반도체 장치.

### 청구항 9

제8항에 있어서, 상기 제1 도전막은 다결정 실리콘막, 금속 실리콘사이드막, 다결정 실리콘막과 금속 실리

사이드막 또는 금속막의 적층막, 금속막 또는 금속 화합물막으로부터 선택된 도전막인 것을 특징으로 하는 반도체 장치.

#### 청구항 10

제9항에 있어서, 상기 금속 실리사이드막은 텅스텐 실리사이드막, 티탄 실리사이드막 또는 코발트 실리사이드막으로부터 선택된 금속 실리사이드막이고, 상기 금속막 또는 금속 화합물막은 텅스텐막, 티탄막, 코발트막, 질화 티탄막 또는 질화 텅스텐막으로부터 선택된 금속막 또는 금속화합물막인 것을 특징으로 하는 반도체 장치.

#### 청구항 11

제8항에 있어서, 상기 제1 도전막과 상기 제2 실리콘막의 계면에는, 실리콘 산화막을 갖는 것을 특징으로 하는 반도체 장치.

#### 청구항 12

제1항에 있어서, 상기 제1 실리콘막의 결정 면방위와, 상기 제2 실리콘막의 면방위는 서로 다른 것을 특징으로 하는 반도체 장치.

#### 청구항 13

제1항에 있어서, 상기 제1 실리콘막의 막 두께는 20nm 이상, 100nm 이하인 것을 특징으로 하는 반도체 장치.

#### 청구항 14

제1항에 있어서, 상기 제1 실리콘막에 포함되는 불순물의 농도는,  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이상,  $1 \times 10^{22}$  atoms/cm<sup>3</sup> 이하인 것을 특징으로 하는 반도체 장치.

#### 청구항 15

제1항에 있어서, 상기 제2 실리콘막에 포함되는 불순물의 농도는  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인 것을 특징으로 하는 반도체 장치.

#### 청구항 16

- (a) 반도체 기판의 주면 상에 제1 절연막을 퇴적하고, 상기 제1 절연막에 홈을 형성하는 공정,
- (b) 상기 홈의 내면을 포함하는 상기 제1 절연막 상에 제1 비정질 실리콘막을 퇴적하는 공정,
- (c) 상기 제1 비정질 실리콘막 상에 저해물을 형성하는 공정,
- (d) 상기 제1 비정질 실리콘막 상에 제2 비정질 실리콘막을 퇴적하는 공정,
- (e) 상기 홈을 매립하는 제2 절연막을 형성하는 공정,
- (f) 상기 제2 절연막 및 상기 홈 이외의 상기 제1 절연막 상의 상기 제2 비정질 실리콘막 및 제1 비정질 실리콘막을 제거하고, 상기 홈 내에 상기 제1 비정질 실리콘막 및 제2 비정질 실리콘막을 잔존시키는 공정,
- (g) 상기 제2 비정질 실리콘막의 표면에 실리콘 결정핵을 형성하는 공정, 및
- (h) 상기 기판을 열처리하여, 상기 제2 비정질 실리콘막을 실리콘의 입상 결정으로 성장시키는 공정을 포함하는 반도체 장치의 제조 방법.

#### 청구항 17

- (a) 반도체 기판의 주면 상에 제1 절연막을 퇴적하고, 상기 제1 절연막에 홈을 형성하는 공정,
- (b) 상기 홈의 내면을 포함하는 상기 제1 절연막 상에 도전막을 퇴적하는 공정,
- (c) 상기 도전막 상에 제3 비정질 실리콘막을 퇴적하는 공정,
- (d) 상기 홈을 매립하는 제2 절연막을 형성하는 공정,
- (e) 상기 제2 절연막 및 상기 홈 이외의 상기 제1 절연막 상의 상기 제3 비정질 실리콘막 및 도전막을 제거하고, 상기 홈 내에 상기 도전막 및 제3 비정질 실리콘막을 잔존시키는 공정,
- (f) 상기 제3 비정질 실리콘막의 표면에 실리콘 결정핵을 형성하는 공정, 및
- (g) 상기 기판을 열처리하여, 상기 제3 비정질 실리콘막을 실리콘의 입상 결정으로 성장시키는 공정을 포함하는 반도체 장치의 제조 방법.

#### 청구항 18

제17항에 있어서, 상기 도전막은, 다결정 실리콘막, 금속 실리사이드막, 다결정 실리콘막과 금속 실리사이드막 또는 금속막의 적층막, 금속막 또는 금속 화합물막으로부터 선택된 도전막인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 19**

제18항에 있어서, 상기 금속 실리사이드막은 텅스텐 실리사이드막, 티탄 실리사이드막 또는 코발트 실리사이드막으로부터 선택된 금속 실리사이드막이고, 상기 금속막 또는 금속 화합물막은 텅스텐막, 티탄막, 코발트막, 질화 티탄막 또는 질화 텅스텐막으로부터 선택된 금속막 또는 금속화합물막인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 20**

제17항에 있어서, 상기 (b) 공정 후, 상기 도전막의 표면에 저해물을 형성하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 21**

제20항에 있어서, 상기 저해물은 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 22**

제21항에 있어서, 상기 실리콘 산화막은, 상기 도전막인 다결정 실리콘막의 표면을 산소를 함유하는 분위기에 노출시킴으로써 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 23**

제16항에 있어서, 상기 제1 비정질 실리콘막 또는 도전막의 막 두께는 20nm 이상, 100nm 이하이고, 상기 제1 비정질 실리콘막 또는 도전막인 다결정 실리콘막에 포함되는 불순물의 농도는,  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이상,  $1 \times 10^{22}$  atoms/cm<sup>3</sup> 이하인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 24**

제16항에 있어서, 상기 제2 비정질 실리콘막 또는 제3 비정질 실리콘막의 막 두께는 20nm 이상이고, 상기 제2 비정질 실리콘막 또는 제3 비정질 실리콘막에 포함되는 불순물의 농도는,  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 25**

반도체 기판 상에 형성된 제1 절연막과,

상기 제1 절연막 상에 형성되고, 상기 제1 절연막에 닿도록 하는 복수의 개구를 갖는 제2 절연막과,

상기 개구의 측벽 및 상기 제1 절연막 상에 형성된 실리콘막과,

상기 실리콘막 상에 형성된 복수의 실리콘 입자와,

상기 실리콘막 및 실리콘 입자의 표면을 따라 형성된 유전체막과,

상기 유전체막 상에 형성된 도전층으로 이루어진 반도체 장치에 있어서,

상기 실리콘막은, 그 표면에 상기 실리콘 입자를 갖는 부분과 상기 실리콘 입자를 갖지 않는 부분에서 거의 균일한 막 두께를 갖는 것을 특징으로 하는 반도체 장치.

**청구항 26**

제25항에 있어서, 상기 실리콘막과 상기 실리콘 입자 사이에는, 산화 실리콘막이 개재되는 것을 특징으로 하는 반도체 장치.

**청구항 27**

반도체 기판상에 형성되며, 복수의 개구를 갖는 제1 절연막과,

상기 개구의 측벽을 따라 형성된 제1 전극과,

상기 제1 전극 상에 형성된 유전체막과,

상기 유전체막 상에 형성된 제2 전극으로 이루어진 반도체 장치에 있어서,

상기 제1 전극은 상기 개구의 측벽을 따라 형성된 실리콘막과, 상기 제1 실리콘막의 표면에 형성된 실리콘 입자로 이루어지고, 상기 실리콘막은 상기 개구의 측벽을 따라서 거의 균일한 막 두께인 것을 특징으로 하는 반도체 장치.

**청구항 28**

제27항에 있어서, 상기 실리콘막과 상기 실리콘 입자 사이에는, 산화 실리콘막이 개재되는 것을 특징으로 하는 반도체 장치.

**청구항 29**

제27항에 있어서, 상기 유전체막 및 제2 전극은, 상기 개구의 측벽을 따라 형성되어 있는 것을 특징으로 하는 반도체 장치.

**청구항 30**

제29항에 있어서, 상기 제1 전극, 유전체막 및 제2 전극으로 용량 소자를 구성하는 것을 특징으로 하는 반도체 장치.

**청구항 31**

제30항에 있어서, 상기 제1 전극은 각각의 상기 개구 내에 선택적으로 형성되며, 상기 유전체막과 상기 제2 전극은 상기 개구 내 및 상기 개구 사이의 상기 제1 절연막 상에도 연장되어 있는 것을 특징으로 하는 반도체 장치.

**청구항 32**

반도체 기판 상에 형성되며, 복수의 개구를 갖는 제1 절연막과,  
상기 개구의 측벽을 따라서 형성된 제1 전극과,  
상기 제1 전극 상에 형성된 유전체막과,  
상기 유전체막 상에 형성된 제2 전극으로 이루어진 반도체 장치에 있어서,  
상기 제1 전극은 상기 개구의 측벽을 따라 형성된 실리콘막과, 상기 제1 실리콘막의 표면에 형성된 실리콘 입자와, 상기 실리콘막과 실리콘 입자 사이의 제2 절연막으로 이루어진 것을 특징으로 하는 반도체 장치.

**청구항 33**

제32항에 있어서, 상기 제2 절연막은 산화 실리콘막인 것을 특징으로 하는 반도체 장치.

**청구항 34**

반도체 기판 상에 형성된 복수의 개구를 갖는 제1 절연막과, 상기 제1 절연막의 측벽을 따라 배치된 제1 전극, 유전체막 및 제2 전극으로 이루어진 용량 소자를 갖는 반도체 장치의 제조 방법에 있어서,  
상기 제1 전극은,  
(a) 상기 개구의 측벽을 따라 실리콘막을 형성하는 공정과,  
(b) 상기 실리콘막의 표면에 제2 절연막을 형성하는 공정과,  
(c) 상기 제2 절연막 상에 아몰퍼스 실리콘막을 형성하는 공정과,  
(d) 상기 아몰퍼스 실리콘막을 입상 실리콘으로 하는 공정에 의해 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 35**

제34항에 있어서, 상기 제2 절연막은 산화 실리콘막인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 36**

제34항에 있어서, 상기 실리콘막은 상기 개구내에 선택적으로 형성되며, 상기 개구 간의 상기 제1 절연막 상에는 연장되지 않는 것을 특징으로 하는 반도체 장치의 제조 방법.

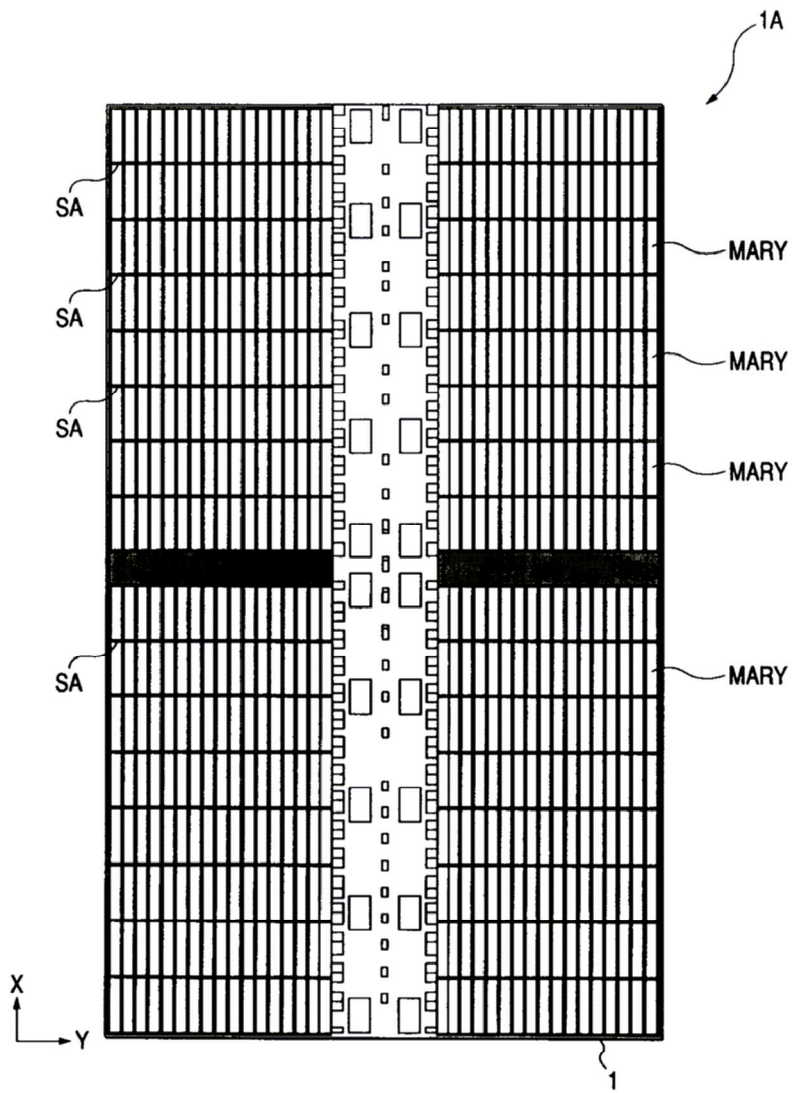
**청구항 37**

제34항에 있어서, 상기 실리콘막은 N형 불순물을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**도면**

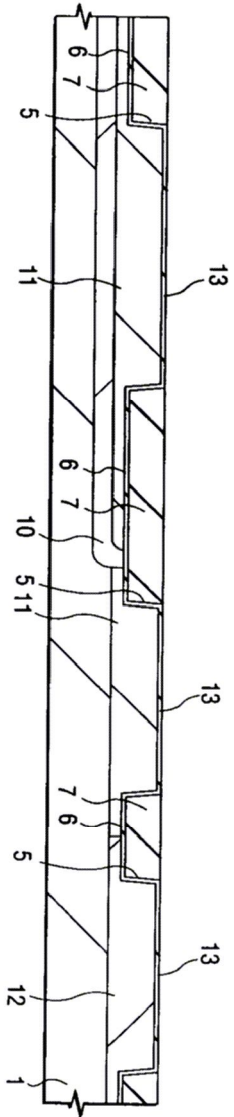


도면1

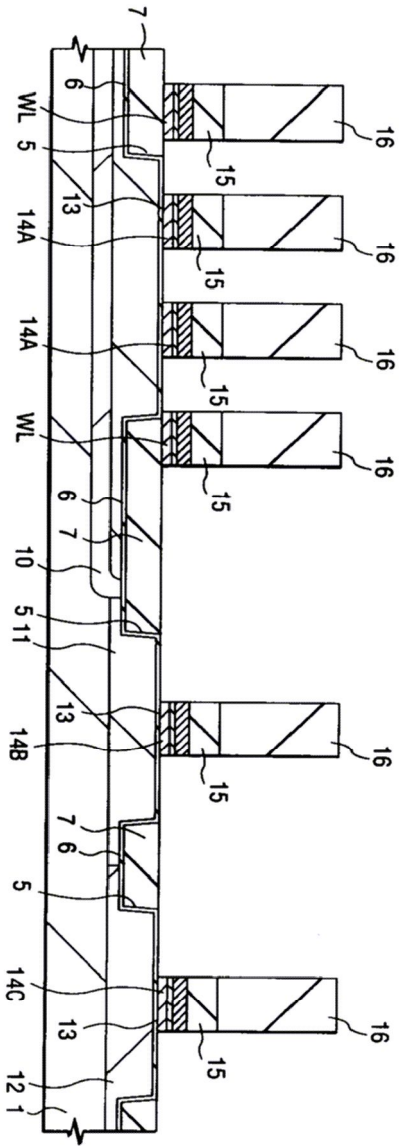




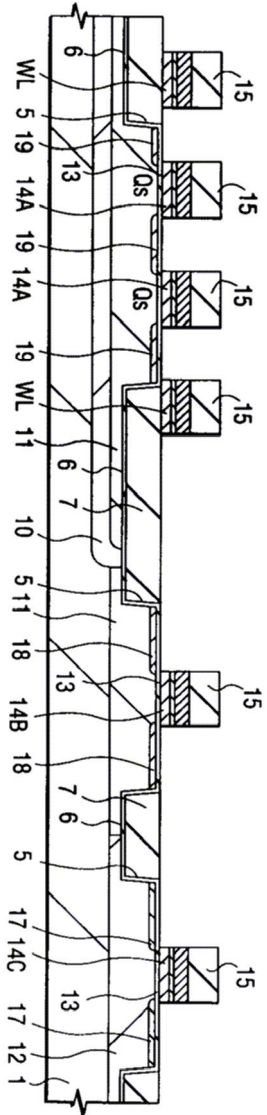
도면3



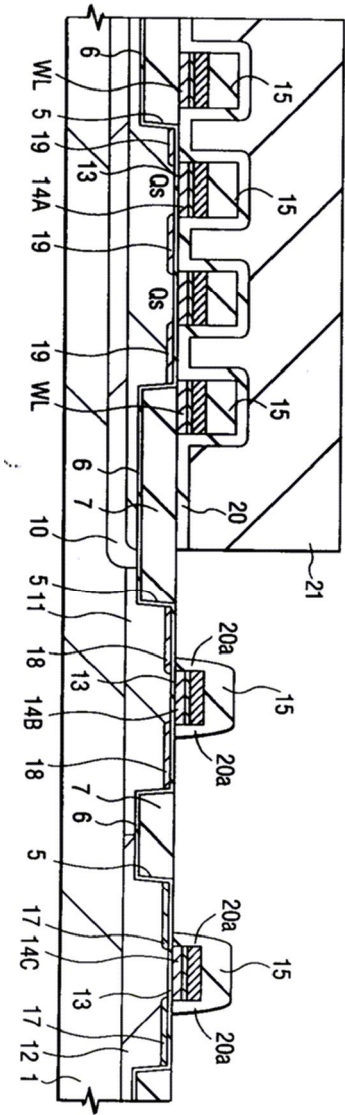
도면4



도면5



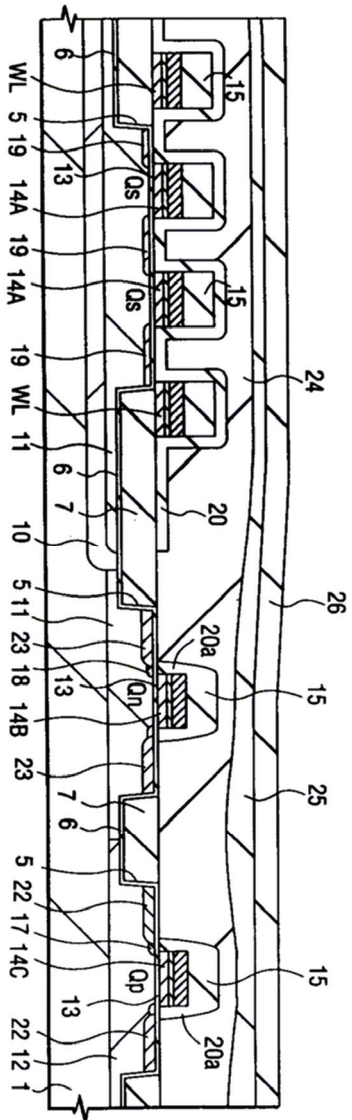
도면6



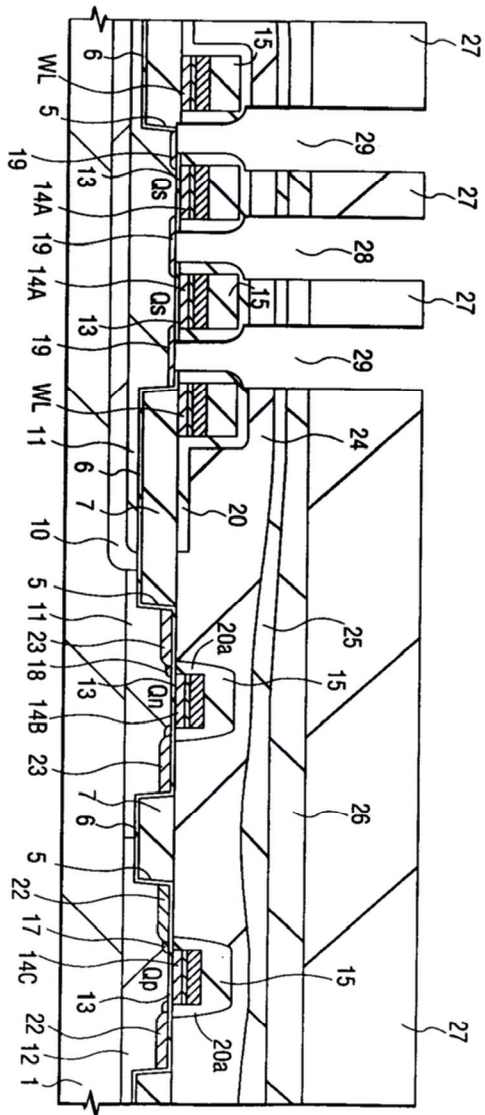




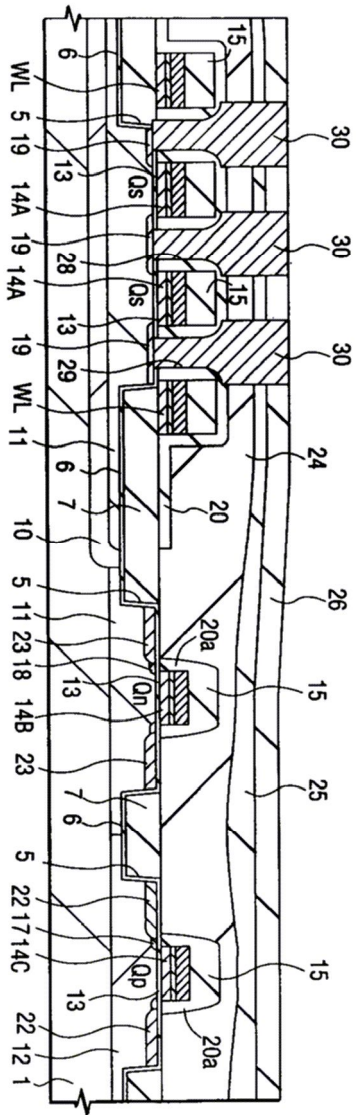
도면8



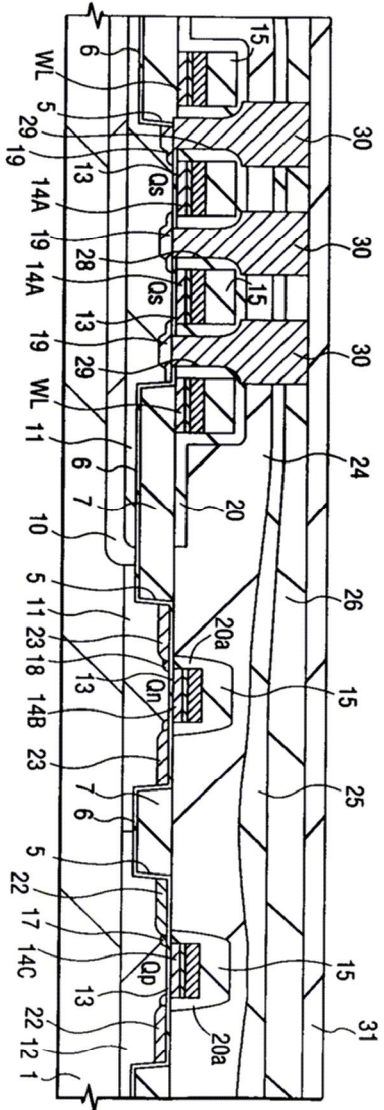
도면9



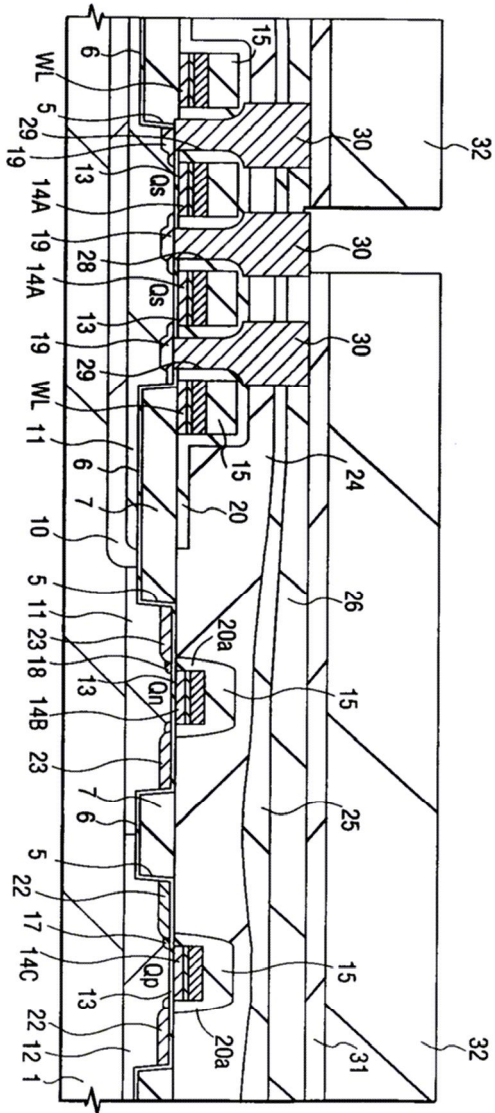
도면 10



도면11



도면12



도면13

