

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3628372号
(P3628372)

(45) 発行日 平成17年3月9日(2005.3.9)

(24) 登録日 平成16年12月17日(2004.12.17)

(51) Int. Cl.⁷

F I

G06F 13/00
G06F 11/30
G06F 13/36

G06F 13/00 301B
G06F 11/30 310H
G06F 13/36 520C

請求項の数 12 (全 12 頁)

<p>(21) 出願番号 特願平7-80451 (22) 出願日 平成7年4月5日(1995.4.5) (65) 公開番号 特開平7-311716 (43) 公開日 平成7年11月28日(1995.11.28) 審査請求日 平成14年3月11日(2002.3.11) (31) 優先権主張番号 223643 (32) 優先日 平成6年4月6日(1994.4.6) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 591016172 アドバンスト・マイクロ・デバイス・ インコーポレイテッド ADVANCED MICRO DEVI CES INCORPORATED アメリカ合衆国、94088-3453 カリフォルニア州、サニイペイル、ピー・ オウ・ボックス・3453、ワン・エイ・ エム・ディ・プレイス、メイル・ストップ ・68(番地なし) (74) 代理人 100064746 弁理士 深見 久郎 (74) 代理人 100085132 弁理士 森田 俊雄</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 コンピュータシステム、コンピュータシステムに周辺装置をインタフェースさせるための並列ポート回路、およびその動作方法

(57) 【特許請求の範囲】

【請求項1】

コンピュータシステムであって、
処理ユニットと、
前記処理ユニットに結合されたローカルバスと、
周辺バスと、
前記ローカルバスと前記周辺バスとに結合された周辺バスブリッジと、
周辺装置と、
前記周辺バスに結合されかつ前記周辺装置に結合された並列ポート回路とを備え、前記並列ポート回路は、
前記コンピュータシステムの前記周辺バスから書込データを受信するように構成されたデータバッファと、
前記データバッファに結合され、前記処理ユニットによって実行される並列ポート回路への書込サイクルにตอบสนองして前記書込データを前記データバッファ内にラッチさせるように構成された、制御ユニットとを含み、前記制御ユニットはさらに、前記書込データが前記データバッファにラッチされたことを示すように前記周辺装置にハンドシェイク信号をアサートするように構成され、さらに、
前記制御ユニットに結合され、前記ハンドシェイク信号がアサートされた後に、予め定められた時間間隔をカウントするように構成された、タイムアウトカウンタと、
前記制御ユニットに結合され、エラービットを含む状態レジスタとを含み、前記制御ユニ

ットは、前記周辺装置が前記予め定められた時間期間の満了前に書込データの受取を示す肯定応答信号をアサートしない場合、前記エラービットをセットするように構成され、さらに、

前記制御ユニットに結合された構成レジスタを含み、前記構成レジスタは、前記タイムアウトカウンタの前記予め定められた時間間隔の前記満了に応答して、マスク不可割込信号または並列ポート割込信号のいずれがアサートされるかを制御する構成値を記憶するように構成され、

前記構成レジスタ内に記憶された前記構成値によって設定される第1の動作モードにおいて、前記周辺装置が前記予め定められた時間間隔内に前記書込データの受取を示す肯定応答信号をアサートしない場合、前記制御ユニットは前記周辺バス上にアポートサイクルを開始しかつ前記マスク不可割込信号をアサートし、さらに、

前記構成レジスタ内の前記構成値によって設定される第2の動作モードにおいて、前記予め定められた時間期間内に前記書込データの受取を示す前記肯定応答信号を前記周辺装置がアサートしない場合には、前記制御ユニットは、前記処理ユニットを前記書込サイクルから解放しかつ前記並列ポート割込信号をアサートする、コンピュータシステム。

【請求項2】

前記ハンドシェイク信号はデータストロブ信号を含む、請求項1に記載のコンピュータシステム。

【請求項3】

前記データバッファはラッチ回路を含む、請求項1に記載のコンピュータシステム。

【請求項4】

前記タイムアウトカウンタの前記予め定められた時間期間はプログラマブルである、請求項1に記載のコンピュータシステム。

【請求項5】

前記データバッファは、双方向バッファであり、前記周辺装置から読出データを受取可能である、請求項1に記載のコンピュータシステムであって、

前記制御ユニットは、前記処理ユニットによって実行される前記並列ポートへの読出サイクルに応答して前記読出データを前記データバッファ内にラッチさせるように構成され、前記制御ユニットはさらに、前記読出データが前記データバッファに提供される必要があることを示すように前記周辺装置に第2のハンドシェイク信号をアサートするように構成

され、

前記制御ユニットに結合された前記タイムアウトカウンタは、前記第2のハンドシェイク信号がアサートされた後に、第2の予め定められた時間期間をカウントするように構成され、

前記制御ユニットは、前記周辺装置が前記第2の予め定められた時間期間の満了前に前記読出データの受取を示す第2の肯定応答信号をアサートしない場合、前記状態レジスタ内に第2のエラービットをセットするように構成され、さらに、

前記構成レジスタは、前記第2の予め定められた時間期間の満了に応答して、マスク不可割込または並列応答割込のいずれがアサートされるかを制御する、構成値を記憶するように構成され、

前記構成値によって設定された第1の動作モードにおいて、前記周辺装置が前記予め定められた時間期間内に前記読出データの受取を示す前記第2の肯定応答信号をアサートしない場合、前記制御ユニットは前記マスク不可割込信号をアサートし、

前記構成値によって設定された第2の動作モードにおいて、前記周辺装置が前記予め定められた時間期間内に前記読出データの受取を示す第2の肯定応答信号をアサートしない場合、前記制御ユニットは前記並列ポート割込信号をアサートする、請求項1に記載のコンピュータシステム。

【請求項6】

前記マスク不可割込信号または前記並列ポート割込信号に応答して、前記データバッファで受取られた前記読出サイクルに関連の読出データが有効または無効と特定され、かつ前

10

20

30

40

50

記読出サイクルは前記読出データが無効と示されると再実行される、請求項 5 に記載のコンピュータシステム。

【請求項 7】

さらなる書込サイクルに関連の書込データは、前記さらなる書込サイクルが前記予め定められた前記時間期間の後に開始される場合に廃棄される、請求項 1 に記載のコンピュータシステム。

【請求項 8】

前記周辺バスは P C I バスであり、さらに前記周辺バスブリッジは P C I ブリッジである、請求項 1 に記載のコンピュータシステム。

【請求項 9】

前記アポートサイクルの開始は P C I S T O P 信号のアサートおよび P C I D E V S E L 信号のデアサートを含む、請求項 8 に記載のコンピュータシステム。

【請求項 10】

処理ユニットと、ローカルバスと、周辺バスと、周辺バスブリッジと、周辺装置とを含むコンピュータシステムの並列ポートを動作させるための方法であって、

前記コンピュータシステムの前記周辺バス上で書込サイクルを実行するステップと、

前記書込サイクルにตอบสนองして前記並列ポートのデータバッファ内にデータをラッチするステップと、

前記周辺装置にデータストロブ信号を与えるステップと、

予め定められた時間期間のカウントダウンを開始するステップと、

前記周辺装置からの肯定応答信号を待つステップと、

前記予め定められた時間期間内に前記周辺装置から前記肯定応答信号が与えられない場合には、第 1 の動作モードにおいて前記周辺バス上にアポートサイクルを開始するステップと、

前記予め定められた時間期間内に前記周辺装置から前記肯定応答信号が与えられない場合には、状態レジスタ内のエラービットをセットするステップと、

前記予め定められた時間期間内に前記周辺装置から前記肯定応答信号が与えられない場合には、前記処理ユニットへ割込信号をアサートするステップとを含み、前記割込信号は、

前記第 1 の動作モードではマスク不可割込信号として、第 2 の動作モードでは前記処理ユニットを現在のサイクルから解放する並列ポート割込信号として選択可能である、コンピュータシステムの並列ポートを動作させるための方法。

【請求項 11】

前記周辺バスは P C I バスであり、前記周辺バスブリッジは P C I ブリッジである、請求項 10 に記載のコンピュータシステムの並列ポートを動作させるための方法。

【請求項 12】

アポートサイクルを開始する前記ステップは P C I S T O P 信号のアサートおよび P C I D E V S E L 信号のデアサートを含む、請求項 11 に記載のコンピュータシステムの並列ポートを動作させるための方法。

【発明の詳細な説明】

【0001】

【発明の分野】

この発明はコンピュータシステムに関する。より特定的にはこの発明はコンピュータシステム内で用いられる並列ポート回路に関する。

【0002】

【関連技術の説明】

並列ポートは、プリンタのような外部周辺装置へデータを転送する便利かつ高速な機構を可能にするために、コンピュータシステム内で広く用いられている。並列ポートは通常は、プロセッサによって実行される書込サイクルにตอบสนองして予め定められるアドレス位置にデータを書込まれるデータラッチを含む。一旦このデータが並列ポートのラッチ内に記憶されると、並列ポートに関連する制御ユニットはデータを外部周辺装置に転送させる。

10

20

30

40

50

外部周辺装置はデータの受信を確認する応答をし、制御回路は応答してプロセッサにレディ信号を返してプロセッサを現在の書込サイクルから解放する。

【0003】

並列ポートは外部周辺装置からデータを受信するのにさらに用いられてもよい。この状況では、周辺装置は通常、それがデータを転送できる状態にあることを示すために、マイクロプロセッサへ並列ポート割込をアサートする。マイクロプロセッサは応答して並列ポートに書込サイクルを実行し、周辺装置は、有効なデータが並列ポートに現在与えられていることを示すために、肯定応答信号をアサートする。

【0004】

外部装置への通信リンクが切断されるかまたは通信が失敗した場合には、現在実現されている並列ポート機構内には回復不可能な障害が起こるかもしれない。プロセッサが並列ポートに書込または読出サイクルを実行して、周辺装置が、書込データを受取ったことまたは読出データを与えたことを示す肯定応答信号を返さない場合には、コンピュータシステムは「ハング」する。言い換えれば、コンピュータシステムは周辺装置が肯定信号を与えるのを無限に待つことになる。一旦このような状況が生じると、コンピュータシステムは通常はプロセッサを解放するためにリセットまたは再スタートされなければならない。

【0005】

【発明の概要】

上述の問題は、この発明に従うアポート機構を有する並列ポート回路を含むコンピュータシステムによって大部分解決される。1つの実施例においてコンピュータシステムは、プロセッサと、周辺装置へまたは周辺装置からデータを転送するよう構成される並列ポートとを含んで設けられる。並列ポートは、プロセッサが並列ポートに書込サイクルを実行するときにシステムバスで転送されるデータを受信するためのデータバッファを含む。並列ポートに関連する制御ユニットはシステムバスのアドレス信号をデコードしてデータバッファ内でデータを選択的にラッチし、ハンドシェイク信号（つまり、データストロブ信号およびRd/Wr制御信号）を発生して書込データが現在データバッファに含まれることを周辺装置に示す。周辺装置はこの結果データを受信して制御ユニットに肯定応答信号を与える。この後制御ユニットはレディ信号を発生してデータが既に周辺装置に書込まれたことをプロセッサに示す。データが並列ポートにおいて利用可能であることを示すハンドシェイク信号を制御ユニットが周辺装置にアサートした後、周辺装置が予め定められるタイムアウト期間内に肯定応答信号を返したかどうかを判断するために、タイムアウトカウンタが制御ユニットに結合される。タイムアウト期間が満了し、周辺装置が肯定応答信号を返さない場合には、システムバスにレディ信号をアサートすることによって制御ユニットはプロセッサを現在のサイクルから解放する。制御ユニットは、障害が起こったことを示すために、状態レジスタ内にエラーフラグをさらにアサートする。エラーフラグのアサーションに応答して、制御ユニットは、プロセッサに障害を効果的に警告する割込信号をアサートする。この後プロセッサは、割込処理ルーチンからのコードを実行し、その中でその障害が並列ポートに関連していたかどうかを判断するために状態レジスタを読むだろう。プログラミングに柔軟性を与えるために、並列ポートは、マスク不可割込または並列ポート割込がエラーフラグのアサーションに応答してアサートされるかどうかを制御する構成レジスタをさらに伴う。タイムアウトカウンタは並列ポートの読出サイクル中に同様に用いられて、周辺装置が予め定められるタイムアウト期間内にデータの読出を肯定応答したかどうかを判断する。並列ポート動作の完了でのエラーフラグの状態を判断するのにポーリング技術をさらに用いることもできる。

【0006】

広く言うと、この発明は周辺装置をコンピュータシステムにインタフェースさせるための並列ポート回路を目的とする。並列ポート回路は、コンピュータシステムのバスから書込データを受信することのできるデータバッファと、データバッファに結合され、コンピュータシステムのバス上の書込サイクルに応答して書込データをデータバッファ内にラッチさせることのできる制御ユニットとを備える。制御ユニットは周辺装置にハンドシェイク

10

20

30

40

50

信号をさらに発生して、書込データがデータバッファに含まれることを示すことができる。並列ポート回路は、制御ユニットに結合され、ハンドシェイク信号のアサーションの後予め定められる時間期間をカウントすることのできる、タイムアウトカウンタをさらに含む。周辺装置が、予め定められる時間期間内に書込データを受信したことを示す肯定応答信号をアサートできない場合には、制御ユニットはコンピュータシステムのバス上で制御信号をアサートしてコンピュータシステムを書込サイクルから解放する。

【 0 0 0 7 】

この発明は、処理ユニットと、周辺装置と、バスを介して処理ユニットに結合され、かつ周辺装置に結合される並列ポート回路とを含むコンピュータシステムをさらに目的とする。並列ポート回路は、コンピュータシステムのバスから書込データを受信することのできるデータバッファと、データバッファに結合され、処理ユニットによって実行される並列ポートへの書込サイクルにตอบสนองして書込データをデータバッファ内にラッチさせることのできる、制御ユニットとを含む。制御ユニットは、周辺装置にハンドシェイク信号をさらに発生して、書込データがデータバッファによって含まれることを示すことができる。並列ポート回路は、制御ユニットに結合され、ハンドシェイク信号のアサーションの後予め定められる時間期間をカウントすることのできる、タイムアウトカウンタをさらに含む。周辺装置が予め定められる時間期間内に書込データを受信したことを示す肯定応答信号をアサートできない場合には、制御ユニットはコンピュータシステムのバス上に制御信号をアサートして処理ユニットを書込サイクルから解放する。

【 0 0 0 8 】

最後にこの発明は、処理ユニットと周辺装置とを含むコンピュータシステムの並列ポートを動作させるための方法を目的とする。方法は、コンピュータシステムのバス上で書込サイクルを実行するステップと、書込サイクルにตอบสนองして並列ポートのデータバッファ内にデータをラッチするステップと、周辺装置にデータストローブ信号を与えるステップとを含む。方法はさらに、予め定められる時間期間のカウントダウンを開始するステップと、周辺装置からの肯定応答信号を待つステップと、肯定応答信号が予め定められる時間期間内に周辺装置から与えられない場合にはバス上に制御信号をアサートして処理ユニットを書込サイクルから解放するステップとを含む。

【 0 0 0 9 】

この発明の他の目的および利点は、以下の詳細な説明を読み、添付の図面を参照すると明らかとなる。

【 0 0 1 0 】

この発明は様々な修正および代替形式が可能であるが、その特定の実施例を図面における例示の形によって示し、詳細にここに記載するものである。しかしながら、図面およびその詳細な説明はこの発明を開示される特定の形式に限定することを意図するものではなく、逆に、前掲の特許請求の範囲に定義されるようなこの発明の精神および範囲内に入るすべての修正物、均等物、および代替物を包含することを意図するものであることが理解されるはずである。

【 0 0 1 1 】**【実施例の詳細な説明】**

ここで図面を参照すると、図 1 は、システムバス 106 を介してシステムメモリ 103 と並列ポート 104 とに結合されるマイクロプロセッサ (CPU) 102 を含むコンピュータシステム 100 のブロック図である。並列ポート 104 は周辺装置 108 にさらに結合される。

【 0 0 1 2 】

マイクロプロセッサ 102 は予め定められる命令セットを実現するデータ処理ユニットである。例示の処理ユニットは特に 80386 型および 80486 型マイクロプロセッサを含む。システムバス 106 はたとえば P C I 標準構成バスを示すが、他のバス構成が用いられてもよいことは当然である。さらに、並列ポート 104 は 1 つまたはそれより多いバスインタフェースユニットを介してマイクロプロセッサ 102 に結合されてもよく、マイ

10

20

30

40

50

クロプロセッサ 102 は集積プロセッサであってもよいことは当然である。

【0013】

並列ポート 104 は双方向バス 122 とタイムアウトカウンタ 124 とに結合される制御ユニット 120 を含む。構成レジスタ 126 と状態レジスタ 128 が制御ユニット 120 にさらに結合される。双方向バッファ 122 はシステムバス 106 と周辺装置 108 との間でデータを選択的にバッファリングするために設けられる。双方向バッファ 122 は単純なラッチ回路でもって実現されてもよい。

【0014】

制御ユニット 120 は、並列ポート 104 への書込または読出動作がたとえばマイクロプロセッサ 102 によって実行中であるかどうかを判断するために、システムバス 106 を 10 モニタする。並列ポート 104 はコンピュータシステム 100 の I/O 空間内の予め定められるアドレス位置にマッピングされるが、並列ポート 104 はコンピュータシステム 100 のメモリ空間内に代替的にマッピングされてもよいことが理解されるだろう。制御ユニット 120 は特定の転送を実行するように、双方向バッファ 122 内でのデータのラッチングをさらに制御し、周辺装置 108 との適当なハンドシェイク信号を発生する。これについては以下により詳細に説明する。

【0015】

コンピュータシステム 100 の動作中、マイクロプロセッサ 102 が並列ポート 104 に I/O 書込サイクルを実行すると、制御ユニット 120 はそのサイクルを検知して、システムバス 106 上の対応するデータを双方向バッファ 122 にラッチさせる。書込データ 20 はシステムメモリ 103 を出所としてもよいことに注目されたい。図 2 は、並列ポート 104 へのそのような I/O 書込サイクル中のデータ転送と選択された制御信号のアサーションとを示す。制御ユニット 120 は双方向バッファ 122 にデータをラッチさせた後、有効データが双方向バッファ 122 において現在利用可能であることを示すために、周辺装置 108 へ書込ストロブ信号をアサートする。現在のサイクルが書込動作であることを示すために、制御ユニット 120 はさらに読出/書込 (Rd/Wr) 制御信号をローにアサートする。通信リンクが正しく動作している場合には、周辺装置 108 は双方向バッファ 122 からデータを受信して、応答して制御ユニット 120 によって受信される肯定応答信号 ACK をアサートする。制御ユニット 120 はこの結果システムバス 106 でレディ信号 RDY をアサートして、周辺装置 108 がデータを受取ったことをマイクロプロ 30 セッサ 102 に示す。動作のこの部分は従来からあるものである。

【0016】

制御ユニット 120 が書込ストロブをアサートすると、タイムアウトカウンタ 124 は予め定められるタイムアウト期間のカウントを開始する。1つの実施例においては、このタイムアウト期間は、1つのバイトの転送につき 10 マイクロ秒、1つの語の転送につき 20 マイクロ秒、および倍長語転送につき 40 マイクロ秒に設定されるが、システムによっては他のタイムアウト長が設定されてもよいことを理解されたい。通信リンクが正しく動作している場合には、周辺装置 108 はこの予め定められるタイムアウト期間内に肯定応答信号 ACK をアサートする。結果として、タイムアウトカウンタ 124 が満了しない限り、タイムアウトカウンタ 124 に応答して、制御ユニット 120 がこれ以上の動作を 40 することはない。

【0017】

一方、通信リンクが切断されるか、または通信障害が生じて、周辺装置 108 から制御ユニット 120 によって肯定応答信号 ACK が受信されない場合には、タイムアウトカウンタ 124 のタイムアウト期間は満了する。図 3 を参照すると、このことによってタイムアウトカウンタ 124 からのタイムアウト信号のアサーションが起こり、そしてそれは制御ユニット 120 によって受取られる。制御ユニット 120 は状態レジスタ 128 内でエラービットを応答してセットし、マイクロプロセッサ 102 を現在のサイクルから解放するようシステムバス 106 上にレディ信号 RDY をアサートする。制御ユニット 120 は、マイクロプロセッサ 102 に与えられるマスク不可割込 (NMI) または並列ポート割込 50

(INT)のいずれかを付加的にアサートする。マイクロプロセッサ102は従って、指定される割込処理ルーチンにジャンプし、その中である命令が状態レジスタ128を読むために実行されてそれにより並列ポート通信内で生じたエラーを判断するであろう。システムプログラマまたはユーザに通信障害が発生した理由を判断させてシステムの現在の状態を表示するために、ソフトウェアを介してさらなる診断を実現することもできる。制御ユニット120がレディ信号RDYをアサートするため、システムは「ハング」せず、マイクロプロセッサ102によるさらなる処理がシステムをリセットすることなしに可能であることに注目されたい。

【0018】

通信障害が発生し、および状態レジスタ128のエラービットがセットされたときに制御ユニット120がマスク不可割込(NMI)または並列ポート割込(INT)をアサートするかどうかを制御するために、並列ポート104に関連して構成レジスタ126が設けられる。構成レジスタ126内に記憶される構成値に依って、制御ユニット120は状態レジスタ128のエラービットのセットにตอบสนองしてマスク不可割込(NMI)または並列ポート割込(INT)のいずれかをアサートする。したがって、システムによっては、指定される処理ルーチン(NMIまたはINT処理ルーチン)はエラーに関するユーザ情報を検知し分析して与えるよう構成されるだろう。並列ポート通信の障害でどの割込(NMIまたはINT)がアサートされるかをシステムプログラマに設定させることによって、柔軟性のあるシステムプログラミングが提供されるであろう。

【0019】

並列ポート読出操作が起こるときのコンピュータシステム100の動作は書込動作に関する前述の動作と同様である。周辺装置108がマイクロプロセッサ102によって読出されるべく利用可能なデータを有する場合、並列ポート割込が周辺装置108によってアサートされる。周辺装置108からデータを読出すよう、マイクロプロセッサ102はตอบสนองしてシステムバス106上で読出サイクルを実行する。読出サイクルにตอบสนองして、制御ユニット120はデータストローブ信号をアサートし、かつRd/Wr信号をハイにアサートする。これらのハンドシェイク信号は周辺装置108によって受信され、周辺装置108はตอบสนองして双方向バッファ122にデータを与え、かつ同時に肯定応答信号ACKをアサートする。制御ユニット120はそれからデータを双方向バッファ122内にラッチさせ、データをシステムバス106に送る。制御ユニット120はレディ信号を同時にアサートして、有効データがシステムバス106上で利用可能であることを示す。通信障害が起こらなかった場合には、レディ信号RDYがタイムアウトカウンタ124によって設定されるタイムアウト期間内に制御ユニット120によってアサートされる。タイムアウトカウンタ124はデータストローブ信号のアサーションにตอบสนองしてタイムアウト期間のカウントダウンを再び開始することに注目されたい。

【0020】

通信リンクが切断されるかまたは通信障害が生じた場合には、肯定応答信号ACKは周辺装置108によって返されないであろう。したがって、タイムアウトカウンタ124のタイムアウト期間が満了し、したがって状態レジスタ128内のエラービットがセットされる。ตอบสนองして、制御ユニット120は構成レジスタ126に基づいてマスク不可割込(NMI)または並列ポート割込(INT)のいずれかを再びアサートし、マイクロプロセッサを現在のサイクルから解放するようレディ信号RDYをアサートする。この後マイクロプロセッサ102はマスク不可割込処理ルーチンまたは並列ポート処理ルーチンのいずれかからのコードを実行し、その中でエラーが並列ポート104内で生じたことを判断するために状態レジスタ128が読出されてもよい。

【0021】

制御ユニット120は、たとえばシステムバス106から書込まれる32ビット語が4つの別個の8ビット転送を介して周辺装置108に転送されるよう、双方向バッファ122内でデータをパージングしてもよい。このような転送は図4に示され、そこでは、バイト3 - バイト0から構成される32ビット語が双方向バッファ122に書込まれ、その後、

10

20

30

40

50

周辺装置 108 への 4 つの別個のデータ転送サイクルの間に 1 バイトずつ周辺装置 108 へ転送される。公知の技術を用いてこのようなデータ転送を行なうのにマルチプレクサ回路（図示せず）が用いられてもよい。簡潔かつ明瞭に示すために図 4 の図面からはコンピュータシステム 100 の一部を省略してある。

【0022】

通信障害が生じているにもかかわらず制御ユニット 120 によってレディ信号がアサートされたため、並列ポート 104 を介してマイクロプロセッサ 102 によって読出されたデータは無効であるかもしれないということに注目されたい。したがって、割込処理ルーチンは、読出されたデータが無効であると識別し、エラーの原因が修正された後で書込サイクルを再実行するよう構成されるだろう。さらに、マイクロプロセッサ 102 が割込処理ルーチンにジャンプする前にさらなる書込または読出サイクルが実行された場合には、制御ユニット 120 はマイクロプロセッサ 102 をこの後に記載される方法で各サイクルから解放させることに注目されたい。

10

【0023】

コンピュータシステム 100 に従うと、周辺装置がデータの特定の転送を確認する応答をしたかどうかを検知するためのタイムアウトカウンタを用いる並列ポートが設けられる。周辺装置からの肯定応答が全くない状態でタイムアウトカウンタのタイムアウト期間が満了した場合には、マイクロプロセッサへレディ信号を戻すことによって並列ポートサイクルは効果的にアポートされ、それによってプロセッサを現在のサイクルから解放する。状態レジスタのエラービットがさらにセットされる。この後、マスク不可割込または並列ポート割込のアサーションでエラーモードに入る。この結果、コンピュータシステムは「ハング」せず、リセットされる必要がない。エラーが検知された後、状態レジスタのエラービットはリセットされる。

20

【0024】

次に図 5 を参照すると、コンピュータシステム 500 のブロック図がこの発明の別の実施例に従って図示される。図 1 の回路部分に対応する回路部分は同一の参照番号を付与される。マイクロプロセッサ 102 は CPU ローカルバス 504 を介して PCI ブリッジ 502 に結合される。PCI ブリッジ 502 は PCI バス 506 を介して並列ポート回路 104 にさらに結合される。

【0025】

並列ポート 104 は図 1 を参照して上に記載されるそれと同様に動作する。1 つの実施例においては、構成レジスタ 126 内に記憶される構成値に依って、並列ポート 104 は 2 つの異なるモードのうちの 1 つで動作するであろう。第 1 のモードでは、周辺装置 108 からデータを読出す、またはそれにデータを書込む並列ポート動作が実行され、タイムアウトカウンタ 124 のタイムアウトが起こると（つまり、周辺装置 108 がサイクルを確認する応答ができない場合には）、制御ユニット 120 によって PCI バス 506 上で PCI アポートサイクルが実行される。当業者には公知であるように、PCI アポートサイクルは、PCISTOP 信号をアサートし、PCI DEVSEL 信号をデアサートすることによって、制御ユニット 120 によって開始されることができる。PCI サイクルをアポートすることに加えて、制御ユニット 120 はエラーが生じたことを示すためにマスク不可割込信号をさらにアサートする。

30

40

【0026】

（構成レジスタ 126 内の構成値によって定められるような）並列ポート 104 の第 2 の動作モードでは、並列ポート動作中にタイムアウトが生じると、制御ユニット 120 は状態レジスタ 128 内のエラービットをセットさせる。制御ユニット 120 はさらに、（肯定応答信号が周辺装置 108 から受信されなかったとしても）通常は PCI TRDY 信号をアサートすることによって PCI バスサイクル 506 を終結させる。PCI TRDY 信号のアサーションによって、PCI ブリッジ 502 は CPU ローカルバス 504 上で、マイクロプロセッサ 102 を現在のサイクルから解放する対応するレディ信号をアサートする。エラーの発生を示すために、制御ユニット 120 は並列ポート割込信号をさ

50

らにアサートする。続いてマイクロプロセッサ102が、並列ポート障害が起こったことを判断するために状態レジスタ128を読出す。

【0027】

このように図5の実施例では、構成レジスタ126内の構成値によって、制御ユニット120はタイムアウトが生じるとPCIサイクルをアポートしてマスク不可割込信号をアサートするか、またはPCIバス506上でレディ信号TRDY信号をアサートしてマイクロプロセッサ102を現在のサイクルから解放し並列ポート割込信号をアサートする。柔軟なプログラミングの可能性および機能性がこれによりサポートされる。

【0028】

図1および図5の両方の実施例では、タイムアウトが生じた後で並列ポート104への次の読出または書込サイクルが開始されると、制御ユニット120はPCIサイクルを正常に終結するが、(書込のための)任意の書込データを破棄させるか、または(読出のために)すべてのビットがローに駆動された状態でデータバスを駆動させることに注目されたい。この後、割込処理ルーチンに入ると、並列ポートエラーの発生が検知される。

10

【0029】

一旦上述の開示が十分に理解されれば、数多くの変形および修正が当業者にとって明らかとなるであろう。たとえば、タイムアウトカウンタ124によって設定されるタイムアウト期間はシステムごとに変更してもよく、タイムアウト期間はプログラマブルであってもよいことに注目されたい。さらに、エラーが生じたかどうかを判断するのに、特定の並列ポート動作の後でマイクロプロセッサ102が状態レジスタ128を読出すポーリング技術が用いられてもよいことに注目されたい。このようなポーリング技術が用いられれば、タイムアウトにตอบสนองするマスク不可割込または並列ポート割込のいずれのアサーションも不必要となるであろう。前掲の特許請求の範囲はすべてのそのような変形および修正を包含すると解釈されることが意図されるものである。

20

【図面の簡単な説明】

【図1】この発明に従うタイムアウトカウンタを含む並列ポートを用いるコンピュータシステムのブロック図である。

【図2】外部周辺装置への書込サイクルに関連するデータおよび選択される信号の流れを示すブロック図である。

【図3】タイムアウトが生じた際にアサートされる、選択される制御信号を示すブロック図である。

30

【図4】並列ポートへ書込まれる32ビット語の、周辺装置に転送される4つの8ビットのバイトのデータへのパーズングを示すブロック図である。

【図5】この発明の別の実施例に従うタイムアウトカウンタを含む並列ポート回路を利用するコンピュータシステムのブロック図である。

【符号の説明】

104 並列ポート回路

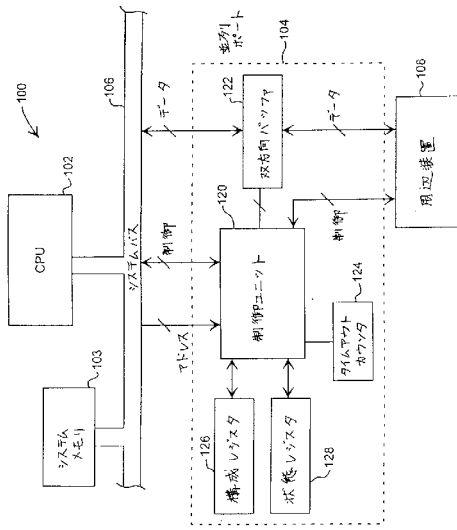
120 制御ユニット

122 双方向バッファ

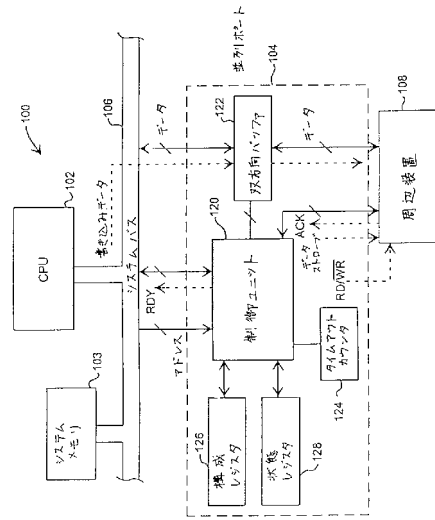
124 タイムアウトカウンタ

40

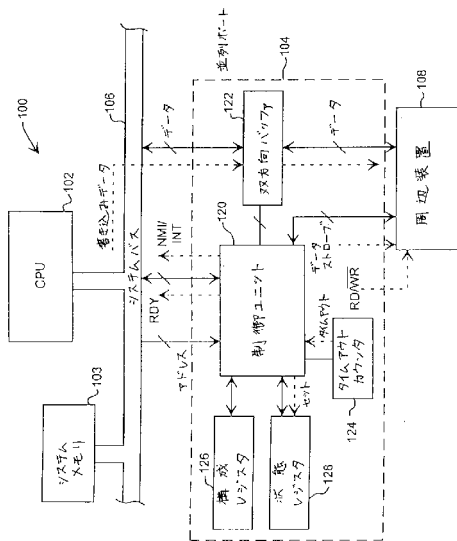
【図1】



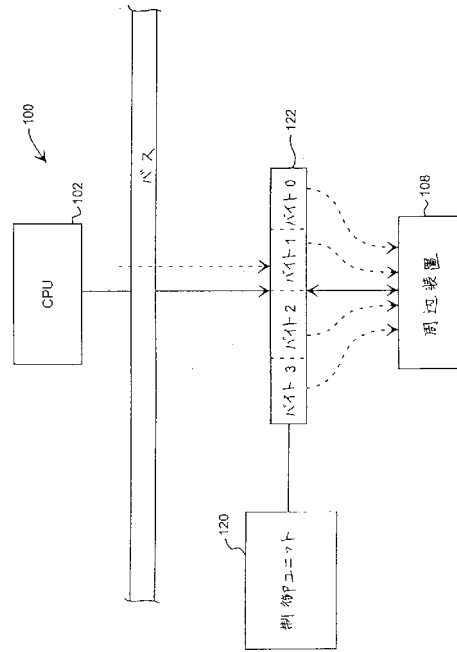
【図2】



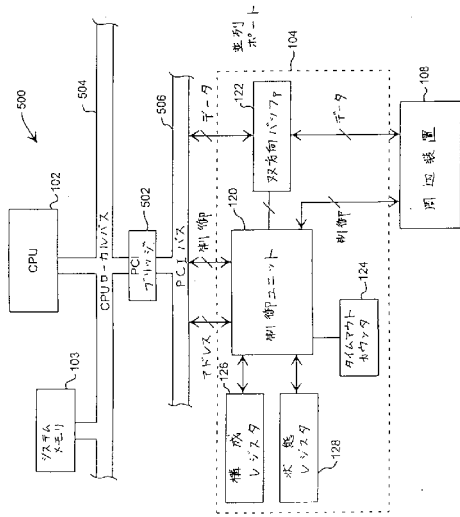
【図3】



【図4】



【図5】



フロントページの続き

(74)代理人 100091409

弁理士 伊藤 英彦

(74)代理人 100096781

弁理士 堀井 豊

(72)発明者 マイケル・ティ・ワイザー

アメリカ合衆国、78729 テキサス州、オースティン、コッパースクリーク、9815、ナンバー・922

(72)発明者 スコット・シィ・ジョンソン

アメリカ合衆国、78741 テキサス州、オースティン、パーカー・レーン、3111、ナンバー・311

審査官 鈴木 匡明

(56)参考文献 特開昭60-178561(JP,A)

特開平01-169650(JP,A)

特開昭63-175959(JP,A)

特開平02-141850(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G06F 13/00

G06F 13/20~13/378

G06F 11/28~11/34