

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
25 janvier 2007 (25.01.2007)

PCT

(10) Numéro de publication internationale
WO 2007/010115 A1

(51) Classification internationale des brevets :
GI1C 7/06 (2006.01)

(21) Numéro de la demande internationale :
PCT/FR2006/001686

(22) Date de dépôt international : 11 juillet 2006 (11.07.2006)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
0507592 18 juillet 2005 (18.07.2005) FR

(71) Déposant (pour tous les États désignés sauf US) : **STMI-CROELECTRONICS SA** [FR/FR]; 29, boulevard Romain Rolland, F-92120 Montrouge (FR).

(72) Inventeur; et

(75) Inventeur/Déposant (pour US seulement) : **LA ROSA, Francesco** [IT/FR]; La Pinède N°2, Quartier Tartanne, F-13790 Rousset (FR).

(74) Mandataire : **MARCHAND, André**; Omnipat, 24, place des Martyrs de la Résistance, F-13100 Aix en Provence (FR).

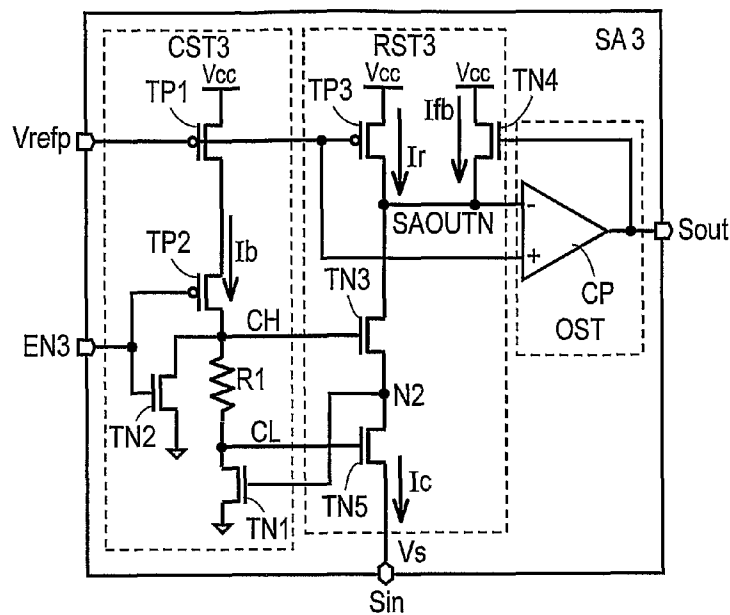
(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

[Suite sur la page suivante]

(54) Title: READING AMPLIFIER FOR NON-VOLATILE MEMORY

(54) Titre : AMPLIFICATEUR DE LECTURE POUR MEMOIRE NON VOLATILE



(57) Abstract: The invention concerns a reading amplifier (SA3) for reading a memory cell (MC (i, j, k)), comprising: a reading node (Sin) connected to the memory cell, an active stage (RST3) connected to the reading node (Sin) and including means (TP3, TN3) for supplying a reading current (Ic) on the reading node, and a data output (Sout) connected to a node (N1) of the active stage where an electric voltage occurs representing the state of conductivity of the memory cell. The invention is characterized in that the reading amplifier includes means (TN5, R1) for adjusting a voltage (Vs) occurring on the reading node to a value lower than a threshold voltage value (Vtn) related to the manufacturing technology of the reading amplifier. The invention is applicable in particular to reading non-volatile EEPROM, FLASH and PCM memories.

[Suite sur la page suivante]

WO 2007/010115 A1



FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT,
RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

Publiée :

— avec rapport de recherche internationale

(57) Abrégé : L'invention concerne un amplificateur de lecture (SA3) pour la lecture d'une cellule mémoire (MC (i, j, k)), comprenant : un nœud de lecture (Sin) relié à la cellule mémoire, un étage actif (RST3) connecté au nœud de lecture (Sin) et comprenant des moyens (TP3, TN3) pour fournir un courant de lecture (Ic) sur le nœud de lecture, et une sortie de donnée (Sout) reliée à un nœud (N1) de l'étage actif où apparaît une tension électrique représentative de l'état de conductivité de la cellule mémoire. Selon l'invention, l'amplificateur de lecture comprend des moyens (TN5, R1) pour ajuster une tension (Vs) apparaissant sur le nœud de lecture à une valeur inférieure à une valeur de tension de seuil (Vtn) liée à la technologie de fabrication de l'amplificateur de lecture. Application notamment à la lecture de mémoires non volatiles du type EEPROM, FLASH et PCM.

AMPLIFICATEUR DE LECTURE POUR MEMOIRE NON VOLATILE

La présente invention concerne un amplificateur de lecture de cellule mémoire.

La présente invention concerne plus particulièrement un amplificateur de lecture comprenant
5 un nœud de lecture relié directement ou indirectement à une cellule mémoire, un étage actif connecté au nœud de lecture et comprenant des moyens pour fournir un courant de lecture sur le nœud de lecture, et une sortie de données reliée à la sortie d'un comparateur qui compare à
10 une tension de référence la tension présente sur un nœud de l'étage actif, celle-ci étant représentative de l'état de conductivité de la cellule mémoire.

La présente invention s'applique notamment, mais non exclusivement aux mémoires non volatiles, telles que
15 les mémoires EEPROM, et FLASH EEPROM, et plus particulièrement aux mémoires à changement de phase PCM (Phase Change Memory). Dans ces mémoires, chaque cellule mémoire peut prendre deux états distincts, à savoir un état effacé et un état programmé. Dans les mémoires à
20 changement de phase, chaque cellule mémoire comprend un alliage pouvant prendre par exemple un état cristallin et un état amorphe, le passage d'un état à l'autre étant effectué par des cycles de chauffage/refroidissement de l'alliage, notamment en fonction de la durée du cycle de
25 refroidissement ou de chauffage.

D'une manière classique, un amplificateur de lecture ("sense amplifier") permet de détecter l'état programmé ou effacé d'une cellule mémoire d'une mémoire non volatile, par comparaison de la valeur d'un courant
30 traversant la cellule mémoire avec un courant de référence. Le fait que la cellule mémoire soit programmée ou effacée se traduit en effet par un état de

conductivité déterminé de la cellule mémoire, et correspond par convention à une valeur déterminée de la donnée enregistrée par la cellule mémoire, par exemple 1 pour l'état programmé et 0 pour l'état effacé.

5 La figure 1 représente schématiquement une architecture classique d'un amplificateur de lecture SA1 d'une mémoire non volatile. Sur cette figure et dans la description de la présente invention, les transistors de type PMOS sont désignés par des références commençant par
10 "TP" et les transistors NMOS sont désignés par des références commençant par "TN". L'amplificateur de lecture SA1 comprend un étage de contrôle CST1, un étage de lecture RST1 comportant un nœud de lecture Sin, et un étage de sortie OST comportant une sortie de donnée Sout, ces étages étant alimentés électriquement par une tension
15 Vcc.

L'étage de contrôle CST1 comprend des transistors TP1, TP2 et TN1 montés en série, ainsi qu'un transistor TN2 monté en parallèle avec le transistor TN1. Le
20 transistor TP1 reçoit sur sa source la tension Vcc, sur sa grille une tension de référence Vrefp. Le drain du transistor TP1 est connecté à la source du transistor TP2. Un signal de commande EN1 est appliqué à la grille de commande des transistors TP2 et TN2. Le drain du
25 transistor TP2 est connecté aux drains des transistors TN1 et TN2 dont les sources sont à la masse. La grille du transistor TN1 est connectée au nœud de lecture Sin.

L'étage de lecture RST1 comprend deux transistors TP3 et TN3 montés en série. Le transistor TP3 reçoit la
30 tension Vcc sur sa source et la tension Vrefp sur sa grille. Le drain du transistor TP3 et le drain du transistor TN3 sont connectés à un nœud N1 qui est connecté à l'entrée de l'étage de sortie OST.

La source du transistor TN3 est connectée au nœud
35 de lecture Sin, sur lequel apparaît une tension Vs

appelée "tension de lecture". La grille du transistor TN3 est connectée à un nœud CH qui reçoit une tension $V(CH)$ prélevée sur le drain du transistor TP2 de l'étage de contrôle CST1. L'étage de lecture comprend en outre un transistor de précharge TN4 monté en parallèle avec le transistor TP3 et dont le drain reçoit la tension V_{cc} . La grille et la source du transistor TN4 sont respectivement connectées à la sortie de donnée Sout de l'amplificateur de lecture SA1, et au nœud N1.

L'étage de sortie OST comprend un comparateur CP comprenant une entrée positive recevant la tension V_{refp} et une entrée négative recevant une tension $V(N1)$ présente sur le nœud N1. La sortie du comparateur qui forme la sortie de donnée Sout de l'amplificateur de lecture, est par ailleurs rebouclée sur la grille du transistor TN4.

Le nœud de lecture Sin est relié sur la figure 1 à une cellule mémoire non volatile $MC(i,j,k)$ d'un plan mémoire MA (une seule cellule mémoire a été représentée dans un souci de simplicité), notamment par l'intermédiaire d'un transistor $TS(k)$ de sélection de colonne k de mot et d'une ligne de bit $BL(j,k)$. Les transistors $TS(k)$ sont pilotés par un signal $SEL(k)$ de sélection de colonne issu d'un décodeur de colonne (non représenté). A titre d'exemple d'application, la cellule mémoire appartient à une mémoire EEPROM, et donc comprend un transistor à grille flottante dont la source est reliée à la masse et dont la grille reçoit une tension de lecture V_r durant une phase de lecture. La tension de seuil du transistor à grille flottante dépend de son état programmé ou effacé et la tension de lecture V_r est choisie entre la tension de seuil à l'état programmé et la tension de seuil à l'état effacé. Ainsi, lorsque la tension de lecture V_r est appliquée, le transistor à grille flottante est fortement passant s'il est dans

l'état programmé (faible tension de seuil), ou est au contraire faiblement passant, voire bloqué s'il est dans l'état effacé (tension de seuil élevée).

L'amplificateur de lecture est inactif lorsque le signal EN1 est à 1 (= Vcc) et la tension Vrefp est égale à Vcc. Le transistor TN2 est alors passant. Le transistor TP2 est bloqué, et le drain du transistor TN1 est relié à la masse. Aucun courant ne circule donc dans l'étage de contrôle CST1. Les transistors TP1 et TP3 sont bloqués et aucun courant ne circule dans l'étage de lecture RST1.

La lecture d'une cellule mémoire MC(i,j,k) est précédée d'une phase de décodage d'adresse, assurée par le décodeur de colonne, permettant de relier la ligne de bit BL(j,k) de la cellule mémoire au nœud de lecture Sin de l'amplificateur de lecture.

La lecture de la cellule mémoire comprend une phase de précharge de la ligne de bit BL(j,k), et une phase de lecture de la donnée mémorisée dans la cellule mémoire. La tension de lecture Vr est appliquée dès la phase de précharge à la grille du transistor à grille flottante de la cellule mémoire à lire. L'amplificateur de lecture SA1 est tout d'abord activé en portant la tension Vrefp à la valeur Vcc - Vtp, Vtp étant la tension de seuil des transistors PMOS. Les transistors TP1 et TP3 fonctionnent alors en générateurs de courant et fournissent respectivement des courants Ib et Ir dans leurs étages respectifs.

La phase de précharge est engagée en mettant à 0 le signal EN1. Le transistor TN2 se bloque et le transistor TP2 devient passant. La tension V(CH) sur le nœud CH qui est appliquée à la grille du transistor TN3 augmente et celui-ci devient passant. Les transistors TP3 et TN4 sont également passants (la tension V(Sout) à la sortie de donnée Sout est au niveau haut), et un courant de précharge est fourni sur le nœud de lecture Sin. Le

transistor TN4 permet d'accélérer la phase de précharge et par conséquent, de diminuer le temps de lecture global, en fournissant un courant I_{fb} qui s'ajoute au courant I_r fourni par le transistor TP3. Le courant de précharge égal à $I_r + I_{fb}$ permet de charger des capacités parasites se trouvant dans la ligne de bit BL(j,k) et de porter rapidement la tension de lecture V_s à une valeur déterminée qui est sensiblement égale à la tension de seuil V_{tn} des transistors NMOS. Par ailleurs, la limitation de la tension V_s , réalisée par le transistor TN3 permet de protéger le transistor à grille flottante de la cellule mémoire contre un phénomène appelé "stress de drain", se traduisant par une injection involontaire de charges dans la grille flottante et provoquant une programmation parasite de la cellule mémoire.

Lorsque la valeur déterminée de la tension de lecture V_s est atteinte, le transistor TN1 devient passant. La tension $V(CH)$ sur le nœud CH baisse et se stabilise à une valeur telle que, d'une part, les courants dans les transistors TP1 et TN1 sont identiques, et d'autre part, le courant fourni par le transistor TN3 au nœud de lecture correspond au courant I_c imposé par la cellule mémoire en cours de lecture.

A la fin de la phase de précharge, la tension $V(N1)$ sur le nœud N1 se trouve proche de la tension V_{refp} . Deux situations peuvent se présenter : soit la cellule mémoire est programmée et un 1 doit être lu par l'amplificateur de lecture, soit la cellule mémoire est effacée et un 0 doit être lu. Si un 1 doit être lu, le courant de cellule I_c est supérieur au courant de référence I_r . La tension $V(N1)$ sur le nœud N1 reste légèrement inférieure à la tension V_{refp} . Le signal fourni par le comparateur CP sur la sortie de donnée Sout de l'amplificateur de lecture reste à un niveau de tension suffisamment haut pour maintenir le transistor TN4 à l'état passant. Le

transistor TN4 fournit alors un courant égal à la différence $I_c - I_r$ entre le courant I_c imposé par la cellule mémoire et le courant de référence I_r fourni par le transistor TP3.

5 Si un 0 doit être lu, le courant I_c dans la cellule mémoire à lire est inférieur au courant de référence I_r . Dans ce cas, la tension $V(N1)$ sur le nœud N1 monte à un niveau supérieur à la tension V_{refp} . Le signal sur la sortie de donnée Sout passe alors à l'état bas.

10 Il s'avère que ce type de circuit de détection présente une limitation due au fait que la tension V_s sur le nœud de lecture S_{in} , qui correspond à la tension de la ligne de bit $BL(j,k)$, doit être forcée à une valeur légèrement supérieure à la tension de seuil V_{tn}
15 (typiquement compris entre 0,8 et 1 V), en raison de la légère surcharge requise par le transistor TN1 pour fournir le courant I_b . Or, dans certaines applications, la ligne de bit doit être polarisée à un niveau inférieur à cette tension de seuil pour réduire les contraintes
20 générées par le courant I_c circulant dans la cellule mémoire, qui pourraient compromettre l'intégrité des données.

En particulier, dans les mémoires PCM, le courant I_c circulant dans une cellule mémoire durant une phase de
25 lecture doit être limité de manière à réduire le chauffage de la cellule mémoire, et ainsi éviter des effets thermiques indésirables risquant de provoquer en particulier la recristallisation du matériau à changement de phase à partir de son état amorphe, et donc une
30 corruption des données mémorisées.

Pour réduire la tension de lecture V_s appliquée au nœud de lecture, il peut être envisagé de réduire la tension de seuil V_{tn} . Or cette tension constitue un paramètre technologique des transistors NMOS de
35 l'amplificateur de lecture. En fait, ce paramètre est lié

à la technologie de fabrication employée pour réaliser l'amplificateur, et est sensiblement invariant pour une technologie de fabrication donnée.

La présente invention a pour but de proposer un
5 amplificateur de lecture permettant de contrôler la tension appliquée à la ligne de bit sans être limité par la tension de seuil V_{tn} .

Cet objectif est atteint par la prévision d'un
10 amplificateur de lecture pour la lecture d'une cellule mémoire, réalisé avec des transistors MOS présentant une tension de seuil formant un paramètre technologique de l'amplificateur de lecture, et comprenant :

- un nœud de lecture relié à la cellule mémoire,
- 15 - un étage actif connecté au nœud de lecture et comprenant des moyens pour fournir un courant de lecture sur le nœud de lecture, et
- une sortie de donnée reliée à un nœud de l'étage actif où apparaît une tension électrique) représentative de
20 l'état de conductivité de la cellule mémoire.

Selon l'invention, l'amplificateur de lecture comprend des moyens pour maintenir une tension apparaissant sur le nœud de lecture à une valeur inférieure à la tension de seuil.

25 Selon un mode de réalisation de l'invention, les moyens pour maintenir la tension du nœud de lecture à une valeur inférieure à la tension de seuil comprennent :

- un premier transistor et un second transistor agencés en série dans l'étage actif, le second transistor étant
30 relié au nœud de lecture, et
- des moyens pour appliquer aux bornes de grille du premier et du second transistors des tensions de grille présentant l'une relativement à l'autre une différence de potentiel contrôlée.

35 Selon un mode de réalisation de l'invention, l'amplificateur de lecture comprend un étage de contrôle

polarisé par un courant de polarisation et agencé pour appliquer aux bornes de grille du premier et du second transistors des tensions de grille présentant l'une relativement à l'autre une différence de potentiel
5 déterminée par le courant traversant une charge.

Selon un mode de réalisation de l'invention, l'amplificateur de lecture comprend des moyens pour générer le courant polarisation traversant la charge, d'une manière indépendante d'un courant circulant dans
10 l'étage actif.

Selon un mode de réalisation de l'invention, les moyens pour générer le courant de polarisation traversant la charge comprennent une résistance au travers de laquelle le courant de polarisation est généré, la
15 tension V_s appliquée au nœud de lecture obéissant à la relation suivante :

$$V_s = V_{tn}$$

dans laquelle V_{tn} est la tension de seuil, R_1 est la valeur de l'impédance de la charge et R_{11} est la valeur
20 de la résistance des moyens de génération de courant.

Selon un mode de réalisation de l'invention, l'amplificateur de lecture comprend des moyens pour limiter la chute de tension dans la charge pendant une phase de précharge du nœud de lecture.

25 Selon un mode de réalisation de l'invention, les moyens pour limiter la chute de tension dans la charge comprennent un transistor monté en parallèle avec la charge, commandé par la tension sur le nœud de lecture.

Selon un mode de réalisation de l'invention, la
30 charge comprend au moins l'un des éléments du groupe comportant une résistance et un transistor MOS.

Selon un mode de réalisation de l'invention, l'amplificateur de lecture comprend des moyens pour décharger un nœud de connexion entre le premier et le

second transistor, et ainsi éviter une situation de blocage.

Selon un mode de réalisation de l'invention, les moyens pour décharger le nœud de connexion entre le premier et le second transistor, comprennent un transistor connecté entre le nœud et la masse.

Selon un mode de réalisation de l'invention, l'amplificateur de lecture comprend des moyens pour atténuer des oscillations apparaissant dans le nœud.

Selon un mode de réalisation de l'invention, l'étage actif comprend un premier générateur de courant relié au nœud de lecture par l'intermédiaire des premier et second transistors, et l'étage de contrôle comprend un second générateur de courant fournissant le courant de polarisation traversant la charge.

Selon un mode de réalisation de l'invention, l'amplificateur de lecture comprend des moyens pour activer l'amplificateur de lecture avant une phase de précharge du nœud de lecture.

Selon un mode de réalisation de l'invention, les moyens pour activer l'amplificateur de lecture avant une phase de précharge du nœud de lecture comprennent des moyens pour déconnecter l'amplificateur de lecture du nœud de lecture pendant l'activation de l'amplificateur de lecture.

L'invention concerne également une mémoire non volatile comprenant au moins une cellule mémoire. Selon l'invention, la mémoire comprend au moins un amplificateur de lecture tel que défini ci-avant, pour lire la cellule mémoire.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante de l'invention faite

à titre non limitatif en relation avec les figures jointes parmi lesquelles :

- la figure 1 précédemment décrite est le schéma électrique d'un amplificateur classique de lecture d'une cellule mémoire ;
- les figures 2 à 6 sont des schémas électriques de différents exemples de réalisation d'amplificateurs de lecture d'une cellule mémoire, selon la présente invention ;
- La figure 7 représente un circuit de génération d'une tension de commande appliquée au circuit illustré sur la figure 6 ; et
- les figures 8A et 8B représentent l'aspect de certaines tensions apparaissant dans l'amplificateur de lecture de la figure 2 et de la figure 6, respectivement.

La figure 2 représente un amplificateur de lecture SA2 comprenant un étage de lecture RST2 dérivé de celui de l'amplificateur de lecture SA1 décrit en référence à la figure 1, et un étage de sortie OST identique à celui de l'amplificateur de lecture SA1. Les éléments précédemment décrits en relation avec la figure 1 sont désignés par les mêmes références.

L'étage de lecture RST2 est connecté à un nœud de lecture SIN, et à un nœud d'entrée N1 de l'étage de sortie OST qui comporte une sortie de donnée Sout, ces étages étant alimentés électriquement par une tension Vcc.

Comme sur la figure 1, le nœud de lecture Sin est relié à une cellule mémoire par l'intermédiaire d'un transistor de sélection commandé par un décodeur de colonne, et d'une ligne de bit (non représentés). La cellule mémoire reçoit une tension de lecture Vr se situant entre une tension de seuil à l'état programmé de la cellule mémoire et une tension de seuil à l'état effacé. La sortie Sout fournit un signal à un niveau haut ou bas selon l'état de conductivité de la cellule

mémoire, soit approximativement et respectivement la tension V_{cc} ou le potentiel de masse, car il ne s'agit pas de potentiels logiques purs. Le signal de sortie est ensuite converti en niveaux logiques "purs" CMOS par un inverseur (non représenté).

L'étage de lecture RST2 comprend, comme l'étage de lecture RST1, des transistors TP3 et TN3 montés en série, et un transistor TN4 monté en parallèle avec le transistor TP3. La tension V_{cc} est appliquée au drain du transistor TN4 et à la source du transistor TP3 dont la grille reçoit la tension V_{refp} . Les drains des transistors TP3 et TN3, ainsi que la source du transistor TN4 sont connectés au nœud d'entrée N1 de l'étage de sortie OST.

Selon l'invention, l'étage de lecture RST2 comprend en outre un transistor TN5 monté en série entre le transistor TN3 et le nœud de lecture Sin, pour réaliser avec le transistor TN3 un montage cascode. La grille du transistor TN3 est commandée par une tension fixe V_{ref1} . La source du transistor TN3 est connectée au drain du transistor TN5 dont la source est connectée au nœud de lecture Sin et dont la grille reçoit une tension de commande EN2. La tension de commande EN2 est choisie de manière à ce que le transistor TN5 fonctionne comme un interrupteur pour déconnecter le nœud de lecture Sin du transistor de sélection TS(k) (figure 1) avant la sélection de colonne.

La tension V_s au nœud de lecture Sin est égale à $V_{ref1} - V_{Tn}$. Elle est donc contrôlée directement par la tension V_{ref1} , et peut ainsi être inférieure à la tension de seuil V_{Tn} , si la tension V_{ref1} est fixée à une valeur inférieure à $2V_{Tn}$. Le transistor TN5 permet donc de réduire la tension de lecture V_s au delà de la limite imposée par la tension de seuil V_{Tn} des transistors NMOS, déterminée par la technologie de fabrication employée.

La figure 3 représente un autre mode de réalisation
avantageux d'un amplificateur de lecture selon
l'invention. Les éléments précédemment décrits en
relation avec les figures 1 et 2 sont désignés par les
5 mêmes références.

L'amplificateur de lecture SA3 montré sur la figure
3 comprend un étage de contrôle CST3, un étage de lecture
RST3 et un étage de sortie OST. L'étage de sortie est
identique à l'étage de sortie montré sur la figure 1
10 décrite ci-avant.

L'amplificateur de lecture SA3 est contrôlé par un
signal d'activation EN3, et comprend un nœud de lecture
Sin destiné relié à la ligne de bit de la cellule mémoire
à lire (non représentée), ainsi qu'une sortie de donnée
15 Sout fournissant un signal à un niveau haut ou bas selon
l'état de conductivité de la cellule mémoire.

L'étage de lecture RST3 comprend les mêmes
composants, agencés sensiblement de la même manière que
dans l'étage RST2 précédemment décrit.

20 Selon l'invention, l'étage de lecture RST3 comprend
un transistor TN5 agencé en série entre la source du
transistor TN3 (nœud N2) et le nœud de lecture Sin. Le
drain et la source du transistor TN5 sont connectées
respectivement au nœud N2 et au nœud de lecture Sin.

25 Par ailleurs, les grilles des transistors TN3 et
TN5 sont connectées respectivement à des nœuds CH et CL
de l'étage de contrôle CST3.

Comme l'étage CST1 précédemment décrit en référence
à la figure 1, l'étage de contrôle CST3 comprend trois
30 transistors TP1, TP2 et TN1 montés en série, et un
transistor TN2 monté en parallèle avec le transistor TN1.
Ainsi, le transistor TP1 reçoit la tension Vcc sur sa
source et la tension Vrefp sur sa grille. Le drain du
transistor TP1 est connecté à la source du transistor
35 TP2. Les transistors TP2 et TN2 reçoivent un signal

d'activation EN3 sur leurs grilles. La grille du transistor TN1 est connectée au nœud N2.

Avantageusement, une résistance R1 est agencée en série entre le drain du transistor TP2 (nœud CH) et le drain du transistor TN1 (nœud CL). La différence de potentiel entre les nœuds CH et CL est ainsi égale à la chute de tension entre les bornes de la résistance R1.

Les transistors TN3 et TN5 de l'étage de lecture RST3 constituent un montage cascode dans lequel le transistor TN5 est contrôlé par une tension de grille égale à la tension $V(CL)$ sur le nœud CL, qui est inférieure à la tension $V(CH)$ sur le nœud CH appliquée à la grille du transistor TN3.

L'amplificateur de lecture SA3 est activé en portant la tension V_{refp} à une valeur égale à $V_{cc} - V_{tp}$ (V_{tp} étant la tension de seuil d'un transistor PMOS), et la phase de précharge est engagée en mettant à 0 le signal EN3. Les transistors TP1 et TP3 fonctionnent comme des générateurs de courant et fournissent dans leurs étages respectifs les courants I_b et I_r , respectivement. Il en résulte que le transistor TN2 se bloque et le transistor TP2 devient passant. La tension $V(CH)$ au nœud CH augmente et le transistor TN3 devient passant.

Le transistor TN4 fournit l'essentiel du courant de précharge I_{fb} (supposé grand devant I_r) sur le nœud de lecture S_{in} . Lorsque la tension de lecture V_s atteint une valeur déterminée, le transistor TN1 devient passant. La tension sur la grille du transistor TN3 se stabilise. Les courants dans les transistors TP1 et TN1 sont identiques.

Le fonctionnement de l'amplificateur de lecture SA3 est sensiblement identique à celui de l'amplificateur SA1 décrit en référence à la figure 1. Toutefois, le point de fonctionnement de ce circuit est tel que la tension sur la source du transistor TN3, qui commande le transistor TN1, force ce dernier à fournir un courant égal au courant I_b contrôlé par le transistor TP1. Ce courant

circulant dans la résistance R1, la tension V(CL) au nœud CL peut être déterminée de la manière suivante :

$$V(CL) = V(CH) - I_b \times R1 = 2 V_{tn} - I_b \times R1 \quad (1)$$

5

Il en résulte que la tension de lecture Vs au nœud de lecture Sin obéit à la relation suivante :

$$V_s = V(CL) - V_{tn} = V_{tn} - I_b \times R1 \quad (2)$$

10

La tension de lecture Vs est donc réduite par rapport à la tension de seuil Vtn d'une valeur égale à $I_b \times R1$. Cette réduction peut donc être facilement contrôlée en ajustant soit la valeur du courant I_b , soit la valeur de la résistance R1.

15

La combinaison de l'étage de contrôle CST3 dans laquelle la résistance R1 a été ajoutée, et l'ajout du transistor TN5 dans l'étage de lecture RST3 permet donc également de réduire la tension de lecture Vs au delà de la limite imposée par la tension de seuil Vtn des transistors NMOS de l'amplificateur de lecture.

20

Par comparaison avec l'amplificateur de lecture SA2, la tension Vs au nœud de lecture Sin dans l'amplificateur de lecture SA3 est moins liée au courant I_c , et la phase de précharge de la ligne de bit est moins longue.

25

La figure 4 représente un amplificateur de lecture SA4 selon un autre mode de réalisation de l'invention. L'amplificateur de lecture SA4 comprend des étages de lecture RST4 et de sortie OST identiques à ceux de l'amplificateur de lecture SA3, et un étage de contrôle CST4 comportant tous les composants de l'étage de contrôle CST3, agencés sensiblement de la même manière. L'étage de contrôle CST4 comprend en outre un transistor TN6 supplémentaire dont la grille est commandée par une tension de référence Vrefn égale à Vtn. La source du transistor TN6 est à la masse, et le drain de celui-ci

30

35

est connecté au nœud N2 de connexion des transistors TN3, TN5 et TN1.

Le transistor TN6 se comporte comme une source de courant, appelant sur son drain un courant de fuite I_{lk} .
5 L'effet de ce courant qui s'ajoute au courant I_c peut être facilement compensé en augmentant de la même valeur le courant I_r circulant dans le transistor TP2.

Cette disposition permet d'éviter une situation de blocage ("overshoot") dans laquelle le nœud N2 ne peut
10 pas se décharger.

La figure 5 représente un amplificateur de lecture SA5 selon un autre mode de réalisation de l'invention. L'amplificateur de lecture SA5 comprend un étage de contrôle CST5, un étage de lecture RST5 et un étage de
15 sortie OST, ce dernier étant identique à celui de l'amplificateur décrit en référence à la figure 1. Les étages CST5 et RST5 comprennent tous les composants des étages CST4 et RST4 de l'amplificateur de lecture SA4, agencés sensiblement de la même manière. L'étage de
20 contrôle CST5 comprend en outre un transistor TP4 supplémentaire monté en parallèle avec la résistance R1. La grille du transistor TP4 est connectée au nœud de lecture S_{in} , et est reliée à la masse par l'intermédiaire d'un transistor TN7. La grille du transistor TN7 est
25 commandée par un signal EN1, et le drain et la source de ce transistor sont connectés respectivement au nœud de lecture S_{in} et à la masse.

L'étage de lecture RST5 comprend en outre un condensateur C et un transistor TN8 supplémentaire. Le
30 condensateur C est monté entre le nœud N2 et la grille du transistor TN5 pour supprimer ou atténuer des oscillations de courant non désirées. Le drain et la source du transistor TN8 sont respectivement connectés à la source du transistor TN5 (nœud N3) et au nœud de
35 lecture S_{in} . La grille du transistor TN8 est commandée par le signal EN1 au travers d'un inverseur INV, de sorte

que quand le transistor TN7 est passant, le transistor TN8 est bloqué, et réciproquement.

En maintenant le signal EN1 à 1 avant que la colonne du plan mémoire soit sélectionnée, le transistor TN8 est bloqué et isole le nœud de lecture Sin. Le transistor de sélection de colonne TS(k) (figure 1) se trouve ainsi isolé du reste de l'amplificateur de lecture SA5, ce qui permet de placer ce dernier dans son état de fonctionnement avant la sélection de la colonne du plan mémoire. Lorsque l'amplificateur de lecture SA5 est ainsi déconnecté du transistor de sélection de colonne par le transistor TN8, le transistor TN7 est passant et place le nœud de lecture Sin à la masse.

L'amplificateur de lecture SA5 est donc activé avant une opération de lecture d'une cellule mémoire en plaçant le signal EN3 à 0 et le signal EN1 à 1. Dans ces conditions, aucun courant I_c ne peut circuler dans le nœud de lecture Sin, et les tensions internes à l'amplificateur de lecture présentent les valeurs suivantes :

$$V(N2) = V_{tn} \text{ (tension sur le nœud N2)}$$

$$V(N3) = V_{tn} - I_b \times R_1 \text{ (tension sur le nœud N3)}$$

$$V_s = 0$$

$$V(N1) = V_{cc} \text{ (tension sur le nœud N1)}$$

$$V(\text{Sout}) = 0 \text{ (tension sur la sortie de donnée Sout)}$$

Dès que le signal EN1 passe à 0, un fort courant passe dans les transistors TN3, TN5 et TN8, ce courant étant nécessaire à la charge de la capacité de la ligne de bit et du décodeur de colonne. La tension sur les nœuds N1, N2 et N3 chute alors rapidement. Il en résulte que le signal de sortie Sout passe à 1, ce qui rend passant le transistor TN4 qui fournit le courant I_{fb} nécessaire à la précharge, et qui ne peut pas être fourni par le transistor TP3 seul. La chute de la tension $V(N2)$ sur le nœud N2 déclenche la réaction du circuit de contre réaction faisant monter la tension $V(CH)$ au nœud CH. Le transistor TP4 qui est alors passant, limite la chute de

tension dans la résistance R1 durant cette phase, et ainsi accélère la commande du transistor TN5, et donc la charge de la ligne de bit.

Lorsque le nœud de lecture Sin est chargé à la
5 valeur requise, l'amplificateur de lecture SA5 a atteint son point de fonctionnement. La montée de la tension de lecture Vs qui est suivie de la chute de la tension CH, réduit la tension drain-source du transistor TP4 à une
10 valeur telle que le courant qui le traverse est négligeable par rapport au courant circulant dans la résistance R1. L'effet du transistor TP4 disparaît donc pendant la lecture de la donnée.

La figure 6 représente un amplificateur de lecture SA6 selon un autre mode de réalisation de l'invention.
15 L'amplificateur de lecture SA6 comprend un étage de contrôle CST6, un étage de lecture RST6 et un étage de sortie OST. Ces étages sont identiques à ceux de l'amplificateur de lecture SA5, mis à part que dans
20 l'étage de contrôle CST6, la grille du transistor TP1 est contrôlée par une tension Vb distincte de la tension Vrefp. Cette disposition rend le courant Ib indépendant du courant Ir, ce qui permet de mieux contrôler la chute de tension dans la résistance R1.

La figure 7 représente un circuit électrique VG
25 permettant de générer la tension Vb. Ce circuit comprend une première branche comportant deux transistors TP11 et TP12 montés en série. Le transistor TP11 reçoit la tension Vcc sur sa source et la tension de commande Vrefp sur sa grille. Le drain du transistor TP12 est connecté
30 aux drains de deux transistors TN11 et TN12 montés en parallèle et dont les sources sont à la masse. Les grilles des transistors TP12 et TN11 sont commandées par un signal EN4. Le circuit VG comprend une seconde branche comportant un transistor TP13 monté en série avec un
35 transistor TN13. La source du transistor TP13 reçoit la tension Vcc. La source du transistor TN13 est connectée à

la grille du transistor TN12 et est reliée à la masse par l'intermédiaire d'une résistance R11. La grille du transistor TN13 est connectée au drain du transistor TP12. La seconde branche comprend en outre un transistor TP14 dont la source reçoit la tension Vcc, dont la grille est commandée par le signal EN4 inversé par un inverseur INV11, et dont le drain qui fournit la tension Vb, est connectée à la grille du transistor TP13 et aux drains des transistors TP13 et TN13.

10 Le circuit VG est activé en mettant le signal EN4 à 0. Le signal Vrefp étant égal à $V_{cc} - V_{tp}$, les transistors TP11 et TP12, ainsi que les transistors TP13 et TN13 deviennent passants, tandis que les transistors TN11 et TP14 sont bloqués. Le circuit se stabilise à un état de fonctionnement tel que la tension Vd à la source
15 du transistor TN13 et à la grille du transistor TN12 est égale à Vtn. Il en résulte que le courant Ib traversant le transistor TN13 et la résistance R11 est égal à V_{tn}/R_{11} . En se référant à l'équation (2), on peut en
20 déduire que :

$$V_s = V_{tn} - I_b \times R_1 = V_{tn} (1 - R_1/R_{11}) \quad (3)$$

Grâce à ces dispositions, la tension de lecture Vs appliquée à la ligne de bit BL(j,k) peut être facilement
25 ajustée en jouant sur le rapport R1/R11.

Les figures 8A et 8B représentent les variations en fonction du temps de tensions présentes respectivement dans les amplificateurs SA2 et SA6, dans le cas où le courant Ir est inférieur au courant Ic. La figure 8A
30 représente les variations des tensions Vs, EN2, Vref1, V(N1) et de la tension V(Sout) à la sortie de donnée Sout de l'amplificateur de lecture. La figure 8B représente les variations des tensions Vs, EN2, V(N1) et V(Sout),

ainsi que des tensions $V(CH)$ et $V(CL)$ respectivement aux nœuds CH et CL.

Sur la figure 8A, on peut observer que la durée de charge de la ligne de bit, correspondant à la durée pendant laquelle la tension de sortie $V(Sout)$ passe de 5 V à 0 V, est de l'ordre de 80 ns. Sur la figure 8B, cette durée est de l'ordre de 40 ns.

Il résulte de la comparaison de ces deux figures, que le circuit de contre réaction de l'amplificateur de lecture SA6 réduit d'une manière importante le temps de charge de la ligne de bit, par rapport à la solution consistant à polariser la grille du transistor TN3 par la tension fixe $Vref1$.

Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de diverses variantes de réalisation et applications. Notamment, la résistance R1 de l'étage de contrôle CST3, CST4, CST5 OU CST6 peut être remplacée par un composant actif tel qu'un transistor dont la grille est reliée à la masse.

REVENDEICATIONS

1. Amplificateur de lecture (SA2, SA3, SA4, SA5, SA6) pour la lecture d'une cellule mémoire (MC(i,j,k)), réalisé avec des transistors MOS présentant une tension de seuil (V_{tn}) formant un paramètre technologique de l'amplificateur de lecture, et comprenant :

- un nœud de lecture (S_{in}) relié à la cellule mémoire,
- un étage actif (RST2, RST3, RST4, RST5, RST6) connecté au nœud de lecture (S_{in}) et comprenant des moyens (TP3, TN3, TN4) pour fournir un courant de lecture (I_c) sur le nœud de lecture, et
- une sortie de donnée (S_{out}) reliée à un nœud (N1) de l'étage actif où apparaît une tension électrique ($V(N1)$) représentative de l'état de conductivité de la cellule mémoire,

caractérisé en ce qu'il comprend des moyens (TN5) pour maintenir une tension (V_s) apparaissant sur le nœud de lecture (S_{in}) à une valeur inférieure à la tension de seuil (V_{tn}).

2. Amplificateur de lecture (SA2, SA3, SA4, SA5, SA6) selon la revendication 1, dans lequel les moyens pour maintenir la tension (V_s) du nœud de lecture à une valeur inférieure à la tension de seuil (V_{tn}) comprennent :

- un premier transistor (TN3) et un second transistor (TN5) agencés en série dans l'étage actif (RST2, RST3, RST4, RST5, RST6), le second transistor (TN5) étant relié au nœud de lecture (S_{in}), et
- des moyens pour appliquer aux bornes de grille du premier et du second transistors des tensions de grille (V_{ref1} , EN2 ; CH, CL) présentant l'une relativement à l'autre une différence de potentiel contrôlée.

3. Amplificateur de lecture (SA3, SA4, SA5, SA6) selon la revendication 1 ou 2, comprenant un étage de contrôle (CST3, CST4, CST5, CST6) polarisé par un courant de polarisation (Ib) et agencé pour appliquer aux bornes de grille du premier et du second transistors (TN3, TN5) des tensions de grille (CH, CL) présentant l'une relativement à l'autre une différence de potentiel déterminée par le courant (Ib) traversant une charge (R1).

10

4. Amplificateur de lecture (SA6) selon la revendication 3, comprenant des moyens (VG) pour générer le courant polarisation (Ib) traversant la charge (R1), d'une manière indépendante d'un courant (Ir) circulant dans l'étage actif (RST6).

5. Amplificateur de lecture (SA6) selon la revendication 4, dans lequel les moyens (VG) pour générer le courant de polarisation (Ib) traversant la charge (R1) comprennent une résistance (R11) au travers de laquelle le courant de polarisation est généré, la tension Vs appliquée au nœud de lecture obéissant à la relation suivante :

$$V_s = V_{tn} (1 - R_1/R_{11})$$
 dans laquelle Vtn est la tension de seuil, R1 est la valeur de l'impédance de la charge et R11 est la valeur de la résistance des moyens de génération de courant.

6. Amplificateur de lecture (SA5, SA6) selon l'une des revendications 3 à 5, comprenant des moyens (TP4) pour limiter la chute de tension dans la charge (R1) pendant une phase de précharge du nœud de lecture (Sin).

7. Amplificateur de lecture (SA5, SA6) selon la revendication 6, dans lequel les moyens pour limiter la

chute de tension dans la charge (R1) comprennent un transistor (TP4) monté en parallèle avec la charge, commandé par la tension (V_s) sur le nœud de lecture (Sin).

5

8. Amplificateur de lecture (SA5, SA6) selon l'une des revendications 3 à 7, dans lequel la charge (R1) comprend au moins l'un des éléments du groupe comportant une résistance et un transistor MOS.

10

9. Amplificateur de lecture (SA4, SA5, SA6) selon l'une des revendications 3 à 8, comprenant des moyens (TN6) pour décharger un nœud (N2) de connexion entre le premier et le second transistors (TN3, TN5), et ainsi éviter une situation de blocage.

15

10. Amplificateur de lecture (SA4, SA5, SA6) selon la revendication 9, dans lequel les moyens (TN6) pour décharger le nœud (N2) de connexion entre le premier et le second transistors (TN3, TN5), comprennent un transistor connecté entre le nœud et la masse.

20

11. Amplificateur de lecture (SA4, SA5, SA6) selon la revendication 9 ou 10, comprenant des moyens (C) pour atténuer des oscillations apparaissant dans le nœud (N2).

25

12. Amplificateur de lecture (SA3, SA4, SA5, SA6) selon l'une des revendications 3 à 11, dans lequel l'étage actif (RST3, RST4, RST5, RST6) comprend un premier générateur de courant (TP3, TN4) relié au nœud de lecture (Sin) par l'intermédiaire des premier et second transistors (TN3, TN5), et l'étage de contrôle (CST3, CST4, CST5, CST6) comprend un second générateur de courant (TP1) fournissant le courant de polarisation (I_b) traversant la charge (R1).

35

13. Amplificateur de lecture (SA5, SA6) selon l'une
des revendications 1 à 12, comprenant des moyens (TN7,
TN8) pour activer l'amplificateur de lecture avant une
5 phase de précharge du nœud de lecture (Sin).

14. Amplificateur de lecture (SA5, SA6) selon la
revendication 13, dans lequel les moyens (TN7, TN8) pour
activer l'amplificateur de lecture (SA5) avant une phase
10 de précharge du nœud de lecture (Sin) comprennent des
moyens (TN8) pour déconnecter l'amplificateur de lecture
du nœud de lecture (Sin) pendant l'activation de
l'amplificateur de lecture.

15. Mémoire non volatile comprenant au moins une
cellule mémoire (MC(i,j,k)),
caractérisée en ce qu'elle comprend au moins un
amplificateur de lecture (SA2, SA3, SA4, SA5, SA6) selon
l'une des revendications 1 à 14, pour lire la cellule
20 mémoire.

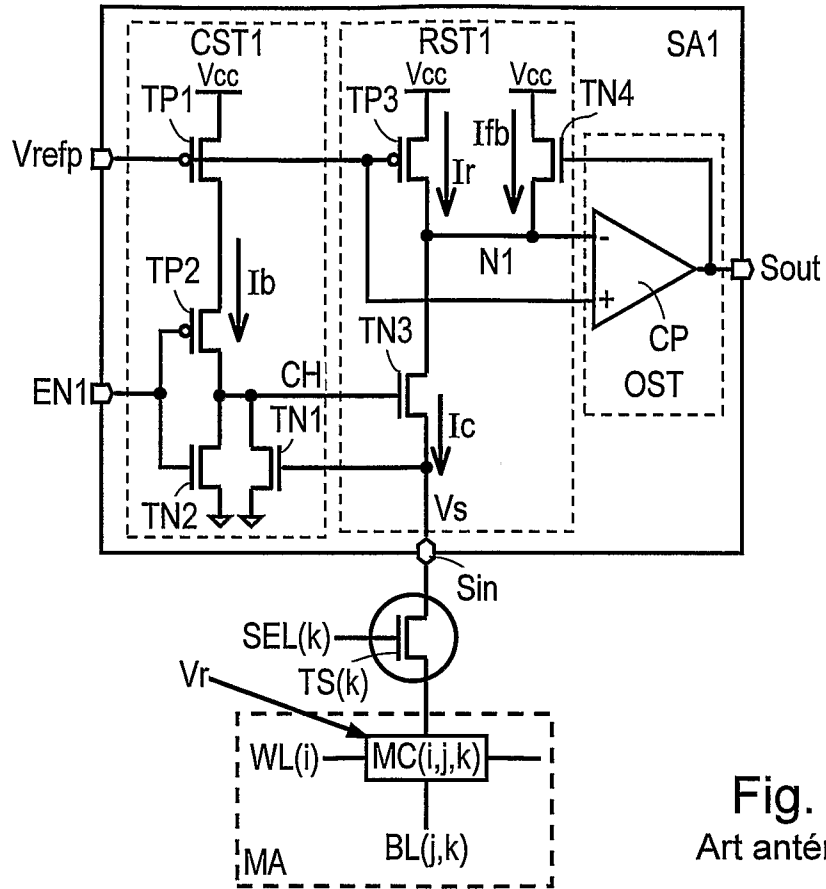


Fig. 1
Art antérieur

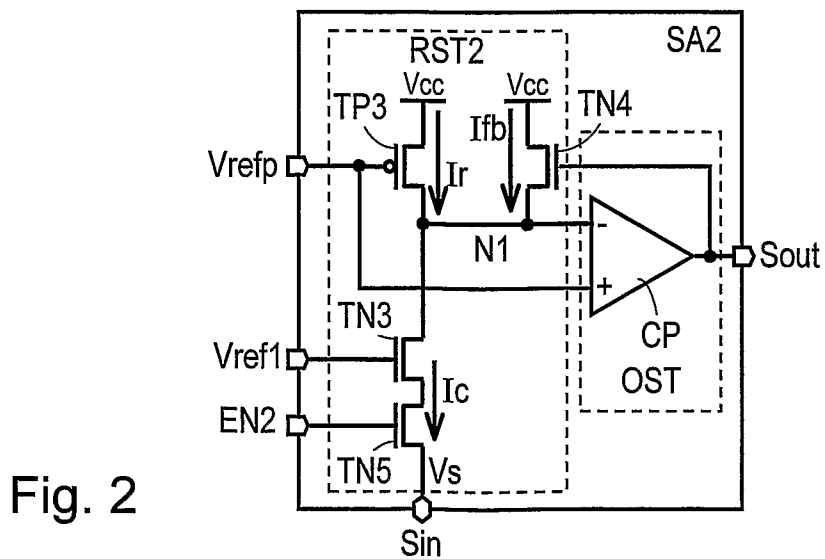


Fig. 2

2/4

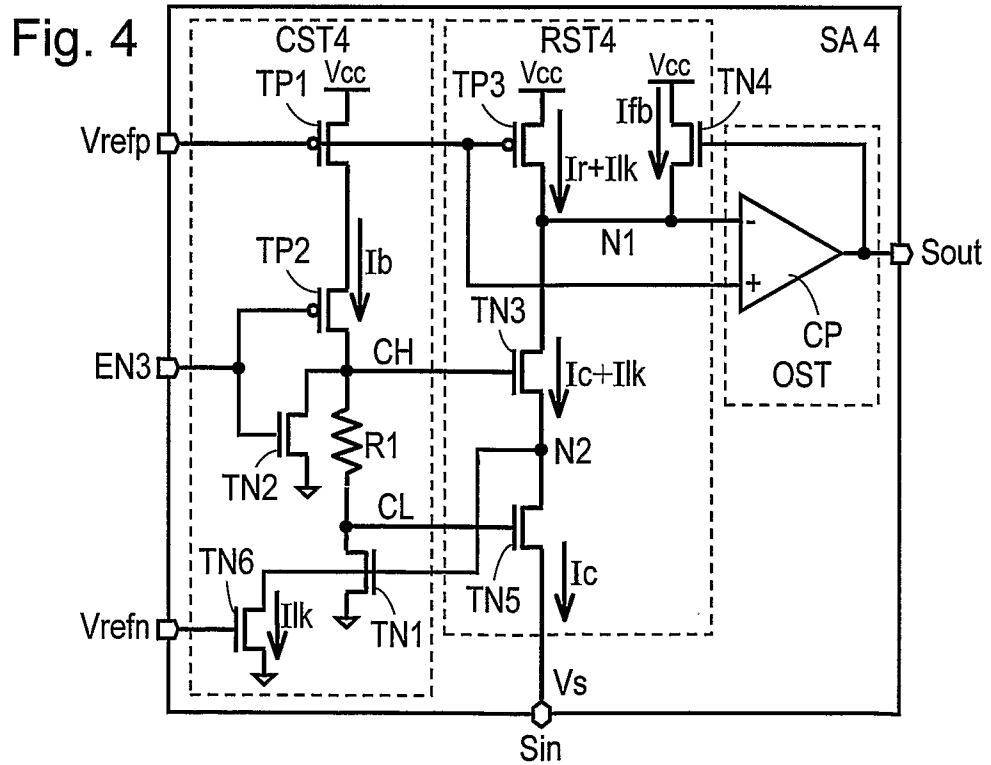
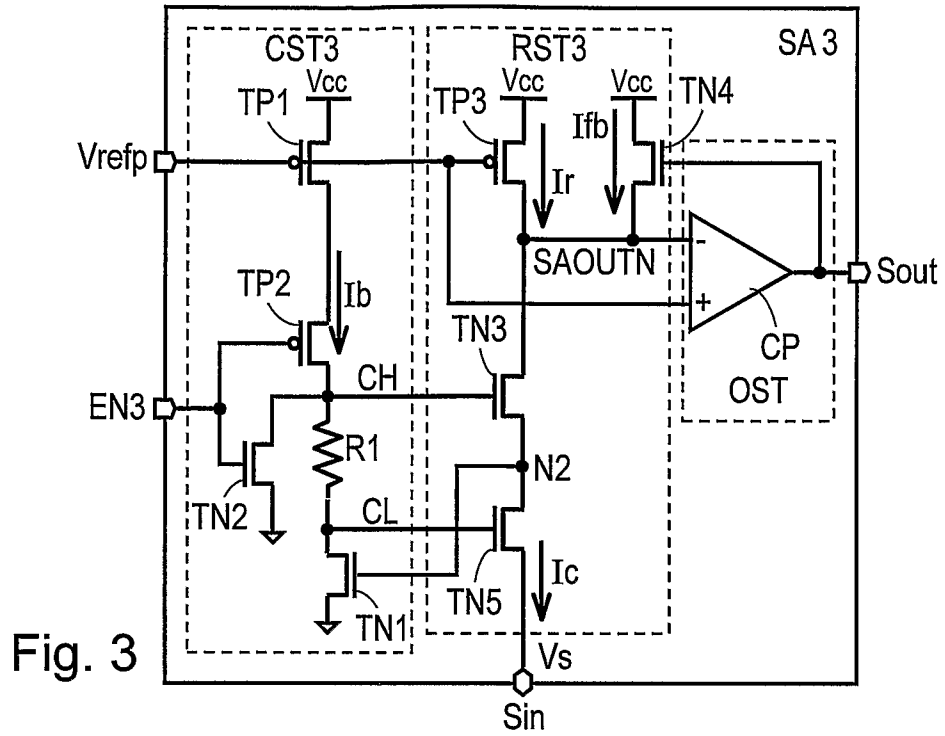


Fig. 5

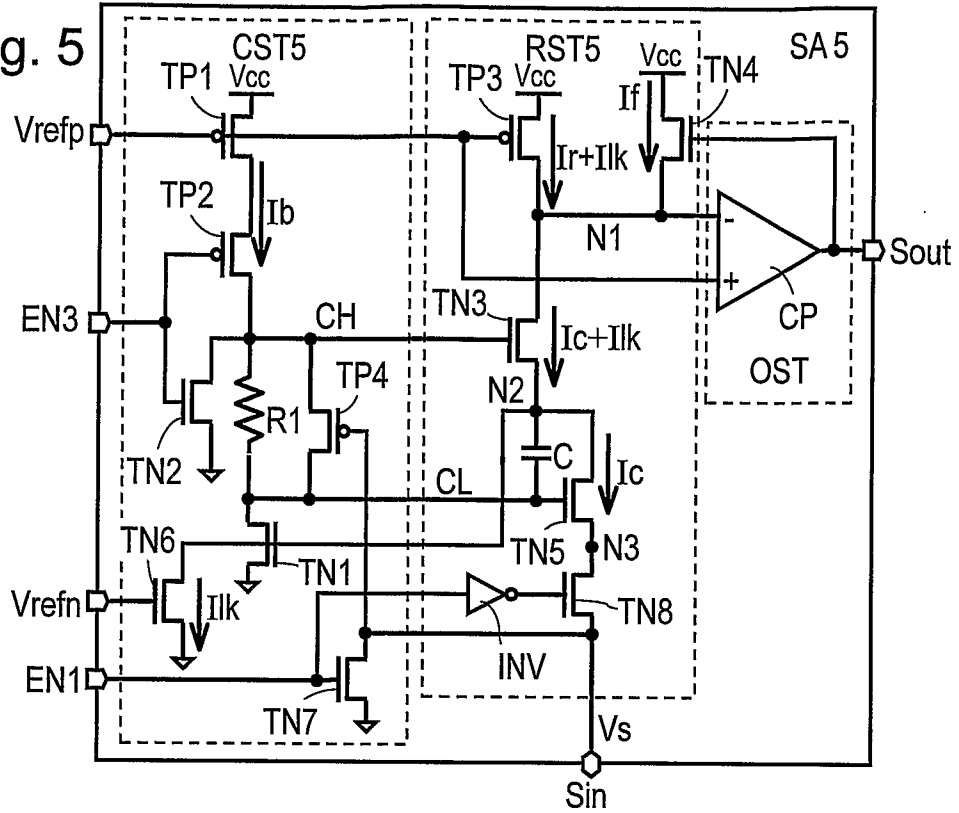
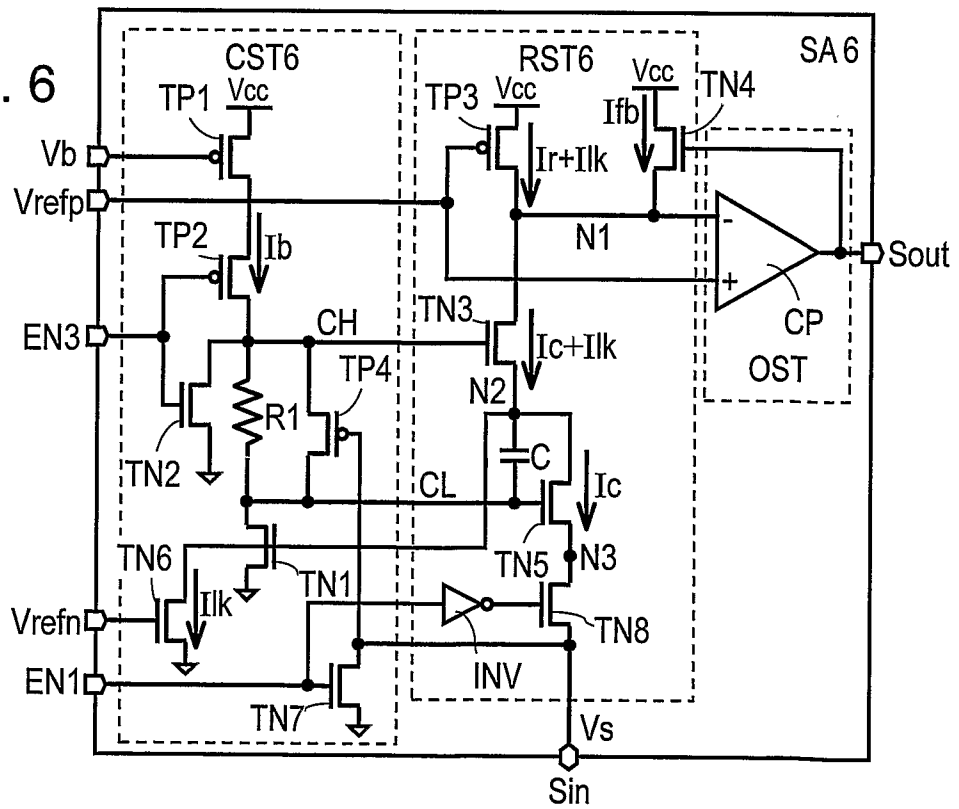


Fig. 6



4/4

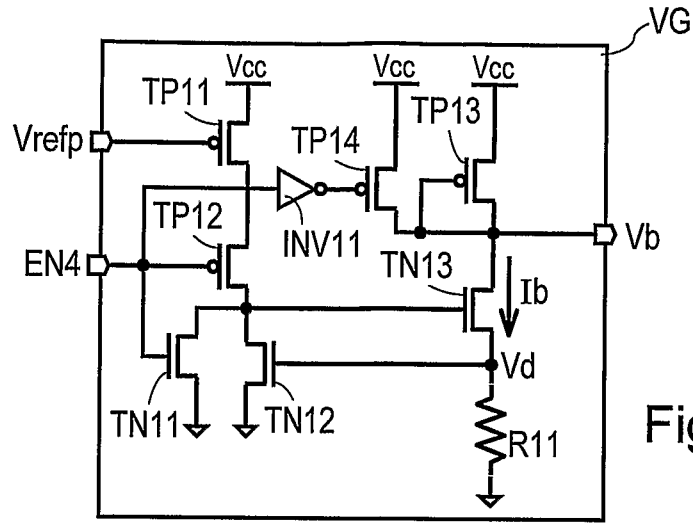


Fig. 7

Fig. 8A

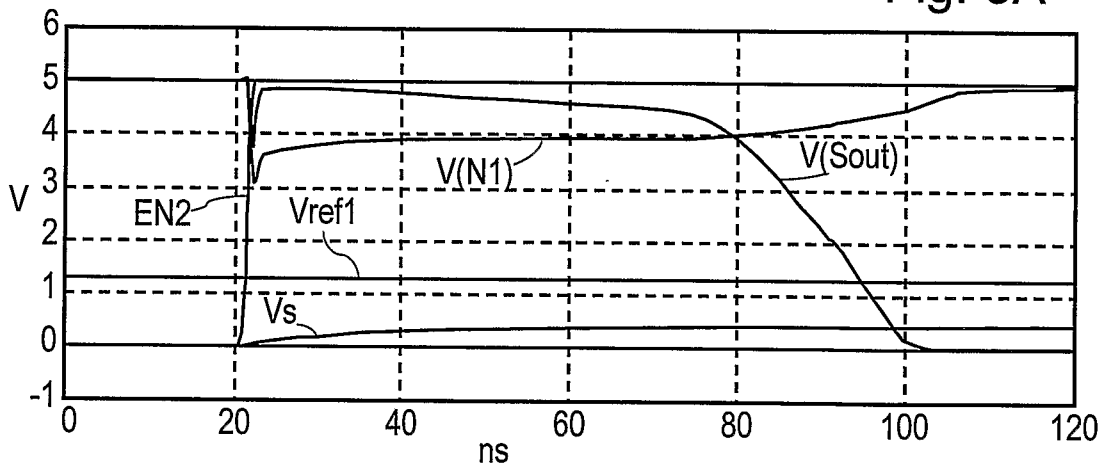
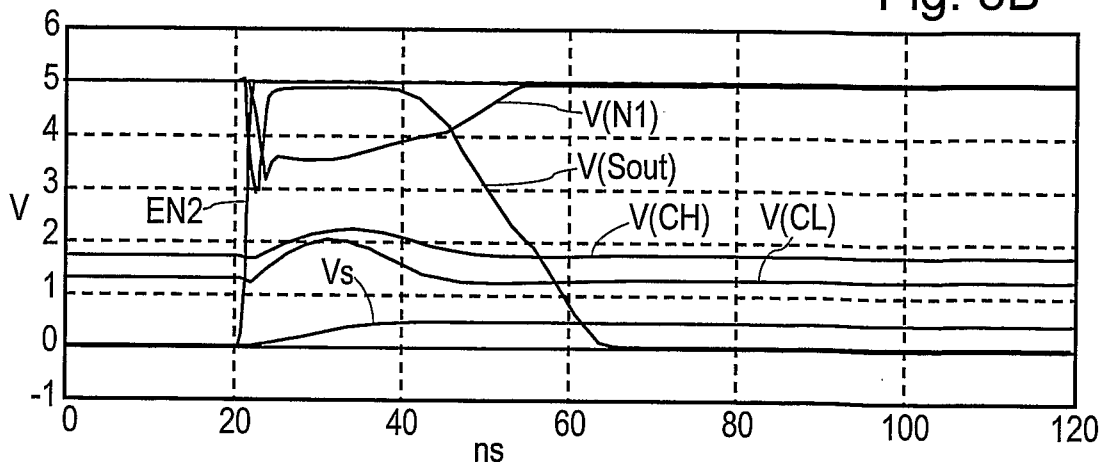


Fig. 8B



INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2006/001686

A. CLASSIFICATION OF SUBJECT MATTER
INV. G11C7/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 754 010 A (CARAVELLA ET AL) 19 May 1998 (1998-05-19) the whole document	1
A	US 5 946 241 A (ZINK ET AL) 31 August 1999 (1999-08-31) the whole document	1
A	US 5 544 110 A (YUH ET AL) 6 August 1996 (1996-08-06) the whole document	1

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date	*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means	*Z* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 October 2006	Date of mailing of the international search report 09/11/2006
--	--

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Arnault, Serge
---	--

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/FR2006/001686

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5754010	A	19-05-1998	NONE
US 5946241	A	31-08-1999	FR 2752324 A1 13-02-1998
US 5544110	A	06-08-1996	GB 2287336 A 13-09-1995 JP 8063978 A 08-03-1996 KR 9609956 B1 25-07-1996

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2006/001686

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
 INV. G11C7/06

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

 Documentation minimale consultée (système de classification suivi des symboles de classement)
 G11C

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

 Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
 EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 754 010 A (CARAVELLA ET AL) 19 mai 1998 (1998-05-19) le document en entier	1
A	US 5 946 241 A (ZINK ET AL) 31 août 1999 (1999-08-31) le document en entier	1
A	US 5 544 110 A (YUH ET AL) 6 août 1996 (1996-08-06) le document en entier	1

 Voir la suite du cadre C pour la fin de la liste des documents

 Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

31 octobre 2006

Date d'expédition du présent rapport de recherche internationale

09/11/2006

Nom et adresse postale de l'administration chargée de la recherche internationale

 Office Européen des Brevets, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Arnault, Serge

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2006/001686

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5754010	A	19-05-1998	AUCUN	
US 5946241	A	31-08-1999	FR	2752324 A1 13-02-1998
US 5544110	A	06-08-1996	GB	2287336 A 13-09-1995
			JP	8063978 A 08-03-1996
			KR	9609956 B1 25-07-1996