

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3627573号
(P3627573)

(45) 発行日 平成17年3月9日(2005.3.9)

(24) 登録日 平成16年12月17日(2004.12.17)

(51) Int. Cl.⁷

F I

HO2M 3/155
HO2J 1/00
HO2M 3/28HO2M 3/155 B
HO2M 3/155 F
HO2M 3/155 K
HO2J 1/00 3O9B
HO2J 1/00 3IOJ

請求項の数 10 (全 20 頁) 最終頁に続く

(21) 出願番号	特願平11-132862	(73) 特許権者	000005496
(22) 出願日	平成11年5月13日(1999.5.13)		富士ゼロックス株式会社
(65) 公開番号	特開2000-324808(P2000-324808A)		東京都港区赤坂二丁目17番22号
(43) 公開日	平成12年11月24日(2000.11.24)	(74) 代理人	100079049
審査請求日	平成15年7月30日(2003.7.30)		弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100085279
			弁理士 西元 勝一
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	東 恒一
			神奈川県海老名市本郷2274番地 富士 ゼロックス株式会社海老名事業所内
			最終頁に続く

(54) 【発明の名称】 電源装置

(57) 【特許請求の範囲】

【請求項1】

第1の電源回路と該第1の電源回路の後段に接続された第2の電源回路とを備えた電源装置であって、
前記第1の電源回路の動作状態を検出する検出手段と、
前記検出手段による検出結果を許容される瞬時停電時間に相当する時間遅延して出力する遅延手段と、
前記遅延手段から出力された前記検出手段による検出結果が、前記第1の電源回路の正常動作状態を示す場合に前記第2の電源回路の動作を維持させ、前記第1の電源回路の異常動作状態を示す場合に前記第2の電源回路の動作を停止させる制御手段と、
を備えた電源装置。

【請求項2】

スイッチング手段を備えた第1の電源回路と該第1の電源回路の後段に接続された第2の電源回路とを備えた電源装置であって、
前記第1の電源回路に備えられたスイッチング手段のスイッチング状態を検出する検出手段と、
前記検出手段による検出結果を許容される瞬時停電時間に相当する時間遅延して出力する遅延手段と、
前記遅延手段から出力された前記検出手段による検出結果が、前記第1の電源回路の正常動作状態を示す場合に前記第2の電源回路の動作を維持させ、前記第1の電源回路の異常

10

20

動作状態を示す場合に前記第2の電源回路の動作を停止させる制御手段と、
を備えた電源装置。

【請求項3】

前記第1の電源回路がチョッパ型力率改善電源回路であることを特徴とする請求項2記載の電源装置。

【請求項4】

前記第1の電源回路がチョークコイルを備えるものである場合に、前記検出手段は、前記チョークコイルに対して補助巻線を設け、該補助巻線に誘起される電圧を検出することにより前記状態を検出する

ことを特徴とする請求項1又は請求項2記載の電源装置。

10

【請求項5】

前記検出手段は、前記チョッパ型力率改善電源回路に設けられたチョークコイルに対して補助巻線を設け、該補助巻線に誘起される電圧を検出することにより前記スイッチング状態を検出する

ことを特徴とする請求項3記載の電源装置。

【請求項6】

前記第1の電源回路がスイッチング素子を備えるものである場合に、前記検出手段は、前記スイッチング素子に流れる電流をカレントトランスで検出することにより前記動作状態を検出する

ことを特徴とする請求項1記載の電源装置。

20

【請求項7】

前記検出手段は、前記第1の電源回路に設けられたスイッチング素子に流れる電流をカレントトランスで検出することにより前記スイッチング状態を検出する

ことを特徴とする請求項2又は請求項3記載の電源装置。

【請求項8】

前記第1の電源回路を昇圧コンバータとし、該昇圧コンバータを制御するための制御手段に供給する電源として、前記昇圧コンバータのチョークコイルに補助巻線を設け、該補助巻線に誘起される電圧を平滑コンデンサによって平滑したものを適用すると共に、前記平滑コンデンサを前記遅延手段として兼用して用いた

ことを特徴とする請求項1記載の電源装置。

30

【請求項9】

外部からの信号によって前記第2の電源回路の動作を強制的に停止する機能を備え、前記外部からの信号に応じて前記第1の電源回路を制御する制御手段を停止する構成とすると共に、前記遅延手段を強制的にリセットするリセット回路を備えた

ことを特徴とする請求項1記載の電源装置。

【請求項10】

前記遅延手段を、容量が許容される瞬時停電時間に相当する大きさとされたコンデンサとした

ことを特徴とする請求項1記載の電源装置。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、電源装置に係り、より詳しくは、直列に接続された2つの電源回路を含んで構成された電源装置に関する。

【0002】

【従来の技術】

従来より、入力電源の変動が大きな場合や、入力電源の投入時に入力電圧の落ち込みが大きな場合等に、電源装置の入力側に昇圧チョッパ電源回路等の電源回路を付加し、後段の電源回路に対する入力電圧を安定化するように構成された電源装置、すなわち直列に接続された2つの電源回路を含んで構成された電源装置があり、この種の電源装置の制御に関

50

する技術として、特開平5 - 115172号公報及び特開平6 - 215886号公報の各公報に記載の技術があった。

【0003】

特開平5 - 115172号公報記載の技術は、昇圧チョッパの出力にDC/DCコンバータを接続した構成の電源装置に関するものであり、昇圧チョッパが完全に立ち上がった状態でDC/DCコンバータを起動させる、或いは昇圧チョッパの出力電圧がDC/DCコンバータの最大入力電圧を供給することができる電圧以上になってからDC/DCコンバータを起動させるものである。これらによって、昇圧チョッパの出力容量を従来より小さくすることができる。

【0004】

また、特開平6 - 215886号公報記載の技術は、昇圧チョッパ回路の出力にインバータ（自励式又は自励他励式）を接続した回路において、昇圧チョッパ動作後にインバータを動作させる動作制御手段を持ち、インバータ起動時における異常発振を防止することができるものである。

【0005】

ところが、上記特開平5 - 115172号公報記載の技術では、前段側の昇圧チョッパが故障等によって動作を停止した場合であっても、後段側のDC/DCコンバータは動作を停止せず、該DC/DCコンバータの構成部品の焼損等が発生し易くなり、安全性が低い、という問題点があった。

【0006】

上記特開平6 - 215886号公報記載の技術においても、起動順序のみを決定するものであるため、同様の問題点があった。

【0007】

この問題点を解決し得る技術として、特開平6 - 245529号公報及び特開平10 - 337023号公報の各公報記載の技術があった。

【0008】

特開平6 - 245529号公報記載の技術は、昇圧型力率改善回路とスイッチング回路を含むスイッチング電源において、力率改善回路の出力電圧を検出し、電圧の低下があった場合には力率改善回路の入力又は出力に設けたスイッチを遮断するものであり、これによって、力率改善回路が故障し、入力電流が増加して回路が焼損することを防止することができる。

【0009】

また、特開平10 - 337023号公報記載の技術は、DC/DCコンバータの前段に力率改善回路を備えた、所謂2コンバータ方式のスイッチング電源装置において、力率改善回路への入力電圧が遮断された場合であっても、DC/DCコンバータを制御する制御回路が動作中であるときには力率改善回路に設けられた平滑コンデンサから力率改善回路を制御する制御回路に動作を継続させるための動作電圧を供給するものであり、これによってスイッチング電源装置としての所定の保持時間（入力電圧が遮断された時点から電源出力が所定割合（例えば90%）に低下するまでの時間）を確保することができると共に、上記平滑コンデンサが放電した後にDC/DCコンバータを制御する制御回路を停止させることができる。

【0010】

【発明が解決しようとする課題】

しかしながら、上記特開平6 - 245529号公報記載の技術では、昇圧型力率改善回路の出力電圧設定値と入力電圧のピーク電圧に差がない場合、昇圧型力率改善回路の故障を検出することができない、という問題点があった。従ってこの場合はスイッチを遮断することができず、上記の問題点、すなわち整流回路及び昇圧型力率改善回路の構成部品の焼損等が発生し易くなり、安全性が低い、という問題点を回避することができない。

【0011】

すなわち、例えば、最大入力電圧ピーク値が374Vで、昇圧型力率改善回路の出力電圧

10

20

30

40

50

が370～380Vに設定されている場合、上記特開平6-245529号公報記載の技術では、昇圧型力率改善回路の故障を検出することはできない。

【0012】

また、上記特開平6-245529号公報記載の技術では、正常状態であるにも関わらず昇圧型力率改善回路が瞬時停電等に起因して停止した場合、後段側のスイッチング電源が即座に停止してしまう恐れがある、という問題点があった。この場合、所定の保持時間が確保できないため、当該電源装置に接続された負荷側において誤動作等が発生する可能性がある。

【0013】

一方、特開平10-337023号公報記載の技術では、DC/DCコンバータを制御する制御回路が動作しているか否かを検出し、動作している場合に力率改善回路を制御する制御回路への電源供給を力率改善回路に設けられた平滑コンデンサから行なっているため、力率改善回路が平滑コンデンサへの充電が停止されない程度に故障した場合（例えば、スイッチング素子のみがオープンで故障した場合）には、力率改善回路を制御する制御回路への電源供給が停止されることがなく、この場合には力率改善回路が正常に動作していないにも関わらず、電源出力を停止することができない、という問題点があった。この場合も、整流回路及び力率改善回路の構成部品の焼損等が発生し易くなり、安全性が低い、という問題点を回避することができない。

10

【0014】

また、特開平10-337023号公報記載の技術では、DC/DCコンバータを制御する制御回路が動作しているか否かを検出し、動作している場合に力率改善回路を制御する制御回路への電源供給を力率改善回路に設けられた平滑コンデンサから行なっているため、該平滑コンデンサに蓄積されたエネルギーの消費時間が短くなり、所定の保持時間を確保することができない場合がある、という問題点があった。

20

【0015】

本発明は上記問題点を解消するために成されたものであり、前段側の電源回路が正常に動作しているか否かを確認に検出することができ、該検出結果に基づいて後段側の電源回路を確実に停止することができると共に、所定の保持時間を確保することができる電源装置を提供することを目的とする。

【0016】

【課題を解決するための手段】

上記目的を達成するために、請求項1記載の電源装置は、第1の電源回路と該第1の電源回路の後段に接続された第2の電源回路とを備えた電源装置であって、前記第1の電源回路の動作状態を検出する検出手段と、前記検出手段による検出結果を許容される瞬時停電時間に相当する時間遅延して出力する遅延手段と、前記遅延手段から出力された前記検出手段による検出結果が、前記第1の電源回路の正常動作状態を示す場合に前記第2の電源回路の動作を維持させ、前記第1の電源回路の異常動作状態を示す場合に前記第2の電源回路の動作を停止させる制御手段と、を備えている。

30

【0017】

以下に、図1のクレーム対応図を参照しながら、請求項1記載の電源装置の作用を説明する。同図に示すように、請求項1記載の電源装置によれば、検出手段Cによって第1の電源回路Aの動作状態が検出され、遅延手段Dによって検出手段Cによる検出結果が許容される瞬時停電時間に相当する時間遅延されて出力される。なお、第1の電源回路Aはコンバータ回路及びインバータ回路の何れでもよく、更にチョッパ回路であってもよい。また、遅延手段Dとしては、タイマー回路等のデジタル遅延回路やコンデンサ、ディレイライン等を適用することができる。遅延手段Dとしてコンデンサを適用する場合は、該コンデンサの容量を許容される瞬時停電時間に相当する大きさとすることが好ましい。

40

【0018】

また、請求項1に記載の電源装置では、制御手段Eにより、遅延手段Dから出力された検出手段Cによる検出結果が、第1の電源回路Aの正常動作状態を示す場合に第2の電源回

50

路Bの動作が維持され、第1の電源回路Aの異常動作状態を示す場合に第2の電源回路Bの動作が停止される。なお、第2の電源回路Bとしては、コンバータ回路及びインバータ回路等を適用することができる。

【0019】

このように、請求項1に記載の電源装置によれば、検出手段によって第1の電源回路の動作状態を検出しているため、第1の電源回路が正常に動作しているか否かを確実に検出することができ、かつ該検出結果に基づいて第2の電源回路を確実に停止することができると共に、遅延手段によって検出手段による検出結果を許容される瞬時停電時間に相当する時間遅延して出力し、かつこの遅延手段から出力された検出手段による検出結果が、第1の電源回路の正常動作状態を示す場合に第2の電源回路の動作を維持させ、第1の電源回路の異常動作状態を示す場合に第2の電源回路の動作を停止しているため、第2の電源回路の停止を遅延させることができ、従って所定の保持時間を確保することができる。

10

【0020】

また、請求項2に記載の電源装置は、スイッチング手段を備えた第1の電源回路と該第1の電源回路の後段に接続された第2の電源回路とを備えた電源装置であって、前記第1の電源回路に備えられたスイッチング手段のスイッチング状態を検出する検出手段と、前記検出手段による検出結果を許容される瞬時停電時間に相当する時間遅延して出力する遅延手段と、前記遅延手段から出力された前記検出手段による検出結果が、前記第1の電源回路の正常動作状態を示す場合に前記第2の電源回路の動作を維持させ、前記第1の電源回路の異常動作状態を示す場合に前記第2の電源回路の動作を停止させる制御手段と、を備えている。

20

【0021】

請求項2に記載の電源装置によれば、検出手段によってスイッチング手段を備えた第1の電源回路のスイッチング状態が検出され、遅延手段によって前記検出手段による検出結果が許容される瞬時停電時間に相当する時間遅延されて出力され、制御手段によって上記遅延手段から出力された上記検出手段による検出結果が、第1の電源回路の正常動作状態を示す場合に第2の電源回路の動作が維持され、第1の電源回路の異常動作状態を示す場合に第2の電源回路の動作が停止される。なお、第2の電源回路としては、コンバータ回路及びインバータ回路等を適用することができる。

【0022】

このように、請求項2に記載の電源装置によれば、検出手段によってスイッチング手段を備えた第1の電源回路のスイッチング状態を検出しているため、第1の電源回路が正常に動作しているか否かを確実に検出することができ、第1の電源回路に故障が発生した場合でも、第2の電源回路を介した電源出力が負荷に供給されることを防止することができると共に、遅延手段によって検出手段による検出結果を許容される瞬時停電時間に相当する時間遅延して出力し、かつこの遅延手段から出力された前記検出手段による検出結果が、第1の電源回路の正常動作状態を示す場合に第2の電源回路の動作を維持させ、第1の電源回路の異常動作状態を示す場合に第2の電源回路の動作を停止しているため、第2の電源回路の停止を遅延させることができ、従って所定の保持時間を確保することができる。

30

【0023】

また、請求項2に記載の発明におけるスイッチング手段を備えた第1の電源回路としては、請求項3に記載の発明のように、チョッパ型力率改善電源回路を適用することができる。

40

【0024】

なお、上記請求項1及び請求項2に記載の電源装置において、前記第1の電源回路がチョークコイルを備えるものである場合には、前記検出手段は、前記チョークコイルに対して補助巻線を設け、該補助巻線に誘起される電圧を検出することにより前記動作状態を検出する形態とすることができる。これによって、検出手段は第1の電源回路の動作状態を確実に検出することができる。

【0025】

同様に、上記請求項3に記載の電源装置において、前記検出手段は、前記チョッパ型力率改

50

善電源回路に設けられたチョークコイルに対して補助巻線を設け、該補助巻線に誘起される電圧を検出することにより前記スイッチング状態を検出する形態とすることができる。これによって、検出手段はチョッパ型力率改善電源回路のスイッチング状態を確実に検出することができる。

【0026】

また、上記請求項1記載の電源装置において、前記第1の電源回路がスイッチング素子を備えるものである場合には、前記検出手段は、前記スイッチング素子に流れる電流をカレントトランスで検出することにより前記動作状態を検出する形態とすることができる。これによって、検出手段は第1の電源回路の動作状態を確実に検出することができる。

【0027】

同様に、上記請求項2及び請求項3記載の電源装置において、前記検出手段は、前記第1の電源回路に設けられたスイッチング素子に流れる電流をカレントトランスで検出することにより前記スイッチング状態を検出する形態とすることができる。これによって、検出手段は第1の電源回路のスイッチング状態を確実に検出することができる。

【0028】

また、上記請求項1記載の電源装置において、前記第1の電源回路が昇圧コンバータである場合には、該昇圧コンバータを制御するための制御手段に供給する電源として、前記昇圧コンバータのチョークコイルに補助巻線を設け、該補助巻線に誘起される電圧を平滑コンデンサによって平滑したものを適用すると共に、前記平滑コンデンサを前記遅延手段として兼用して用いる形態とすることができる。

【0029】

この場合は、前記平滑コンデンサを前記遅延手段として兼用しているので、低コスト化及び省スペースを実現することができる。

【0030】

更に、上記請求項1記載の電源装置において、外部からの信号によって前記第2の電源回路の動作を強制的に停止する機能を備える場合には、前記外部からの信号に応じて前記第1の電源回路を制御する制御手段を停止する構成とすると共に、前記遅延手段を強制的にリセットするリセット回路を備える構成とする形態を適用することができる。このように構成することによって、遅延なく直ちに第2の電源回路の動作を停止することができる。

【0031】

【発明の実施の形態】

以下、図面を参照して、本発明の電源装置の実施の形態について詳細に説明する。

【0032】

(構成)

まず、図2を参照して、本実施形態に係る電源装置10の構成について説明する。同図に示すように、本実施形態に係る電源装置10は、交流電源90から出力された正弦波交流を全波整流するダイオードブリッジからなる整流回路20と、チョッパ型力率改善電源回路として機能する昇圧コンバータ30と、該昇圧コンバータ30の作動を制御する昇圧コンバータ制御回路40と、上記昇圧コンバータ30によって昇圧された電圧を所望の電圧に降圧するDC/DCコンバータ50と、該DC/DCコンバータ50の作動を制御するDC/DCコンバータ制御回路60と、上記昇圧コンバータ30が正常に動作しているか否かを検出する動作検出回路70と、該動作検出回路70の出力信号を遅延して出力する遅延回路80と、を含んで構成されている。

【0033】

昇圧コンバータ30は、ブーストチョーク32、MOS型FETによって構成されたスイッチング素子34、整流用のダイオード36、及び平滑用のコンデンサ38を含んで構成されている。

【0034】

ブーストチョーク32の一方の端子は整流回路20の一方の出力端に接続されており、ブーストチョーク32の他方の端子はスイッチング素子34のドレイン端子に接続されてお

10

20

30

40

50

り、更にスイッチング素子34のソース端子は整流回路20の他方の出力端に接続されている。すなわち、ブーストチョーク32及びスイッチング素子34は整流回路20の出力端に直列に接続されている。

【0035】

また、スイッチング素子34のドレイン端子はダイオード36のアノード端子にも接続されており、ダイオード36のカソード端子はコンデンサ38のプラス側端子に接続されており、更にコンデンサ38のマイナス側端子はスイッチング素子34のソース端子に接続されている。すなわち、ダイオード36及びコンデンサ38はスイッチング素子34のドレイン端子とソース端子との間に直列に接続されている。

【0036】

更に、コンデンサ38の両端子（プラス側端子及びマイナス側端子）はDC/DCコンバータ50の入力端に接続されており、スイッチング素子34のゲート端子は昇圧コンバータ制御回路40のPWM（Pulse Width Modulation（パルス幅変調）、以下同様）信号P1を出力する出力端に接続されている。

【0037】

一方、本実施形態に係る電源装置10の動作検出回路70は、図3に示すように、補助巻線72、整流用のダイオード74、及び平滑用のコンデンサ76を含んで構成されており、補助巻線72は上記昇圧コンバータ30に設けられたブーストチョーク32の2次巻線として設けられ、該補助巻線72の一方の端子はダイオード74のアノード端子に接続されており、ダイオード74のカソード端子はコンデンサ76の一方の端子及び遅延回路80の一方の入力端に接続されている。また、補助巻線72の他方の端子はコンデンサ76の他方の端子及び遅延回路80の他方の入力端に接続されている。

【0038】

また、本実施形態に係る電源装置10の遅延回路80は、図4に示すように、許容される瞬時停電時間（保持時間）に相当する容量を有するコンデンサ82によって構成されており、動作検出回路70の一方の出力端（図3におけるコンデンサ76の一方の端子）にコンデンサ82のプラス側端子及びDC/DCコンバータ制御回路60の一方の入力端が接続されており、動作検出回路70の他方の出力端（図3におけるコンデンサ76の他方の端子）にコンデンサ82のマイナス側端子及びDC/DCコンバータ制御回路60の他方の入力端が接続されている。

【0039】

図5には、以上の構成に対して、更に、昇圧コンバータ制御回路40への電源供給を補助巻線72に誘起された電圧を利用して行なうように構成した場合の電源装置10の全体構成が示されている。なお、同図における図2乃至図4と同様の部分については同一の符号を付して、その説明を省略する。

【0040】

同図に示すように、この電源装置10には昇圧コンバータ制御回路40に対する電源供給部として起動用の抵抗100及び平滑用のコンデンサ102が備えられており、抵抗100の両端子は各々ブーストチョーク32の他方の端子及びコンデンサ102のプラス側端子に接続されている。

【0041】

また、コンデンサ102の両端子（プラス側端子及びマイナス側端子）は各々昇圧コンバータ制御回路40の電源入力端に接続されている。

【0042】

また、コンデンサ102のプラス側端子はダイオード104を介してダイオード74のカソード端子に、コンデンサ102のマイナス側端子は補助巻線72の他方の端子に、各々接続されている。

【0043】

このように、コンデンサ102と動作検出回路70における平滑用のコンデンサ76とをダイオード104を介して接続することにより、動作検出回路70の平滑用のコンデンサ

10

20

30

40

50

76と遅延回路80を構成するコンデンサ82(図4参照)とを兼用して1つのコンデンサ76'として構成することができる。

【0044】

以上のように昇圧コンバータ制御回路40の電源供給部は構成されているので、電源装置10の起動開始時には、抵抗100を介してコンデンサ102に蓄積されるエネルギーが昇圧コンバータ制御回路40の電源として用いられ、昇圧コンバータ30が動作を開始して補助巻線72に誘起された電圧が所定値を越えた時点で、この補助巻線72に誘起された電圧によってコンデンサ102に蓄積されるエネルギーが昇圧コンバータ制御回路40の電源として用いられる。

【0045】

図6には、以上の構成において、昇圧コンバータ制御回路40、DC/DCコンバータ50及びDC/DCコンバータ制御回路60の内部構成をより詳細に示した回路図(一部ブロック図)が示されている。なお、同図における図2乃至図5と同様の部分については同一の符号を付して、その説明を省略する。

【0046】

同図に示すように、この電源装置10には、抵抗94A及び抵抗94Bによって構成された直列回路がコンデンサ38の両端に並列に接続されている。この直列回路によって、抵抗94A及び抵抗94Bの各々の抵抗値の比率に応じて昇圧コンバータ30の出力電圧(コンデンサ38の端子間電圧であり、以下、昇圧コンバータ出力電圧という)Voの分圧が行なわれる。

【0047】

一方、昇圧コンバータ制御回路40は、誤差増幅器41、基準電源42、乗算器43、変流器44、差動増幅器45、及びPWM回路46を備えている。

【0048】

誤差増幅器41の一方の入力端は上記抵抗94A及び抵抗94Bの接続点に接続されており、他方の入力端はマイナス端子が接地された基準電源42のプラス端子に接続されている。従って誤差増幅器41では、抵抗94A及び抵抗94Bによって分圧された昇圧コンバータ出力電圧Voの基準電源42によって印加される基準電圧Vsに対する誤差を検出して該誤差に応じた信号を出力する。

【0049】

誤差増幅器41の出力端は、一方の入力端が整流回路20の一方の出力端に接続された乗算器43の他方の入力端に接続されており、乗算器43の出力端は差動増幅器45の一方の入力端に接続されている。

【0050】

また、変流器44は整流回路20の他方の出力端に接続されており、差動増幅器45の他方の入力端は変流器44の出力端に接続されており、更に差動増幅器45の出力端は、出力端が昇圧コンバータ30のスイッチング素子34におけるゲート端子に接続されたPWM回路46の入力端に接続されている。

【0051】

従って、昇圧コンバータ30のブーストチョーク32を流れる電流I1が変流器44によって検出され、その低周波成分の信号が差動増幅器45の他方の入力端に入力される。また、PWM回路46は差動増幅器45の差動出力に従って動作し、差動出力が最小になるようにスイッチング素子34の断続を制御するPWM信号P1のデューティを変化させる。

【0052】

一方、DC/DCコンバータ50は、トランス51、MOS型FETで構成されたスイッチング素子52、及び整流平滑回路57を含んで構成されている。トランス51の1次巻線の一方の端子は昇圧コンバータ30におけるコンデンサ38のプラス側端子に接続されており、他方の端子はスイッチング素子52のドレイン端子に接続されており、更にスイッチング素子52のソース端子はコンデンサ38のマイナス側端子に接続されている。

10

20

30

40

50

【 0 0 5 3 】

整流平滑回路 5 7 はダイオード 5 3、ダイオード 5 4、チョークコイル 5 5、及びコンデンサ 5 6 を含んで構成されている。ダイオード 5 3 のアノード端子はトランス 5 1 の 2 次巻線の一方の端子に接続されており、ダイオード 5 3 のカソード端子はダイオード 5 4 のカソード端子及びチョークコイル 5 5 の一方の端子に接続されており、チョークコイル 5 5 の他方の端子はコンデンサ 5 6 のプラス側端子に接続されており、更にコンデンサ 5 6 のマイナス側端子はダイオード 5 4 のアノード端子及びトランス 5 1 の 2 次巻線の他方の端子に接続されている。

【 0 0 5 4 】

以上のように構成された DC / DC コンバータ 5 0 におけるコンデンサ 5 6 の両端が電源装置 1 0 の電源出力端であり、該電源出力端に負荷 9 2 が接続される。

【 0 0 5 5 】

また、コンデンサ 5 6 の両端子間には、抵抗 9 6 A 及び抵抗 9 6 B によって構成された直列回路が接続されている。この直列回路によって、抵抗 9 6 A 及び抵抗 9 6 B の各々の抵抗値の比率に応じて DC / DC コンバータ 5 0 の出力電圧（以下、DC / DC コンバータ出力電圧という） V_{out} の分圧が行なわれる。

【 0 0 5 6 】

一方、DC / DC コンバータ制御回路 6 0 は、誤差増幅器 6 1、基準電源 6 2、PWM 回路 6 3、及びオン/オフ制御回路 6 4 を備えている。

【 0 0 5 7 】

誤差増幅器 6 1 の一方の入力端は上記抵抗 9 6 A 及び抵抗 9 6 B の接続点に接続されており、他方の入力端はマイナス端子が接地された基準電源 6 2 のプラス端子に接続されている。従って誤差増幅器 6 1 では、抵抗 9 6 A 及び抵抗 9 6 B によって分圧された DC / DC コンバータ出力電圧 V_{out} の基準電源 6 2 によって印加される基準電圧 V_b に対する誤差を検出して該誤差に応じた信号を出力する。

【 0 0 5 8 】

誤差増幅器 6 1 の出力端は PWM 回路 6 3 の一方の入力端に接続されており、PWM 回路 6 3 の出力端は DC / DC コンバータ 5 0 におけるスイッチング素子 5 2 のベース端子に接続されている。また、PWM 回路 6 3 の他方の入力端には、入力端がコンデンサ 7 6 ' のプラス側端子に接続されたオン/オフ制御回路 6 4 の出力端に接続されている。

【 0 0 5 9 】

PWM 回路 6 3 は誤差増幅器 6 1 から入力された信号に基づいて PWM 信号 P 2 を生成してスイッチング素子 5 2 に入力する機能を有している。また、オン/オフ制御回路 6 4 は、コンデンサ 7 6 ' を介して入力された信号（以下、DC / DC コンバータ制御信号という） S_c の電圧レベルが所定値（昇圧コンバータ 3 0 が正常に動作している際における DC / DC コンバータ制御信号 S_c の最低電圧値） V_m 以上である場合に昇圧コンバータ 3 0 が正常に動作しているものと見なして、PWM 回路 6 3 に対して出力する制御信号を PWM 信号 P 2 の出力を指示する旨の状態とし、逆に DC / DC コンバータ制御信号 S_c の電圧レベルが上記所定値 V_m 未満である場合には昇圧コンバータ 3 0 が正常に動作していないものと見なして、PWM 回路 6 3 に対して出力する上記制御信号を PWM 信号 P 2 の出力の停止を指示する旨の状態とする。なお、本実施形態では、上記所定値 V_m は予め実験的に求めたものが適用される。

【 0 0 6 0 】

なお、DC / DC コンバータ制御信号 S_c は、コンデンサ 7 6 ' によって所定の遅延時間（許容される瞬時停電時間）だけ遅延されるものであるため、昇圧コンバータ 3 0 が正常に動作している状態から瞬時停電や故障等に起因して異常動作に陥った場合には、オン/オフ制御回路 6 4 では DC / DC コンバータ制御信号 S_c に基づいて、昇圧コンバータ 3 0 が正常な動作から異常動作に移行した時点から上記所定の遅延時間だけ遅れたタイミングで昇圧コンバータ 3 0 の異常動作を検知することになる。従って、この場合は、オン/オフ制御回路 6 4 から PWM 回路 6 3 に対して出力される制御信号も、上記所定の遅延時

10

20

30

40

50

間に応じた時間だけ遅延されたタイミングで、PWM信号P2の出力を指示する旨の状態から出力の停止を指示する旨の状態へと移行される。

【0061】

一方、トランス51には、両端子にダイオード112及びコンデンサ114によって構成された整流平滑回路が接続された補助巻線116が設けられており、更に該整流平滑回路のコンデンサ114の両端子がDC/DCコンバータ制御回路60の電源入力端に接続されており、コンデンサ114の両端子間電圧をDC/DCコンバータ制御回路60の電源として供給するように構成されている。

【0062】

また、コンデンサ114のプラス側端子は起動用の抵抗110を介してコンデンサ38のプラス側端子に接続されている。従って、電源装置10の起動開始時には、抵抗110を介してコンデンサ114に蓄積されるエネルギーがDC/DCコンバータ制御回路60の電源として用いられ、DC/DCコンバータ50が動作を開始して補助巻線116に誘起される電圧が所定値を越えた時点で、この補助巻線116に誘起された電圧によってコンデンサ114に蓄積されるエネルギーがDC/DCコンバータ制御回路60の電源として用いられる。

10

【0063】

昇圧コンバータ30が本発明の第1の電源回路及びチョッパ型力率改善電源回路に、DC/DCコンバータ50が本発明の第2の電源回路に、DC/DCコンバータ制御回路60が本発明の制御手段に、動作検出回路70が本発明の検出手段に、遅延回路80が本発明の遅延手段に、各々相当する。

20

【0064】

(作用)

次に、図6を参照して、本実施形態に係る電源装置10の各部の作用について説明する。

【0065】

交流電源90から入力された正弦波交流は整流回路20によって全波整流されて昇圧コンバータ30に入力される。

【0066】

一方、昇圧コンバータ制御回路40における差動増幅器45では、昇圧コンバータ入力電圧 V_i の波形と、ブーストチョーク32を流れる電流 I_1 の波形とが比較され、電流 I_1 の波形が昇圧コンバータ入力電圧 V_i の波形に追従して変化するように、PWM回路46によってスイッチング素子34のオン時間が変えられる。

30

【0067】

スイッチング素子34がオンされているとき、整流回路20からスイッチング素子34を通してブーストチョーク32に電流が流れて、ブーストチョーク32にエネルギーが蓄積される。このオン期間の電流の増加量は、昇圧コンバータ入力電圧 V_i に比例すると共にオン時間に比例する。

【0068】

スイッチング素子34がオフされると、ブーストチョーク32に蓄積されたエネルギーの放出による電流が整流回路20の出力に重畳されてコンデンサ38に供給される。

40

【0069】

昇圧コンバータ入力電圧 V_i の波形と、ブーストチョーク32を流れる電流 I_1 の波形との比較によって行なわれるパルス幅制御は、昇圧コンバータ入力電圧 V_i が大きいほどスイッチング素子34のオン時間を短くするように作用する。この制御によって電流 I_1 の波形の変化が、昇圧コンバータ入力電圧 V_i の波形にほぼ等しくなる。すなわち、交流入力側から見ると、入力電圧と入力電流とがほぼ同じ波形で、あたかも負荷が抵抗である場合とほぼ同じ状態になる。

【0070】

一方、抵抗94A及び抵抗94Bによって分圧された昇圧コンバータ出力電圧 V_o は誤差増幅器41によって基準電源42による基準電圧 V_s と比較され、上記分圧された昇圧コ

50

ンバータ出力電圧 V_o が基準電圧 V_s より大きいほど乗算器43の乗数が小さくされる。この乗算器43は上記昇圧コンバータ入力電圧 V_i の波形信号が通る回路であるので、上記分圧された昇圧コンバータ出力電圧 V_o が高すぎるとスイッチング素子34のオン時間が短くされ、反対に低すぎるとスイッチング素子34のオン時間が長くされ、従って上記分圧された昇圧コンバータ出力電圧 V_o を基準電圧 V_s に近づけるように作用する。

【0071】

なお、このように昇圧コンバータ30が作動している際に、補助巻線72、ダイオード74、及びコンデンサ76'によって構成された動作検出回路70及び遅延回路80からは補助巻線72に誘起された電圧を整流及び平滑し、かつ遅延したDC/DCコンバータ制御信号ScがDC/DCコンバータ制御回路60のオン/オフ制御回路64に対して常時出力されている。

10

【0072】

そしてオン/オフ制御回路64では、上述したように、入力しているDC/DCコンバータ制御信号Scの電圧レベルが所定値 V_m 以上である場合にはPWM回路63に対して出力する制御信号をPWM信号P2の出力を指示する旨の状態とし、DC/DCコンバータ制御信号Scの電圧レベルが上記所定値 V_m 未満である場合にはPWM回路63に対して出力する上記制御信号をPWM信号P2の出力の停止を指示する旨の状態としている。

【0073】

以上のように昇圧コンバータ30及び昇圧コンバータ制御回路40によって生成された昇圧コンバータ出力電圧 V_o が入力されたDC/DCコンバータ50では、スイッチング素子52のオン/オフに応じてトランス51の1次巻線への昇圧コンバータ出力電圧 V_o の印加/非印加が制御され、これに応じてトランス51の2次巻線には電圧が誘起され、整流平滑回路57によって整流かつ平滑されてDC/DCコンバータ出力電圧 V_{out} が生成される。

20

【0074】

一方、DC/DCコンバータ出力電圧 V_{out} は抵抗96A及び抵抗96Bによって分圧され、該分圧されたDC/DCコンバータ出力電圧 V_{out} が誤差増幅器61の一方の入力端に入力される。誤差増幅器61の他方の入力端には基準電源62によって基準電圧 V_b が印加されており、誤差増幅器61からは上記分圧されたDC/DCコンバータ出力電圧 V_{out} と、基準電圧 V_b との誤差に応じた信号がPWM回路63に入力される。

30

【0075】

PWM回路63では、オン/オフ制御回路64から入力されている制御信号がPWM信号P2の出力を指示する旨の状態である際には、誤差増幅器61から入力されている上記誤差に応じた信号に基づいて上記分圧されたDC/DCコンバータ出力電圧 V_{out} が基準電圧 V_b に一致するようにPWM信号P2のデューティが制御される。ここで、上記分圧されたDC/DCコンバータ出力電圧 V_{out} を大きくする場合はPWM信号P2のデューティを大きくし、上記分圧されたDC/DCコンバータ出力電圧 V_{out} を小さくする場合はPWM信号P2のデューティを小さくすればよい。

【0076】

このPWM信号P2はスイッチング素子52に入力されてPWM信号P2のデューティに応じてスイッチング素子52がオン/オフを繰り返すことによって上記分圧されたDC/DCコンバータ出力電圧 V_{out} が基準電圧 V_b と一致するように制御される。

40

【0077】

一方、オン/オフ制御回路64から入力されている制御信号がPWM信号P2の出力の停止を指示する旨の状態である場合には、PWM回路63はPWM信号P2のスイッチング素子52への出力を停止する。従って、この場合、すなわち、昇圧コンバータ30が正常に動作していない場合には、DC/DCコンバータ50の動作が停止される。

【0078】

ここで、DC/DCコンバータ制御回路60のオン/オフ制御回路64に入力されているDC/DCコンバータ制御信号Scは遅延手段としてのコンデンサ76'によって上記所

50

定の遅延時間だけ遅延されているので、正常に動作している昇圧コンバータ30が瞬時停電等に起因して突然停止した場合には、DC/DCコンバータ制御信号Scの電圧レベルは上記遅延時間に応じた時間だけ遅れて低下する。従って、オン/オフ制御回路64からPWM回路63に出力されている制御信号のPWM信号P2の出力の停止を指示する旨の状態への移行のタイミングも上記遅延時間に応じた時間だけ遅れることになり、従ってPWM回路63からスイッチング素子52に対して出力されているPWM信号P2の出力停止も上記遅延時間に応じた時間だけ遅れることになる。

【0079】

すなわち、昇圧コンバータ30の動作が異常状態となった場合であってもDC/DCコンバータ出力電圧Voutは所定の遅延時間は正常状態で維持されるので、上記異常状態の原因が瞬時停電によるものである場合には、DC/DCコンバータ出力電圧Voutは低下することなく正常状態で維持され、上記異常状態の原因が昇圧コンバータ30の故障によるものである場合には上記遅延時間に応じた時間の経過後にDC/DCコンバータ出力が停止することになる。

10

【0080】

次に、図6及び図7を参照して、電源装置10の正常動作時において瞬時停電が発生する場合の、電源装置10の動作開始から動作停止に至るまでの電源装置10の作用について説明する。なお、図7は本実施形態に係る電源装置10の主要部分の波形図である。

【0081】

交流電源90から整流回路20への正弦波交流の入力が開始(オン)されると、コンデンサ38にエネルギーが経時的に蓄積されて昇圧コンバータ出力電圧Voが徐々に上昇する。

20

【0082】

これと同時に、起動用の抵抗100を介してコンデンサ102にエネルギーが経時的に蓄積されると共に、起動用の抵抗110を介してコンデンサ114にエネルギーが経時的に蓄積され、昇圧コンバータ制御回路40及びDC/DCコンバータ制御回路60の各々の電源電圧も徐々に上昇する。その後、昇圧コンバータ制御回路40への電源供給は、補助巻線72に誘起される電圧が所定値を越えた時点で補助巻線72に誘起された電圧によってコンデンサ102に蓄積されるエネルギーによって行なわれる。また、DC/DCコンバータ制御回路60への電源供給は、補助巻線116に誘起される電圧が所定値を越え、かつDC/DCコンバータ制御信号Scの電圧レベルが所定値Vmを越えた時点で補助巻線116に誘起された電圧によってコンデンサ114に蓄積されるエネルギーによって行なわれる。

30

【0083】

そして昇圧コンバータ制御回路40の立ち上がり時間経過後でDC/DCコンバータ制御信号Scの電圧レベルが所定値Vmを越えた時点でオン/オフ制御回路64からPWM回路63へ出力されている制御信号がPWM信号P2の出力を指示する旨の状態とされて、PWM回路63からスイッチング素子52へのPWM信号P2の出力が開始される。従って、DC/DCコンバータ出力電圧Voutは、この時点から出力が開始される。

【0084】

その後、昇圧コンバータ出力電圧Vo、昇圧コンバータ制御回路40の電源電圧、DC/DCコンバータ制御信号Sc、DC/DCコンバータ制御回路60の電源電圧、及びDC/DCコンバータ出力電圧Voutは各々所定の設定値に維持されて昇圧コンバータ30及びDC/DCコンバータ50は正常動作状態とされる。

40

【0085】

この状態において瞬時停電が発生した場合、該瞬時停電の区間ではいうまでもなく交流電源90からの入力電圧及び入力電流は0(零)となるが、昇圧コンバータ出力電圧Voは、この時点でコンデンサ38に蓄積されているエネルギーが徐々に消費されることにより徐々に低下することになる。

【0086】

50

また、昇圧コンバータ制御回路40の電源電圧も、この時点でコンデンサ102に蓄積されているエネルギーが徐々に消費されることにより徐々に低下すると共に、DC/DCコンバータ制御回路60の電源電圧も、この時点でコンデンサ114に蓄積されているエネルギーが徐々に消費されることにより徐々に低下することになる。

【0087】

ところが、DC/DCコンバータ制御信号Scはコンデンサ76'の作用によって電圧レベルが低下するタイミングが所定の遅延時間だけ遅れるので、瞬時停電の区間内では電圧レベルが低下することはない。従って、DC/DCコンバータ出力電圧Voutのレベルが低下することもない。

【0088】

その後、交流電源90から整流回路20への正弦波交流の入力が停止(オフ)されると、昇圧コンバータ出力電圧Voが徐々に低下し、これに応じて昇圧コンバータ制御回路40及びDC/DCコンバータ制御回路60の各々の電源電圧が低下するが、この際にも、上記の瞬時停電の区間と同様に、DC/DCコンバータ制御信号Scは上記所定の遅延時間だけ遅れて低下する。

【0089】

従って、DC/DCコンバータ出力電圧Voutは交流電源90からの正弦波交流の入力が停止したタイミングから上記所定の遅延時間だけ遅れたタイミングで0(零)となり、所定の保持時間を確保することができる。

【0090】

以上詳細に説明したように、本実施形態に係る電源装置10では、動作検出回路70によって昇圧コンバータ30の動作状態を検出しているので、該昇圧コンバータ30が正常に動作しているか否かを確実に検出することができ、かつ該検出結果に基づいてDC/DCコンバータ50を確実に停止することができると共に、遅延回路80によって動作検出回路70による検出結果を遅延して出力し、かつこの遅延回路80の出力に基づいてDC/DCコンバータ50のオン/オフを制御しているので、DC/DCコンバータ50の停止を遅延させることができ、従って所定の保持時間を確保することができ、瞬時停電に起因するDC/DCコンバータ50の停止を防止することができる。

【0091】

なお、本実施形態では、図2に示す電源装置10の動作検出回路70を図3に示したようにブーストチョーク32に対して補助巻線72を設けることにより、該補助巻線72に誘起される電圧を検出する形態とした場合について説明したが、本発明はこれに限定されるものではなく、動作検出回路70としては、例えば、図8乃至図11に示す何れかの形態を適用することもできる。

【0092】

図8に示す形態は、ブーストチョーク32の他方の端子(ダイオード36のアノード端子)とスイッチング素子34のドレイン端子との間にカレントトランス120の1次巻線を接続し、該カレントトランス120の2次巻線側にダイオード122及びコンデンサ124からなる整流平滑回路を設けたものであり、この構成では、スイッチング素子34を流れる電流をカレントトランス120で電圧に変換し、それを上記整流平滑回路によって整流かつ平滑した電圧によって昇圧コンバータ30の動作状態を検出する。

【0093】

また、図9に示す形態は、ブーストチョーク32の一方の端子と整流回路20(図9では図示せず)の一方の出力端との間にカレントトランス126の1次巻線を接続し、カレントトランス126の2次巻線側にダイオード128及びコンデンサ130からなる整流平滑回路を設けたものであり、この構成でも図8に示した構成と同様に、昇圧コンバータ30を流れる電流をカレントトランス126で電圧に変換し、それを上記整流平滑回路によって整流かつ平滑した電圧によって昇圧コンバータ30の動作状態を検出する。

【0094】

また、図10に示す形態は、ブーストチョーク32の他方の端子(ダイオード36のアノ

10

20

30

40

50

ード端子)を分岐してダイオード132を介してコンデンサ136及び抵抗138を含んで構成されたハイパスフィルタ134を設けたものであり、この構成では、ハイパスフィルタ134によってスイッチング周波数の電圧を検出し、該検出した電圧によって昇圧コンバータ30の動作状態を検出する。

【0095】

更に、図11に示す形態は、ダイオード36のカソード端子を分岐して、他方の端子に基準電源142による基準電圧 V_r が印加された誤差増幅器140の一方の入力端に接続し、誤差増幅器140の出力端を遅延回路80に接続したものであり、この構成では、誤差増幅器140によって昇圧コンバータ30の出力電圧を基準電圧 V_r (例えば昇圧前の電圧)と比較することにより、昇圧コンバータ30の動作状態を検出する。

10

【0096】

また、本実施形態では、図2に示す電源装置10の遅延回路80として図4に示したようにコンデンサ82を適用する形態とした場合について説明したが、本発明はこれに限定されるものではなく、例えば、図12に示すようにタイマー回路144を適用する形態とすることもできる。この場合は、遅延回路80としてコンデンサ82を適用した場合に比較して、より正確に遅延時間を設定することができる。

【0097】

また、本実施形態では、図5におけるコンデンサ76'の作用によって電源出力の停止を常時遅延させる場合について説明したが、本発明はこれに限定されるものではなく、電源装置10に外部からの制御信号(以下、外部出力制御信号という)によって遅延することなく電源出力を停止することができる機能を有させる場合には、例えば、図13に示すようなスイッチング素子(トランジスタ)148によって構成されたりセット回路146を適用する形態とすることもできる。

20

【0098】

同図に示す形態は、図5に示した形態に比較して、コンデンサ76'のプラス側端子に、ベース端子に上記外部出力制御信号が入力されるように構成されたスイッチング素子148のエミッタ端子が接続されており、コンデンサ76'のマイナス側端子にスイッチング素子148のコレクタ端子が接続されており、更に外部出力制御信号が昇圧コンバータ制御回路40にも入力されるように構成されている。

【0099】

この構成において、外部出力制御信号によって電源出力を停止する場合には、外部出力制御信号によって昇圧コンバータ制御回路40を停止すると共に、スイッチング素子148の作用によって遅延手段としてのコンデンサ76'を強制的にリセットする。これによって、直ちにDC/DCコンバータ50を停止することができ、従って直ちに電源出力を停止することができる。

30

【0100】

また、本実施形態に係る電源装置10では、起動時や無負荷時・軽負荷時等に昇圧コンバータ制御回路40への供給電力が不足し、これに起因して昇圧コンバータ30において起動不良や間欠動作が発生する場合があります。この場合、故障でないにも関わらず正常に動作していないものと誤検出してしまう恐れがある。この場合の対策として、例えば図14に示す形態を適用することができる。以下に該形態について説明する。

40

1. DC/DCコンバータ制御回路60用の電源(以下、制御回路用電源という)58の電源ラインを分岐して昇圧コンバータ制御回路40の電源ラインにダイオード59を介して接続する。

2. DC/DCコンバータ50の起動回路(図6の抵抗110及びコンデンサ114)の時定数を昇圧コンバータ30の起動回路(図6の抵抗100及びコンデンサ102)の時定数よりも早くなるように設定する。

3. 制御回路用電源58から供給される電圧を、定格負荷状態では昇圧コンバータ制御回路40用の電源電圧よりも低く設定されていて昇圧コンバータ制御回路40に供給されないが、起動時や無負荷時・軽負荷時に補助巻線72に誘起される電圧が低下したときのみ

50

昇圧コンバータ制御回路40に供給される電圧となるように設定する。

【0101】

以上のように構成することによって、起動時や無負荷時・軽負荷時等に昇圧コンバータ制御回路40の電力が不足する事態を回避することができるので、昇圧コンバータ30の起動不良、間欠動作等を防止することができ、従って故障でないにも関わらず正常に動作していないものと誤検出してしまふことを防止することができる。

【0102】

また、本実施形態では、図2に示すように、本発明の第1の電源回路として昇圧コンバータ30を適用した場合について説明したが、本発明はこれに限定されるものではなく、例えば、図15に示すようにスイッチング素子152、ダイオード154、ブーストチョーク156、コンデンサ158等を含んで構成された降圧コンバータ150を適用する形態とすることもできる。この場合も、本実施形態と同様の効果を奏することができる。また、本発明の第2の電源回路としてDC/DCコンバータ50とは異なる電源回路を適用する形態とすることもできることはいうまでもない。

【0103】

更に、本実施形態では、本発明の電源装置を図6に示すように構成した場合について説明したが、本発明はこれに限定されるものではなく、図6に示した各部とも同様の機能を有するものを適用する形態とすることができることはいうまでもない。例えば、図6におけるDC/DCコンバータ制御回路60はスイッチングレギュレータICである商品名M51995AP/FP(三菱電機株式会社製)を適用して構成することもできる。この場合は、省スペースを実現できる。

【0104】

【発明の効果】

請求項1に記載の電源装置によれば、検出手段によって第1の電源回路の動作状態を検出しているので、第1の電源回路が正常に動作しているか否かを確実に検出することができ、かつ該検出結果に基づいて第2の電源回路を確実に停止することができると共に、遅延手段によって検出手段による検出結果を許容される瞬時停電時間に相当する時間遅延して出力し、かつこの遅延手段から出力された前記検出手段による検出結果が、第1の電源回路の正常動作状態を示す場合に第2の電源回路の動作を維持させ、第1の電源回路の異常動作状態を示す場合に第2の電源回路の動作を停止しているので、第2の電源回路の停止を遅延させることができ、従って所定の保持時間を確保することができる、という効果が得られる。

【0105】

また、請求項2及び請求項3に記載の電源装置によれば、検出手段によってスイッチング手段を備えた第1の電源回路のスイッチング状態を検出しているので、第1の電源回路が正常に動作しているか否かを確実に検出することができ、第1の電源回路に故障が発生した場合でも、第2の電源回路を介した電源出力が負荷に供給されることを防止することができると共に、遅延手段によって検出手段による検出結果を許容される瞬時停電時間に相当する時間遅延して出力し、かつこの遅延手段から出力された前記検出手段による検出結果が、第1の電源回路の正常動作状態を示す場合に第2の電源回路の動作を維持させ、第1の電源回路の異常動作状態を示す場合に第2の電源回路の動作を停止しているので、第2の電源回路の停止を遅延させることができ、従って所定の保持時間を確保することができる、という効果が得られる。

【図面の簡単な説明】

【図1】請求項1記載の発明の説明に供するクレーム対応図である。

【図2】実施の形態に係る電源装置の概略構成を示すブロック図(一部回路図)である。

【図3】図2における動作検出回路の回路構成を示す回路図である。

【図4】図2における遅延回路の回路構成を示す回路図である。

【図5】実施の形態に係る電源装置のやや詳細な構成を示すブロック図(一部回路図)である。

10

20

30

40

50

【図6】実施の形態に係る電源装置の詳細な構成を示す回路図（一部ブロック図）である。

【図7】実施の形態に係る電源装置の作用の説明に供する電源装置の主要部分の波形図である。

【図8】実施の形態に係る動作検出回路の別の回路構成を示す回路図である。

【図9】実施の形態に係る動作検出回路の更に別の回路構成を示す回路図である。

【図10】実施の形態に係る動作検出回路の更に別の回路構成を示す回路図である。

【図11】実施の形態に係る動作検出回路の更に別の回路構成を示す回路図である。

【図12】実施の形態に係る遅延回路の別の回路構成を示す回路図である。

【図13】実施の形態に係る電源装置の別の構成を示すブロック図（一部回路図）である 10

【図14】実施の形態に係る電源装置の更に別の構成を示すブロック図（一部回路図）である。

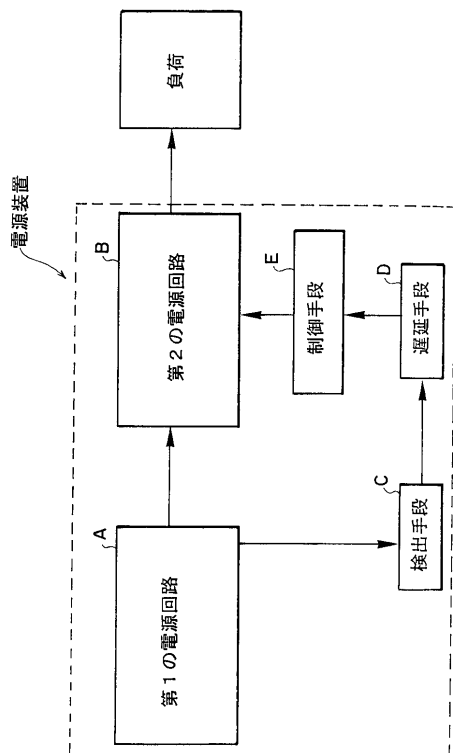
【図15】実施の形態に係る電源装置の更に別の構成を示すブロック図（一部回路図）である。

【符号の説明】

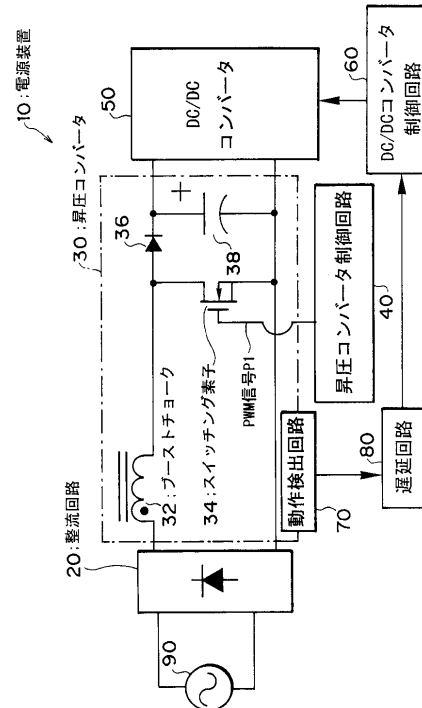
- 10 電源装置
- 20 整流回路
- 30 昇圧コンバータ（第1の電源回路、チョップパ型力率改善電源回路）
- 40 昇圧コンバータ制御回路
- 50 DC/DCコンバータ（第2の電源回路）
- 60 DC/DCコンバータ制御回路（制御手段）
- 70 動作検出回路（検出手段）
- 80 遅延回路（遅延手段）
- 90 交流電源

20

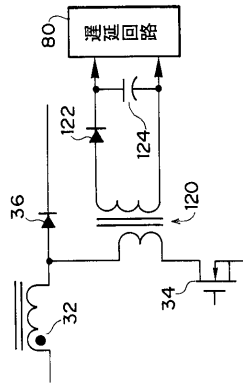
【図1】



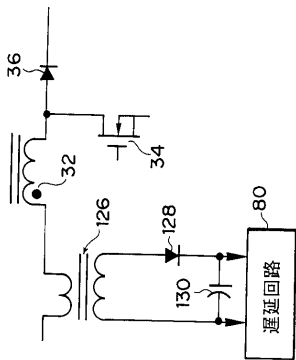
【図2】



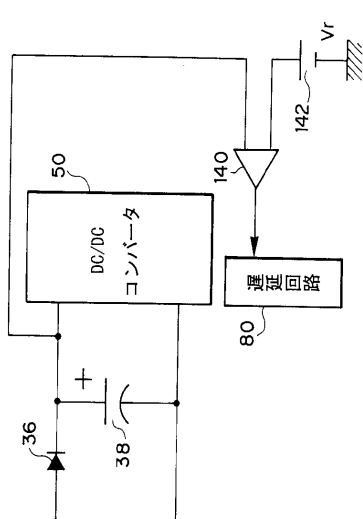
【図 8】



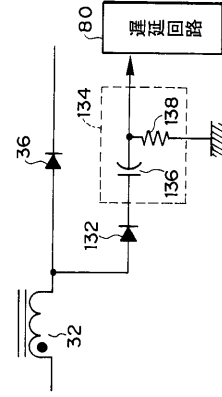
【図 9】



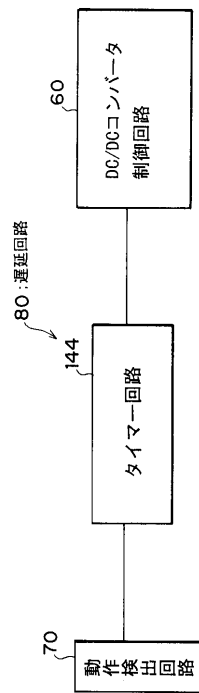
【図 11】



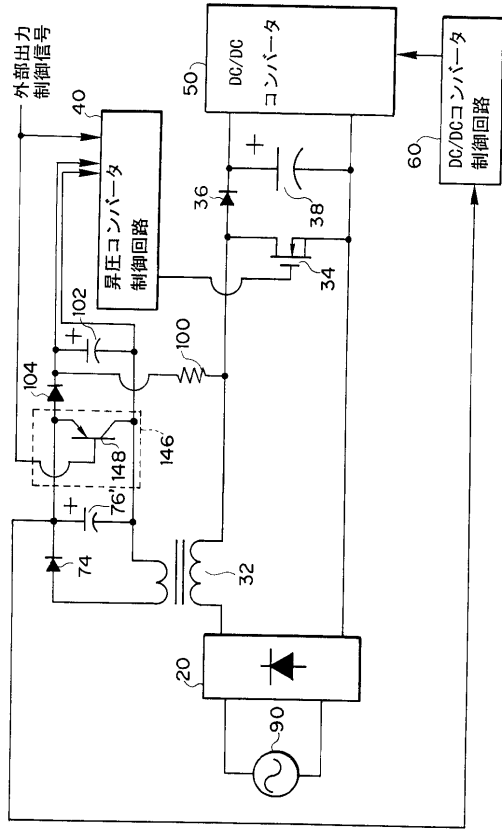
【図 10】



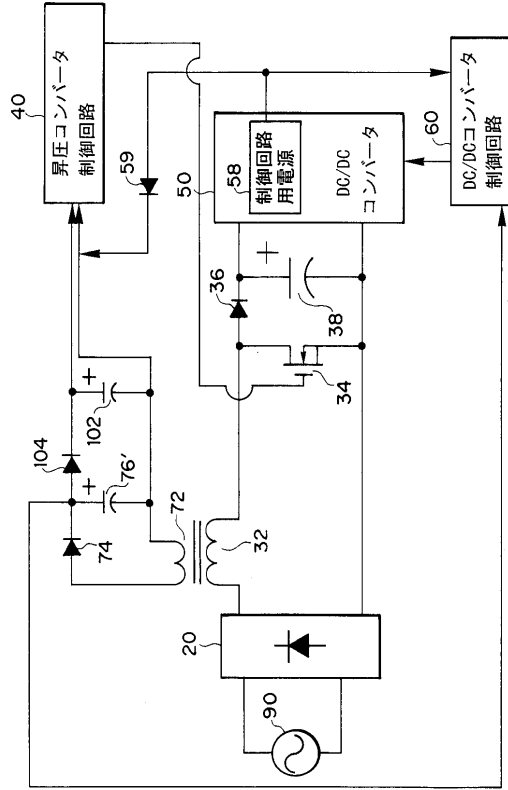
【図 12】



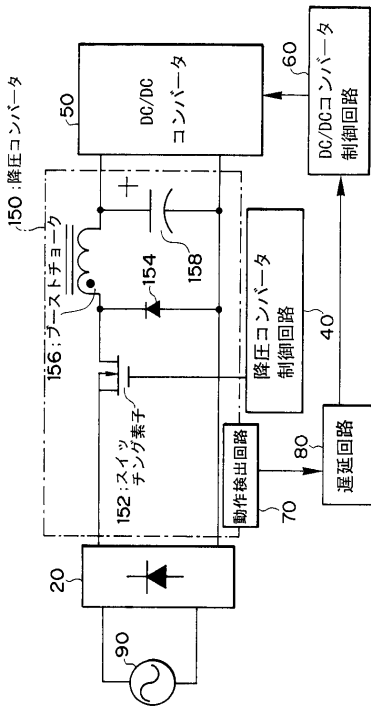
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51) Int.Cl.⁷

F I

H 0 2 M 3/28

H

審査官 川端 修

(56) 参考文献 特開平 0 8 - 1 4 0 3 3 7 (J P , A)

特開平 0 8 - 0 9 8 5 8 8 (J P , A)

特開平 0 8 - 0 6 6 0 0 9 (J P , A)

特開平 0 5 - 1 1 5 1 7 2 (J P , A)

実開平 0 5 - 0 7 8 1 9 2 (J P , U)

(58) 調査した分野(Int.Cl.⁷, DB名)

H02M 3/155

H02J 1/00

H02M 3/28