(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7590603号
(P7590603)

(45)発行日　令和6年11月26日(2024.11.26)
(24)登録日　令和6年11月18日(2024.11.18)

(51)国際特許分類
Ｈ１０Ｂ　12/00　(2023.01)

ＦＩ
Ｈ１０Ｂ　12/00　８０１
Ｈ１０Ｂ　12/00　６７１Ａ

請求項の数　20　（全33頁）

(21)出願番号　特願2023-572040(P2023-572040)
(86)(22)出願日　令和4年8月17日(2022.8.17)
(65)公表番号　特表2024-530852(P2024-530852A)
(43)公表日　令和6年8月27日(2024.8.27)
(86)国際出願番号　PCT/CN2022/112956
(87)国際公開番号　WO2024/026934
(87)国際公開日　令和6年2月8日(2024.2.8)
審査請求日　令和5年11月20日(2023.11.20)
(31)優先権主張番号　202210933308.6
(32)優先日　令和4年8月4日(2022.8.4)
(33)優先権主張国・地域又は機関
中国(CN)

(73)特許権者　522246670
チャンシン メモリー テクノロジーズ インコーポレイテッド
ＣＨＡＮＧＸＩＮ ＭＥＭＯＲＹ ＴＥＣＨＮＯＬＯＧＩＥＳ，ＩＮＣ．
中華人民共和国 ２３０６０１ アンフイ プロヴィンス ヘーフェイ シティ エコノミック アンド テクノロジカル ディベロップメント エリア エアポート インダストリアル パーク シンイェ アベニュー ナンバー ３８８
(74)代理人　100205659
弁理士　齋藤　拓也
(74)代理人　100185269
弁理士　小菅　一弘

最終頁に続く

(54)【発明の名称】　半導体構造及びその製造方法

(57)【特許請求の範囲】

【請求項１】

半導体構造であって、

基板と、

前記基板上に位置する半導体柱及び前記半導体柱の上に位置するゲート柱であって、前記半導体柱及び前記ゲート柱は両方とも、基板の平面に垂直な方向に沿って延在する、半導体柱及びゲート柱と、

前記基板の平面に平行な第１方向に沿って延在する第１ワード線であって、前記第１ワード線は前記半導体柱を囲む、第１ワード線と、

前記半導体柱の上に位置し、少なくとも前記ゲート柱の側壁を囲む半導体層と、を含む、半導体構造。

【請求項２】

前記ゲート柱と前記半導体柱は一対一で対応し、または、

前記半導体柱の頂部は、前記ゲート柱の底部に電気的に接続され、または、

前記半導体柱と前記ゲート柱の前記基板の平面への正投影は、少なくとも一部が重なっており、前記ゲート柱と前記半導体柱の材料は同じである、

請求項１に記載の半導体構造。

【請求項３】

前記半導体柱は、下から上に向かって配置された第１電極、第１チャネル領域及び第２電極を含み、前記第１電極、前記第１チャネル領域及び前記第２電極の導電類型は同じで

ある、

請求項１に記載の半導体構造。

【請求項４】

前記半導体層は、接続された第１サブ部分、第２サブ部分及び第３サブ部分を含み、前記第１サブ部分は前記ゲート柱の頂面を覆い、前記第２サブ部分は前記ゲート柱の側壁を覆い、前記第３サブ部分は隣接する前記ゲート柱間の前記基板の上面を部分的に覆う、

請求項１に記載の半導体構造。

【請求項５】

前記半導体構造は更に、

前記第１方向に沿って延在する第２ワード線であって、前記第２ワード線は、前記第２サブ部分の前記半導体柱に隣接する一端を取り囲み、前記第３サブ部分の上面を覆う、第２ワード線と、

第２方向に沿って延在する第１ビット線及び第２ビット線であって、前記第２方向は前記基板の平面に平行で前記第１方向に垂直であり、前記第１ビット線は、前記半導体柱の下方に位置し、且つ前記半導体柱の下部に電気的に接続され、前記第２ビット線は、前記半導体層の上方に位置し、且つ前記第１サブ部分に電気的に接続される、第１ビット線及び第２ビット線と、を含む、

請求項４に記載の半導体構造。

【請求項６】

前記半導体構造は更に、

前記第１ワード線と前記半導体柱との間に位置する第１ゲート誘電体層であって、前記第１ゲート誘電体層は前記第１チャネル領域と前記第２電極を取り囲む、第１ゲート誘電体層と、

互いに接続された第１サブ層と第２サブ層とを含む第２ゲート誘電体層であって、前記第１サブ層は、前記ゲート柱と前記半導体層との間に位置し、前記ゲート柱の側壁と頂部を覆い、前記第２サブ層は隣接する前記ゲート柱間の前記基板の上面を覆う、第２ゲート誘電体層と、を含む、

請求項３に記載の半導体構造。

【請求項７】

前記半導体構造は更に、

前記第１ワード線と前記半導体柱との間に位置する第１ゲート誘電体層であって、前記第１ゲート誘電体層は前記第１チャネル領域と前記第２電極を取り囲む、第１ゲート誘電体層と、

前記ゲート柱の側壁と頂部を覆う第２ゲート誘電体層と、

隣接する前記ゲート柱間の前記基板の上面を覆う第４誘電体層と、を含む、

請求項３に記載の半導体構造。

【請求項８】

前記半導体柱と前記半導体層は、酸化インジウム、酸化スズ、Ｉｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｇａ系酸化物、Ｉｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物のうちの少なくとも１つ又はその組み合わせを含む、

請求項１に記載の半導体構造。

【請求項９】

前記半導体構造は更に、第１方向に沿って延在するワード線隔離構造を含み、前記ワード線隔離構造は、隣接する前記第１ワード線を隔離するために、任意の隣接する２つの前記第１ワード線間に位置し、

または、

前記半導体構造は更に、前記基板の上に位置する第１誘電体層と、前記第１誘電体層の上に位置する第２誘電体層と、を含み、前記半導体柱と前記第１ワード線は、前記第１誘

電体層に位置し、前記ゲート柱、前記半導体層及び第２ワード線は、前記第２誘電体層に位置する、
請求項１に記載の半導体構造。
【請求項１０】
半導体構造の製造方法であって、
基板を提供することと、
前記基板上にピラーを形成することであって、前記ピラーは半導体柱を含み、前記ピラーは基板の平面に垂直な方向に沿って延在する、ことと、
前記基板の平面に平行な第１方向に沿って延在する第１ワード線を形成することであって、前記第１ワード線は、前記ピラーの一部を囲む、ことと、
前記半導体柱の直上にゲート柱を形成することであって、前記ゲート柱は、基板の平面に垂直な方向に沿って延在する、ことと、
半導体層を形成することであって、前記半導体層は、少なくとも前記ゲート柱の側壁を囲む、ことと、を含む、半導体構造の製造方法。
【請求項１１】
前記基板上にピラーを形成する前に、前記半導体構造の製造方法は、
前記基板上に絶縁層を形成することと、
前記絶縁層に対してエッチング工程を実行して、前記絶縁層上に第２方向に沿って延在する複数の第１トレンチを形成することであって、前記第２方向は、前記基板の平面に平行で前記第１方向に垂直である、ことと、
複数の前記第１トレンチ内に導電材料を充填し、第２方向に沿って延在する複数の第１ビット線を形成することと、を更に含む、
請求項１０に記載の半導体構造の製造方法。
【請求項１２】
複数の前記第１トレンチ内に導電材料を充填し、第２方向に沿って延在する複数の第１ビット線を形成した後、前記半導体構造の製造方法は、
第１誘電体層を形成することと、
前記第１誘電体層をエッチングして、前記第１誘電体層内に第１方向に沿って延在する複数の第２トレンチを形成することと、
複数の前記第２トレンチ内に絶縁材料を充填し、第１方向に沿って延在する複数のワード線隔離構造を形成することと、を更に含む、
請求項１１に記載の半導体構造の製造方法。
【請求項１３】
前記基板上にピラーを形成することは、
前記第１誘電体層をエッチングして、複数の第１チャネル孔を形成することであって、前記第１チャネル孔は前記第１ビット線を露出させる、ことと、
前記第１チャネル孔内に半導体材料を充填し、前記ピラーを形成することであって、前記ピラーは半導体柱を含む、ことと、
第１方向に沿って延在する第１ワード線を形成することであって、前記第１ワード線は前記半導体柱を囲み、前記第１方向は基板の平面に平行である、ことと、を更に含み、前記第１方向に沿って延在する第１ワード線を形成することは、
前記第１方向に沿って延在し、隣接する２つのワード線隔離構造間に位置する複数の第３トレンチを形成することと、
前記第３トレンチ内に第１ゲート誘電体層を形成することであって、前記第１ゲート誘電体層は前記半導体柱の一部を取り囲む、ことと、
前記第３トレンチ内に第１ワード線を形成することであって、前記第１ワード線は前記第１ゲート誘電体層の一部を取り囲む、ことと、を含む、
請求項１２に記載の半導体構造の製造方法。
【請求項１４】
前記半導体柱の直上にゲート柱を形成することは、

第２誘電体層を形成し、前記第２誘電体層をエッチングして、前記第２誘電体層内に、前記半導体柱の頂部を露出させる複数の第２チャネル孔を形成することと、

前記第２チャネル孔内に前記ゲート柱を形成することと、を含み、

前記ゲート柱を形成した後、前記半導体構造の製造方法は、

前記ゲート柱の頂面と側壁を露出させることと、

第２ゲート誘電体層を堆積することであって、前記第２ゲート誘電体層は、前記ゲート柱の側壁と頂部を囲む部分と、第１誘電体層の上面を覆う部分と、を含む、ことと、

前記第２ゲート誘電体層上に半導体材料層とワード線材料層を順次に形成することであって、前記半導体材料層は前記第２ゲート誘電体層とコンフォーマルであり、前記ワード線材料層は隣接する前記半導体材料層間の隙間を充填する、ことと、

前記半導体材料層と前記ワード線材料層をエッチングして、半導体層及び第１方向に沿って延在する複数の第２ワード線をそれぞれ形成することと、を更に含む、

請求項<u>１０</u>に記載の半導体構造の製造方法。

【請求項１５】

前記半導体層を形成した後、前記半導体構造の製造方法は、

第３誘電体層を形成することと、

前記第３誘電体層をエッチングし、第２方向に沿って延在する第４トレンチを形成することであって、前記半導体層の上面は前記第４トレンチから露出される、ことと、

前記第４トレンチ内に第２ビット線を形成することと、を更に含む、

請求項<u>１０</u>に記載の半導体構造の製造方法。

【請求項１６】

前記基板上にピラーを形成することは、

前記基板上にピラーを形成することであって、前記ピラーは、基板の表面より高く、基板の平面に垂直な方向に沿って延在し、前記ピラーは半導体柱及びゲート柱を含み、前記ゲート柱は、前記半導体柱の直上に位置することを含み、

前記第１ワード線を形成した後、前記半導体構造の製造方法は、半導体層を形成することを更に含み、前記半導体層は、少なくとも前記ゲート柱の側壁を囲む、

請求項<u>１０</u>に記載の半導体構造の製造方法。

【請求項１７】

前記基板上にピラーを形成する前に、前記半導体構造の製造方法は、

前記基板上に第２方向に沿って延在する複数の第１ビット線を形成することと、

第１誘電体層を形成することと、

前記第１誘電体層内に、第１方向に沿って延在する複数のワード線隔離構造を形成することと、を更に含む、

請求項<u>１６</u>に記載の半導体構造の製造方法。

【請求項１８】

前記基板上にピラーを形成することは、

前記第１誘電体層をエッチングして、複数の第１チャネル孔を形成することであって、前記第１チャネル孔は前記第１ビット線を露出させる、ことと、

半導体材料層を形成することであって、前記半導体材料層は、前記第１誘電体層の上面を覆い、前記第１チャネル孔を充填する、ことと、

前記半導体材料層をエッチングして前記ピラーを形成することであって、前記ピラーのうち前記第１チャネル孔内に位置する部分を半導体柱と定義し、前記ピラーのうち第１チャネル孔の直上に位置する部分をゲート柱と定義する、ことと、を含む、

請求項<u>１７</u>に記載の半導体構造の製造方法。

【請求項１９】

第１方向に沿って延在する第１ワード線を形成することは、

第１方向に沿って延在し、隣接する２つのワード線隔離構造間に位置する複数の第３トレンチを形成することと、

ゲート誘電体層を形成することであって、前記ゲート誘電体層は、前記半導体柱の一部

を囲む第１ゲート誘電体層、及び前記ゲート柱の側壁と頂部を囲む第２ゲート誘電体層を含む、ことと、

前記第３トレンチ内に第１ワード線を形成することであって、前記第１ワード線は前記第１ゲート誘電体層の一部を取り囲む、ことと、を含む、

請求項１８に記載の半導体構造の製造方法。

【請求項２０】

第１ワード線を形成した後、前記半導体構造の製造方法は、

前記第２ゲート誘電体層上に半導体材料層とワード線材料層を順次に形成することであって、前記半導体材料層は少なくとも前記第２ゲート誘電体層を覆い、前記ワード線材料層は隣接する前記半導体材料層間の隙間を充填する、ことと、

前記半導体材料層と前記ワード線材料層をエッチングし、前記ワード線隔離構造の上に位置する前記半導体材料層及び前記ワード線材料層の一部を除去して、半導体層及び第１方向に沿って延在する複数の第２ワード線をそれぞれ形成することと、を更に含む、

請求項１９に記載の半導体構造の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

（関連出願への相互参照）

本願は、２０２２年０８月０４日に中国特許局に提出された、出願番号が２０２２１０９３３３０８．６であり、発明の名称が「半導体構造及びその製造方法」である、中国特許出願に基づいて提出されるものであり、当該中国特許出願の優先権を主張し、当該中国特許出願の全ての内容が参照によって本願に援用される。

【０００２】

本開示は、半導体製造分野に関し、特に、半導体構造及びその製造方法に関する。

【背景技術】

【０００３】

技術の発展と進歩に伴い、半導体デバイスのサイズが徐々に縮小され、半導体デバイスは、小型化、高集積度の方向に向かって発展している。ダイナミックランダムアクセスメモリ（ＤＲＡＭ：ｄｙｎａｍｉｃ　ｒａｎｄｏｍ　ａｃｃｅｓｓ　ｍｅｍｏｒｙ）は、データを高速かつランダムに書き込み／読み取る半導体デバイスとして、常に、データ記憶機器や装置に幅広く適用されている。しかし、ダイナミックランダムアクセスメモリの構造には、改善すべき問題がまだたくさん存在している。

【発明の概要】

【０００４】

本開示の実施例は、半導体構造を提供し、前記半導体構造は、

基板と、

前記基板上に位置する半導体柱及び前記半導体柱の上に位置するゲート柱であって、前記半導体柱及び前記ゲート柱は両方とも、基板の平面に垂直な方向に沿って延在する、半導体柱及びゲート柱と、

前記基板の平面に平行な第１方向に沿って延在する第１ワード線であって、前記第１ワード線は前記半導体柱を囲む、第１ワード線と、

前記半導体柱の上に位置し、少なくとも前記ゲート柱の側壁を囲む半導体層と、を含む。

【０００５】

いくつかの実施例において、前記ゲート柱と前記半導体柱は一対一で対応する。

【０００６】

いくつかの実施例において、前記半導体柱の頂部は、前記ゲート柱の底部に電気的に接続される。

【０００７】

いくつかの実施例において、前記半導体柱と前記ゲート柱の前記基板の平面への正投影は、少なくとも一部が重なっており、前記ゲート柱と前記半導体柱の材料は同じである。

【０００８】
いくつかの実施例において、前記半導体柱は、下から上に向かって配置された第１電極、第１チャネル領域及び第２電極を含み、前記第１電極、前記第１チャネル領域及び前記第２電極の導電類型は同じである。
【０００９】
いくつかの実施例において、前記半導体層は、互いに接続された第１サブ部分、第２サブ部分及び第３サブ部分を含み、前記第１サブ部分は前記ゲート柱の頂面を覆い、前記第２サブ部分は前記ゲート柱の側壁を覆い、前記第３サブ部分は隣接する前記ゲート柱間の前記基板の上面を部分的に覆う。
【００１０】
いくつかの実施例において、前記半導体構造は更に、
前記第１方向に沿って延在する第２ワード線であって、前記第２ワード線は、前記第２サブ部分の前記半導体柱に隣接する一端を取り囲み、前記第３サブ部分の上面を覆う、第２ワード線と、
第２方向に沿って延在する第１ビット線及び第２ビット線であって、前記第２方向は前記基板の平面に平行で前記第１方向に垂直であり、前記第１ビット線は、前記半導体柱の下方に位置し、且つ前記半導体柱の下部に電気的に接続され、前記第２ビット線は、前記半導体層の上方に位置し、且つ前記第１サブ部分に電気的に接続される、第１ビット線及び第２ビット線と、を含む。
【００１１】
いくつかの実施例において、前記半導体構造は更に、
前記第１ワード線と前記半導体柱との間に位置する第１ゲート誘電体層であって、前記第１ゲート誘電体層は前記第１チャネル領域と前記第２電極を取り囲む、第１ゲート誘電体層と、
互いに接続された第１サブ層と第２サブ層とを含む第２ゲート誘電体層であって、前記第１サブ層は、前記ゲート柱と前記半導体層との間に位置し、前記ゲート柱の側壁と頂部を覆い、前記第２サブ層は隣接する前記ゲート柱間の前記基板の上面を覆う、第２ゲート誘電体層と、を含む。
【００１２】
いくつかの実施例において、前記半導体構造は更に、
前記第１ワード線と前記半導体柱との間に位置する第１ゲート誘電体層であって、前記第１ゲート誘電体層は前記第１チャネル領域と前記第２電極を取り囲む、第１ゲート誘電体層と、
前記ゲート柱の側壁と頂部を覆う第２ゲート誘電体層と、
隣接する前記ゲート柱間の前記基板の上面を覆う第４誘電体層と、を含む。
【００１３】
いくつかの実施例において、前記半導体柱と前記半導体層は、酸化インジウム、酸化スズ、Ｉｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｇａ系酸化物、Ｉｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物のうちの少なくとも１つ又はその組み合わせを含む。
【００１４】
いくつかの実施例において、前記半導体構造は更に、第１方向に沿って延在するワード線隔離構造を含み、前記ワード線隔離構造は、隣接する前記第１ワード線を隔離するために、任意の隣接する２つの前記第１ワード線間に位置する。
【００１５】
いくつかの実施例において、前記半導体構造は更に、前記基板の上に位置する第１誘電体層と、前記第１誘電体層の上に位置する第２誘電体層と、を含み、前記半導体柱と前記第１ワード線は、前記第１誘電体層に位置し、前記ゲート柱、前記半導体層及び第２ワード線は、前記第２誘電体層に位置する。

【００１６】
本開示の実施例は更に、半導体構造の製造方法を提供し、前記方法は、
基板を提供することと、
前記基板上にピラーを形成することであって、前記ピラーは、半導体柱を含み、前記ピラーは基板の平面に垂直な方向に沿って延在する、ことと、
前記基板の平面に平行な第１方向に沿って延在する第１ワード線を形成することであって、前記第１ワード線は前記ピラーの一部を囲む、ことと、を含む。
【００１７】
いくつかの実施例において、前記第１ワード線を形成した後、前記方法は、
前記半導体柱の直上にゲート柱を形成することであって、前記ゲート柱は、基板の平面に垂直な方向に沿って延在することと、
半導体層を形成することであって、前記半導体層は、少なくとも前記ゲート柱の側壁を囲むことと、を更に含む。
【００１８】
いくつかの実施例において、前記基板上にピラーを形成する前に、前記方法は、
前記基板上に絶縁層を形成することと、
前記絶縁層に対してエッチング工程を実行して、前記絶縁層上に第２方向に沿って延在する複数の第１トレンチを形成することであって、前記第２方向は、前記基板の平面に平行で前記第１方向に垂直であることと、
複数の前記第１トレンチ内に導電材料を充填し、第２方向に沿って延在する複数の第１ビット線を形成することと、を更に含む。
【００１９】
いくつかの実施例において、複数の前記第１トレンチ内に導電材料を充填し、第２方向に沿って延在する複数の第１ビット線を形成した後、前記方法は、
第１誘電体層を形成することと、
前記第１誘電体層をエッチングして、前記第１誘電体層内に第１方向に沿って延在する複数の第２トレンチを形成することと、
複数の前記第２トレンチ内に絶縁材料を充填し、第１方向に沿って延在する複数のワード線隔離構造を形成することと、を更に含む。
【００２０】
いくつかの実施例において、前記基板上にピラーを形成することは、
前記第１誘電体層をエッチングして、複数の第１チャネル孔を形成することであって、前記第１チャネル孔は、前記第１ビット線を露出させることと、
前記第１チャネル孔内に半導体材料を充填し、前記ピラーを形成することであって、前記ピラーは、半導体柱を含むことと、
第１方向に沿って延在する第１ワード線を形成することであって、前記第１ワード線は、前記半導体柱を囲み、前記第１方向は、基板の平面に平行である、ことと、を更に含み、前記第１方向に沿って延在する第１ワード線を形成することは、
前記第１方向に沿って延在し、隣接する２つのワード線隔離構造間に位置する複数の第３トレンチを形成することと、
前記第３トレンチ内に第１ゲート誘電体層を形成することであって、前記第１ゲート誘電体層は前記半導体柱の一部を取り囲む、ことと、
前記第３トレンチ内に第１ワード線を形成することであって、前記第１ワード線は前記第１ゲート誘電体層の一部を取り囲む、ことと、を含む。
【００２１】
いくつかの実施例において、前記半導体柱の直上にゲート柱を形成することは、
第２誘電体層を形成し、前記第２誘電体層をエッチングして、前記第２誘電体層内に、前記半導体柱の頂部を露出させる複数の第２チャネル孔を形成することと、
前記第２チャネル孔内に前記ゲート柱を形成することと、を含み、
前記ゲート柱を形成した後、前記方法は、

前記ゲート柱の頂面と側壁を露出させることと、
第２ゲート誘電体層を堆積することであって、前記第２ゲート誘電体層は、前記ゲート柱の側壁と頂部を囲む部分と、第１誘電体層の上面を覆う部分と、を含む、ことと、
前記第２ゲート誘電体層上に半導体材料層とワード線材料層を順次に形成することであって、前記半導体材料層は前記第２ゲート誘電体層とコンフォーマルであり、前記ワード線材料層は隣接する前記半導体材料層間の隙間を充填することと、
前記半導体材料層と前記ワード線材料層をエッチングして、半導体層及び第１方向に沿って延在する複数の第２ワード線をそれぞれ形成することと、を更に含む。
【００２２】
いくつかの実施例において、前記半導体層を形成した後、前記方法は、
第３誘電体層を形成することと、
前記第３誘電体層をエッチングし、第２方向に沿って延在する第４トレンチを形成することであって、前記半導体層の上面は前記第４トレンチから露出される、ことと、
前記第４トレンチ内に第２ビット線を形成することと、を更に含む。
【００２３】
いくつかの実施例において、前記基板上にピラーを形成することは、
前記基板上にピラーを形成することであって、前記ピラーは、基板の表面より高く、基板の平面に垂直な方向に沿って延在し、前記ピラーは半導体柱及びゲート柱を含み、前記ゲート柱は前記半導体柱の直上に位置する、ことを含み、
前記第１ワード線を形成した後、前記方法は、半導体層を形成することを更に含み、前記半導体層は少なくとも前記ゲート柱の側壁を囲む。
【００２４】
いくつかの実施例において、前記基板上にピラーを形成する前に、前記方法は、
前記基板上に第２方向に沿って延在する複数の第１ビット線を形成することと、
第１誘電体層を形成することと、
前記第１誘電体層内に、第１方向に沿って延在する複数のワード線隔離構造を形成することと、を更に含む。
【００２５】
いくつかの実施例において、前記基板上にピラーを形成することは、
前記第１誘電体層をエッチングして、複数の第１チャネル孔を形成することであって、前記第１チャネル孔は前記第１ビット線を露出させる、ことと、
半導体材料層を形成することであって、前記半導体材料層は、前記第１誘電体層の上面を覆い、前記第１チャネル孔を充填する、ことと、
前記半導体材料層をエッチングして前記ピラーを形成することであって、前記ピラーのうち前記第１チャネル孔内に位置する部分を半導体柱と定義し、前記ピラーのうち第１チャネル孔の直上に位置する部分をゲート柱と定義することと、を含む。
【００２６】
いくつかの実施例において、第１方向に沿って延在する第１ワード線を形成することは、
第１方向に沿って延在し、隣接する２つのワード線隔離構造間に位置する複数の第３トレンチを形成することと、
ゲート誘電体層を形成することであって、前記ゲート誘電体層は、前記半導体柱の一部を囲む第１ゲート誘電体層、及び前記ゲート柱の側壁と頂部を囲む第２ゲート誘電体層を含む、ことと、
前記第３トレンチ内に第１ワード線を形成することであって、前記第１ワード線は前記第１ゲート誘電体層の一部を取り囲む、ことと、を含む。
【００２７】
いくつかの実施例において、第１ワード線を形成した後、前記方法は、
前記第２ゲート誘電体層上に半導体材料層とワード線材料層を順次に形成することであって、前記半導体材料層は少なくとも前記第２ゲート誘電体層を覆い、前記ワード線材料層は隣接する前記半導体材料層間の隙間を充填する、ことと、

前記半導体材料層と前記ワード線材料層をエッチングし、前記ワード線隔離構造の上に位置する前記半導体材料層及び前記ワード線材料層の一部を除去して、半導体層及び第１方向に沿って延在する複数の第２ワード線をそれぞれ形成することと、を更に含む。

【００２８】

本開示の実施例による半導体構造及びその製造方法において、前記構造は、基板と、半導体柱及びゲート柱と、第１ワード線と、半導体層とを含み、前記半導体柱は前記基板上に位置し、前記ゲート柱は前記半導体柱の上に位置し、前記半導体柱及び前記ゲート柱は両方とも、基板平面に垂直な方向に沿って延在し、前記第１ワード線は、第１方向に沿って延在し、前記半導体柱を囲み、前記第１方向は基板の平面に平行であり、前記半導体層は、前記半導体柱の上に位置し、少なくとも前記ゲート柱の側壁を囲む。このようにして、底部に位置する半導体柱とその上に位置する半導体層は縦方向に分布され、後続で半導体柱と半導体層に基づいてトランジスタ構造を形成する際に、２つのトランジスタの投影によって占有される基板上の面積を大幅に低減し、２つのトランジスタを基板上にタイリングする方式と比較して、本開示の実施例は、半導体構造の集積度を効果的に向上させることができる。

【００２９】

本開示の１つ又は複数の実施例の詳細は、以下の図面及び説明で提案される。本開示の他の特徴、目的及び利点は、明細書、図面及び特許請求の範囲から明らかになる。

【図面の簡単な説明】

【００３０】

【図１】本開示の実施例による半導体構造の１つの構造の概略構造図である。
【図２】本開示の実施例による半導体構造の他の構造の概略構造図である。
【図３】本開示の実施例による半導体構造のまた別の構造の概略構造図である。
【図４】本開示の実施例による半導体構造の製造方法のフローチャートである。
【図５】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図６】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図７】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図８】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図９】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図１０】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図１１】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図１２】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図１３】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図１４】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図１５】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図１６】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図１７】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図１８】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図１９】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図２０】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図２１】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図２２】本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図である。
【図２３】本開示の実施例による半導体構造の他の構造の概略構造図である。
【図２４】本開示の他の実施例による半導体構造の製造方法のプロセスフロー図である。
【図２５】本開示の他の実施例による半導体構造の製造方法のプロセスフロー図である。
【図２６】本開示の他の実施例による半導体構造の製造方法のプロセスフロー図である。
【図２７】本開示の他の実施例による半導体構造の製造方法のプロセスフロー図である。
【図２８】本開示の他の実施例による半導体構造の製造方法のプロセスフロー図である。
【図２９】本開示の他の実施例による半導体構造の製造方法のプロセスフロー図である。

【発明を実施するための形態】

【００３１】
本発明の実施例の技術的解決策をより明確に説明するために、実施例で必要とされる図面について以上で簡単に紹介した。明らかに、上記の図面は、本発明のいくつかの実施例に過ぎず、当業者であれば、創造的な労力なしに、これらの図面に従って他の図面を得ることもできる。
【００３２】
以下では、図面を参照して、本発明で開示される例示的な実施形態をより詳細に説明する。図面には、本発明の例示的な実施形態が示されているが、本発明は、様々な形態で実現でき、本明細書に示される特定の実施形態によって限定されないことを理解されたい。むしろ、これらの実施形態は、本発明をより完全に理解させ、本発明の範囲を当業者に十分に伝えるために提供される。
【００３３】
以下の説明では、本発明のより完全な理解を提供するために、多数の具体的な詳細が与えられている。しかし、当業者なら自明であるが、本発明は、これらの詳細の１つ又は複数がなくても実施可能である。他の例では、本発明との混同を避けるために、当技術分野で周知のいくつかの技術的特徴は説明されていない。即ち、本明細書には、実際の実施例のすべての特徴が記載されておらず、周知の機能及び構造が詳細に記載されていない。
【００３４】
図面において、明確にするために、層、領域、素子（要素）のサイズ及びその相対的なサイズは誇張されている場合がある。全体を通して、同じ符号は同じ素子を表す。
【００３５】
理解できるように、素子又は層が、他の素子又は層「上に位置する」か、他の素子又は層「に隣接する」か、他の素子又は層「に接続される」か、又は他の素子又は層「に結合される」場合、当該素子又は層は、他の素子又は層に直接に位置、隣接、接続又は結合されてもよく、又は介在する素子又は層が存在してもよい。逆に、素子が、他の素子又は層「上に直接位置する」、他の素子又は層「に直接に隣接する」、他の素子又は層「に直接に接続される」又は他の素子又は層「に直接に結合される」場合、介在する素子又は層は存在しない。理解できるように、第１、第２、第３などの用語を使用して、様々な素子、部品、領域、層及び／又は部分を説明することができるが、これらの素子、部品、領域、層及び／又は部分は、これらの用語によって限定されない。これらの用語は、ある素子、部品、領域、層又は部分を、他の素子、部品、領域、層又は部分と区別するためのものに過ぎない。したがって、本発明の教示から逸脱することなく、以下で論じる第１素子、部品、領域、層又は部分は、第２素子、部品、領域、層又は部分として表し得る。第２素子、部品、領域、層又は部分を論じる場合、本発明に第１素子、部品、領域、層又は部分が必然として存在することを意味しない。
【００３６】
「…の下」、「…の下方」、「下の」、「…の下の」、「…の上の」、「…上方の」などの空間関係用語は、本明細書では、説明の便宜上、図示されたある素子又は特徴と、他の素子又は特徴との間の関係を説明するために使用されることができる。理解できるように、図面に示された向きに加えて、空間関係用語は、使用中及び動作中のデバイスの異なる向きを含むことを意図する。例えば、図面におけるデバイスが反転した場合、「他の素子の下に位置し」又は「それの下」又は「その下」と記載された素子又は特徴は、他の素子又は特徴「上」に向けられる。よって、「…の下方」及び「……の下」という例示的な用語は、上及び下の２つの向きを含み得る。デバイスは、別の方向に向けられてもよく、９０度回転又は他の方向に向けられることができ、本明細書で使用される空間説明用語は、それに応じて解釈されるべきである。
【００３７】
本明細書で使用される用語は、特定の実施例を説明することのみを目的としており、本発明を限定するためのものではない。本明細書で使用されるとき、文脈において別段の定義がない限り、単数形の「１」、「１つ」及び「前記／当該」は、複数形も含むことを意

図する。更に、「構成」及び／又は「含む」という用語が、本明細書で使用される場合、記載された特徴、整数、工程、動作、素子及び／又は部品が存在するが、１つ又は複数の他の特徴、整数、工程、動作、素子、部品及び／又は組み合わせの存在又は追加を除外しないことを意味する。本明細書で使用される「及び／又は」という用語は、関連付けられた項目のいずれか及びそれらのすべての組み合わせを含む。

【００３８】

一般的なダイナミックランダムアクセスメモリ（ＤＲＡＭ）は、通常、１つのトランジスタと１つのキャパシタ（１Ｔ１Ｃ）によって１つの記憶ユニットを構成し、キャパシタは、データを記憶するために使用される。しかし、１Ｔ１Ｃダイナミックランダムアクセスメモリは、キャパシタに記憶できる電荷量に対する要件が高く、且つキャパシタに対する読み取りは破壊的であるため、読み取り動作の後にも書き換える必要があり、消費電力が増加する。一方、キャパシタの製造工程が複雑で、占積率が高いため、小型化が問題となっている。

【００３９】

したがって、当業者は、通常、１つの読み取りトランジスタと１つの書き込みトランジスタによって１つのメモリ構造を構成する、２トランジスタ０キャパシタ（２Ｔ０Ｃ）型のダイナミックランダムアクセスメモリを開発した。しかし、２トランジスタ０キャパシタ（２Ｔ０Ｃ）型のダイナミックランダムアクセスメモリの構造にも解決すべき多くの問題が存在している。

【００４０】

これに鑑みて、本開示の実施例の以下の技術的解決策を提案する。

【００４１】

本開示の実施例は、半導体構造を提供し、半導体構造は、

基板、半導体柱、ゲート柱、第１ワード線、及び半導体層を含み、

半導体柱は基板上に位置し、ゲート柱は半導体柱の上に位置し、半導体柱とゲート柱は両方とも、基板の平面に垂直な方向に沿って延在し、

第１ワード線は、第１方向に沿って延在し、半導体柱を囲み、第１方向は基板の平面に平行であり、

半導体層は、半導体柱の上に位置し、少なくともゲート柱の側壁を囲む。

【００４２】

本開示の実施例において、底部に位置する半導体柱とその上に位置する半導体層は縦方向に分布され、後続で半導体柱と半導体層に基づいてトランジスタ構造を形成する際に、２つのトランジスタの基板への投影面積を大幅に低減し、２つのトランジスタを基板上タイリングする方式と比較して、本開示の実施例は、半導体構造の集積度を効果的に向上させることができる。

【００４３】

本開示の上記の目的、特徴及び利点をより明確且つ理解しやすくするために、以下では、図面を参照して、本開示の具体的な実施形態について詳細に説明する。本開示の実施例を詳細に説明する際に、説明の便宜上、概略図は、縮尺を合わせず部分的に拡大される場合があり、概略図は、例示に過ぎず、本開示の保護範囲を限定すべきではない。

【００４４】

図１は、本開示の実施例による半導体構造の概略構造図であり、図２は、本開示の実施例による半導体構造の別の構造の概略構造図であり、図３は、本開示の実施例による半導体構造のまた別の構造の概略構造図である。

【００４５】

以下は、図面を参照して本開示の実施例による半導体構造を更に詳細に説明する。

【００４６】

図１、図２及び図３に示すように、半導体構造は、

基板１０、半導体柱１３、ゲート柱１８、第１ワード線ＷＬ１及び半導体層１６を含み、

半導体柱１３は、基板１０上に位置し、ゲート柱１８は、半導体柱１３の上に位置し、

半導体柱１３とゲート柱１８は両方とも、基板１０の平面に垂直な方向に沿って延在し、
第１ワード線ＷＬ１は、第１方向に沿って延在し、半導体柱１３を囲み、第１方向は、基板１０の平面に平行であり、
半導体層１６は、半導体柱１３の上に位置し、少なくともゲート柱１８の側壁を囲む。
【００４７】
いくつかの実施例において、ゲート柱１８は、半導体柱１３と一対一で対応する。
【００４８】
ここで、基板は、半導体基板であってもよく、具体的には、少なくとも１つの元素半導体材料（例えば、シリコン（Ｓｉ）基板、ゲルマニウム（Ｇｅ）基板など）、少なくとも１つのＩＩＩ－Ｖ化合物半導体材料（例えば、窒化ガリウム（ＧａＮ）基板、砒化ガリウム（ＧａＡｓ）基板、リン化インジウム（ＩｎＰ）基板など）、少なくとも１つのＩＩ－ＶＩ化合物半導体材料、少なくとも１つの有機半導体材料又は当該分野で既知の他の半導体材料を含む。１つの具体的な実施例において、基板は、シリコン基板である。
【００４９】
いくつかの実施例において、半導体柱１３と半導体層１６は、酸化インジウム、酸化スズ、Ｉｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｇａ系酸化物、Ｉｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物の少なくとも１つ又はその組み合わせを含む。
【００５０】
しかし、これらに限定されず、半導体柱と半導体層の材料は更に、Ｉｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｌａ－Ｚｎ系酸化物、Ｉｎ－Ｃｅ－Ｚｎ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ系酸化物、及びＩｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ系酸化物などの、四元系金属酸化物を含んでもよい。
【００５１】
いくつかの実施例において、半導体柱と半導体層の材料として、少なくともインジウム（Ｉｎ）又は亜鉛（Ｚｎ）を含む材料を選択してもよい。特に、インジウム（Ｉｎ）及び亜鉛（Ｚｎ）を含む材料が好ましい。上記の元素以外に、安定剤ガリウム（Ｇａ）元素を更に含む材料を選択してもよく、安定剤は、最終的に形成されたトランジスタの電気的特性偏差を低減することができる。
【００５２】
選択的に、半導体柱と半導体層の材料は、インジウムガリウム亜鉛酸化物（ＩＧＺＯ）、例えば化学式が$InGaZnO_4$である材料を含むが、これに限定されない。
【００５３】
１つの具体的な実施例において、半導体柱と半導体層の材料は、$In_xGa_yZn_{1-x-y}O$を含み、ここで、ｘは、０以上または１以下であり、ｙは、０以上または１以下である。
【００５４】
理解できるように、実際の動作において、半導体柱の一部をチャネル領域とし、及び半導体層をチャネル領域とし、これに基づいて、書き込み動作のためのトランジスタ構造及び読み取り動作のためのトランジスタ構造をそれぞれ形成することができる。
【００５５】
いくつかの実施例において、半導体柱と半導体層の材料として酸化物半導体材料を使用する場合、即ち、書き込み作用のトランジスタ構造のチャネル領域及び読み取り作用のトランジスタ構造のチャネル領域として酸化物半導体材料を使用する場合、酸化物半導体材

料がより高いキャリア移動度とより低いリーク電流を有するため、２つのトランジスタ構造のリーク電流を効果的に低減し、２つのトランジスタ構造のオンオフ電流比と電流駆動性を向上させ、半導体構造のアクセス速度を向上させ、消費電力を削減することができる。

【００５６】

理解できるように、2トランジスタ0キャパシタ（２Ｔ０Ｃ）ダイナミックランダムアクセスメモリ構造において、半導体柱を基盤として形成されるトランジスタ構造は、半導体構造の書き込みトランジスタとして使用されることができ、半導体層を基盤として形成されるトランジスタ構造は、半導体構造の読み取りトランジスタとして使用されることができ、１つの書き込みトランジスタと１つの読み取りトランジスタによって１つの記憶ユニットを構成し、情報の読み取り動作を実現するように構成される。

【００５７】

キャパシタ構造を配置した半導体構造と比較して、本開示の実施例による構造は、キャパシタを更に製造する必要なく、工程が簡単であり、読み取った後書き換え動作を行う必要がなく、消費電力を削減する。

【００５８】

いくつかの実施例において、半導体柱１３は、下から上に向かって配置された第１電極１３１、第１チャネル領域１３２及び第２電極を１３３含み、第１電極１３１、第１チャネル領域１３２及び第２電極１３３の導電類型は同じである。

【００５９】

半導体柱の材料がインジウムガリウム亜鉛酸化物（ＩＧＺＯ）である場合、書き込みトランジスタ構造のリーク電流を効果的に低減することができるだけでなく、第１電極、第１チャネル領域及び第２電極の導電類型が同じであるため、書き込みトランジスタ構造における浮遊体効果の発生を効果的に防止することができる。

【００６０】

ここで、第１電極１３１、第１チャネル領域１３２及び第２電極１３３は、それぞれ書き込みトランジスタの第１ソース／ドレイン領域、チャネル領域及び第２ソース／ドレイン領域として使用することができる。

【００６１】

いくつかの実施例において、半導体層１６は、互いに接続された第１サブ部分１６１、第２サブ部分１６２及び第３サブ部分１６３を含み、第１サブ部分１６１は、ゲート柱１８の頂面を覆い、第２サブ部分１６２は、ゲート柱１８の側壁を覆い、第３サブ部分１６３部分は、隣接するゲート柱１８間の基板１０の上面を覆う。

【００６２】

ここで、半導体層は、読み取りトランジスタのチャネル領域として使用されることができ、半導体層の第２サブ部分がゲート柱の側壁を覆う（取り囲む）ため、読み取りトランジスタのチャネル領域が比較的大きなチャネルサイズを有するようにし、チャネル領域がゲート電極の片側のみに配置される構造と比較して、本開示の実施例による構造は、短チャネル効果の発生を効果的に防止することができる。

【００６３】

続けて図１と図２を参照すると分かるように、いくつかの実施例において、半導体構造は更に、第１ゲート誘電体層１４と第２ゲート誘電体層１５とを含み、

第１ゲート誘電体層１４は、第１ワード線ＷＬ１と半導体柱１３との間に位置し、第１ゲート誘電体層１４は、第１チャネル領域１３２と第２電極１３３を取り囲み、

第２ゲート誘電体層１５は、互いに接続された第１サブ層１５１と第２サブ層１５２とを含み、第１サブ層１５１は、ゲート柱１８と半導体層１６との間に位置し、ゲート柱１８の側壁と頂部を覆い、第２サブ層１５２は、隣接するゲート柱１８間の基板１０の上面を覆う。

【００６４】

続いて図３を参照すると分かるように、別のいくつかの実施例において、半導体構造は更に、第１ゲート誘電体層１４、第２ゲート誘電体層１５及び第４誘電体層Ｌ４を含み、

第１ゲート誘電体層１４は、第１ワード線ＷＬ１と半導体柱１３との間に位置し、第１ゲート誘電体層１４は、第１チャネル領域１３２と第２電極１３３を取り囲み、

第２ゲート誘電体層１５は、ゲート柱１８の側壁と頂部を覆い、

第４誘電体層Ｌ４は、隣接するゲート柱１８間の基板１０の上面を覆う。

【００６５】

実際の動作において、第１ゲート電極誘電体層と第２ゲート電極誘電体層の材料は、酸化物、窒化物、酸窒化物、他の絶縁材料などを含むが、これに限定されず、いくつかの特定の実施例において、第１ゲート電極誘電体層と第２ゲート電極誘電体層の材料は、アルミナ、酸化シリコン、窒化シリコンなどの１つ又はその組み合わせであってもよい。

【００６６】

第１ゲート電極誘電体層と第２ゲート電極誘電体層の形成工程は、原子層堆積工程などを含むが、これに限定されない。

【００６７】

第２ゲート誘電体層は、隣接するゲート柱間の基板の上面を覆う部分を含むため、下部に位置し且つ半導体柱の周囲に位置する構造と、上部に位置し且つゲート柱の周囲に位置する構造との間に電気的隔離の効果を形成させ、上記の構造間の相互干渉を防止することができる。

【００６８】

いくつかの実施例において、半導体構造は更に、第２ワード線ＷＬ２、第１ビット線ＢＬ１及び第２ビット線ＢＬ２を含み、

第２ワード線ＷＬ２は、第１方向に沿って延在し、第２サブ部分１６２の半導体柱１３に隣接する一端を取り囲み、第３サブ部分１６３の上面を覆い、

第１ビット線ＢＬ１と第２ビット線ＢＬ２は、第２方向に沿って延在し、第２方向は、基板１０の平面に平行で第１方向に垂直であり、第１ビット線ＢＬ１は、半導体柱１３の下方に位置し、半導体柱１３の下部に電気的に接続され、第２ビット線ＢＬ２は、半導体層１６の上方に位置し、第１サブ部分１６１に電気的に接続される。

【００６９】

ここで、第２ワード線は、読み取りトランジスタのソース領域又はドレイン領域として使用されることができ、第２ビット線は、読み取りトランジスタのドレイン領域又はソース領域として使用されることができる。いくつかの実施例において、第２ワード線は、読み取りトランジスタのソース領域として使用され、第２ビット線は、読み取りトランジスタのドレイン領域として使用される。しかし、これに限定されず、いくつかの他の実施例において、第２ワード線は、読み取りトランジスタのドレイン領域として使用されることができ、第２ビット線は、読み取りトランジスタのソース領域として使用され、ここでは、特に限定しない。

【００７０】

当該実施例において、第２ワード線が、チャネル領域として使用される半導体層の第２サブ部分を取り囲むため、第２ワード線とチャネル領域との間の接触面積が増加し、第２ワード線とチャネル領域との間の接触抵抗を減少し、読み取りトランジスタの消費電力を削減することに有益である。

【００７１】

実際の動作において、第１ビット線は、半導体柱の第１電極に電気的に接続されることができる。第１ワード線に適当な電圧を印加するとき、書き込みトランジスタは導通され、この場合、第１ビット線に適当な電圧を印加することにより、半導体柱を介して読み取りトランジスタのゲート電極（即ち、ゲート柱）に電荷を注入することができ、ゲート電極（即ち、ゲート柱）に含まれる電荷量の変化は、読み取りトランジスタの抵抗状態に影響を与え、それにより、実際の動作において、　「０」と「１」を区別することができる。

【００７２】

ここで、読み取りトランジスタのゲート電極を情報記憶のためのノードとして使用することにより、キャパシタ構造を形成する別工程が不要となる。

【００７３】

当該プロセスにおいて、書き込みトランジスタにおける電荷は、半導体柱を介して読み取りトランジスタのゲート柱に注入される必要があるため、半導体柱とゲート柱との間の相対的な位置、接続関係、それに含まれる材料特性などの要因は、電荷の伝送速度、効率に影響を与える可能性がある。

【００７４】

本開示の１つの実施例において、図１に示すように、半導体柱１３の頂部は、ゲート柱１８の底部に電気的に接続される。

【００７５】

ここで、半導体柱の材料は、酸化物半導体材料であってもよく、ゲート柱の材料は、タングステン（Ｗ）、銅（Ｃｕ）、チタン（Ｔｉ）、タンタル（Ｔａ）、窒化チタン（ＴｉＮ）、窒化タンタル（ＴａＮ）、金属ケイ化物、金属合金の１つ又は複数を含み得るが、これに限定されない。

【００７６】

当該実施例において、半導体柱の第２電極の頂部は、ゲート柱の底部に直接電気的に接続され、つまり、書き込みトランジスタの１つのソース／ドレイン領域は、導電線を必要とせずに、読み取りトランジスタのゲート電極に直接電気的に接続されることができる。従来の構造において、相互接続線を介して書き込みトランジスタの１つのソース／ドレイン領域と、読み取りトランジスタのゲート電極との間の電気的に接続を実現する方式と比較して、本開示の実施例は、書き込みトランジスタが読み取りトランジスタのゲート電極に電荷を注入する際の電荷循環経路を効果的に短縮し、それにより、半導体構造の情報伝送速度と伝送効率を効果的に向上させることができる。

【００７７】

本開示の他の実施例において、図２に示すように、半導体柱とゲート柱の基板の平面への正投影は、少なくとも一部が重なっており、ゲート柱と半導体柱の材料は同じである。

【００７８】

当該実施例において、半導体柱とゲート柱の基板の平面への正投影は、少なくとも一部が重なり、つまり、書き込みトランジスタと読み取りトランジスタの基板の平面への正投影は、少なくとも一部が重なり、それにより、１つの書き込みトランジスタと１つの読み取りトランジスタからなる記憶ユニット構造が、より少ない基板の表面積を占めるようにし、これは、同じ平面寸法の基板上に、本開示の実施例による半導体構造は、より多くの記憶ユニットを形成できることを意味し、つまり、本開示の実施例の半導体構造は、より高い集積度を有することができる。

【００７９】

理解できるように、半導体柱とゲート柱の基板の平面への正投影がすべて重なる場合、つまり、書き込みトランジスタと読み取りトランジスタの基板の平面への正投影がすべて重なる場合、本開示の実施例による半導体構造は、より良好な数の記憶ユニットを形成することができ、つまり、本開示の実施例の半導体構造は、より良好な集積度を有することができる。

【００８０】

さらに、書き込みトランジスタの１つのソース／ドレイン領域が半導体材料を使用し、読み取りトランジスタのゲート電極が金属材料を使用する従来の構造と比較して、本開示の実施例において、ゲート柱と半導体柱の材料は同じであり、つまり、書き込みトランジスタの１つのソース／ドレイン領域は、読み取りトランジスタのゲート電極と同じ材料を有し、書き込みトランジスタの１つのソース／ドレイン領域が読み取りトランジスタのゲート電極に電気的に接続されるとき、金属材料と半導体材料との間に存在する金属誘起隙間状態効果による接触抵抗の増加を心配する必要がなくなり、それにより、半導体構造全体の消費電力を効果的に低減させることができる。

【００８１】

理解できるように、半導体柱とゲート柱の材料は、酸化インジウム、酸化スズ、Ｉｎ－

Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｇａ系酸化物、Ｉｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物の少なくとも１つ又はその組み合わせを含み得る。

【００８２】

いくつかの実施例において、半導体柱とゲート柱の材料は、いずれもＩｎＧａＺｎO_4の材料のような酸化物半導体材料であってもよい。

【００８３】

１つの特定の実施例において、半導体柱とゲート柱の材料は、$In_xGa_yZn_{1-x-y}O$を含み、ここで、ｘは、０以上または１以下であり、ｙは、０以上または１以下である。

【００８４】

本開示の別の実施例において、図３に示すように、ゲート柱１８は、半導体柱１３に直接電気的に接続される。

【００８５】

当該実施例において、ゲート柱と半導体柱は、直接電気的に接続された一体化構造であり、即ち、書き込みトランジスタのチャネル領域、ソース／ドレイン領域及び読み取りトランジスタのゲート電極は、一体化構造であり、つまり、書き込みトランジスタの１つのソース／ドレイン領域及び読み取りトランジスタのゲート電極は、他の導電線を必要とせず、直接電気的に接続されることができる。従来の構造において、両者が、相互接続線を介して電気的に接続される方式と比較して、本開示の実施例は、書き込みトランジスタが読み取りトランジスタのゲート電極に電荷を注入する際の電荷循環経路を効果的に短縮し、それにより、半導体構造の情報伝送速度と伝送効率を効果的に向上させることができる。そして、書き込みトランジスタが、ソース／ドレイン領域を用いて読み取りトランジスタのゲート電極に電荷を注入する必要がある場合、両方が一体化されて接触抵抗が存在しないため、半導体構造の使用時の発熱が大きくなることを効果的に回避でき、それにより、半導体構造の性能を効果的に向上させることができる。

【００８６】

更に、実際の工程において、ゲート柱と半導体柱からなる構造は、同じ工程で形成されることができるため、工程中の複雑さを大幅に軽減し、生産効率の向上に有益である。

【００８７】

いくつかの実施例において、図１と図２に示すように、半導体構造は更に、基板１０の上に位置する第１誘電体層Ｌ１と、第１誘電体層Ｌ１の上に位置する第２誘電体層Ｌ２と、を含むことが分かる。半導体柱１３と第１ワード線ＷＬ１は、第１誘電体層Ｌ１に位置し、ゲート柱１８、半導体層１６及び第２ワード線ＷＬ２は、第２誘電体層Ｌ２に位置する。

【００８８】

選択的に、半導体構造は更に、第１方向に沿って延在するワード線隔離構造１２を備え、ワード線隔離構造１２は、任意の隣接する２つの第１ワード線ＷＬ１間に位置することにより、隣接する第１ワード線ＷＬ１を隔離する。

【００８９】

当該実施例において、ワード線隔離構造は、第１誘電体層内に位置する。ワード線隔離構造の材料は、酸化物、窒化物、酸窒化物など、具体的には、酸化シリコン、窒化シリコン、酸窒化ケイ素などの少なくとも１つ又はその組み合わせを含むが、これに限定されない。

【００９０】

本開示の実施例は更に、半導体構造の製造方法を提供し、図４に示すように、方法は、以下の工程を含む。

【００９１】

Ｓ１０１において、基板を提供する。

【００９２】
　Ｓ１０２において、基板上にピラーを形成し、ピラーは、半導体柱を含み、基板の平面に垂直な方向に沿って延在する。
【００９３】
　Ｓ１０３において、第１方向に沿って延在する第１ワード線を形成し、第１ワード線はピラーの一部を囲み、第１方向は基板の平面に平行である。
【００９４】
　以下、図面を参照して本開示の実施例による半導体構造の製造方法を更に説明する。
【００９５】
　図５ないし図２２は、本開示の１つの実施例による半導体構造の製造方法のプロセスフロー図であり、図２３は、本開示の実施例による半導体構造の他の構造の概略構造図である。
【００９６】
　まず、Ｓ１０１を実行し、図５に示すように、基板を提供する。
【００９７】
　ここで、基板は、半導体基板であってもよく、具体的には、少なくとも１つの元素半導体材料（例えば、シリコン（Ｓｉ）基板、ゲルマニウム（Ｇｅ）基板など）、少なくとも１つのＩＩＩ－Ｖ化合物半導体材料（例えば、窒化ガリウム（ＧａＮ）基板、砒化ガリウム（ＧａＡｓ）基板、リン化インジウム（ＩｎＰ）基板など）、少なくとも１つのＩＩ－ＶＩ化合物半導体材料、少なくとも１つの有機半導体材料又は当該分野で既知の他の半導体材料を含む。１つの具体的な実施例において、基板は、シリコン基板である。
【００９８】
　次に、Ｓ１０２を実行し、図１０に示すように、基板上にピラーを形成し、ピラーは半導体柱を含み、ピラーは基板の平面に垂直な方向に沿って延在する。
【００９９】
　いくつかの実施例において、図６に示すように、基板１０上に半導体柱１３を形成する前に、方法は、
　基板１０上に絶縁層１１を形成することと、
　絶縁層１１に対してエッチング工程を実行して、絶縁層１１上に第２方向に沿って延在する複数の第１トレンチＴ１を形成することであって、第２方向は、基板１０の平面に平行で第１方向に垂直である、ことと、
　複数の第１トレンチＴ１内に導電材料を充填し、第２方向に沿って延在する複数の第１ビット線ＢＬ１を形成することと、を更に含む。
【０１００】
　ここで、絶縁層の材料は、酸化物、窒化物、酸窒化物などを含むが、これに限定されず、いくつかの特定の実施例において、絶縁層の材料は、酸化シリコンなどを含むが、これに限定されない。
【０１０１】
　実際の動作において、絶縁層と導電材料の形成は、１つ又は複数の薄膜堆積工程により形成されることができ、具体的に、薄膜堆積工程は、化学気相堆積（ＣＶＤ：ｃｈｅｍｉｃａｌ　ｖａｐｏｒ　ｄｅｐｏｓｉｔｉｏｎ）工程、プラズマ増強化学気相堆積（ＰＥＣＶＤ：ｐｌａｓｍａ　ｅｎｈａｎｃｅｄ　ｃｈｅｍｉｃａｌ　ｖａｐｏｒ　ｄｅｐｏｓｉｔｉｏｎ）工程、原子層堆積（ＡＬＤ：ａｔｏｍｉｃ　ｌａｙｅｒ　ｄｅｐｏｓｉｔｉｏｎ）工程又はその組み合わせを含むが、これに限定されない。
【０１０２】
　いくつかの実施例において、図７と図８に示すように、複数の第１トレンチＴ１内に導電材料を充填し、第２方向に沿って延在する複数の第１ビット線ＢＬ１を形成した後、方法は、
　第１誘電体層Ｌ１を形成することと、
　第１誘電体層Ｌ１をエッチングして、第１誘電体層Ｌ１内に第１方向に沿って延在する

複数の第２トレンチＴ２を形成することと、

複数の第２トレンチＴ２内に絶縁材料を充填し、第１方向に沿って延在する複数のワード線隔離構造１２を形成することと、を更に含む。

【０１０３】

ここで、第１誘電体層の材料は、酸化物、窒化物、酸窒化物、他の絶縁材料などの１つ又はその組み合わせを含むが、これに限定されない。具体的に、第１誘電体層の材料は、酸化シリコン、窒化シリコンなどを含み得るが、これに限定されない。

【０１０４】

更に、第１誘電体層の形成工程は、絶縁層の形成工程と同じであってもよく、異なってもよく、ここでは、特に限定しない。

【０１０５】

いくつかの実施例において、図９ないし図１０に示すように、基板上にピラーＰを形成することは、

第１誘電体層Ｌ１をエッチングして、複数の第１チャネル孔Ｈ１を形成することであって、第１チャネル孔Ｈ１は、第１ビット線ＢＬ１を露出させることと、

第１チャネル孔Ｈ１内に半導体材料を充填し、ピラーＰを形成することであって、ピラーは、半導体柱１３を含むことと、を含む。

【０１０６】

実際の工程において、第１誘電体層Ｌ１を上から下に向かってエッチングする方式を採用して、複数の第１チャネル孔Ｈ１を形成することができ、複数の第１チャネル孔Ｈ１は、隣接する２つのワード線隔離構造１２間の第１誘電体層内Ｌ１に位置する。

【０１０７】

いくつかの実施例において、半導体柱１３は、下から上に向かって配置された第１電極１３１、第１チャネル領域１３２及び第２電極を１３３含み得、第１電極１３１、第１チャネル領域１３２及び第２電極１３３の導電類型は同じである。理解できるように、第１電極１３１、第１チャネル領域１３２及び第２電極１３３は、それぞれトランジスタの第１ソース／ドレイン領域、チャネル領域及び第２ソース／ドレイン領域として使用することができる。

【０１０８】

当該実施例において、半導体柱の材料は、酸化インジウム、酸化スズ、Ｉｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｇａ系酸化物、Ｉｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物の少なくとも１つ又はその組み合わせを含む。

【０１０９】

選択的に、半導体柱の材料は、インジウムガリウム亜鉛酸化物（ＩＧＺＯ）、例えば化学式が$InGaZnO_4$である材料を含むが、これに限定されない。

【０１１０】

１つの特定の実施例において、半導体柱の材料は、$In_xGa_yZn_{1-x-y}O$を含み、ここで、ｘは、０以上または１以下であり、ｙは、０以上または１以下である。

【０１１１】

理解できるように、実際の動作において、後続で半導体柱の部分側壁に、ワード線構造などのチャネル領域の導通又は遮断を制御でする制御ゲート線を形成することによって、半導体柱を基盤とするトランジスタ構造を形成することができる。半導体柱の材料がインジウムガリウム亜鉛酸化物（ＩＧＺＯ）である場合、つまり、トランジスタ構造のチャネル領域の材料がインジウムガリウム亜鉛酸化物（ＩＧＺＯ）である場合、トランジスタ構造のリーク電流を効果的に低減することができるだけでなく、第１電極、第１チャネル領域及び第２電極の導電類型が同じであるため、トランジスタ構造における浮遊体効果の発生を効果的に防止することができる。

【０１１２】

理解できるように、当該実施例において、半導体柱と基盤として形成されたトランジスタ構造は、メモリの書き込みトランジスタとして使用されることができる。

【０１１３】

最後に、Ｓ１０３を実行し、図１１と図１２に示すように、第１方向に沿って延在する第１ワード線ＷＬ１を形成し、第１ワード線ＷＬ１はピラーの一部Ｐを囲み、第１方向は基板の平面に平行である。

【０１１４】

いくつかの実施例において、第１方向に沿って延在する第１ワード線ＷＬ１を形成し、第１ワード線ＷＬ１は、半導体柱１３を囲み、第１方向は、基板１０の平面に平行であることは、

第１方向に沿って延在し、隣接する２つのワード線隔離構造１２間に位置する複数の第３トレンチＴ３を形成することと、

第３トレンチＴ３内に第１ゲート誘電体層１４を形成することであって、第１ゲート誘電体層１４は、一部の半導体柱１３を取り囲む、ことと、

第３トレンチＴ３内に第１ワード線ＷＬ１を形成することであって、第１ワード線ＷＬ１は、一部の第１ゲート誘電体層１４を取り囲む、ことと、を含む。

【０１１５】

いくつかの特定の実施例において、第３トレンチＴ３を形成することは、

一部の第１誘電体層Ｌ１を除去して、第１方向に沿って延在し且つ隣接する２つのワード線隔離構造１２間に位置する複数の第３トレンチＴ３を形成することを含み、第３トレンチＴ３の底部は、第１電極１３１の上面と面一である。

【０１１６】

理解できるように、実際の動作において、第１ゲート誘電体層１４は、半導体柱１３における第１チャネル領域１３２と第２電極１３３の側壁を取り囲み、第１ワード線ＷＬ１の上面は、第１チャネル領域１３２の上面と面一である。

【０１１７】

いくつかの実施例において、図１３に示すように、第１ワード線ＷＬ１を形成した後、方法は、

第１ワード線ＷＬ１の上と半導体柱１３との間の隙間に第１誘電体層Ｌ１を継続して充填し、第１誘電体層Ｌ１の頂面が、半導体柱の第２電極１３３の上面と面一になるようにすることを更に含む。

【０１１８】

これにより、第１誘電体層内に複数のトランジスタ構造が形成される。理解できるように、当該複数のトランジスタ構造は、メモリの書き込みトランジスタとして使用されることができる。

【０１１９】

いくつかの実施例において、図１６ないし図２０に示すように、前記第１ワード線ＷＬ１を形成した後、前記方法は、前記半導体柱１３の直上にゲート柱１８を形成することであって、前記ゲート柱１８は、基板１０平面に垂直な方向に沿って延在することと、

半導体層１６を形成することであって、前記半導体層１６は、少なくとも前記ゲート柱１８の側壁を囲むことと、を更に含む。

【０１２０】

いくつかの実施例において、図１４ないし図２０に示すように、半導体柱１３の直上にゲート柱１８を形成することは、

第２誘電体層Ｌ２を形成し、第２誘電体層Ｌ２をエッチングして、第２誘電体層Ｌ２内に、半導体柱１３の頂部を露出させる複数の第２チャネル孔Ｈ２を形成することと、

第２チャネル孔Ｈ２内にゲート柱１８を形成することと、を含み、

ゲート柱１８を形成した後、方法は、

ゲート柱１８の頂面と側壁を露出させることと、

第２ゲート誘電体層１５を堆積することであって、第２ゲート誘電体層１５は、ゲート

柱１８の側壁と頂部を囲む部分と、第１誘電体層Ｌ１の上面を覆う部分と、を含む、ことと、

第２ゲート誘電体層１５上に半導体材料層１６ａとワード線材料層ＷＬ２ａを順次に形成することであって、半導体材料層１６ａは、第２ゲート誘電体層１５とコンフォーマルされ、ワード線材料層ＷＬ２ａは、隣接する半導体材料層１６ａ間の隙間を充填する、ことと、

半導体材料層１６ａとワード線材料層ＷＬ２ａをエッチングして、半導体層１６及び第１方向に沿って延在する複数の第２ワード線ＷＬ２をそれぞれ形成することと、を更に含む。

【０１２１】

実際の動作において、第２チャネル孔Ｈ２内にゲート柱１８を形成した後、第２誘電体層Ｌ２を除去する方式によって、ゲート柱１８の頂面と側壁を露出させることができる。さらに、後続の工程において、第２ゲート誘電体層１５上に半導体材料層１６ａとワード線材料層ＷＬ２ａを順次に形成した後、ワード線隔離構造１２の上に位置する部分的な半導体材料層１６ａとワード線材料層ＷＬ２ａを除去する方式によって、半導体層１６及び第１方向に沿って延在する複数の第２ワード線ＷＬ２をそれぞれ形成することができる。

【０１２２】

ここで、ゲート柱の材料は、タングステン（Ｗ）、銅（Ｃｕ）、チタン（Ｔｉ）、タンタル（Ｔａ）、窒化チタン（ＴｉＮ）、窒化タンタル（ＴａＮ）、金属ケイ化物、金属合金などの１つ又は複数を含み得るが、これに限定されない。

【０１２３】

実際の動作において、第１ゲート誘電体層と第２ゲート誘電体層の材料は同じであってもよく、異なってもよい。選択的に、第１ゲート電極誘電体層と第２ゲート電極誘電体層の材料は、酸化物、窒化物、酸窒化物、他の絶縁材料などを含むが、これに限定されず、いくつかの特定の実施例において、第１ゲート電極誘電体層と第２ゲート電極誘電体層の材料は、アルミナ、酸化シリコン、窒化シリコンなどの１つ又はその組み合わせであってもよい。

【０１２４】

第１ゲート電極誘電体層と第２ゲート電極誘電体層の形成工程は、原子層堆積工程などを含むが、これに限定されない。

【０１２５】

当該実施例において、第２ゲート誘電体層が、隣接するゲート柱間の第１誘電体層とワード線隔離構造の上面を覆う部分を含み、下部に位置し且つ半導体柱の周囲に位置する構造と、上部に位置し且つゲート柱の周囲に位置する構造との間に電気的隔離の効果を形成させ、上記の構造間の相互干渉を防止することができる。

【０１２６】

選択的に、いくつかの実施例において、図１９に示すように、半導体材料層１６ａを堆積した後、ワード線材料層ＷＬ２ａを形成する前に、方法は、

第２方向に沿って半導体材料層１６ａをエッチングし、ゲート柱１８間に位置する一部の半導体材料層１６ａを除去して、ゲート柱１８間に第２方向に沿って延在する複数の隙間を形成することと、

隙間内に第５誘電体層Ｌ５を充填することと、を更に含み得る。

【０１２７】

このようにして、半導体材料層に対して２回のエッチング工程を実行して、各ゲート柱の周囲に位置する半導体層を互いに独立させ、後続で半導体層を基盤として、トランジスタ構造を構成するための他の材料層を形成する必要があっても、最終的に形成されるトランジスタ構造は独立性を維持することができる。

【０１２８】

いくつかの実施例において、図２０と図２１に示すように、半導体層１６を形成した後、方法は、

第３誘電体層Ｌ３を形成することと、

第３誘電体層Ｌ３をエッチングし、第２方向に沿って延在する第４トレンチＴ４を形成することであって、半導体層１６の上面は、第４トレンチＴ４から露出される、ことと、

第４トレンチＴ４内に第２ビット線ＢＬ２を形成することと、を更に含む。

【０１２９】

これにより、第２誘電体層内に複数のトランジスタ構造が形成される。ここで、ゲート柱は、トランジスタ構造のゲート電極として使用されることができ、半導体層は、トランジスタ構造のチャネル領域として使用されることができ、さらに、第２ワード線は、読み取りトランジスタのソース領域又はドレイン領域として使用されることができ、第２ビット線は、トランジスタ構造のドレイン領域又はソース領域として使用されることができる。

【０１３０】

説明すべきこととして、第２ワード線がトランジスタ構造のソース領域として使用される場合、第２ビット線は、トランジスタ構造のドレイン領域として使用される。しかし、これに限定されず、いくつかの他の実施例において、第２ワード線は更に、読み取りトランジスタのドレイン領域として使用されることができ、第２ビット線は、読み取りトランジスタのソース領域として使用され、実際の動作において、柔軟に調整することができ、ここでは、特に限定しない。

【０１３１】

当該実施例において、第２ワード線が、チャネル領域として使用される部分の半導体層を取り囲むため、第２ワード線とチャネル領域との間の接触面積が増加し、第２ワード線とチャネル領域との間の接触抵抗を減少し、トランジスタ構造の消費電力を削減することに有益である。

【０１３２】

理解できるように、当該複数のトランジスタ構造は、メモリの読み取りトランジスタとして使用されることができる。

【０１３３】

理解できるように、当該実施例において、半導体柱の第２電極の頂部は、ゲート柱の底部に直接電気的に接続され、つまり、書き込みトランジスタの１つのソース／ドレイン領域は、導電線を必要とせずに、読み取りトランジスタのゲート電極に直接電気的に接続されることができる。従来の構造において、相互接続線を介して書き込みトランジスタの１つのソース／ドレイン領域と、読み取りトランジスタのゲート電極との間の電気的に接続を実現する方式と比較して、本開示の実施例は、書き込みトランジスタが読み取りトランジスタのゲート電極に電荷を注入する際の電荷循環経路を効果的に短縮し、それにより、半導体構造の情報伝送速度と伝送効率を効果的に向上させることができる。

【０１３４】

選択的に、図２２に示すように、第２ビット線ＢＬ２を形成した後、方法は、第２ビット線ＢＬ２上に絶縁層１７を形成することを更に含み、絶縁層１７は、第２ビット線ＢＬ２を保護するために使用されることができる。

【０１３５】

図２３に示すように、本開示は更に、他の半導体構造を提供し、当該半導体構造の製造プロセスは、図５ないし図２２に提供される半導体構造の製造プロセスとほとんど同じである。両方の違いは、ゲート柱と半導体柱との間の材料配置が上記の実施例と異なることである。

【０１３６】

当該実施例において、半導体柱とゲート柱の材料は、酸化インジウム、酸化スズ、Ｉｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｇａ系酸化物、Ｉｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物の少なくとも１つ又はその組み合わせを含む。

【０１３７】

選択的に、ゲート柱と半導体柱の材料は、同じであってもよい。いくつかの実施例において、半導体柱とゲート柱の材料は、いずれもＩｎＧａＺｎＯ$_4$の材料のような酸化物半導体材料であってもよい。

【０１３８】

理解できるように、当該実施例において、半導体柱を基盤として形成されるトランジスタ構造は、半導体構造の書き込みトランジスタとして使用されることができ、半導体層を基盤として形成されるトランジスタ構造は、半導体構造の読み取りトランジスタとして使用されることができ、１つの書き込みトランジスタと１つの読み取りトランジスタによって１つの記憶ユニットを構成し、情報の読み取り動作を実現するように構成される。

【０１３９】

キャパシタ構造を配置した半導体構造と比較して、本開示の実施例による構造は、キャパシタを更に製造する必要なく、工程が簡単であり、読み取った後書き換え動作を行う必要がなく、消費電力を削減する。

【０１４０】

更に、当該実施例において、半導体柱とゲート柱の基板の平面への正投影は、少なくとも一部が重なり、つまり、書き込みトランジスタと読み取りトランジスタの基板の平面への正投影は、少なくとも一部が重なり、それにより、１つの書き込みトランジスタと１つの読み取りトランジスタからなる記憶ユニット構造が、より少ない基板の表面積を占めるようにし、これは、同じ平面寸法の基板上に、本開示の実施例による半導体構造は、より多くの記憶ユニットを形成できることを意味し、つまり、本開示の実施例の半導体構造は、より高い集積度を有することができる。

【０１４１】

理解できるように、半導体柱とゲート柱の基板の平面への正投影がすべて重なる場合、つまり、書き込みトランジスタと読み取りトランジスタの基板の平面への正投影がすべて重なる場合、本開示の実施例による半導体構造は、より良好な数の記憶ユニットを形成することができ、つまり、本開示の実施例の半導体構造は、より良好な集積度を有することができる。

【０１４２】

さらに、書き込みトランジスタの１つのソース／ドレイン領域が半導体材料を使用し、読み取りトランジスタのゲート電極が金属材料を使用する従来の構造と比較して、本開示の実施例において、ゲート柱と半導体柱の材料は同じであり、つまり、書き込みトランジスタの１つのソース／ドレイン領域は、読み取りトランジスタのゲート電極と同じ材料を有し、書き込みトランジスタの１つのソース／ドレイン領域が読み取りトランジスタのゲート電極に電気的に接続されるとき、金属材料と半導体材料との間に存在するゲート電極誘起隙間状態効果による接触抵抗の増加を心配する必要がなくなり、それにより、半導体構造全体の消費電力を効果的に低減させることができる。

【０１４３】

上述した実施例の方法以外に、本開示の他の実施例において、更に、他の方式を採用して、情報処理のための半導体構造を取得することができる。上記の実施例との違いは、当該実施例において、ピラーは、半導体柱とゲート柱との２つの部分を含み、さらに、２つの部分は、同じ工程で形成されることである。

【０１４４】

図２４ないし図２９は、本開示の他の実施例による半導体構造の製造方法のプロセスフロー図である

以下では、図面を参照して、本開示の他の実施例による半導体構造の製造方法について詳細に説明する。

【０１４５】

当該実施例において、基板の材料は、上記の実施例と同じであってもよく、異なってもよく、特に限定しない。

【０１４６】

まず、図２４ないし図２５に示すように、基板１０上にピラーＰを形成することは、
基板１０上にピラーＰを形成することを含み、ピラーＰは、基板１０の表面より高く、基板１０の平面に垂直な方向に沿って延在し、ピラーＰは、半導体柱１３及びゲート柱１８を含み、ゲート柱１８は、半導体柱１３の直上に位置する。

【０１４７】
実際の工程において、図６ないし図８に示すように、基板１０上にピラーＰを形成する前に、方法は、
基板１０上に第２方向に沿って延在する複数の第１ビット線ＢＬ１を形成することと、
第１誘電体層Ｌ１を形成することと、
第１誘電体層Ｌ１内に、第１方向に沿って延在する複数のワード線隔離構造１２を形成することと、を更に含む。

【０１４８】
いくつかの実施例において、図９、図２４ないし図２５に示すように、基板１０上にピラーＰを形成することは、
第１誘電体層Ｌ１をエッチングして、複数の第１チャネル孔Ｈ１を形成することであって、第１チャネル孔Ｈ１は、第１ビット線ＢＬ１を露出させることと、
半導体材料層１６ａを形成することであって、半導体材料層１６ａは、第１誘電体層Ｌ１の上面を覆い、第１チャネル孔Ｈ１を充填する、ことと、
半導体材料層１６ａをエッチングしてピラーＰを形成することであって、ピラーＰの第１チャネル孔Ｈ１内に位置する部分を半導体柱１３と定義し、ピラーＰの第１チャネル孔Ｈ１の直上に位置する部分をゲート柱１８と定義する、ことと、を含む。

【０１４９】
実際の工程において、第１誘電体層Ｌ１を上から下に向かってエッチングする方式を採用して、複数の第１チャネル孔Ｈ１を形成することができ、複数の第１チャネル孔Ｈ１は、隣接する２つのワード線隔離構造１２間の第１誘電体層内Ｌ１に位置する。

【０１５０】
選択的に、いくつかの実施例において、半導体材料層１６ａをエッチングして、ピラーＰを形成することは、
半導体材料層１６ａをエッチングし、第１チャネル孔Ｈ１の基板１０への正投影によって限定された領域以外の半導体材料層１６ａを除去し、第１チャネル孔Ｈ１内の半導体材料層１６ａ及び第１チャネル孔Ｈ１の直上に位置する半導体材料層１６ａによって構成されたピラーＰは保持することを含む。

【０１５１】
当該実施例において、半導体材料層の材料は、酸化インジウム、酸化スズ、Ｉｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｇａ系酸化物、Ｉｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物の少なくとも１つ又はその組み合わせを含む。

【０１５２】
選択的に、半導体材料層の材料は、インジウムガリウム亜鉛酸化物（ＩＧＺＯ）、例えば化学式が$InGaZnO_4$である材料を含むが、これに限定されない。

【０１５３】
特定の実施例中、半導体材料層の材料は、$In_xGa_yZn_{1-x-y}O$を含み、ここで、ｘは、０以上または１以下であり、ｙは、０以上または１以下である。

【０１５４】
当該実施例において、第１チャネル孔Ｈ１内に位置する半導体柱１３は、下から上に向かって配置された第１電極１３１、第１チャネル領域１３２及び第２電極を１３３含み得、第１電極１３１、第１チャネル領域１３２及び第２電極１３３の導電類型は同じである。

【０１５５】
理解できるように、実際の動作において、半導体柱１３における第１電極１３１、第１

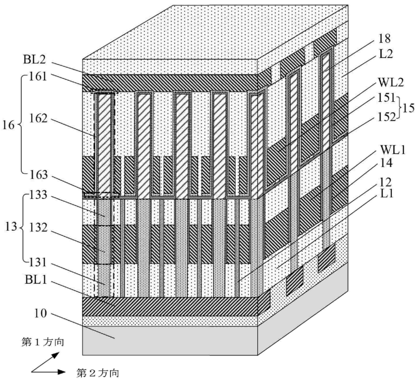
チャネル領域１３２及び第２電極１３３は、それぞれトランジスタの第１ソース／ドレイン領域、チャネル領域及び第２ソース／ドレイン領域として使用することができる。
【０１５６】
　実際の動作において、後続で半導体柱の部分側壁に、ワード線構造などのチャネル領域の導通又は遮断を制御でする制御ゲート線を形成することによって、半導体柱を基盤とするトランジスタ構造を形成することができる。半導体柱の材料がインジウムガリウム亜鉛酸化物（ＩＧＺＯ）である場合、つまり、トランジスタ構造のチャネル領域の材料がインジウムガリウム亜鉛酸化物（ＩＧＺＯ）である場合、トランジスタ構造のリーク電流を効果的に低減することができるだけでなく、第１電極、第１チャネル領域及び第２電極の導電類型が同じであるため、トランジスタ構造における浮遊体効果の発生を効果的に防止することができる。
【０１５７】
　選択的に、当該実施例において、半導体柱と基盤として形成されたトランジスタ構造は、メモリの書き込みトランジスタとして使用されることができる。
【０１５８】
　次に、図２６に示すように、第１方向に沿って延在する第１ワード線ＷＬ１を形成することは、
　第１方向に沿って延在し、隣接する２つのワード線隔離構造１２間に位置する複数の第３トレンチＴ３を形成することと、
　ゲート誘電体層を形成することであって、ゲート誘電体層は、一部の半導体柱１３を囲む第１ゲート誘電体層１４、及びゲート柱１８の側壁と頂部を囲む第２ゲート誘電体層１５を含む、ことと、
　第３トレンチＴ３内に第１ワード線ＷＬ１を形成することであって、第１ワード線ＷＬ１は、一部の第１ゲート誘電体層１４を取り囲む、ことと、を含む。
【０１５９】
　いくつかの特定の実施例において、第３トレンチＴ３を形成することは、
　一部の第１誘電体層Ｌ１を除去して、第１方向に沿って延在し且つ隣接する２つのワード線隔離構造１２間に位置する複数の第３トレンチＴ３を形成することを含み、第３トレンチＴ３の底部は、第１電極１３１の上面と面一である。
【０１６０】
　理解できるように、実際の動作において、第１ゲート誘電体層１４は、半導体柱１３における第１チャネル領域１３２と第２電極１３３の側壁を取り囲み、第１ワード線ＷＬ１の上面は、第１チャネル領域１３２の上面と面一である。
【０１６１】
　これにより、第１誘電体層内に複数のトランジスタ構造が形成される。理解できるように、当該複数のトランジスタ構造は、メモリの書き込みトランジスタとして使用されることができる。
【０１６２】
　選択的に、いくつかの実施例において、図２７に示すように、第１ワード線ＷＬ１を形成した後、方法は、
　第１ワード線ＷＬ１の上と半導体柱１３との間の隙間に第１誘電体層Ｌ１を継続して充填し、第１誘電体層Ｌ１の頂面が、半導体柱の第２電極１３３の上面と面一になるようにすることと、
　第４誘電体層Ｌ４を形成することであって、第４誘電体層Ｌ４は、隣接するゲート柱１８間の基板１０の上面を覆うことと、を更に含む。
【０１６３】
　理解できるように、第４ゲート誘電体層が、隣接するゲート柱間の基板の上面を覆うため、下部に位置し且つ半導体柱の周囲に位置する構造と、上部に位置し且つゲート柱の周囲に位置する構造との間に電気的隔離の効果を形成させ、上記の構造間の相互干渉を防止することができる。

【０１６４】
　さらに、図２９に示すように、半導体層１６を形成し、半導体層１６は、少なくともゲート柱１８の側壁を囲む。
【０１６５】
　いくつかの実施例において、図２７と図２９に示すように、第１ワード線を形成した後、方法は、
　第２ゲート誘電体層１５上に半導体材料層１６ａとワード線材料層ＷＬ２ａを順次に形成することであって、半導体材料層１６ａは、少なくとも第２ゲート誘電体層１５を覆い、ワード線材料層ＷＬ２ａは、隣接する半導体材料層１６ａ間の隙間を充填する、ことと、
　半導体材料層１６ａとワード線材料層ＷＬ２ａをエッチングし、ワード線隔離構造１２の上に位置する半導体材料層１６ａとワード線材料層ＷＬ２ａの一部を除去して、半導体層１６及び第１方向に沿って延在する複数の第２ワード線ＷＬ２をそれぞれ形成することと、を更に含む。
【０１６６】
　ここで、半導体層１６は、互いに接続された第１サブ部分１６１、第２サブ部分１６２及び第３サブ部分１６３を含み、第１サブ部分１６１は、ゲート柱１８の頂面を覆い、第２サブ部分１６２は、ゲート柱１８の側壁を覆い、第３サブ部分１６３部分は、隣接するゲート柱１８間の基板１０の上面を覆う。
【０１６７】
　理解できるように、半導体層は、トランジスタのチャネル領域として使用されることができ、半導体層の第２サブ部分がゲート柱の側壁を覆う（取り囲む）ため、トランジスタのチャネル領域が比較的大きなチャネルサイズを有するようにし、チャネル領域がゲート電極の片側のみに配置される構造と比較して、本開示の実施例による構造は、短チャネル効果の発生を効果的に防止することができる。
【０１６８】
　選択的に、いくつかの実施例において、半導体層１６を形成した後、方法は、
　第３誘電体層Ｌ３を形成することと、
　第３誘電体層Ｌ３をエッチングし、第２方向に沿って延在する第４トレンチＴ４を形成することであって、半導体層１６の上面は、第４トレンチＴ４から露出される、ことと、
　第４トレンチＴ４内に第２ビット線ＢＬ２を形成することと、を更に含む。
【０１６９】
　これにより、第２誘電体層内に複数のトランジスタ構造が形成される。ここで、ゲート柱は、トランジスタ構造のゲート電極として使用されることができ、半導体層は、トランジスタ構造のチャネル領域として使用されることができ、さらに、第２ワード線は、読み取りトランジスタのソース領域又はドレイン領域として使用されることができ、第２ビット線は、トランジスタ構造のドレイン領域又はソース領域として使用されることができる。
【０１７０】
　説明すべきこととして、第２ワード線がトランジスタ構造のソース領域として使用される場合、第２ビット線は、トランジスタ構造のドレイン領域として使用される。しかし、これに限定されず、いくつかの他の実施例において、第２ワード線は更に、読み取りトランジスタのドレイン領域として使用されることができ、第２ビット線は、読み取りトランジスタのソース領域として使用され、実際の動作において、柔軟に調整することができ、ここでは、特に限定しない。
【０１７１】
　当該実施例において、第２ワード線が、チャネル領域として使用される半導体層の第２サブ部分を取り囲むため、第２ワード線とチャネル領域との間の接触面積が増加し、第２ワード線とチャネル領域との間の接触抵抗を減少し、トランジスタ構造の消費電力を削減することに有益である。
【０１７２】
　理解できるように、当該複数のトランジスタ構造は、メモリの読み取りトランジスタと

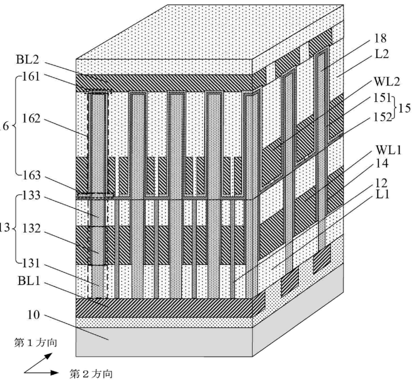
して使用されることができる。
【０１７３】
　当該実施例において、ゲート柱と半導体柱は、直接電気的に接続された一体化構造であり、即ち、書き込みトランジスタのチャネル領域、ソース／ドレイン領域及び読み取りトランジスタのゲート電極は、一体化構造であり、つまり、書き込みトランジスタの１つのソース／ドレイン領域及び読み取りトランジスタのゲート電極は、他の導電線を必要とせず、直接電気的に接続されることができる。従来の構造において、両者が、相互接続線を介して電気的に接続される方式と比較して、本開示の実施例は、書き込みトランジスタが読み取りトランジスタのゲート電極に電荷を注入する際の電荷循環経路を効果的に短縮し、それにより、半導体構造の情報伝送速度と伝送効率を効果的に向上させることができる。さらに、書き込みトランジスタが、ソース／ドレイン領域を用いて読み取りトランジスタのゲート電極に電荷を注入する必要がある場合、両方が一体化されて接触抵抗が存在しないため、半導体構造の使用時の発熱が大きくなることを効果的に回避でき、それにより、半導体構造の性能を効果的に向上させることができる。
【０１７４】
　更に、実際の工程において、ゲート柱と半導体柱からなる構造は、同じ工程で形成されることができるため、工程中の複雑さを大幅に軽減し、生産効率の向上に有益である。
【０１７５】
　更に、キャパシタ構造を配置した半導体構造と比較して、本開示の実施例による構造は、キャパシタを更に製造する必要なく、工程が簡単であり、読み取った後書き換え動作を行う必要がなく、消費電力を削減する。
【０１７６】
　本開示の実施例による半導体構造は、三次元ダイナミックランダムアクセスメモリ（３Ｄ　ＤＲＡＭ：３Ｄ　Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）などを含むが、これに限定されないメモリ構造に適用されることができる。
【０１７７】
　説明すべきこととして、本開示の実施例による半導体デバイスの製造方法は、ＤＲＡＭ構造又は他の半導体デバイスに適用できるが、ここでは、別に限定しない。本開示による半導体デバイス製造方法の実施例は、半導体デバイスの実施例と同じ構想に属し、各実施例に記載の技術的解決策における各技術的特徴間は、競合することなく、任意に組み合わせることができる。
【０１７８】
　上記は、本発明の好ましい実施例に過ぎず、本発明の保護範囲を限定することを意図するものではなく、本発明の趣旨及び原則内でなされたあらゆる修正、同等置換及び改善などは、すべて本発明の保護範囲に含まれるべきである。
【産業上の利用可能性】
【０１７９】
　本開示の実施例による半導体構造及びその製造方法において、前記構造は、基板、半導体柱、ゲート柱、第１ワード線及び半導体層を含み、前記半導体柱は、前記基板上に位置し、前記ゲート柱は、前記半導体柱の上に位置し、前記半導体柱と前記ゲート柱は両方とも、基板平面に垂直な方向に沿って延在し、前記第１ワード線は、第１方向に沿って延在し、前記半導体柱を囲み、前記第１方向は、基板の平面に平行であり、前記半導体層は、前記半導体柱の上に位置し、少なくとも前記ゲート柱の側壁を囲む。このようにして、底部に位置する半導体柱とその上に位置する半導体層は縦方向に分布され、後続で半導体柱と半導体層に基づいてトランジスタ構造を形成する際に、２つのトランジスタの投影によって占有される基板上の面積を大幅に低減し、２つのトランジスタを基板上にタイリングする方式と比較して、本開示の実施例は、半導体構造の集積度を効果的に向上させることができる。

【図面】

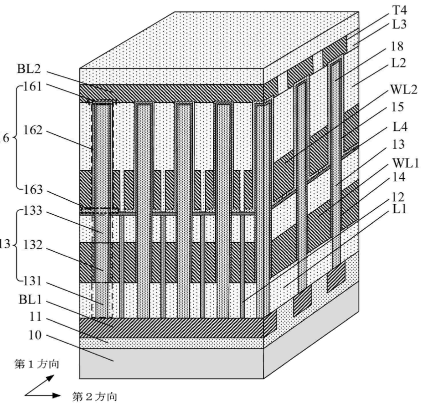
【図１】



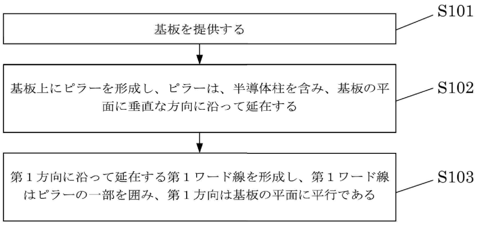
【図２】



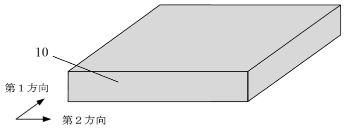
【図３】



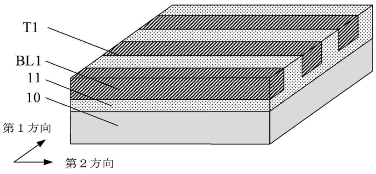
【図４】



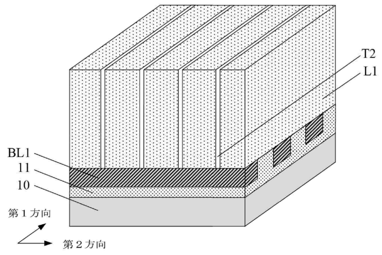
【図５】



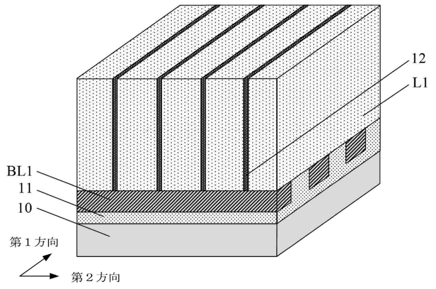
【図６】



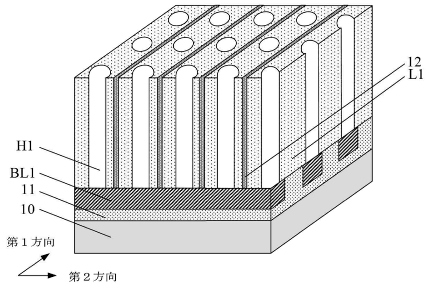
【図７】



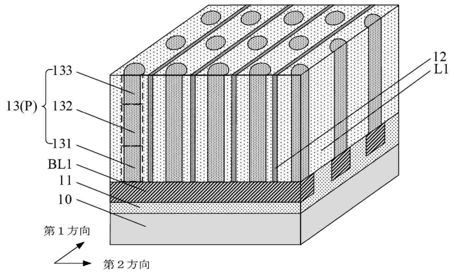
【図８】



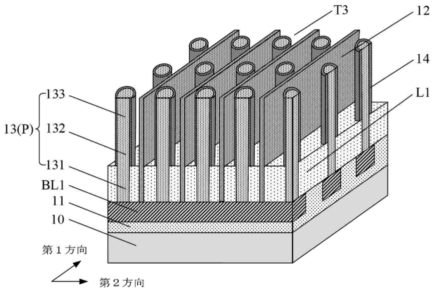
【図９】



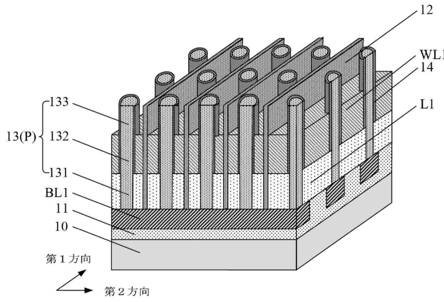
【図１０】



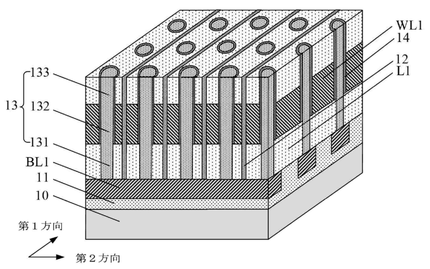
【図１１】



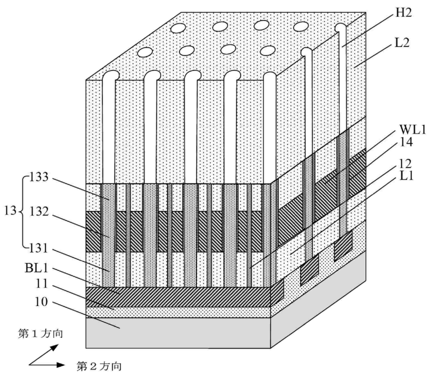
【図１２】



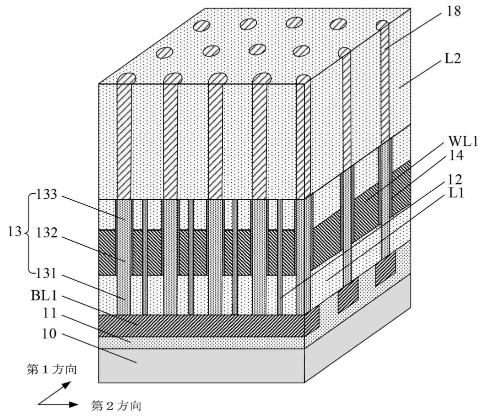
【図１３】



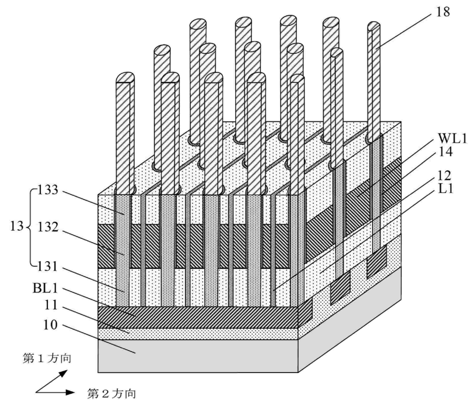
【図１４】



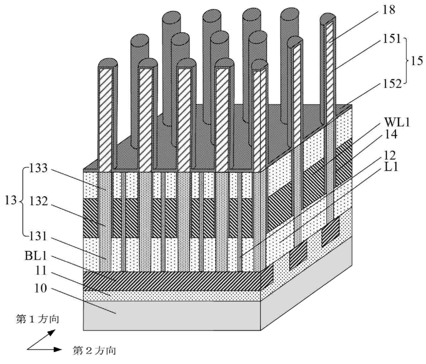
【図１５】



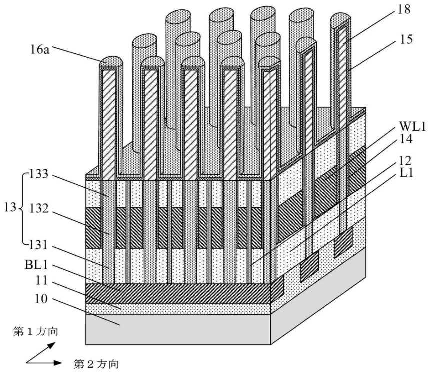
【図１６】



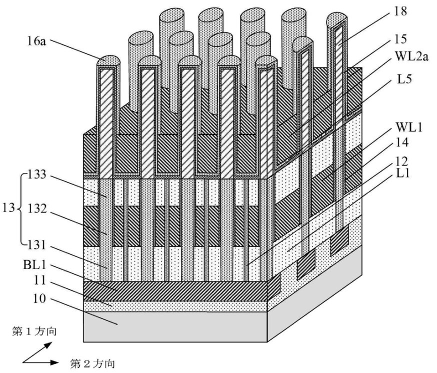
【図１７】



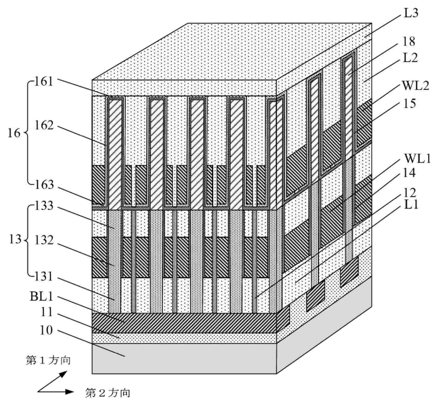
【図１８】



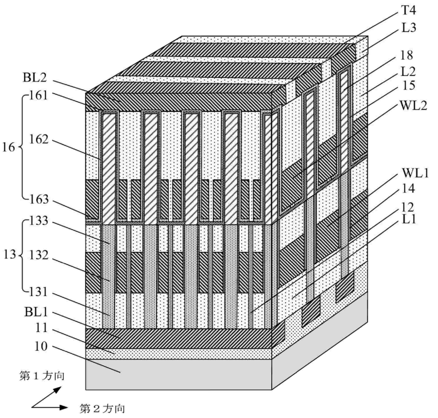
【図１９】



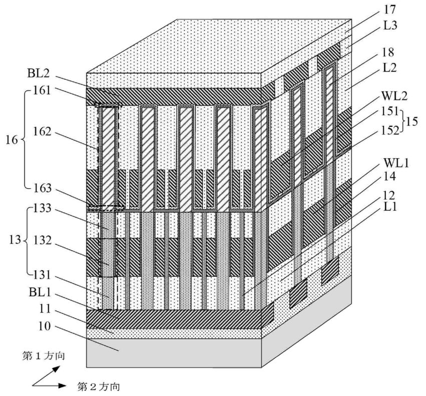
【図２０】



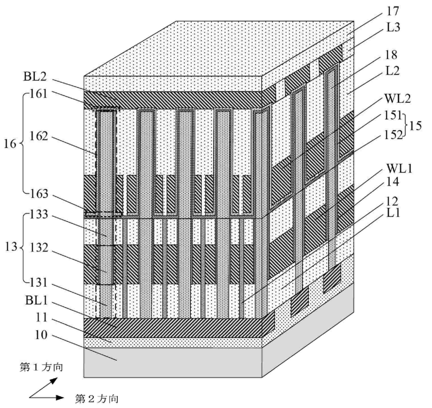
【図２１】



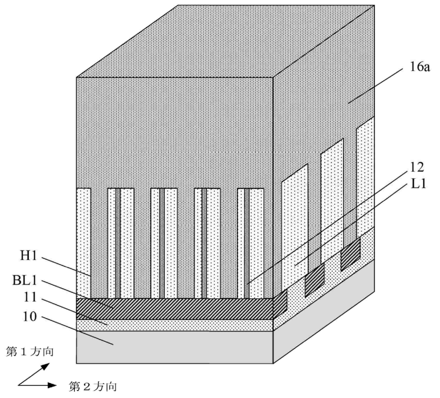
【図２２】



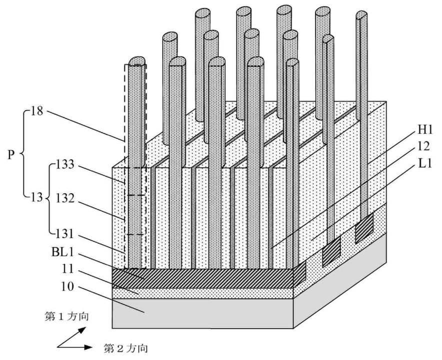
【図２３】



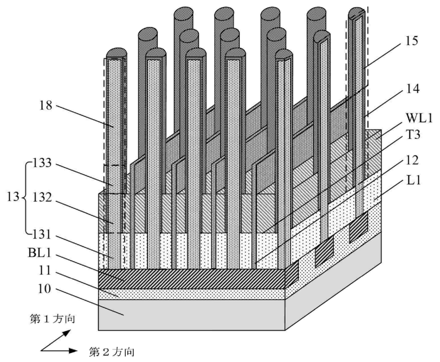
【図２４】



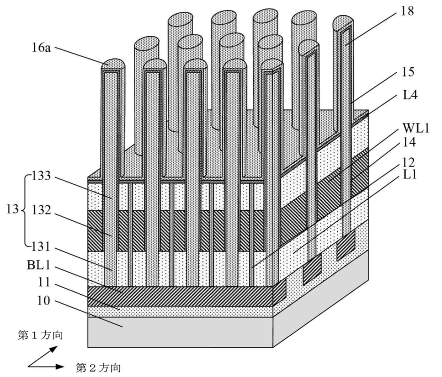
【図２５】



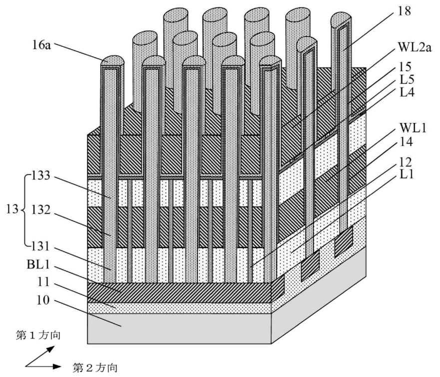
【図２６】



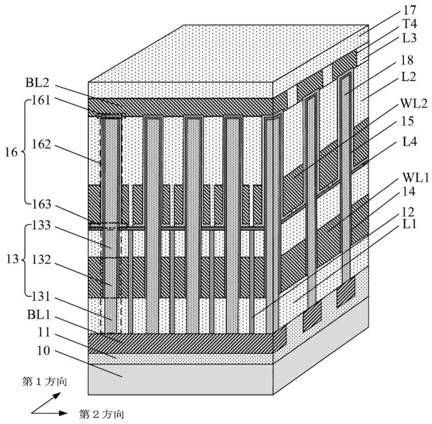
【図２７】



【図２８】



【図２９】


17
T4
L3
18
L2
WL2
15
L4
WL1
14
12
L1
BL2
161
16
162
163
133
13
132
131
BL1
11
10
第１方向
第２方向

フロントページの続き

(72)発明者　シャオ デユアン
中華人民共和国　２３０６０１　アンフイ プロヴィンス ヘーフェイ シティ エコノミック アンド テクノロジカル ディベロップメント エリア エアポート インダストリアル パーク シンイェ アベニュー ナンバー ３８８
(72)発明者　ツァオ カンユー
中華人民共和国　２３０６０１　アンフイ プロヴィンス ヘーフェイ シティ エコノミック アンド テクノロジカル ディベロップメント エリア エアポート インダストリアル パーク シンイェ アベニュー ナンバー ３８８
(72)発明者　チュー イーミン
中華人民共和国　２３０６０１　アンフイ プロヴィンス ヘーフェイ シティ エコノミック アンド テクノロジカル ディベロップメント エリア エアポート インダストリアル パーク シンイェ アベニュー ナンバー ３８８

審査官　黒田 久美子

(56)参考文献　特開２０２１－１２１０２７（ＪＰ，Ａ）
中国特許出願公開第１１３７２５３０１（ＣＮ，Ａ）
国際公開第２０２２／１５７９２９（WO，Ａ１）
特開２０２２－０７０９６０（ＪＰ，Ａ）
特開２００３－０３１６８５（ＪＰ，Ａ）
特開平１－１９８０６５（ＪＰ，Ａ）
国際公開第２０１８／１２３８２３（WO，Ａ１）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ１０Ｂ　１２／００