

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-219092

(P2016-219092A)

(43) 公開日 平成28年12月22日 (2016. 12. 22)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 16/06 (2006. 01)	G 1 1 C 17/00 6 3 9 C	5 B 0 0 1
G 0 6 F 11/10 (2006. 01)	G 0 6 F 11/10 6 4 8	5 B 2 2 5
G 1 1 C 16/02 (2006. 01)	G 1 1 C 17/00 6 4 1	

審査請求 有 請求項の数 36 O L (全 24 頁)

(21) 出願番号	特願2016-159911 (P2016-159911)	(71) 出願人	595168543 マイクロン テクノロジー, インク. アメリカ合衆国, アイダホ州 83716 -9632, ボイズ, サウス フェデ ラル ウェイ 8000
(22) 出願日	平成28年8月17日 (2016. 8. 17)	(74) 代理人	100074099 弁理士 大菅 義之
(62) 分割の表示	特願2014-560980 (P2014-560980) の分割	(74) 代理人	100106851 弁理士 野村 泰久
原出願日	平成25年3月1日 (2013. 3. 1)	(72) 発明者	ラドキ, ウィリアム ヘンリー アメリカ合衆国, カリフォルニア州 95 030, ロス ガトス, クレランド アベ ニュー 90
(31) 優先権主張番号	13/413, 363	F ターム (参考)	5B001 AA03 AB03 AD03 5B225 BA01 BA19 CA11 DE08 EA05 EA10 FA01
(32) 優先日	平成24年3月6日 (2012. 3. 6)		
(33) 優先権主張国	米国 (US)		

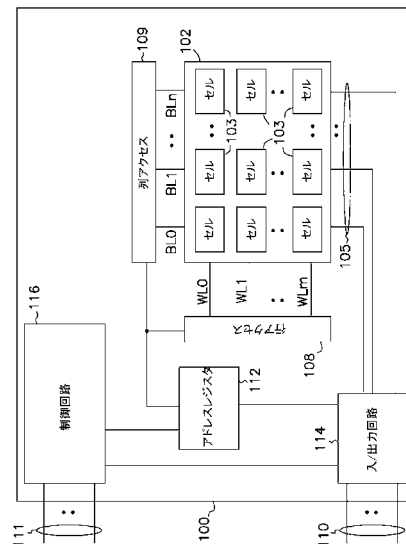
(54) 【発明の名称】 誤り訂正符号の編成を含む装置および方法

(57) 【要約】 (修正有)

【課題】 より多くのECCビットを、より誤りを有しやすい位置のビットに割り当てることでデータの誤り訂正を向上させる。

【解決手段】 第1のメモリセルと、第1のメモリセルにアクセスするように構成された第1のアクセスラインと、第2のメモリセルと、第2のメモリセルにアクセスするように構成された第2のアクセスラインとを有する装置および方法を含む。このような装置のうちの1つは、データを第1のメモリセルのあるメモリ部分に記憶させ、データと関連付けられた誤り訂正符号の第1の部分を第1のメモリセルの別のメモリ部分に記憶させ、かつ誤り訂正符号の第2の部分を第2のメモリセルに記憶させるように構成されたコントローラを含む。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

第 1 のメモリセルと、  
前記第 1 のメモリセルにアクセスするように構成された第 1 のアクセスラインと、  
第 2 のメモリセルと、  
前記第 2 のメモリセルにアクセスするように構成された第 2 のアクセスラインと、  
データを前記第 1 のメモリセルの第 1 のメモリ部分に記憶させ、さらなるデータを前記第 2 のメモリセルの第 1 の部分に格納させ、前記さらなるデータに関連付けられた誤り訂正符号の少なくとも一部を前記第 2 のメモリセルの第 2 のメモリ部分に格納させ、前記データと関連付けられた誤り訂正符号の第 1 の部分を前記第 1 のメモリセルの第 2 のメモリ部分に記憶させ、かつ前記データに関連付けられた前記誤り訂正符号の第 2 の部分を前記第 2 のメモリセルの第 3 のメモリ部分に記憶させるために用いられ、前記さらなるデータに関連付けられた前記誤り訂正符号の前記少なくとも一部を、前記第 2 のメモリセルの前記第 3 のメモリ部分に前記データに関連付けられた前記誤り訂正符号の前記第 2 の部分を格納することと同時に、前記第 2 のメモリセルの前記第 2 のメモリ部分に格納するコントローラと、を備え、

10

前記コントローラが、さらに、前記データおよび前記データに関連付けられた前記誤り訂正符号の前記第 1 の部分を、前記第 1 のメモリセルの第 1 のメモリ部分および前記第 1 のメモリセルの第 2 の部分に、それぞれ格納する間に、前記さらなるデータから前記さらなるデータに関連づけられた前記誤り訂正符号の前記少なくとも一部を生成する、

20

**【請求項 2】**

前記第 1 のアクセスラインが、前記第 2 のアクセスラインのすぐ隣に位置する、請求項 1 に記載の装置。

**【請求項 3】**

前記第 1 のメモリセルが前記装置のデバイスの第 1 のレベル上に位置し、前記第 2 のメモリセルが前記装置の前記デバイスの第 2 のレベル上に位置する、請求項 1 に記載の装置。

**【請求項 4】**

前記コントローラが、前記誤り訂正符号の前記第 1 および第 2 の部分を生成するように構成された誤り訂正符号生成器を含み、前記誤り訂正符号生成器が前記装置の第 1 のデバイス上に位置し、前記第 1 および第 2 のメモリセルが前記装置の第 2 のデバイス上に位置する、請求項 1 に記載の装置。

30

**【請求項 5】**

前記第 1 のデバイスがメモリコントローラを含み、前記第 2 のデバイスがメモリデバイスを含む、請求項 4 に記載の装置。

**【請求項 6】**

前記コントローラが、前記誤り訂正符号の前記第 1 および第 2 の部分を生成するように構成された誤り訂正符号生成器を含み、前記誤り訂正符号生成器が前記装置の第 1 の半導体ダイ上に位置し、前記第 1 および第 2 のメモリセルが前記装置の第 2 の半導体ダイ上に位置する、請求項 1 に記載の装置。

40

**【請求項 7】**

前記第 1 のメモリ部分が前記第 1 のメモリセル中の第 1 の数のメモリセルを含み、前記第 2 のメモリ部分が前記第 1 のメモリセル中の第 2 の数のメモリセルを含み、前記第 1 および第 2 のメモリセルの数が不均等である、請求項 1 に記載の装置。

**【請求項 8】**

第 1 のメモリセルと、  
前記第 1 のメモリセルにアクセスするように構成された第 1 のアクセスラインと、  
第 2 のメモリセルと、  
前記第 2 のメモリセルにアクセスするように構成された第 2 のアクセスラインと、

50

第 1 のデータを前記第 1 のメモリセルに記憶させ、第 2 のデータおよび第 3 のデータを前記第 2 のメモリセルの第 1 のメモリ部分に記憶させ、前記第 2 のデータと関連付けられた誤り訂正符号および前記第 3 のデータと関連付けられた誤り訂正符号の第 1 の部分を前記第 2 のメモリセルの第 2 のメモリ部分に記憶させ、かつ前記第 1 のデータと関連付けられた誤り訂正符号の一部分および前記第 3 のデータと関連付けられた前記誤り訂正符号の第 2 の部分を前記第 2 のメモリセルの第 3 のメモリ部分に記憶させるように構成されたコントローラと、  
を備える、装置。

【請求項 9】

前記第 1、第 2、および第 3 のデータが、同じ数のビットを含む、請求項 8 に記載の装置。

10

【請求項 10】

前記第 3 のメモリ部分の中のメモリセルの数が、前記第 2 のメモリ部分の中のメモリセルの数未満である、請求項 8 に記載の装置。

【請求項 11】

前記第 3 のメモリ部分の中のメモリセルの数が、前記第 2 のメモリ部分の中のメモリセルの数の三分の一に等しい、請求項 8 に記載の装置。

【請求項 12】

前記第 1、第 2、および第 3 のメモリ部分が、前記装置の同じデバイスの中に含まれる、請求項 8 に記載の装置。

20

【請求項 13】

前記第 1 のメモリセルが、前記第 2 のメモリセルのすぐ隣に位置する、請求項 8 に記載の装置。

【請求項 14】

前記コントローラが、

前記第 1 のデータおよび第 4 のデータを前記第 1 のメモリセルの第 1 のメモリ部分に記憶させ、

前記第 4 のデータと関連付けられた誤り訂正符号の少なくとも一部分および前記第 1 のデータと関連付けられた前記誤り訂正符号の第 1 のさらなる部分を前記第 1 のメモリセルの第 2 のメモリ部分に記憶させ、かつ

30

前記第 1 のデータと関連付けられた前記誤り訂正符号の第 2 のさらなる部分を前記第 1 のメモリセルの第 3 のメモリ部分に記憶させるようにさらに構成される、請求項 8 に記載の装置。

【請求項 15】

前記コントローラが、第 5 のデータと関連付けられた誤り訂正符号の少なくとも一部分を前記第 1 のメモリセルの前記第 3 のメモリ部分に記憶させるようにさらに構成される、請求項 14 に記載の装置。

【請求項 16】

前記第 1 のデータが第 1 のページの情報に含まれ、前記第 2 のデータ、前記第 2 のデータと関連付けられた前記誤り訂正符号、および前記第 1 のデータと関連付けられた前記誤り訂正符号の前記部分が、第 2 のページの情報に含まれる、請求項 8 に記載の装置。

40

【請求項 17】

前記第 2 のデータと関連付けられた前記誤り訂正符号のサイズが、前記第 3 のデータと関連付けられた前記誤り訂正符号のサイズとは異なる、請求項 8 に記載の装置。

【請求項 18】

第 1 のデータと関連付けられた第 1 の誤り訂正符号を行列の層の数に基づいて生成するように構成された生成器と、

前記第 1 のデータおよび前記第 1 の誤り訂正符号を含む情報を転送するように構成されたインターフェースと、

前記第 1 の誤り訂正符号の第 1 の部分を前記インターフェースに転送するように構成さ

50

れた制御ユニットと、

前記第 1 の誤り訂正符号の前記第 1 の部分が前記インターフェースに転送される間に前記誤り訂正符号の第 2 の部分を記憶するように構成された記憶ユニットと、  
を備え、

前記生成器が、さらに、第 2 のデータと関連付けられた第 2 の誤り訂正符号を生成するように構成され、前記第 1 の誤り訂正符号の前記第 2 の部分が、前記第 2 の誤り訂正符号の生成に応じて前記記憶ユニットから読み出されて、前記第 2 の誤り訂正符号とともに前記制御ユニットによって前記インターフェースに転送される、  
装置。

【請求項 19】

前記生成器が、第 2 のデータと関連付けられた誤り訂正符号を前記生成行列の層の前記数よりも少ない層に基づいて生成するようにさらに構成され、前記第 1 のデータおよび前記第 2 のデータが同じサイズを有する、請求項 18 に記載の装置。

【請求項 20】

前記誤り訂正符号の前記第 1 の部分が、前記誤り訂正符号の前記第 2 の部分よりも大きいサイズを有する、請求項 18 に記載の装置。

【請求項 21】

前記誤り訂正符号の前記第 1 の部分が、前記誤り訂正符号の前記第 2 の部分のサイズより 3 倍大きいサイズを有する、請求項 18 に記載の装置。

【請求項 22】

前記生成器が、準巡回低密度パリティ検査符号器を備える、請求項 18 に記載の装置。

【請求項 23】

準巡回低密度パリティ検査復号器をさらに備える、請求項 18 に記載の装置。

【請求項 24】

前記第 1 のデータと関連付けられた前記誤り訂正符号全体を記憶するさらなる記憶ユニットを備える、請求項 18 に記載の装置。

【請求項 25】

前記さらなる記憶ユニットがキャッシュメモリを含む、請求項 24 に記載の装置。

【請求項 26】

第 1 のデータを第 1 のアクセスラインと関連付けられた第 1 のメモリセルに記憶することと、

第 2 のデータを第 2 のアクセスラインと関連付けられた第 2 のメモリセルの第 1 のメモリ部分に記憶することと、

前記第 2 のデータと関連付けられた誤り訂正符号の少なくとも一部分を前記第 2 のメモリセルの第 2 のメモリ部分に記憶することと、

第 3 のデータと関連付けられた誤り訂正符号の少なくとも一部分を前記第 2 のメモリセルの前記第 2 のメモリ部分に記憶することと、

前記第 3 のデータと関連付けられた前記誤り訂正符号のさらなる部分を前記第 2 のメモリセルの第 3 のメモリ部分に記憶することと、

前記第 1 のデータと関連付けられた誤り訂正符号の一部分を前記第 2 のメモリセルの前記第 3 のメモリ部分に記憶することと、  
を含み、

前記第 2 のデータと関連付けられた前記誤り訂正符号の前記少なくとも一部分が、前記第 2 のメモリセルの前記第 3 のメモリ部分に記憶された前記第 1 のデータと関連付けられた前記誤り訂正符号の前記一部分と同時に、前記第 2 のメモリセルの前記第 2 のメモリ部分に記憶される、方法。

【請求項 27】

第 1 のデータを第 1 のアクセスラインと関連付けられた第 1 のメモリセルに記憶することと、

第 2 のデータを第 2 のアクセスラインと関連付けられた第 2 のメモリセルの第 1 のメモ

10

20

30

40

50

り部分に記憶することと、

前記第 2 のデータと関連付けられた誤り訂正符号の少なくとも一部分を前記第 2 のメモリセルの第 2 のメモリ部分に記憶することと、

第 3 のデータと関連付けられた誤り訂正符号の少なくとも一部分を前記第 2 のメモリセルの前記第 2 のメモリ部分に記憶することと、

前記第 3 のデータと関連付けられた前記誤り訂正符号のさらなる部分を前記第 2 のメモリセルの第 3 のメモリ部分に記憶することと、

前記第 1 のデータと関連付けられた誤り訂正符号の一部分を前記第 2 のメモリセルの前記第 3 のメモリ部分に記憶することと、

を含み、

前記第 3 のデータと関連付けられた前記誤り訂正符号の前記さらなる部分が前記第 2 のメモリセルの前記第 3 のメモリ部分に記憶される前に、前記第 1 のデータと関連付けられた前記誤り訂正符号の前記一部分が前記第 2 のメモリセルの前記第 3 のメモリ部分に記憶される、方法。

【請求項 28】

第 1 のデータと関連付けられた誤り訂正符号を第 1 のデバイスの生成器で生成することと、

前記第 1 のデータと関連付けられた前記誤り訂正符号の第 1 の部分を前記第 1 のデバイスの前記生成器から第 2 のデバイスに転送する間に、前記第 1 のデータと関連付けられた前記誤り訂正符号の第 2 の部分を前記第 1 のデバイスの前記生成器から前記第 1 のデバイスの記憶ユニットに転送し、転送された前記第 1 のデータと関連付けられた前記誤り訂正符号の前記第 2 の部分を前記記憶ユニットに記憶することと、

第 2 のデータと関連付けられた誤り訂正符号を生成することと、

前記第 1 のデータと関連付けられた前記誤り訂正符号の前記第 2 の部分および前記第 2 のデータと関連付けられた前記誤り訂正符号の少なくとも一部分を前記第 2 のデバイスに転送することと、

を含む、方法。

【請求項 29】

第 3 のデータと関連付けられた誤り訂正符号を生成することと、

前記第 3 のデータと関連付けられた前記誤り訂正符号の第 1 の部分を前記第 2 のデバイスに転送することと、

前記第 3 のデータと関連付けられた前記誤り訂正符号の第 2 の部分を前記記憶ユニットに記憶することと、

をさらに含む、請求項 28 に記載の方法。

【請求項 30】

第 4 のデータと関連付けられた誤り訂正符号を生成することと、

前記第 3 のデータと関連付けられた前記誤り訂正符号の前記第 2 の部分および前記第 4 のデータと関連付けられた前記誤り訂正符号の少なくとも一部分を前記第 2 のデバイスに転送することと、

をさらに含む、請求項 29 に記載の方法。

【請求項 31】

前記第 1 のデータと関連付けられた前記誤り訂正符号を生成することが、前記誤り訂正符号を生成行列の全ての層に基づいて生成することを含む、請求項 28 に記載の方法。

【請求項 32】

前記第 2 のデータと関連付けられた前記誤り訂正符号を生成することが、前記第 2 のデータと関連付けられた前記誤り訂正符号を前記生成行列の全ての層よりも少ない層に基づいて生成することを含む、請求項 31 に記載の方法。

【請求項 33】

前記第 1 のデバイスがコントローラであり、前記第 2 のデバイスがメモリアレイである、請求項 28 に記載の方法。

10

20

30

40

50

## 【請求項 3 4】

前記コントローラおよびメモリアレイが同じ半導体ダイ上にある、請求項 3 3 に記載の方法。

## 【請求項 3 5】

前記コントローラが第 1 の半導体ダイ上にあり、およびメモリアレイが第 2 の半導体ダイ上にある、請求項 3 3 に記載の方法。

## 【請求項 3 6】

第 1 のデータと関連付けられた前記誤り訂正符号を生成する前に、前記第 2 のデバイスから記憶されたデータを取り出すことであって、前記第 1 のデータが前記記憶されたデータを含む、取り出すことをさらに含む、請求項 3 1 に記載の方法。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

< 優先権出願 >

本出願は、2012年3月6日に提出された米国出願第 13 / 413 , 363 号の恩典を主張するものであり、それはその全体が参照により本明細書に組み込まれる。

## 【背景技術】

## 【0002】

フラッシュメモリなどのメモリデバイスは、コンピュータおよび多くの電子製品に広く用いられている。このようなメモリデバイスは、多くのメモリセルを有する。情報は、書き込み動作でメモリセルに記憶され得る。記憶された情報は、読み出し動作で取り出され得るか、または消去動作で消去され得る。所与のデバイス面積に対してメモリセル密度が増大するにつれて、メモリデバイスに記憶された情報の信頼性を維持することが、課題をもたらす得る。

20

## 【図面の簡単な説明】

## 【0003】

【図 1】本発明の実施形態に従う、メモリデバイスの形態の装置のブロック図を示す。

【図 2】本発明の実施形態に従う、メモリデバイスの一部の略図を示す。

【図 3】本発明の実施形態に従う、図 2 のメモリデバイスのメモリセルに記憶された情報の値を表すように構成され得る閾値電圧範囲を示すグラフである。

30

【図 4】本発明の実施形態に従う、図 2 のメモリデバイスのメモリ部分に対応するブロック図を示す。

【図 5】本発明の実施形態に従う、図 4 のメモリ部分に記憶され得る情報の異なるページを示す。

【図 6】本発明の実施形態に従う、生成行列の構造を示す。

【図 7】本発明の実施形態に従う、システムの形態の装置のブロック図を示す。

【図 8】本発明の実施形態に従う、システムを動作させる方法を示すフロー図である。

## 【発明を実施するための形態】

## 【0004】

図 1 は、本発明の実施形態に従う、メモリデバイス 100 の形態の装置のブロック図を示す。メモリデバイス 100 は、ライン（例えば、アクセスライン）WL0 および WL1 ~ WLm ならびにライン（例えば、データライン）BL0 および BL1 ~ BLn に加えて行および列に配列することが可能なメモリセル 103 を有するメモリアレイ 102 を含むことが可能である。メモリデバイス 100 は、ライン WL0 および WL1 ~ WLm ならびにメモリセル 103 にアクセスするラインおよびメモリセル 103 と情報を交換する（例えば、転送する）ライン 105 を用いることが可能である。

40

## 【0005】

行アクセス 108 および列アクセス 109 の回路は、アドレスレジスタ 112 に応答して、ライン 110、111、または双方上の行アドレスおよび列アドレスの信号に基づいてメモリセル 103 にアクセスすることが可能である。入/出力回路 114 は、メモリセ

50

ル103とライン110との間で情報を交換するように構成することが可能である。ライン110および111は、メモリデバイス100内の結節または、メモリデバイス100が常駐することが可能なパッケージ上のピン（または半田ボール）を含むことがある。

**【0006】**

制御回路116は、ライン110および111上に存在する信号に基づいてメモリデバイス100の動作を制御することが可能である。メモリデバイス100の外部のデバイス（例えば、プロセッサまたはメモリコントローラ）は、ライン110、111、または双方上の信号の異なる組み合わせを用いて、異なる指令（例えば、読み出し、書き込み、または消去指令）をメモリデバイス100に送出することが可能である。異なる指令をメモリデバイス100に送出するデバイス（例えば、プロセッサまたはメモリコントローラ）は、メモリデバイス100と同じ半導体ダイ上に形成することが可能であり、または、このようなデバイス（例えば、プロセッサまたはメモリコントローラ）は、メモリデバイス100を形成する半導体ダイとは異なる半導体ダイ上に形成することも可能である。

10

**【0007】**

メモリデバイス100は、指令に応答して、情報をメモリセル103に記憶する（プログラムする）書き込み（例えば、プログラミング）動作または記憶された情報をメモリセル103から取り出す読み出し動作などのメモリ動作をメモリセル103に実施することが可能である。メモリデバイス100はまた、消去動作を実施して、メモリセル103の一部または全部から情報をクリアすることが可能である。

**【0008】**

メモリセル103に記憶された情報は、データと、このデータと関連付けられた誤り訂正符号（ECC）とを含むことがある。ECCは、データがメモリセル103に記憶される前にこのデータに基づいて生成することが可能である。ECCは、パリティ検査ビットを含むことがある。データおよびその関連付けられたECCが、メモリセル103から取り出されるとき、このECCを用いて、このデータ中に発生し得た誤りを訂正するように用いることが可能である。データと関連付けられたECCは、メモリデバイス100によって内部で発生する、または別のデバイス（例えば、メモリコントローラもしくはプロセッサ）によって外部で発生することが可能である。

20

**【0009】**

メモリセル103の各々は、ビットの分数の値、1ビットの値、または、2ビット、3ビット、4ビット、もしくは別の数のビットなどの複数のビットの値を表す情報を記憶するようにプログラムすることが可能である。例えば、メモリセル103の各々は、1ビットの二進法数値「0」または「1」を表す情報を記憶するようにプログラムすることが可能である。1ビット/セルは、1レベルセルと呼ばれることもある。別の例では、メモリセル103の各々は、2ビットの4つの可能な値「00」、「01」、「10」、および「11」のうちの一つ、3ビットの8つの可能な値「000」、「001」、「010」、「011」、「100」、「101」、「110」、および「111」のうちの一つ、または別の数の複数ビットの他の値のうちの一つなどの複数のビットの値を表す情報を記憶するようにプログラムすることが可能である。複数のビットを記憶する能力を有するセルは、複数レベルセル（または多状態セル）と呼ばれることもある。

30

40

**【0010】**

メモリデバイス100は不揮発性メモリデバイスを含むことが可能であり、メモリセル103は不揮発性メモリセルを含むことが可能であり、それで、メモリセル103は、電力がメモリデバイス100から切断されたときに、そこに記憶された情報を保持することが可能である。例えば、メモリデバイス100は、NANDフラッシュもしくはNORフラッシュメモリデバイスなどのフラッシュメモリデバイスまたは、可変抵抗メモリデバイス（例えば、相変化もしくは抵抗RAMデバイス）などの別の種類のメモリデバイスであり得る。

**【0011】**

メモリデバイス100は、メモリセル103が同じデバイス上の複数レベルに物理的に

50

位置することが可能なメモリデバイスを含むことが可能であり、それで、メモリセル103の一部を、メモリデバイス100の基板（例えば、半導体基板）上の複数レベルで一部の他のメモリセル103に積み重ねることが可能である。

【0012】

当業者は、メモリデバイス100は、本明細書に説明する例示の実施形態をあいまいにしないためにそのうちのいくつかを図1に示さない他の部品を含み得ることを認識し得る。

【0013】

メモリデバイス100の少なくとも一部分は、図2～図8を参照して以下に説明するメモリデバイスに類似したまたはこれと同一の構造を含み得る。

10

【0014】

図2は、本発明の実施形態に従う、メモリデバイス200の一部分の略図を示す。メモリデバイス200は、図1のメモリアレイ102の一部を形成することが可能なメモリアレイ202を含むことが可能である。図2に示すように、メモリアレイ202は、それぞれ、ラインWL0、WL1、WL2、WL3、およびWL4と関連付けられたメモリセル210、211、212、213、および214を含むことが可能である。ラインWL0、WL1、WL2、WL3、およびWL4の各々は、メモリ動作（例えば、読み出しまたは書き込み動作）中に、メモリセルメモリセル210、211、212、213、および214にアクセスするために、メモリデバイス200のアクセスラインの一部を形成することが可能である。メモリデバイス200は、それぞれラインBL0～BL9を含むことが可能である。ラインBL0～BL9の各々は、メモリデバイス200のデータラインの一部を形成することが可能である。図2は、一例として、5つのラインWL0、WL1、WL2、WL3、およびWL4ならびに10のラインBL0～BL9を示している。これらのラインの数は変化し得る。

20

【0015】

メモリセル210、211、212、213、および214は、図2に示すように、NAND構成に配列することが可能である。例えば、メモリセル210、211、212、および213は、メモリセルストリング220～229などのメモリセルストリングとして配列することが可能である。メモリセルストリング220～229の各々は、トランジスタのうちの一つ（例えば、選択トランジスタ）217を介してラインBL0～BL9のうちの一つに、かつトランジスタのうちの一つ（例えば、選択トランジスタ）218を介してラインSLに連結することが可能である。ラインSLは、メモリデバイス200のソース（例えば、ソースライン）の一部を形成することが可能である。

30

【0016】

メモリ動作（例えば、読み出しまたは書き込み動作）中に、メモリデバイス200は、ラインSGDを用いてトランジスタ217をオンにし、メモリセルストリング220～229をそれぞれのラインBL0～BL9に連結する、またはトランジスタ217をオフにし、メモリセルストリング220～229をそれぞれのラインBL0～BL9から切り離すことが可能である。メモリデバイス200は、ラインSGSを用いてトランジスタ218をオンにし、メモリセルストリング220～229をラインSLに連結する、またはトランジスタ218をオフにし、メモリセルストリング220～229をラインSLから切り離すことが可能である。

40

【0017】

メモリセル210、211、212、213、および214は、メモリデバイス200の複数レベルに物理的に位置することが可能であり、それで、同じメモリセルストリング中のメモリセルは、メモリデバイス200の複数レベルで互いの上に積み重ねることが可能である。例えば、メモリセル214は、メモリデバイス200の1つのレベルに物理的に位置することが可能である。メモリセル213は、メモリデバイス200の別のレベルでメモリセル214の上に物理的に位置することが可能である。図2は、各々のメモリセルストリング中での12のメモリセルストリング220～229ならびに4つのメモリセ

50

ル 210、211、212、および 213 の例を示す。メモリセルストリングの数および各々のメモリセルストリング中のメモリセルの数は変化し得る。

【0018】

メモリセル 210 およびメモリセル 214 は、メモリアレイ 202 のそれぞれのエッジに物理的に位置することが可能である。例えば、メモリセル 210 はメモリアレイ 202 のエッジに物理的に位置することが可能であり、それで、メモリセル 210 は、メモリアレイ 202 の他のメモリセル（例えば、211、212、213、および 214）よりもトランジスタ 217 に近づき得る。別の例では、メモリセル 214 はメモリアレイ 202 の別のエッジに物理的に位置することが可能であり、それで、メモリセル 210 は、メモリアレイ 202 の他のメモリセル（例えば、210、211、212、および 213）よりもトランジスタ 218 に近づき得る。

10

【0019】

メモリ動作では、メモリデバイス 200 は、メモリセル 210、211、212、213、および 214 のうちの選択されたメモリセルに選択的にアクセスして、選択されたメモリセルに情報を（例えば、書き込み動作で）記憶するか、または選択されたメモリセルから情報を（例えば、読み出し動作で）取り出すことが可能である。メモリセル 210、211、212、213、および 214 に記憶された情報は、データと、このデータと関連付けられた ECC とを含み得る。例えば、メモリセル 212 のうちの選択されたメモリセルに情報を記憶するには、メモリデバイス 200 は、メモリセル 212 だけがアクセス可能となるようにライン WL0 ~ WL4 を起動すればよい。これで、メモリデバイス 200 は、例えば、適切な電圧（例えば、プログラミング電圧）をライン WL2 およびライン BL0 ~ BL9 に印加することによって、選択されたメモリセルに情報を記憶することが可能である。別の例では、メモリセル 212 のうちの選択されたメモリセルから情報（例えば、データおよび ECC）を取り出すには、メモリデバイス 200 は、メモリセル 212 だけがアクセス可能となるように、ライン WL0 ~ WL4 を起動すればよい。これで、メモリデバイス 200 は、例えば、記憶された情報を選択されたメモリセルからライン BL0 ~ BL9 を介して感知することによって、記憶された情報を選択されたメモリセルから取り出すことが可能である。

20

【0020】

図 2 に示すように、同じライン WL0、WL1、WL2、WL3、または WL4 と関連付けられたメモリセル 210、211、212、213、または 214 は、各々のメモリ部分がある数（あるグループ）のメモリセルを含むことが可能な異なるメモリ部分に編成することが可能である。例えば、メモリセル 210（ライン WL0 と関連付けられる）は、メモリ部分 251、252、および 253 に編成することが可能である。メモリセル 211（ライン WL1 と関連付けられる）は、メモリ部分 261、262、および 263 に編成することが可能である。メモリセル 212（ライン WL2 と関連付けられる）は、メモリ部分 271、272、および 273 に編成することが可能である。メモリセル 213（ライン WL3 と関連付けられる）は、メモリ部分 281、282、および 283 に編成することが可能である。メモリセル 214（ライン WL4 と関連付けられる）は、メモリ部分 291、292、および 293 に編成することが可能である。

30

40

【0021】

メモリデバイス 200 のメモリ部分は、異なるタイプの情報を記憶することが可能である。例えば、メモリ部分 251、261、271、281、および 291 は、データを記憶することが可能である。メモリ部分 252、253、262、263、272、273、282、283、292、および 293 は、メモリ部分 251、261、271、281、および 291 に記憶されたそれぞれのデータと関連付けられた ECC を記憶することが可能である。そうする代わりにまたはそうすることに加えて、メモリ部分 252、253、262、263、272、273、282、283、292、および 293 はまた、他のタイプの情報（例えば、オーバーヘッド情報またはデータ管理情報）を記憶することも可能である。

50

## 【 0 0 2 2 】

図 2 は、一例として、メモリ部分 2 5 1、2 6 1、2 7 1、2 8 1、および 2 9 1、メモリ部分 2 5 2、2 6 2、2 7 2、2 8 2、および 2 9 2、ならびにメモリ部分 2 5 3、2 6 3、2 7 3、2 8 3、および 2 9 3 の各々の中の特定の数（例えば、6、3、または 1）のメモリセルを示している。これらのメモリ部分中のメモリセルのこの数は変化し得る。

## 【 0 0 2 3 】

簡単にするため、次の記述は、ライン W L 3 と関連付けられたメモリセル 2 1 3 などの、ライン W L 0、W L 1、W L 2、W L 3、および W L 4 のうちのひとつと関連付けられたメモリセルの編成および機能を説明する。他のメモリセル 2 1 0、2 1 1、2 1 2、および 2 1 4 は、類似の編成および機能を含み得る。

10

## 【 0 0 2 4 】

メモリセル 2 1 3 で、メモリ部分 2 7 1 は、メモリ部分 2 7 2 と 2 7 3 を合わせたサイズよりも実質的に大きいサイズ（例えば、メモリセルの数）を有し得る。例えば、メモリ部分 2 7 1 は、全てのメモリセル 2 1 3 の数の約 9 7 %（例えば、9 6 . 8 7 5 %）を含み得るし、メモリ部分 2 7 2 および 2 7 3 は、全てのメモリセル 2 1 3 の数の約 3 %（例えば、3 . 1 2 5 %）を含み得る。

## 【 0 0 2 5 】

一例として、メモリ部分 2 7 1 は、（6 5、5 3 6 のセルの各々が 1 ビットのデータを記憶するように構成されている場合に） $8 \times 8 \times 2^{10}$  ビット（8 K バイト）のデータを記憶することが可能な、または、（6 5、5 3 6 のセルの各々が 2 ビットのデータを記憶するように構成されている場合に） $16 \times 8 \times 2^{10}$  ビット（16 K バイト）のデータを記憶することが可能な 6 5、5 3 6 =  $8 \times 8 \times 2^{10}$  のセルを含み得る。メモリ部分 2 7 2 および 2 7 3 は、（2、0 4 8 のセルの各々が 1 ビットのデータを記憶するように構成されている場合に）2 5 6 バイトのデータを記憶することが可能な、または、（2、0 4 8 のセルの各々が 2 ビットのデータを記憶するように構成されている場合に）5 1 2 バイトのデータを記憶することが可能な 2、0 4 8 =  $2 \times 5 \times 8$  のセルを含み得る。

20

## 【 0 0 2 6 】

メモリ部分 2 7 2 は、メモリ部分 2 7 3 のそれよりも大きいサイズ（例えば、メモリセルの数）を有し得る。例えば、メモリ部分 2 7 2 は、メモリ部分 2 7 3 のサイズの 3 倍のサイズを有し得る。したがって、メモリ部分 2 7 2 は、メモリ部分 2 7 3 に記憶することが可能な E C C のサイズの 3 倍であるサイズを有する E C C を記憶することが可能であり得る。例えば、メモリ部分 2 7 3 は 6 4 バイトの E C C を記憶することが可能な数のメモリセルを含み得るし、メモリ部分 2 7 2 は 1 9 2 バイトの E C C を記憶することが可能な数のメモリセルを含み得る。

30

## 【 0 0 2 7 】

メモリ部分 2 5 1、2 6 1、2 7 1、2 8 1、および 2 9 1 は、同じサイズを有し得る。例えば、メモリ部分 2 5 1、2 6 1、2 7 1、2 8 1、および 2 9 1 の各々は、6 5、5 3 6 =  $8 \times 8 \times 2^{10}$  のセル（例えば、各々の部分に 8 K バイトまたは 16 K バイトのデータを記憶することが可能である）を含み得る。メモリ部分 2 5 2、2 6 2、2 7 2、2 8 2、および 2 9 2 は、同じサイズを有し得る。例えば、メモリ部分 2 5 2、2 6 2、2 7 2、2 8 2、および 2 9 2 の各々は、1、5 3 6 =  $1 \times 9 \times 8$  のセル（例えば、各々の部分に 1 9 2 バイトまたは 3 8 4 バイトの E C C を記憶することが可能である）を含み得る。メモリ部分 2 5 3、2 6 3、2 7 3、2 8 3、および 2 9 3 は、同じサイズを有し得る。例えば、メモリ部分 2 5 3、2 6 3、2 7 3、2 8 3、および 2 9 3 の各々は、5 1 2 =  $6 \times 4 \times 8$  のセル（例えば、各々のメモリ部分に 6 4 バイトまたは 1 2 8 バイトの E C C を記憶することが可能である）を含み得る。

40

## 【 0 0 2 8 】

メモリセル 2 1 0、2 1 1、2 1 2、2 1 3、および 2 1 4 は、情報（例えば、データおよび E C C）を順次に記憶することが可能である。例えば、情報は、情報が（ライン W

50

L1と関連付けられる)メモリ部分261、262、および263のメモリセル211に記憶することが可能となる前に、(ラインWL0と関連付けられる)メモリ部分251、252、および253のメモリセル(例えば、メモリセル210の全て)に記憶することが可能である。情報は、情報が(ラインWL2と関連付けられる)メモリ部分271、272、および273のメモリセル212に記憶することが可能となる前に、(ラインWL1と関連付けられる)メモリ部分261、262、および263のメモリセル211(例えば、メモリセル211の全て)に記憶することが可能であり、これが繰り返される。代替的には、他の順序(例えば、非順次的な順序)を用いることも可能である。

#### 【0029】

ラインWL0、WL1、WL2、WL3、およびWL4のうちの同じラインと関連付けられたメモリセル(210、211、212、213、または214)のメモリ部分は、メモリ動作でデータとECCとを同時に記憶することが可能である。言い換えれば、データおよびECCは、同じライン(例えば、WL0、WL1、WL2、WL3、またはWL4のうちの一つ)のメモリセルに並列的に記憶することが可能である。例えば、メモリ部分271、272、および273の中のメモリセル212は、データとECCとを同時に記憶することが可能であり、それで、データが書き込み動作でメモリ部分271に記憶される間に、ECCは、同じ書き込み動作で、メモリ部分272および273に記憶される。別の例では、メモリ部分281、282、および283の中のメモリセル213は、データとECCとを同時に記憶することが可能であり、それで、データが書き込み動作でメモリ部分281に記憶される間に、ECCは、同じ書き込み動作で、メモリ部分282および283に記憶される。

#### 【0030】

図3は、本発明の実施形態に従う、図2のメモリセル210、211、212、213、および214に記憶された情報(例えば、データまたはECC)の値を表すように構成することが可能な閾値電圧(VT)範囲301、302、303、および304を示すグラフである。図3に示すように、VT範囲のVT値(例えば、VT軸に沿ったボルト単位の値)は、別のVT範囲のVT値とは異なる。例えば、VT範囲301は、VT範囲302、303、および304のVT値に対して最低のVT値を含み得る。VT範囲304は、VT範囲301、302、および303のVT値に対して最高のVT値を含み得る。

#### 【0031】

図3に示すように、VT範囲301、302、303、および304のVT値は、2ビットの情報のそれぞれ4つの可能な値「00」、「01」、「10」、および「11」を表すように構成することが可能である。それぞれVT範囲301、302、303、および304に対応する順序「11」、「10」、「00」、および「01」は、例示の順序である。異なる順序を用いることも可能である。

#### 【0032】

図3は、一例として4つのVT範囲を示している。異なる数の範囲を用いることも可能である。例えば、8つの異なるVT範囲を用いて、「000」、「001」、「010」、「011」、「100」、「101」、「110」、および「111」を含む、3ビットの8つの可能な値を表すことが可能である。

#### 【0033】

図2では、メモリセル210、211、212、213、および214の各々は、2ビットの値「11」、「10」、「00」、または「01」のうちのどれが選択されたメモリセルに記憶されるかに応じて、メモリセルに記憶された情報の値に対応するVT範囲301、302、303、および304(図3)のうちの一つの内部にある(例えば、書き込み動作後の)VT値を維持することが可能である。例えば、図3に基づいて、選択されたメモリセル(例えば、図2の210、211、212、213、および214のうちのの一つ)に値「10」を記憶するには、書き込み動作が、選択されたメモリセルに、VT範囲302内のVT値を維持させればよい。別の例では、選択されたメモリセルに値「01」を記憶するには、書き込み動作が、選択されたメモリセルに、VT範囲304内のVT

10

20

30

40

50

値を維持させればよい。

【0034】

読み出し動作は、選択されたメモリセルに記憶された情報を（例えば、感知することによって）取り出して、この選択されたメモリセルに記憶された情報の値（例えば、「00」、「01」、「10」、または「11」）を決定することが可能である。例えば、読み出し動作では、VT範囲302に対応するVT値が選択されたメモリセルから感知されると、（図3に基づいた）「10」という値を感知されたVT値から生成することが可能である。次に、値「10」を、選択されたメモリセルに記憶された情報の値として提供（例えば、出力）することが可能である。

【0035】

図2を参照して上述したように、メモリセル210、211、212、213、および214（図2）に記憶された情報は、データおよびECCを含み得る。したがって、図3で、値「00」、「01」、「10」、および「11」の各々は、2ビットのデータまたは2ビットのECCのどちらかの値を表し得る。例えば、図2で、メモリ部分281中のメモリセル213はデータを記憶し得るため、メモリ部分281中の特定のメモリセル213がVT範囲302（図3の値「10」に対応する）内のVT値を（例えば、感知されたときに）有している場合、その特定のメモリセルに記憶された情報は、2ビットのデータの値「10」を表すことが可能である。別の例では、図2で、メモリ部分282および283の中のメモリセル213はECCを記憶し得るため、メモリ部分282および283の中の特定のメモリセル213がVT範囲302（図3の値「10」に対応する）内のVT値を（例えば、感知されたときに）有している場合、その特定のメモリセル記憶された情報は、2ビットのECCの値「10」を表すことが可能である。

【0036】

図3に示すように、2ビット（値「00」、「01」、「10」、および「11」を有する）の情報を、ビット位置MSB（例えば、最上位のビット）のビットおよびビット位置LSB（例えば、最下位のビット）のビットとして指定することが可能である。

【0037】

メモリデバイス200（図2）は、ページの情報中にデータビットを（記憶されるように）編成するように構成することが可能である。各々のページの情報は、データとその関連付けられたECCとを含み得る。1ページの情報中のデータのサイズ（例えば、8Kバイト）は、別のページの情報中のデータのサイズと同じであり得る。

【0038】

あるページの情報中のデータのビットは、同じビット位置（例えば、MSBまたはLSB）に記憶されたビットを含み得る。例えば、あるページの情報は、同じビット位置MSBに記憶されたビットを有するデータを含み得る。別の例では、別のページの情報は、同じビット位置LSBに記憶されたビットを有するデータを含み得る。

【0039】

図3に示すように、ビット位置MSBのビットの中で、値「1」、「1」、「0」、および「0」は、この順序で、VT範囲302での「1」からVT範囲303での「0」に一回だけ変化する。ビット位置LSBのビットの中で、値「1」、「0」、「0」、および「1」は、この順序で、VT範囲301での「1」からVT範囲302での「0」に変化し、かつVT範囲303での「0」からVT範囲304での「1」に変化するなど、二回変化する。したがって、ビット位置MSBのビットとビット位置LSBのビットとを比較すると、ビット位置LSBのビットは、ビット位置MSBのビットよりも変化する回数が多い。誤りは、ビットが同じ位置にとどまるときよりもビットがその値を（例えば、「0」と「1」との間で）変化させるときのほうが発生する可能性が高い。したがって、誤りは、ビット位置MSBのビットにおいてよりもビット位置LSBのビットにおいてのほうが発生する可能性が高い（例えば、2倍高い）。

【0040】

したがって、図3の「11」、「10」、「00」、および「01」の順序に基づいて

10

20

30

40

50

、より誤りが発生しやすいページの情報は、ビット位置LSBのビットを有するデータを含むページの情報と関連し得る。より誤りが発生しにくいページの情報は、ビット位置MSBのビットを有するデータを含むページの情報と関連し得る。

【0041】

一部の場合、図3の値「11」、「10」、「00」、および「01」は、図3に示す順序とは異なる順序で配列することが可能である。このような場合、値「11」、「10」、「00」、および「01」の順序によって、誤りは、ビット位置LSBのビットにおいてよりもビット位置MSBのビットにおいてのほうが発生しやすくなり得る。

【0042】

要するに、より誤りが発生しやすいページの情報は、別のビット位置（例えば、図3の値の順序に基づくMSB）のビットを有するデータを含むページの情報よりも誤りを有しやすいビット位置（例えば、図3の値の順序に基づくLSB）のビットを有するデータを含むページの情報と関連し得る。より誤りが発生しにくいページの情報は、別のビット位置（例えば、図3の値の順序に基づくLSB）のビットを有するデータを含むページの情報よりも誤りを有しにくいビット位置（例えば、図3の値の順序に基づくMSB）のビットを有するデータを含むページの情報と関連し得る。

10

【0043】

したがって、図4～図8を参照して以下に説明するように、データの誤り訂正を向上させるには、より多くのECC（例えば、より多い数のECCビット）を、より誤りを有しにくいビット位置のビットを有するデータよりも誤りを有しやすいと決定されたビット位置のビットを有するデータに対して割り当てればよい。メモリセル210、211、212、および213などのメモリセルに書き込まれ、かつこれらから取り出されたビットパターンの分析を（例えば、製造中に）実施して、どのビット位置（例えば、MSBまたはLSB）で、データのビットが誤りを有しやすいかを決定することが可能である。

20

【0044】

図4は、本発明の実施形態に従う、図2のメモリセル210、211、212、213、および214のメモリ部分に対応するブロック図を示す。図4のメモリセル210、211、212、213、および214のメモリ部分の参照番号は、メモリ部分251、252、および253（ラインWL0と関連する）、メモリ部分261、262、および263（ラインWL1と関連する）、メモリ部分271、272、および273（ラインWL2と関連する）、メモリ部分281、282、および283（ラインWL3と関連する）、ならびにメモリ部分291、292、および293（ラインWL4と関連する）を含む（図4に示すように）、図2のそれらと同じである。図4の図面は、原寸に比例していない。

30

【0045】

図4に示すように、メモリ部分252、262、272、282、および292の各々は、メモリ部分252中の部分401、402、および403、メモリ部分262中の部分411、412、および413、メモリ部分272中の部分421、422、および423、メモリ部分282中の部分431、432、および433、ならびにメモリ部分292中の部分441、442、および443などの部分（例えば、サブ部分）を含み得る。

40

【0046】

部分401、402、および403は、同じサイズ（例えば、同じ数のメモリセル）を有し得る。部分401、402、および403の各々もまた、メモリ部分253のサイズに等しいサイズを有し得る。部分411、412、および413は、メモリ部分263のサイズに等しくあり得る同じサイズ（例えば、同じ数のメモリセル）を有し得る。部分421、422、および423は、メモリ部分273のサイズに等しくあり得る同じサイズ（例えば、同じ数のメモリセル）を有し得る。部分431、432、および433は、メモリ部分283のサイズに等しくあり得る同じサイズ（例えば、同じ数のメモリセル）を有し得る。部分441、442、および443は、メモリ部分293のサイズに等しくあ

50

り得る同じサイズ（例えば、同じ数のメモリセル）を有し得る。

【0047】

図5は、本発明の実施形態に従う、図4のメモリ部分に記憶することが可能な異なるページの情報（例えば、データおよびECC）を示す。図4のメモリセル210、211、212、213、および214のメモリ部分の参照番号は、メモリ部分251、252、および253（ラインWL0と関連する）、メモリ部分261、262、および263（ラインWL1と関連する）、271、272、および273（ラインWL2と関連する）、メモリ部分281、282、および283（ラインWL3と関連する）、ならびにメモリ部分291、292、および293（ラインWL4と関連する）を含む図2のそれらと同じである。

10

【0048】

図5に示すように、この情報は、データ555および関連付けられたECC557、データ565および関連付けられたECC567、データ566および関連付けられたECC568、データ575および関連付けられたECC577、データ576および関連付けられたECC578、データ585および関連付けられたECC587、データ586および関連付けられたECC588、データ595および関連付けられたECC597などのデータとそれらの関連付けられたECCとを含み得る。

【0049】

特定のデータと関連付けられたECCを用いて、その特定のデータ中で発生し得た誤りを訂正することが可能である。例えば、ECC577を用いて、データ575が読み出し動作で取り出されたときにデータ575中で発生し得た誤りを訂正することが可能である。別の例では、ECC578を用いて、データ576が読み出し動作で取り出されたときにデータ576中で発生し得た誤りを訂正することが可能である。

20

【0050】

図5で、「DATA WLx」、「DATA<sub>A</sub> WLx」、および「DATA<sub>B</sub> WLx」（式中、x=0、1、2、3、または4）は、それぞれラインWL0、WL1、WL2、WL3、およびWL4と関連付けられたメモリ部分251、261、271、281、および291に記憶されたデータ555、565、575、585、および595の中の異なるデータ（例えば、データのビット）を表し得る。例えば、「DATA<sub>A</sub> WL1」は、ラインWL1と関連付けられたメモリ部分261に記憶されたページの情報中のデータを表し得る。別の例では、「DATA<sub>B</sub> WL1」は、ラインWL1と関連付けられたメモリ部分261に記憶された情報の別のページ中のデータを表し得る。「DATA<sub>A</sub> WL1」および「DATA<sub>B</sub> WL1」は、ラインWL1と関連付けられたメモリ部分261の同じメモリセルに記憶され得る。「DATA<sub>A</sub> WL2」および「DATA<sub>B</sub> WL2」は、ラインWL2と関連付けられたメモリ部分271に記憶された情報の2つの異なるページ中のデータを表し得る。「DATA<sub>A</sub> WL3」および「DATA<sub>B</sub> WL3」は、ラインWL3と関連付けられたメモリ部分281に記憶された情報の2つの異なるページ中のデータを表し得る。

30

【0051】

異なるページの情報中のデータが、同じサイズ（例えば、同じ数のビット）を有し得る。例えば、データ555、565、566、575、576、585、586、および595（例えば、「DATA WLx」、「DATA<sub>A</sub> WLx」、および「DATA<sub>B</sub> WLx」で表される）は、同じ数のビット（例えば、65,536ビット=8×8×2<sup>10</sup>=8Kバイト）を有し得る。

40

【0052】

「ECC<sub>Y</sub> (DATA WLx)」、「ECC<sub>Y</sub> (DATA<sub>A</sub> WLx)」、および「ECC<sub>Y</sub> (DATA<sub>B</sub> WLx)」（式中、Y=0、1、2、3、または4）は、メモリ部分251、261、271、281、および291に記憶されたデータと関連付けられたECC557、567、577、587、588、および597という異なる集合（例えば、パリティ検査ビットの集合）を表し得る。例えば、「ECC<sub>0</sub> (DATA<sub>A</sub> WL

50

2)」、 $\text{ECC}_1(\text{DATA}_A \text{ WL}2)$ 」、 $\text{ECC}_2(\text{DATA}_A \text{ WL}2)$ 」は、データ「 $\text{DATA}_A \text{ WL}2$ 」と関連付けられたECCの3つの集合を表し得る。別の例では、「 $\text{ECC}_0(\text{DATA}_B \text{ WL}2)$ 」、「 $\text{ECC}_1(\text{DATA}_B \text{ WL}2)$ 」、「 $\text{ECC}_2(\text{DATA}_B \text{ WL}2)$ 」、「 $\text{ECC}_3(\text{DATA}_B \text{ WL}2)$ 」および「 $\text{ECC}_4(\text{DATA}_B \text{ WL}2)$ 」は、データ「 $\text{DATA}_B \text{ WL}2$ 」と関連付けられたECCの5つの集合を表し得る。

【0053】

「 $\text{ECC}_Y(\text{DATA} \text{ WL}x)$ 」、「 $\text{ECC}_Y(\text{DATA}_A \text{ WL}x)$ 」および「 $\text{ECC}_Y(\text{DATA}_B \text{ WL}x)$ 」は、同じサイズ(例えば、512ビット=64バイトなどの同じ数のビット)を有し得る。

10

【0054】

図5に示すデータおよびECCは、ページの情報中に編成することが可能である。例えば、ラインWL2と関連付けられたメモリ部分に記憶されたあるページの情報は、「 $(\text{DATA}_A \text{ WL}2)$ 」、「 $\text{ECC}_0(\text{DATA}_A \text{ WL}2)$ 」、「 $\text{ECC}_1(\text{DATA}_A \text{ WL}2)$ 」、「 $\text{ECC}_2(\text{DATA}_A \text{ WL}2)$ 」および「 $\text{ECC}_4(\text{DATA}_B \text{ WL}1)$ 」を含み得る。ラインWL2と関連付けられたメモリ部分に記憶された別のページの情報は、「 $(\text{DATA}_B \text{ WL}2)$ 」、「 $\text{ECC}_0(\text{DATA}_B \text{ WL}2)$ 」、「 $\text{ECC}_1(\text{DATA}_B \text{ WL}2)$ 」、「 $\text{ECC}_2(\text{DATA}_B \text{ WL}2)$ 」および「 $\text{ECC}_3(\text{DATA}_B \text{ WL}2)$ 」を含み得る。

20

【0055】

図5に示すように、情報の異なるページからのデータが、同じラインWL0、WL1、WL2、WL3、またはWL4と関連付けられた同じメモリ部分に記憶され得る。例えば、2つの異なるページの情報からのデータ「 $\text{DATA}_A \text{ WL}2$ 」および「 $\text{DATA}_B \text{ WL}2$ 」が、ラインWL2と関連付けられた同じメモリ部分271に記憶され得る。

【0056】

特定のデータと関連付けられたECC全体は、同じページの情報中にデータとして編成することが可能であり、したがって、同じライン(ラインWL0、WL1、WL2、WL3、およびWL4のうちの一つ)と関連付けられたメモリ部分に記憶することが可能である。例えば、「 $(\text{DATA}_A \text{ WL}2)$ 」と関連付けられた「 $\text{ECC}_0(\text{DATA}_A \text{ WL}2)$ 」、「 $\text{ECC}_1(\text{DATA}_A \text{ WL}2)$ 」および「 $\text{ECC}_2(\text{DATA}_A \text{ WL}2)$ 」は、同じページの情報中に編成して、同じラインWL2と関連付けられたメモリ部分に記憶することが可能である。

30

【0057】

特定のデータと関連付けられたECCの一部(例えば、一集合)を、その特定のデータを含むページの情報とは異なるページの情報中に編成することが可能である。これらの異なるページの情報は、異なるアクセスラインと関連付けられたメモリ部分に記憶することが可能である。例えば、 $\text{DATA}_B \text{ WL}2$ と関連付けられたECCの一部(例えば、 $\text{ECC}_4(\text{DATA}_B \text{ WL}2)$ )を、 $\text{DATA}_B \text{ WL}2$ を含むページの情報とは異なる「 $(\text{DATA}_A \text{ WL}3)$ 」、「 $\text{ECC}_0(\text{DATA}_A \text{ WL}3)$ 」、「 $\text{ECC}_1(\text{DATA}_A \text{ WL}3)$ 」および「 $\text{ECC}_2(\text{DATA}_A \text{ WL}3)$ 」を含むページの情報中に編成することが可能である。したがって、データとその関連付けられたECCとは、2つの異なるページの情報中に編成することが可能であり、したがって、ラインWL0、WL1、WL2、WL3、およびWL4のうち2つの異なるラインと関連付けられたメモリ部分に記憶することが可能である。2つの異なるライン(例えば、WL2およびWL3)は、互いのすぐ隣に物理的に位置することが可能である。したがって、異なるラインと関連付けられたメモリ部分は、互いのすぐ隣に物理的に位置するメモリセル(例えば、212および213)を含み得る。

40

【0058】

図5に示すように、ラインWL0、WL2、WL2、WL3、およびWL4のうち一部(例えば、ラインWL0およびWL4)と関連付けられたメモリ部分を、1ページだけ

50

の情報を記憶するように構成することが可能である。例えば、ラインWL0と関連付けられたメモリ部分251、252、および253は、「DATA WL0」、「ECC<sub>0</sub> (DATA WL0)」、「ECC<sub>1</sub> (DATA WL0)」、「ECC<sub>2</sub> (DATA WL0)」、および「ECC<sub>3</sub> (DATA WL0)」を含む1ページだけの情報を記憶するように構成することが可能である。別の例では、ラインWL4と関連付けられたメモリ部分291、292、および293は、「DATA WL4」、「ECC<sub>0</sub> (DATA WL4)」、「ECC<sub>1</sub> (DATA WL4)」、「ECC<sub>2</sub> (DATA WL4)」、および「ECC<sub>4</sub> (DATA<sub>B</sub> WL3)」を含む1ページだけの情報を記憶するように構成することが可能である。

#### 【0059】

図5に示すように、ラインWL0、WL2、WL2、WL3、およびWL4のうちの一部（例えば、ラインWL1、WL2、およびWL3）と関連付けられたメモリ部分を、複数ページの情報を記憶するように構成することが可能である。例えば、図5に示すように、メモリ部分271は、データ575を含むあるページの情報と、データ576を含む別のページの情報を記憶するように構成することが可能である。この例では、メモリ部分217が $8 \times 8 \times 2^{10}$ 個のメモリセルを含み、これらのメモリセルの各々が、2ビットのデータを記憶するように構成されている場合、メモリ部分217は、1ページの情報に含まれる $8 \times 8 \times 2^{10}$ ビット（8Kバイト）のデータ575と、別のページの情報に含まれる別の $8 \times 8 \times 2^{10}$ ビット（8Kバイト）のデータ576とで、合計16Kバイトのデータを記憶することが可能である。

#### 【0060】

図5は、2ページの情報をメモリ部分261、271、および281の各々に記憶することが可能な例を示す。メモリ部分261、271、および281の各々に記憶することが可能な複数のページの数に変化し得る。例えば、メモリセルメモリ部分261、271、および281が3ビットの情報を記憶するように構成されている場合、メモリ部分261、271、および281の各々は、最大で3ページの情報を記憶することが可能である。

#### 【0061】

異なるデータと関連付けられたECCは、異なるサイズ（例えば、異なる数の集合および異なる数のビット）を有し得る。例えば、図5に示すように、ECC557、567、568、577、578、587、588、および597は、異なる数の集合のECCを含み得る。ECC557および567の各々は、4つの集合のECC（例えば、4つの集合で合計256バイトになる各々の集合中の64バイトのECC）を含み得る。ECC577、587、および597の各々は、3つの集合のECC（例えば、3つの集合で合計192バイトになる各々の集合中の64バイトのECC）を含み得る。ECC568、578、および588の各々は、5つの集合のECC（例えば、5つの集合で合計320バイトになる各々の集合中の64バイトのECC）を含み得る。

#### 【0062】

より誤りが発生しやすいページの情報中のデータは、より誤りが発生しにくいページの情報中のデータよりも、より多くの集合のECCと関連付けることが可能である。例えば、図5で、データ566、576、および586の各々は5つの集合のECCと関連付けられているため、データ566、576、および586を含むページの情報は、より誤りが発生しやすいページの情報であると言及することが可能である。別の例では、図5で、データ555、565、575、585、および595の各々は5つ未満の集合のECCと関連付けられているため、データ555、565、575、585、および595を含むページの情報は、より誤りが発生しにくいページの情報であると言及することが可能である。

#### 【0063】

ECC557、567、568、577、578、587、588、および597は、低密度パリティ検査（LDPC）符号化技法を含む技法を用いて生成することが可能であ

10

20

30

40

50

る。例えば、当業者には周知なように、生成行列（例えばG行列）は、LDPC符号に基づいて生成することが可能である。このような生成行列を用いて、それぞれ、データ555、565、566、575、576、585、586、および595と関連付けられたECC557、567、568、577、578、587、588、および597の「ECC<sub>Y</sub>(DATA<sub>WLX</sub>)」、「ECC<sub>Y</sub>(DATA<sub>A</sub>WLX)」、「および「ECC<sub>Y</sub>(DATA<sub>B</sub>WLX)」を生成することが可能である。

#### 【0064】

図6は、本発明の実施形態に従う、生成行列610の構造を示す。生成行列610は、5つの層601、602、603、604、および605を含むことが可能であり、したがって、5層の準巡回LDPC符号器および5層の準巡回LDPC復号器などの準巡回LDPCコーデック中に実装することが可能である。図6に示すように、層601、602、603、604、および605の各々は、データ部分631およびパリティ検査部分632を形成する、部分行列620などの部分行列を含み得る。部分行列620の各々は、行および列に配列されたある数の二進法数値「0」エントリおよび「1」エントリを含み得る。簡単なように、エントリ「0」および「1」は、部分行列620には示されていない。その代わりに、部分行列620には、対角線がエントリ「1」の位置を表し、スペースがエントリ「0」の位置を表している。

10

#### 【0065】

生成行列610を（例えば、データの符号化中に）用いて、図5を参照して上述したように、ECC557、567、568、577、578、587、588、および597などのECCを生成することが可能である。特定のデータと関連付けられたECCの異なる数の集合（例えば、最大で5つの集合のパリティ検査ビット）を、生成することが可能である。

20

#### 【0066】

例えば、特定のデータと関連付けられた5つの集合のECC（例えば、ECC<sub>0</sub>、ECC<sub>1</sub>、ECC<sub>2</sub>、ECC<sub>3</sub>、およびECC<sub>4</sub>）を、5つの層601、602、603、604、および605のすべてを用いるなど、生成行列610の全ての層を用いて生成することが可能である。したがって、より誤りが発生しやすいページの情報に含まれることになる特定のデータについては、その特定のデータと関連する5つの集合のECCを、生成行列610の5つの層601、602、603、604、および605のすべてを用いて生成すればよい。

30

#### 【0067】

別の例では、特定のデータと関連付けられた5つ未満の集合のECC（例えば、3つの集合のECC<sub>0</sub>、ECC<sub>1</sub>、およびECC<sub>2</sub>または4つの集合のECC<sub>0</sub>、ECC<sub>1</sub>、ECC<sub>2</sub>、およびECC<sub>3</sub>）を、（3つの集合のECCを生成するために）3つだけの層601、602、および603を用いるまたは（4つの集合のECCを生成するために）4つだけの層601、602、603、および604を用いるなどの、生成行列610の全ての層よりも少ない層を用いることによって生成することが可能である。したがって、より誤りが発生しにくいページの情報に含まれることになる特定のデータについては、その特定のデータと関連付けられた3つまたは4つの集合のECCを、3つだけの層601、602、および603または4つだけの層601、602、603、および604を用いることによって生成すればよい。

40

#### 【0068】

生成行列610に基づいて生成されたECCの集合（例えば、ECC<sub>0</sub>、ECC<sub>1</sub>、ECC<sub>2</sub>、ECC<sub>3</sub>、およびECC<sub>4</sub>）は、図5を参照して上述した集合「ECC<sub>Y</sub>(DATA<sub>WLX</sub>)」、「ECC<sub>Y</sub>(DATA<sub>A</sub>WLX)」、「および「ECC<sub>Y</sub>(DATA<sub>B</sub>WLX)」に対応し得る。

#### 【0069】

また、図6の生成行列610を（例えば、データを復号化中に）用いて、誤りがデータ中に発生した場合に、データと関連付けられたECCに基づいて、データを生成すること

50

が可能である。ECCの5つの集合（例えば、ECC<sub>0</sub>、ECC<sub>1</sub>、ECC<sub>2</sub>、ECC<sub>3</sub>、およびECC<sub>4</sub>）が特定のデータと（例えば、データの符号化中に）関連付けられた場合、生成行列610の4つの層（例えば、601、602、603、および604）に対応するECCの4つの集合を最初に用いて、その特定のデータの再生成を試行することが可能である。このデータの生成が失敗した場合、ECCの全ての5つの集合と、生成行列610の全ての5つの層（例えば、601、602、603、604、および605）とを用いて、その特定のデータの再生成を試行することが可能である。別の例では、ECCの3つの集合（例えば、ECC<sub>0</sub>、ECC<sub>1</sub>、およびECC<sub>2</sub>）が特定のデータと（例えば、データの符号化中に）関連付けられた場合、ECCの3つの集合と、生成行列610の対応する3つの層（例えば、601、602、および603）とを用いて、その特定のデータの再生成を試行することが可能である。別の例では、ECCの4つの集合（例えば、ECC<sub>0</sub>、ECC<sub>1</sub>、ECC<sub>2</sub>、およびECC<sub>3</sub>）が特定のデータと（例えば、データの符号化中に）関連付けられた場合、ECCの4つの集合と、生成行列610の対応する4つの層（例えば、601、602、603、および604）とを用いて、その特定のデータの再生成を試行することが可能である。

10

20

30

40

50

#### 【0070】

図7は、本発明の実施形態に従う、システム700の形態の装置のブロック図を示す。システム700は、デバイス710、720、および730を含み得る。デバイス710は、汎用プロセッサまたは特定用途向け集積回路（ASIC）などのプロセッサを含み得る。デバイス720は、デバイス710と730との間の情報の転送を制御するために、メモリコントローラを含み得る。デバイス720はまた、デバイス710から転送されたデータなどのデータと関連付けられたECCを生成することが可能である。デバイス730は、図1のメモリデバイス100などのメモリデバイスを含み得る。デバイス710、720、および730の各々は、個別の半導体ダイ上に物理的に位置することが可能である。代替的には、デバイス710、720、および730の任意の2つまたはデバイス710、720、および730の全ては、同じ半導体ダイ上に物理的に位置することが可能である。

#### 【0071】

図7で、「DATA + ECC」は、システム700中のデータと、その関連付けられたECCとを表し得る。このデータは、図5を参照して上述したデータ555、565、566、575、576、585、586、および595に含まれる「DATA<sub>WLX</sub>」、「DATA<sub>A</sub> WL<sub>X</sub>」、または「DATA<sub>B</sub> WL<sub>X</sub>」に対応し得る。図7で、ECCは、図5を参照して上述したECC557、567、568、577、578、587、588、および597に含まれる「ECC<sub>Y</sub> (DATA<sub>WLX</sub>)」、「ECC<sub>Y</sub> (DATA<sub>A</sub> WL<sub>X</sub>)」、および「ECC<sub>Y</sub> (DATA<sub>B</sub> WL<sub>X</sub>)」に対応し得る。図7で、ECC<sub>4</sub> (DATA<sub>B</sub>)は、図5を参照して上述した「ECC<sub>4</sub> (DATA<sub>B</sub> WL1)」、「ECC<sub>4</sub> (DATA<sub>B</sub> WL2)」、または「ECC<sub>4</sub> (DATA<sub>B</sub> WL3)」に対応し得る。

#### 【0072】

以下の説明は、情報をデバイス730に記憶するための、システム700中での例示の動作（例えば、書き込み動作）を記述する。この例示の動作では、デバイス710は、（デバイス730に記憶される予定の）データをデバイス720に転送することが可能である。すると、デバイス720は、このデータと関連付けられたECCを生成して、データとその関連付けられたECCとをデバイス730に転送して、その中に記憶されるようにすることが可能である。

#### 【0073】

この例示の動作では、デバイス720のインターフェース732は、データをデバイス710から受信して、この受信したデータをバッファ734に転送することが可能である。デバイス720は、データをバッファ734から受信して、データと関連付けられたECCを生成するために、ECC生成器736を含むことが可能である。

## 【0074】

ECC生成器736は、ECC生成器736に実装された生成行列（例えば、図6の生成行列610）に少なくとも部分的に基づいてECCを生成するために、符号器737を含むことが可能である。ECC生成器736によって生成されたECCは、異なる数のECC集合（例えば、パリティ検査ビットの集合）を含み得る。例えば、このECCは、どのページの情報が、そのページの情報がデバイス730に送出される前にデータを含むかによって、3つ、4つ、または5つの集合を含み得る。例えば、図5および図6を参照して上述したように、より誤りを発生しやすいページの情報の中のデータと関連付けられたECCは、5つの集合のECCを含み得る。より誤りを発生しにくいページの情報の中のデータと関連付けられたECCは、3つまたは4つの集合のECCを含み得る。

10

## 【0075】

図7で、例えば、データがより誤りを発生しにくいページの情報に含まれる場合、その特定のデータに対してECC生成器736が生成したECCは、3つまたは4つの集合のECCを含み得るが、これらは、図5のECC577、587、および597の各々の中の3つの集合ECC<sub>0</sub>、ECC<sub>1</sub>、およびECC<sub>2</sub>またはECC557および567の各々の中の4つの集合ECC<sub>0</sub>、ECC<sub>1</sub>、ECC<sub>2</sub>、およびECC<sub>3</sub>と類似し得るまたは同一であり得る。別の例では、デバイス720に転送されたデータがより誤りを発生しやすいページの情報に含まれる場合、特定のデータに基づいてECC生成器736が生成したECCは、5つの集合を含み得るが、これらは、図5のECC568、578、および588の各々の中のECC集合ECC<sub>0</sub>、ECC<sub>1</sub>、ECC<sub>2</sub>、ECC<sub>3</sub>、およびECC

20

## 【0076】

図7のデバイス720は、より誤りが発生しやすいページの情報中の特定のデータと関連付けられたECCの一部を記憶するために、ECC書き込み記憶ユニット738を含むことが可能である。ECC書き込み記憶ユニット738に記憶されたECCのこの部分は、その特定のデータと関連付けられたECCの5つの集合のうちの1つだけの集合（例えば、ECC<sub>4</sub>（DATA<sub>B</sub>））を含み得る。

## 【0077】

デバイス720は、データおよびECCをページの情報中に編成して、それらをデバイス730に転送してその中に記憶されるようにすることが可能である。各々のページの情報は、データと、4つの集合のECCとを含むことが可能である。これら4つの集合のECCは、同じデータおよび/または異なるデータと関連付けられたECCであり得る。例えば、より誤りが発生しやすいページの情報は、データ（例えば、図5のデータ566、576、および586）と、同じデータと関連付けられたECCの5つの集合のうちの4つ（例えば、ECC<sub>0</sub>、ECC<sub>1</sub>、ECC<sub>2</sub>、およびECC<sub>3</sub>）とを含み得る。より誤りが発生しにくいページの情報は、データ（例えば、図5のデータ555および556）と、その関連付けられたECCの全ての4つの集合（例えば、ECC<sub>0</sub>、ECC<sub>1</sub>、ECC<sub>2</sub>、およびECC<sub>3</sub>）とを含み得る。

30

## 【0078】

より誤りが発生しにくいページの情報はまた、データ（例えば、図5のデータ575、585、および595）と、その関連付けられたECCの全ての3つの集合（例えば、ECC<sub>0</sub>、ECC<sub>1</sub>、およびECC<sub>2</sub>）とを含み得る。より誤りが発生しにくいページの情報中の第4の集合のECCは、ECC書き込み記憶ユニット738に記憶されたECC集合（例えば、ECC<sub>4</sub>（DATA<sub>B</sub>））からのものである。上述したように、ECC書き込み記憶ユニット738に記憶されたECC集合（例えば、ECC<sub>4</sub>（DATA<sub>B</sub>））は、より誤りが発生しやすいページの情報に含まれるデータと関連付けられる。デバイス720は、上述したように、ECC書き込み記憶ユニット738に記憶されたECC集合（例えば、ECC<sub>4</sub>（DATA<sub>B</sub>））を、より誤りが発生しやすいページの情報中のデータと関連付けられたECCの残りの転送とは異なる時点で、デバイス730に転送することが可能である。

40

50

## 【0079】

より誤りが発生しやすいページの情報に含まれる予定の特定のデータと関連付けられたECC(例えば、5つのECC集合)の生成後、デバイス720は、その特定のデータと関連付けられたECCの一部(例えば、ECC<sub>4</sub>(DATA<sub>B</sub>))を記憶して、その特定のデータと、ページの情報中のその関連付けられたECCの残り(例えば、4つの集合ECC<sub>0</sub>、ECC<sub>1</sub>、ECC<sub>2</sub>、およびECC<sub>3</sub>)とを、書き込み制御ユニット740を介してインターフェース742に転送することが可能である。ECC書き込み記憶ユニット738に記憶されたECCのこの部分は、その特定のデータと関連付けられたECCのその他の部分がインターフェース742に転送されている間およびその後で、ECC書き込み記憶ユニット738に記憶された状態に留まることが可能である。

10

## 【0080】

より誤りが発生しにくいページの情報に含まれる予定の特定のデータと関連付けられたECC(例えば、3つのECC集合)の生成に応答して、デバイス720は、ECC書き込み記憶ユニット738に記憶されたECCの部分(例えば、ECC<sub>4</sub>(DATA<sub>B</sub>))を取り出して、それを、より誤りが発生しにくいページの情報中のデータおよび関連付けられたECC(例えば、3つのECC集合)と一緒に、インターフェース742に転送することが可能である。

## 【0081】

デバイス730は、図5を参照して上述したそれらに類似したまたはそれらと同一の形式で、複数ページの情報(デバイス720から取り出されたデータおよびECC)を記憶するように構成することが可能なメモリセル(図7には図示せず)を含むことが可能である。

20

## 【0082】

以下の説明は、記憶された情報をデバイス730から取り出すために、システム700中での別の例示の動作(例えば、読み出し動作)を記述する。この例示の動作では、デバイス720は、データおよびECCを含む情報を、デバイス730からインターフェース742で取り出すことが可能である。デバイス720は、読み出し制御ユニット750と、情報を処理するための処理ユニット752とを含み得る。デバイス720は、情報からデータを生成するために、検査ユニット754を含み得る。

## 【0083】

検査ユニット754は、ECC生成器736中に実装される生成行列と同じであり得る、検査ユニット754中に実装される生成行列に少なくとも部分的に基づいてデータを生成するために、復号器756を含み得る。

30

## 【0084】

デバイス720は、生成行列の層(例えば、全ての層よりも少ない層)の一部だけに基づいてデータを生成することが可能である。例えば、より誤りが発生しにくいページの情報の場合、デバイス720は、生成行列の3つ(または4つの)層を用いるだけで、データを生成することが可能である。より誤りが発生しやすいページの情報の場合、デバイス720は、生成行列の全ての層のうちの一部(例えば、4つの層)または全ての層(例えば5つ)を用いるだけで、データを生成することが可能である。例えば、デバイス720は、通常は、生成行列の全ての層よりも少ない層を用いて、より誤りが発生しやすいページの情報からデータを生成することが可能である。デバイス720が全ての層よりも少ない層を用いてデータを成功裏に生成することが不可能である場合、それは、生成行列の全ての層を用いて、この過程を繰り返して、データを生成する。

40

## 【0085】

次の記述は、デバイス720が、それが、より誤りが発生しやすいページの情報をデバイス730から取り出すときに、データを生成する例示の動作を説明する。この例を説明しやすいように、図5の情報を用いる。この例示の動作では、デバイス720は、データ(DATA<sub>B</sub> WL2)と、その関連付けられたECCの4つの集合である「ECC<sub>0</sub>(DATA<sub>B</sub> WL2)」、「ECC<sub>1</sub>(DATA<sub>B</sub> WL2)」、「ECC<sub>2</sub>(DATA

50

「 $DATA_B$  WL2」および「 $ECC_3(DATA_B WL2)$ 」を含むページの情報などのページの情報をデバイス730から取り出す(図5)。図5に示すように、このページの情報は、ラインWL2と関連付けられたメモリ部分271、272、および273に記憶される。図7で、デバイス720は、 $ECC$ の4つの集合( $ECC_0(DATA_B WL2)$ 、 $ECC_1(DATA_B WL2)$ 、 $ECC_2(DATA_B WL2)$ 、および $ECC_3(DATA_B WL2)$ )と、生成行列の4つの層とを用いて、データ(例えば、 $DATA_B WL2$ )を生成する。デバイス720が受信されたページの情報( $ECC$ の4つの集合を含む)からデータを生成することが可能であれば、それは、そのデータをデバイス710に転送する。

#### 【0086】

デバイス720は、それが受信されたページの情報( $ECC$ の4つの集合を含む)からデータ(例えば、 $DATA_B WL2$ )を生成することが不可能な場合、生成行列の全て(例えば、5つ)の層と、そのデータと関連付けられた $ECC$ の第5の集合(例えば、図5の $ECC_4(DATA_B WL2)$ )を含む、データと関連付けられた $ECC$ の全て(例えば5つ)の集合とを用いて再度試行する。デバイス720は、データを生成する二回目の試行においてより誤りが発生しやすいページの情報に含まれるデータと関連付けられた $ECC$ の一部(例えば、 $ECC_4(DATA_B WL2)$ )を記憶するために、 $ECC$ 読み出し記憶ユニット758を含むことが可能である。

#### 【0087】

データを生成する二回目の試行中、デバイス720は、 $ECC_4(DATA_B WL2)$ をメモリ部分283から取り出し(図5)、 $ECC_4(DATA_B WL2)$ を、 $ECC$ 読み出し記憶ユニット758に記憶する。次に、デバイス720は、デバイス720がそれからデータを生成することが不可能であったページの情報から、 $DATA_B WL2$ と、「 $ECC_0(DATA_B WL2)$ 」、「 $ECC_1(DATA_B WL2)$ 」、「 $ECC_2(DATA_B WL2)$ 」および「 $ECC_3(DATA_B WL2)$ 」を取り出す。このとき、デバイス720は、 $ECC$ の全ての5つの集合( $ECC_0(DATA_B WL2)$ 、 $ECC_1(DATA_B WL2)$ 、 $ECC_2(DATA_B WL2)$ 、 $ECC_3(DATA_B WL2)$ 、 $ECC_4(DATA_B WL2)$ )と、生成行列の5つの層とを用いて、データ(例えば、 $DATA_B WL2$ )を生成することが可能である。

#### 【0088】

システム700中で一部の状況(例えば、電力切断)では、より誤りが発生しやすいページの情報中の特定のデータと関連付けられた $ECC$ の一部(例えば、 $ECC_4(DATA_B)$ )が、その特定のデータがデバイス730に記憶された後で、 $ECC$ 書き込み記憶ユニット738に記憶されていないことがあり得る。この状況下では、書き込み動作を実施して新しいデータをデバイス730に記憶する前に、デバイス720は、その特定のデータ(すでに記憶されたデータ)をデバイス730から(例えば、読み出し操作で)取り出すことが可能である。この記憶されたデータが取り出された後、デバイス730は、そのデータと関連付けられた $ECC$ 全体(例えば、 $ECC$ の全ての5つの集合)を生成する(例えば、再生成する)ことが可能である。次に、デバイス720は、上述したように、 $ECC$ のその部分(例えば、 $ECC_4(DATA_B)$ )を $ECC$ 書き込み記憶ユニット736に記憶し、次に $ECC$ のその部分を、より誤りが発生しにくいページの情報中のデータおよび $ECC$ と一緒にデバイス730に記憶することが可能である。

#### 【0089】

システム700は、多数の $ECC$ を保つ(例えば、記憶する)ためにさらなる記憶ユニット(図7には図示せず)を含み得るが、それで、上述したような一部の状況(例えば、電力切断)での $ECC$ の一部(例えば、 $ECC_4(DATA_B)$ )の再生成は回避され得る。この多数の $ECC$ は、1ページ以上の情報中のデータと関連付けられた $ECC$ の全ての5つの集合(例えば、 $ECC$ 全体)を含み得る。システム700中のこのさらなる記憶ユニットは、デバイス720中の大規模オンボードキャッシュメモリなどの大規模メモリ(例えば、不揮発性メモリ)を含み得る。一部の状況では、さらなる記憶ユニットは、 $E$

10

20

30

40

50

CC書き込み記憶ユニット738の一部として含まれ得る。

【0090】

図8は、本発明の実施形態に従う、システムを動作させる方法800を示すフロー図である。方法800は、行為810、820、および830を含み得る。行為810、820、および830の全てまたは一部は、図1のメモリデバイス100、図2のメモリデバイス200、または図7のシステム700などの装置中で用いることが可能である。

【0091】

行為810は、データと関連付けられたECCを生成することを含み得る。行為820は、データおよびECCを記憶することを含み得る。行為830は、データおよびECCを取り出すことを含み得る。行為810、820、および830は、図1～図7を参照して上述した装置（例えば、メモリデバイス100および200ならびにシステム700）によって実施される行為の一部またはすべてを含み得る。

10

【0092】

装置（例えば、メモリデバイス100および200ならびにシステム700）と、方法（例えば、方法800）との図示は、様々な実施形態の構造の一般的理解を提供することを意図するものであり、本明細書に説明する構造を利用し得る装置の全ての部品および特徴の完全な説明を提供することを意図するものではない。本明細書中の装置とは、例えば、デバイス（例えば、メモリデバイス100および200）または、メモリデバイス100および200などのデバイスを含むシステム（例えば、システム700）のいずれかのことである。

20

【0093】

メモリデバイス100および200ならびにシステム800は、高速コンピュータ、通信および信号処理回路、単一もしくは複数プロセッサモジュール、単一もしくは複数埋め込みプロセッサ、複数コアプロセッサ、メッセージ情報スイッチ、ならびに、複数層、複数チップモジュールを含む特定用途向けモジュールなどの装置（例えば、電子回路）に含まれ得る。このような装置は、テレビ、携帯電話、パソコン（例えば、ラップトップコンピュータ、デスクトップコンピュータ、手持ち式コンピュータ、タブレットコンピュータなど）、ワークステーション、ラジオ、ビデオプレイヤー、オーディオプレイヤー（例えば、MP3（エムペグ、オーディオレイヤー3）プレイヤー）、車両、医療デバイス（例えば、心臓モニター、血圧モニターなど）、セットトップボックス、およびその他などの様々な他の装置（例えば、電子システム）内のサブ構成要素としてさらに含まれ得る。

30

【0094】

図1～図8を参照して上述した実施形態は、第1のメモリセル、第1のメモリセルにアクセスするように構成された第1のアクセスライン、第2のメモリセル、および第2のメモリセルにアクセスするように構成された第2のアクセスラインを有する装置および方法を含む。このような装置の一つは、データを第1のメモリセルのメモリ部分に記憶させ、データと関連付けられた誤り訂正符号の第1の部分を第1のメモリセルの別のメモリ部分に記憶させ、かつ誤り訂正符号の第2の部分を第2のメモリセルに記憶させるように構成されたコントローラを含み得る。さらなる装置および方法を含む他の実施形態も説明される。

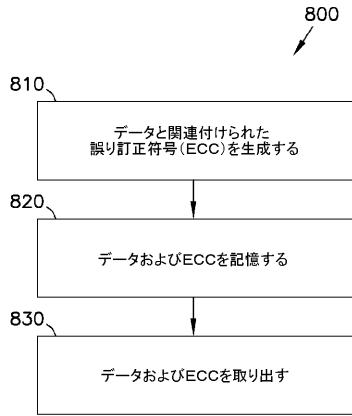
40

【0095】

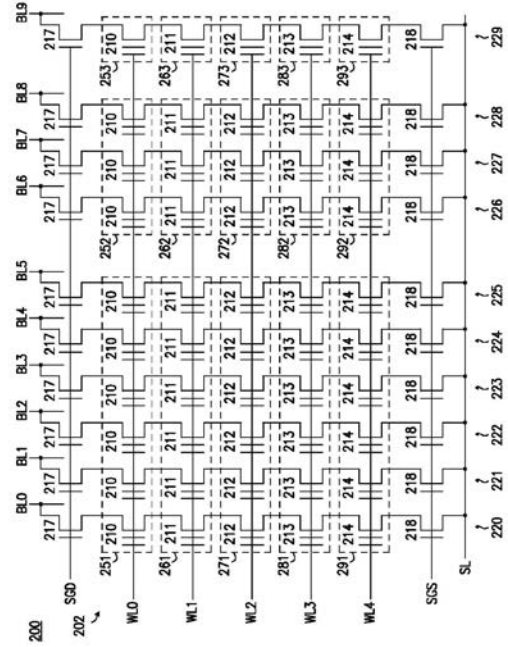
上の説明および図面は、当業者が本発明の実施形態を實踐することができるように本発明の一部の実施形態を解説する。他の実施形態は、構造的、論理的、電氣的、過程的、および他の変更を組み込み得る。例は単に考えられる変形例を代表しているだけである。一部の実施形態の部分および特徴部は、他の実施形態のそれらに含まれるか、またはそれらと置き換えられ得る。多くの他の実施形態は、上記の説明を読んで理解すれば、当業者には明らかであろう。



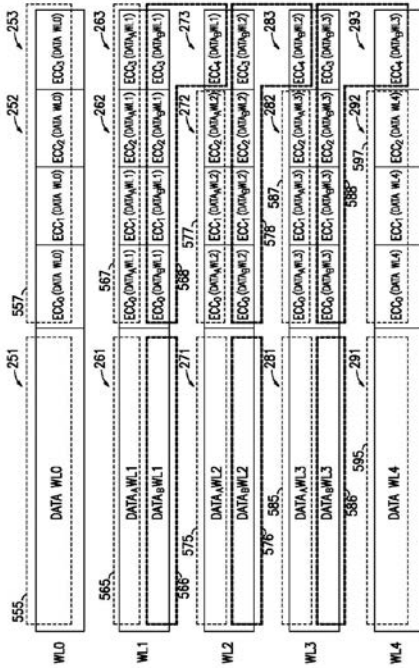
【 図 8 】



【 図 2 】



【 図 5 】



【 図 6 】

