



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1180887 A

(51) 4 G 06 F 7/58

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3628789/24-24

(22) 29.07.83

(46) 23.09.85. Бюл. № 35

(72) Г.Г.Баранов и В.М.Захаров

(71) Казанский ордена Ленина и орде-
на Трудового Красного Знамени госу-
дарственный университет

им. В.И.Ульянова-Ленина

(53) 681.325(088.8)

(56) Авторское свидетельство СССР
№ 935953, кл. G 06 F 7/58, 1980.

Авторское свидетельство СССР
№ 771653, кл. G 06 F 1/02, 1978.

Авторское свидетельство СССР
№ 943722, кл. G 06 F 7/58, 1980.

(54)(57) 1. ГЕНЕРАТОР СЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ, содержащий ге-
нератор тактовых импульсов, датчик
случайных двоичных равномерно рас-
пределенных чисел, вероятностный
преобразователь, блок формирования
статистических характеристик, при-
чем выход генератора тактовых им-
пульсов соединен с первым входом
вероятностного преобразователя, о т-
л и ч а ю щ и й с я тем, что, с
целью расширения функциональных
возможностей генератора путем зада-
ния матрицы переходов элементов
формируемой последовательности в
явном виде, он содержит блок форми-
рования диапазона случайных чисел,
блок формирования числа разрядов
случайной последовательности, два
блока элементов И, вычитатель,
пять элементов ИЛИ, блок формиро-
вания функции распределения, три ком-
мутатора и регистр памяти, при
этом блок формирования статистичес-

ких характеристик содержит регистр
памяти, регистр задания начальных
условий, регистр задания адреса,
коммутатор, десять элементов И, ре-
гистр задания режима работы, дешиф-
ратор, регистр установки исходного
состояния, счетчик, три элемента ИЛИ,
элемент задержки, регистр сдвига,
элемент НЕ, D-триггер, два RS-триг-
гера и формирователь пускового сиг-
нала, блок формирования диапазона
случайных чисел содержит два эле-
мента задержки, два элемента НЕ,
пять элементов И, элемент ИЛИ, схе-
му сравнения, D-триггер, RS- триггер
и регистр сдвига, блок формирования
функции распределения содержит два
элемента НЕ, регистр сдвига, пять
элементов И, элемент ИЛИ, счетчик,
схему сравнения, элемент задержки,
два RS-триггера, регистр памяти,
коммутатор, выход регистра установки
исходного состояния блока формиро-
вания статистических характеристик
соединен с R-входом счетчика, с R-
входом регистра сдвига, с R-входом
D-триггера, с первыми R-входами RS-
триггеров этого же блока и с вторым
входом вероятностного преобразователя,
выход регистра памяти блока формиро-
вания статистических характеристик
соединен с первым информационным
входом первого коммутатора, прямой
выход первого RS-триггера блока фор-
мирования статистических характерис-
тик соединен с управляющими входами
первого и второго коммутаторов, вто-
рой R-вход первого RS-триггера блока
формирования статистических характе-
ристик соединен с выходом переполне-

(19) SU (11) 1180887 A

ния счетчика этого же блока, информационный выход которого соединен с первым информационным входом коммутатора этого же блока и с вторым информационным входом второго коммутатора, выход регистра задания адреса блока формирования статистических характеристик соединен с вторым информационным входом коммутатора этого же блока, выход которого соединен с первым адресным входом регистра памяти этого же блока, второй информационный вход которого соединен с выходом регистра задания начальных условий этого же блока и с первым информационным входом третьего коммутатора, первый выход дешифратора блока задания статистических характеристик соединен с первыми входами первого элемента ИЛИ и первого элемента И этого же блока и с управляющим входом третьего коммутатора, выход первого элемента И блока формирования статистических характеристик соединен с первым входом первого элемента ИЛИ, выход регистра задания работы блока формирования статистических характеристик соединен с входом дешифратора этого же блока, второй выход которого соединен с вторым входом первого элемента ИЛИ этого же блока, с управляющим входом коммутатора этого же блока и с первым входом второго элемента И этого же блока, третий выход дешифратора блока задания статистических характеристик соединен с первыми входами третьего, четвертого, пятого, шестого и седьмого элементов И этого же блока, выход третьего элемента И блока формирования статистических характеристик соединен с первым входом второго элемента ИЛИ, выход шестого элемента И блока формирования статистических характеристик соединен с первым входом третьего элемента ИЛИ, второй вход шестого элемента И блока формирования статистических характеристик соединен с инверсным выходом первого RS-триггера данного блока, S-вход которого соединен с первым S-входом второго RS-триггера и выходом седьмого элемента И данного блока, второй вход которого соединен с выходом формирователя пускового сигнала и первым входом восьмого элемента И данного блока, второй вход которого соединен с выходом первого элемента ИЛИ данного блока, а выход

восьмого элемента И соединен с вторым S-входом второго RS-триггера данного блока, выход которого соединен с D-входом D-триггера данного блока, выход которого соединен с вторым R-входом второго RS-триггера и первым входом второго элемента ИЛИ данного блока, второй вход которого соединен с выходом девятого элемента И данного блока, первый вход которого соединен с прямым выходом первого RS-триггера, а второй вход девятого элемента И соединен с третьим входом шестого элемента И, вторым входом пятого элемента И и выходом первого разряда регистра данного блока, D-вход которого соединен с выходом второго элемента ИЛИ, а выход второго разряда регистра сдвига соединен с первым входом десятого элемента И и первым входом третьего элемента ИЛИ данного блока, второй вход которого соединен с выходом третьего разряда регистра сдвига, а выход третьего элемента ИЛИ соединен с вторым входом четвертого элемента И данного блока, выход которого соединен с входом считывания регистра памяти, вход записи которого соединен с выходом второго элемента И данного блока, второй вход которого соединен с вторым входом третьего элемента И, вторым входом первого элемента И и выходом десятого элемента И данного блока, второй вход которого соединен с выходом элемента задержки, вход которого соединен с выходом генератора тактовых импульсов и с C-входом D-триггера, C-входом регистра сдвига и входом элемента НЕ данного блока, выход которого соединен с третьим входом пятого элемента И, выход которого соединен со счетным входом счетчика данного блока, первый вход схемы сравнения блока формирования диапазона случайных чисел объединен с третьим входом вероятностного преобразователя и подключен к выходу первого блока элементов И, второй вход схемы сравнения блока формирования диапазона случайных чисел соединен с входом блока формирования числа разрядов случайной последовательности, с входом уменьшаемого вычитателя и с первым выходом вероятностного преобразователя, выход схемы сравнения бло-

ка формирования диапазона случайных чисел соединен с первым входом первого элемента И данного блока, второй вход которого соединен с выходом D-триггера, входом первого элемента задержки и первым входом второго элемента И данного блока, выход которого соединен с входом датчика случайных двоичных равномерно распределенных чисел, выход первого элемента И блока формирования диапазона случайных чисел соединен с первым входом элемента ИЛИ и входом первого элемента НЕ данного блока, выход которого соединен с первым входом третьего элемента И данного блока, второй вход которого соединен с выходом первого элемента данного блока, а выход третьего элемента И данного блока соединен с четвертым входом вероятностного преобразователя, выход генератора тактовых импульсов соединен с входами второго элемента НЕ, с S-входом регистра сдвига, с C-входом D-триггера и входом второго элемента задержки блока формирования диапазона случайных чисел, выход второго элемента задержки этого же блока соединен с вторым входом второго элемента И данного блока, выход второго элемента НЕ этого же блока соединен с третьим входом третьего элемента И, первым входом четвертого элемента И и с первым входом пятого элемента И данного блока, второй вход которого соединен с выходом первого разряда регистра сдвига этого же блока, D-вход которого соединен с выходом третьего элемента ИЛИ, выход второго разряда регистра сдвига блока формирования диапазона случайных чисел соединен с вторым входом четвертого элемента ИЛИ, выход четвертого элемента И блока формирования диапазона случайных чисел соединен с первым входом пятого элемента ИЛИ, выход пятого элемента И блока формирования диапазона случайных чисел соединен с первым R-входом RS-триггера и вторым входом элемента ИЛИ этого же блока, выход которого соединен с D-входом D-триггера этого же блока, R-вход которого соединен с вторым R-входом RS-триггера, R-входом регистра сдвига этого же блока и с вторым входом вероятностного преобразователя, выход третьего разряда регистра сдвига блока форми-

рования диапазона случайных чисел соединен с S-входом RS-триггера, инверсный выход которого соединен с первым входом второго блока элементов И, выход генератора тактовых импульсов соединен с C-входом регистра сдвига и с входом первого элемента НЕ блока формирования функции распределения, выход которого соединен с первыми входами первого, второго и третьего элементов И этого же блока, выход первого элемента И этого же блока соединен с вторым входом пятого элемента ИЛИ, второй выход вероятностного преобразователя соединен с S-входом первого RS-триггера, с установочным входом счетчика и первым входом элемента ИЛИ блока формирования функции распределения, второй вход которого соединен с выходом четвертого элемента И данного блока, а выход элемента ИЛИ данного блока соединен с D-входом регистра сдвига данного блока, выход первого разряда которого соединен с S-входом второго RS-триггера данного блока, а выход второго разряда регистра сдвига данного блока соединен с вторым входом первого элемента И и вторым входом четвертого элемента ИЛИ, второй вход второго элемента ИЛИ подключен к выходу второго элемента И блока формирования функций распределения, второй вход которого соединен с выходом третьего разряда регистра сдвига данного блока, а выход четвертого разряда регистра сдвига данного блока соединен с вторым входом третьего элемента И данного блока, выход которого соединен с первым R-входом второго RS-триггера, входом элемента задержки и счетным входом счетчика данного блока, информационный выход которого соединен с первым входом схемы сравнения и с информационным входом регистра памяти данного блока, вход-считывания которого соединен с выходом второго RS-триггера данного блока, выход регистра памяти соединен с первым информационным входом коммутатора блока, выход которого соединен с вторым входом второго блока элементов И, третий выход вероятностного преобразователя соединен с вторым информационным входом третьего коммутатора, а также с вторым информационным входом коммутатора

и с вторым входом схемы сравнения блока формирования функции распределения, выход которой соединен с первым входом пятого элемента И и входом второго элемента НЕ данного блока, выход которого соединен с первым входом четвертого элемента И данного блока, второй вход которого соединен с выходом элемента задержки и вторым входом пятого элемента И данного блока, выход которого соединен с первым R-входом первого RS-триггера данного блока и с вторыми входами первого и третьего элементов И, второй вход вероятностного преобразователя соединен с R-входом регистра сдвига, с R-входом второго RS-триггера и вторым R-входом первого RS-триггера блока формирования функции распределения, выход которого соединен с управляющим входом коммутатора этого же блока, выходы четвертого и пятого элементов ИЛИ соединены соответственно с пятым и шестым входами вероятностного преобразователя, седьмой вход которого подключен к выходу второго элемента ИЛИ, выходы первого и второго коммутаторов подключены соответственно к восьмому и девятому входам вероятностного преобразователя, выход датчика случайных двоичных равномерно распределенных чисел соединен с первым входом первого блока элементов И, второй вход которого соединен с выходом блока формирования числа разрядов случайной последовательности, второй информационный вход первого коммутатора подключен к выходу вычитателя, вход вычитаемого которого является управляющим входом генератора, выход третьего коммутатора соединен с информационным входом регистра памяти, считывающий вход которого подключен к выходу первого элемента ИЛИ, а выход регистра памяти является выходом генератора и соединен с вторым информационным входом второго коммутатора, третий информационный вход которого подключен к выходу второго блока элементов И.

2. Генератор по п. 1, отличающийся тем, что, вероятностный преобразователь содержит два элемента НЕ, первый регистр сдвига, четыре элемента И, три элемента ИЛИ, второй регистр сдвига, схему сравнения, регистр памяти и блок памяти, причем вход первого элемента НЕ является пер-

вым входом вероятностного преобразователя и соединен с С-входом первого регистра сдвига, R-вход которого является вторым входом вероятностного преобразователя, третьим и четвертым входами вероятностного преобразователя являются соответственно первый вход схемы сравнения и вход "Запись" второго регистра, вход "Запись" второго регистра сдвига соединен с первым входом первого элемента ИЛИ, второй вход которого соединен с выходом первого элемента И, а выход первого элемента ИЛИ соединен с D-входом первого регистра сдвига, выход первого разряда которого соединен с первым входом второго элемента И и первым входом второго элемента ИЛИ, второй вход которого является пятым входом вероятностного преобразователя, выход первого элемента НЕ соединен с первым входом третьего элемента И и вторым входом второго элемента И, выход которого соединен с первым входом третьего элемента ИЛИ, второй вход которого является шестым входом вероятностного преобразователя, седьмым, восьмым и девятым входами которого являются соответственно вход "Запись" блока памяти, информационный вход блока памяти и адресный вход блока памяти, вход считывания которого соединен с выходом второго элемента ИЛИ, а выход блока оперативной памяти соединен с D-входом регистра памяти, С-вход которого соединен с выходом третьего элемента ИЛИ, а выход регистра памяти является первым выходом вероятностного преобразователя и соединен с вторым входом схемы сравнения, выход которой соединен с D-входом второго регистра сдвига, С-вход которого соединен с выходом третьего элемента И, второй вход которого соединен с выходом второго разряда первого регистра сдвига, первым входом четвертого элемента И и первым входом первого элемента И, второй вход которого соединен с выходом второго элемента НЕ, вход которого соединен с выходом последнего разряда второго регистра сдвига и вторым входом четвертого элемента И, выход которого является вторым выходом вероятностного преобразователя, третьим выходом которого являются выходы первых разрядов второго регистра сдвига $((k+1) - \text{число разрядов второго регистра сдвига})$.

Изобретение относится к вычислительной технике и может быть использовано при решении задач статистическими методами.

Целью изобретения является расширение функциональных возможностей генератора путем задания матрицы переходов элементов формируемой последовательности в явном виде.

На фиг. 1 приведена блок-схема генератора случайных последовательностей; на фиг. 2 - схема блока формирования диапазона случайных чисел; на фиг. 3 - схема вероятностного преобразования; на фиг. 4 - схема блока формирования функции распределения; на фиг. 5 - схема блока формирования статистических характеристик.

На фиг. 2-5 введены следующие обозначения: R - вход установки "0"; C - синхровход; D - информационный вход; S - вход установки "1"; T - триггер.

Генератор случайных последовательностей содержит генератор 1 тактовых импульсов, датчик 2 случайных двоичных равномерно распределенных чисел, блок 3 формирования диапазона случайных чисел, блок 4 формирования числа разрядов случайной последовательности (выделения значащих разрядов числа), блок 5 элементов И, вычитатель 6, первый 7 и второй 8 элементы ИЛИ, вероятностный преобразователь 9, третий элемент ИЛИ 10, блок 11 формирования функции распределения, первый коммутатор 12, второй коммутатор 13, второй блок 14 элементов И, регистр 15 памяти, четвертый элемент ИЛИ 16, третий коммутатор 17, пятый элемент ИЛИ 18, блок 19 формирования статистических характеристик и связи 20-49 между блоками.

Блок 3 формирования диапазона случайных чисел содержит элемент 50 задержки, элемент НЕ 51, элементы И 52, 53, схему 54 сравнения, элемент ИЛИ 55, D-триггер 56, элемент 57 задержки, элемент 58 И, RS-триггер 59, регистр 60 сдвига, элемент НЕ 61 и элементы И 62, 63.

Вероятностный преобразователь 9 содержит элемент НЕ 64, регистр 65 сдвига, элемент И 66, элемент ИЛИ 67, элементы И 68, 69, элемент НЕ 70, элемент И 71, регистр 72 сдвига, схе-

му 73 сравнения, регистр 74 памяти, элементы ИЛИ 75, 76 и блок 77 оперативной памяти.

Блок 11 формирования функции распределения содержит элемент НЕ 78, регистр 79 сдвига, элементы И 80-82, вычитающий счетчик 83, элемент ИЛИ 84, схему 85 сравнения, элемент 86 задержки, элементы И 87, 88, элемент НЕ 89, блок 90 постоянной памяти, RS-триггеры 91, 92 и коммутатор 93.

Блок 19 формирования статистических характеристик содержит элемент И 94, блок 95 оперативной памяти, регистр 96 задания начальных условий, коммутатор 97, элементы И 98-100, регистр 101 задания режима работы, дешифратор 102, регистр 103 установок исходного состояния, регистр 104 задания адреса, элемент ИЛИ 105, двоичный суммирующий счетчик 106, элемент 107 задержки, элемент И 108, регистр 109 сдвига, элемент ИЛИ 110, элемент И 111, D-триггер 112, RS-триггеры 113, 114, элемент ИЛИ 115, элемент НЕ 116, элементы И 117-119, формирователь 120 пускового сигнала и элемент И 121.

Устройство работает следующим образом.

Структура формируемой последовательности предварительно задается в виде квадратной матрицы переходов. Каждый элемент в этой матрице обозначает количество случаев появления фиксированного сигнала за другим фиксированным сигналом.

Эта матрица должна удовлетворять следующим требованиям:

суммы элементов в строке и столбце с одинаковыми номерами должны совпадать;

матрица должна быть приводима к нулевой матрице путем следующей процедуры.

Фиксируем в матрице номер строки, сумма элементов которой не меньше суммы элементов любой другой строки. Заменяем элементы в этой фиксированной строке и столбце с тем же номером нулями. В полученной матрице найдем нулевую строку (столбец), для которой столбец (строка) с тем же номером имеет сумму элементов, отличную от нуля и заменим элементы этого столбца (строки) нулями. В полученной таким образом матрице найдем нулевую строку (столбец), для которой

столбец (строка) с тем же номером отличен от нуля, и заменим его элементы нулями. Продолжая эту процедуру, в итоге получим нулевую матрицу. Если заданная матрица переходов может быть приведена к нулевой указанным способом, то в ней содержатся только такие циклические подпоследовательности переходов от строки к столбцу, которые включают в себя переход из строки с первоначально фиксированным номером. Если матрица переходов удовлетворяет этим требованиям, то процесс формирования требуемой последовательности может быть представлен как процесс последовательного формирования таких циклических подпоследовательностей, и период генератора равен сумме элементов всех подпоследовательностей.

По матрице переходов вычисляют новую матрицу, задающую функцию распределения. В новой матрице элемент, стоящий на пересечении фиксированных строки и столбца, определяется как сумма элементов, взятых из соответствующей строки матрицы переходов. Суммирование ведется по всем элементам строки в порядке возрастания номеров столбцов, включая номер фиксированного столбца.

Полученная матрица является исходной для генератора. Ее вводят в устройство с помощью блока 19. Для этого предварительно устанавливают кнопку 103 в исходное состояние блоки устройства, а затем с помощью пульта 101 устанавливают режим ввода матрицы. При этом на среднем по схеме выходе дешифратора 102 появляется логическая "1", которая отпирает элемент И 98 и через элемент ИЛИ 105 - элемент И 94, а коммутатор 97 переводит в режим приема информации с пульта 104 задания адреса. С помощью пульта 96 задания информации задают значение элемента матрицы, а с помощью пульта 104 - соответствующий адрес. Адрес разбит на две части: старшая часть, в качестве которой выступает номер строки, определяет адрес зоны памяти в блоке 95, а младшая - номера ячеек в этой зоне.

Для записи информации в блоке 95 памяти с помощью формирователя 120 пускового сигнала формируют короткий импульс, который через элемент И 122

поступает на S-вход триггера 113 и устанавливает его в единичное состояние. Из триггера 113 "1" переписывается в S-триггер 112, который служит элементом задержки, а затем через элемент ИЛИ 115 - в регистр 109 сдвига, который в сочетании с триггерами 112 и 113 образует распределитель импульсов, работающий в ждущем режиме. В ответ на каждый пусковой сигнал этот распределитель формирует три импульса, один из которых используется для получения импульса записи. Этот импульс появляется на выходе элемента И 108 и через элемент И 98 поступает на вход записи блока 95 оперативной памяти. Элемент 107 задержки обеспечивает появление на выходе элемента И 108 только одного импульса в течение одного периода синхроимпульсов, поступающих по шине 20. После записи матрицы в блок 95 памяти устанавливают в исходное состояние регистр 15 памяти, записывая в него номер начальной строки. Для этого с помощью пульта 101 задают режим ввода этого номера. При этом на шине 46 появляется "1", и коммутатор 17 переходит в режим приема информации с пульта 96. Затем набирают на пульте 96 значение номера и формируют короткий импульс с помощью формирователя 120. На выходе элемента И 108 появляется сигнал, который через элемент И 111 и элемент ИЛИ 16 поступает на синхровход регистра 15 памяти. Код, набранный на пульте 96, переписывается при этом в регистр 15. Задание начальных условий на этом заканчивается.

Формирование выходной последовательности начинается после перевода генератора в рабочий режим, что осуществляется с помощью пульта 101. В этом режиме открываются элементы И 99, 100, 117, 119 и 121, а коммутатор 97 подключает к адресному входу блока 95 памяти счетчик 106. Процесс генерации начинается с перезаписи матрицы из блока 95 памяти в блок 77 оперативной памяти. Для этого с помощью формирователя 120 формируют пусковой сигнал, который через элемент И 121 поступает на S-входы триггеров 113 и 114 и устанавливает их единичное состояние. Выходной сигнал триггера 114 переводит коммутаторы 12 и 13 в режим приема информа-

ций с блока 95 памяти и счетчика 106 соответственно и одновременно открывает элемент И 118, замыкая тем самым цепь обратной связи регистра 109, благодаря чему формирование импульсов регистром 109 происходит до тех пор, пока триггер 114 остается в единичном состоянии. Сброс триггера 114 осуществляется сигналом, поступающим со счетчика 106, который служит не только для формирования адресов, но и для подсчета количества переписанных чисел. Для перезаписи каждого числа формируется импульс считывания, который через элемент И 100 поступает на шину считывания блока 95 памяти, и импульс записи, который через элемент И 99 и элемент ИЛИ 10 поступает на шину записи блока 77 памяти. После перезаписи каждого числа на выходе элемента И 117 появляется сигнал, который поступает на вход счетчика 106 и увеличивает его содержимое на "1". В момент окончания перезаписи матрицы счетчик 106 выдает сигнал, устанавливающий триггер 114 в исходное состояние. Процесс перезаписи при этом прекращается, а на выходе элемента И 119 появляется импульс, который свидетельствует об окончании перезаписи матрицы и одновременно служит пусковым сигналом для блока 3 изменения диапазона случайных чисел.

Пусковой сигнал, поступающий в блок 3 по шине 27, записывает "1" в регистр 60 сдвига, который в свою очередь устанавливает в "1" триггер 59. При этом элементы И набора блока 14 закрываются, в результате чего младшая часть адреса принимает нулевое значение. Импульс со второго (среднего по схеме) выхода регистра 60 поступает через элемент ИЛИ 7 и элемент ИЛИ 76 на шину считывания блока 77 памяти вероятностного преобразователя 9. При этом считывается значение, записанное по адресу, старшая часть которого представляет собой содержимое регистра 15 памяти, а младшая часть равна "0". Импульс с выхода элемента И 63 через элемент ИЛИ 8 и элемент ИЛИ 75 поступает на синхровход регистра 74 памяти и записывает в него результат считывания. По шине 23 это значение поступает в

блок 4 выделения значащих разрядов числа и на схему 54 сравнения. При этом на выходе блока 4 все разряды числа, которые младше самого старшего, отличного от "0" разряда, принимают единичное значение, а незначащие старшие разряды остаются нулевыми. Этот код управляет набором 5 элементов И, причем те элементы И, которые отвечают незначащим разрядам числа, запираются.

Сигнал, появляющийся на третьем выходе регистра 60, открывает элемент И 62, в результате чего триггер 59 возвращается в исходное состояние, а очередной синхроимпульс, поступающий по шине 20, записывает "1" в D-триггер 56. Выходной сигнал триггера 56 открывает элемент И 52, и на шину 21 поступает импульс, по которому датчик 2 случайных чисел вырабатывает случайное число. После прохождения этого числа через набор блока 5 элементов И количество его значащих разрядов не превышает количества значащих разрядов числа, хранящегося в регистре 74. Полученное таким образом случайное число сравнивают со значением числа, хранящегося в регистре 74, с помощью схемы 54 сравнения. Если случайное число меньше, то считают его пригодным для дальнейшего использования, в противном случае формируют новое случайное число. В последнем случае на выходе схемы 54 сравнения присутствует уровень логической "1", так что триггер 56 остается в единичном состоянии, а на выходе элемента И 52 появляется новый импульс, по которому датчик 2 вырабатывает новое случайное число.

Если условие "меньше" выполняется, то на выходе схемы 54 сравнения появляется "0", элемент И 53 закрывается, и очередной синхроимпульс устанавливает триггер 56 в нулевое состояние. Элемент 50 задержки препятствует появлению дополнительного импульса на шине 21, для чего время задержки сигнала этим элементом должно превышать время срабатывания триггера 56. Окончание поиска случайного числа, удовлетворяющего неравенству "меньше", сопровождается появлением импульса на выходе элемента И 58, который служит в качестве

ве пускового сигнала для вероятностного преобразователя 9. Элемент 57 задержки препятствует появлению этого сигнала в момент перехода триггера 56 в единичное состояние. Время задержки сигнала этим элементом должно превышать время задержки сигнала инвертором 61.

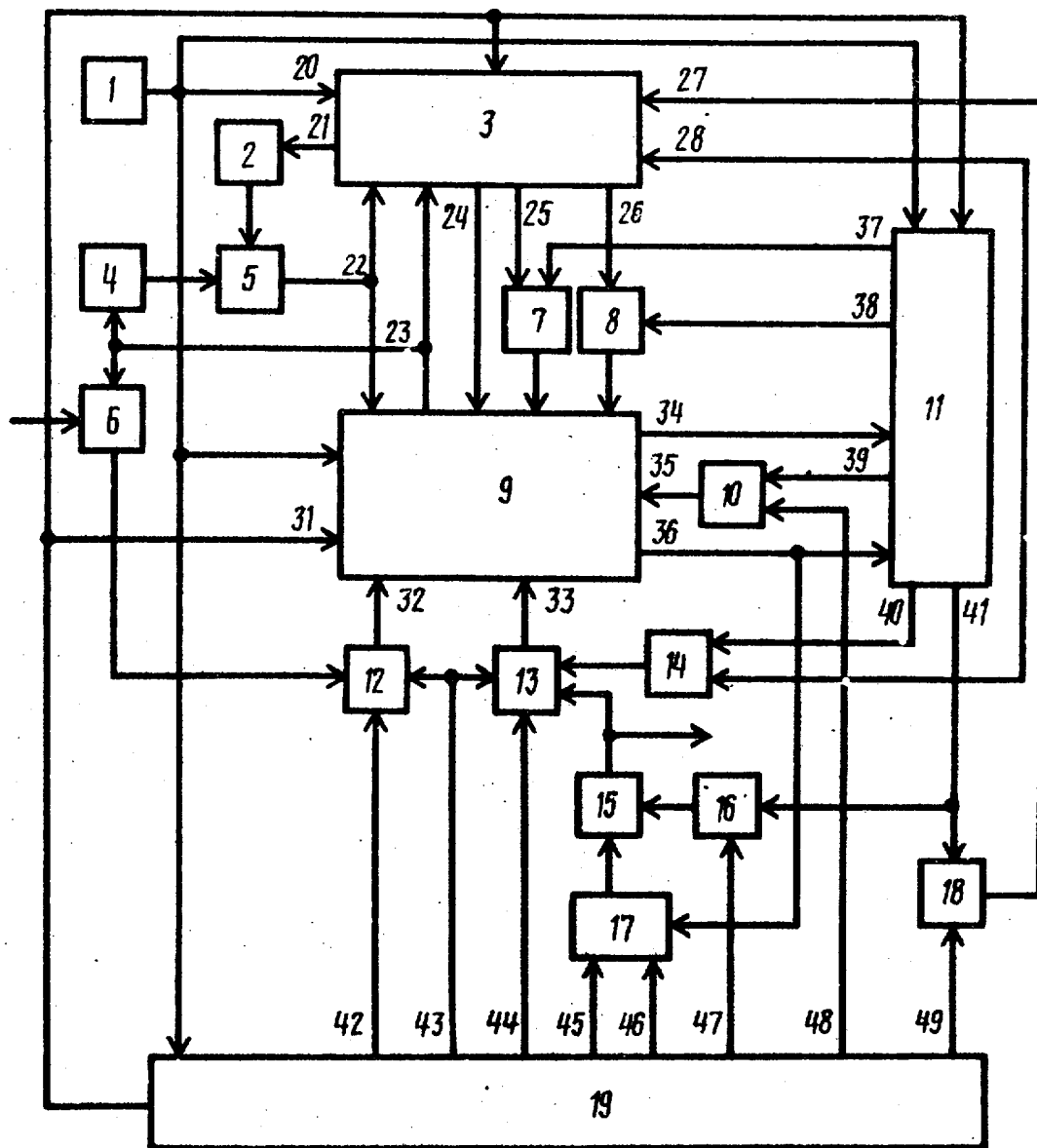
Полученное случайное число поступает в вероятностный преобразователь 9, который преобразует его в выходное число. Преобразование состоит в определении интервала между значениями функции распределения, в который попадает случайное число. Значениями функции распределения служат значения элементов матрицы, причем номер строки матрицы задает код, хранящийся в регистре 15.

Матрица переходов, по которой составляют исходную для генератора матрицу, задает не только вероятностную структуру последовательности выходных чисел, но и длину этой последовательности, которая равна сумме элементов матрицы переходов. После формирования каждого выходного числа длина оставшейся части последовательности уменьшается на "1", поэтому необходимо вычесть "1" из соответствующего элемента матрицы переходов. При этом новая матрица описывает вероятностную структуру и длину оставшейся части последовательности; которую предстоит сформировать. Изменение матрицы пере-

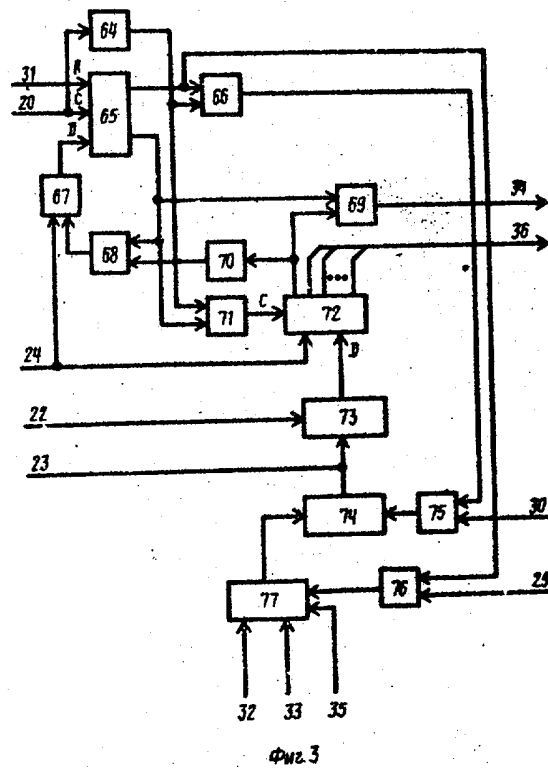
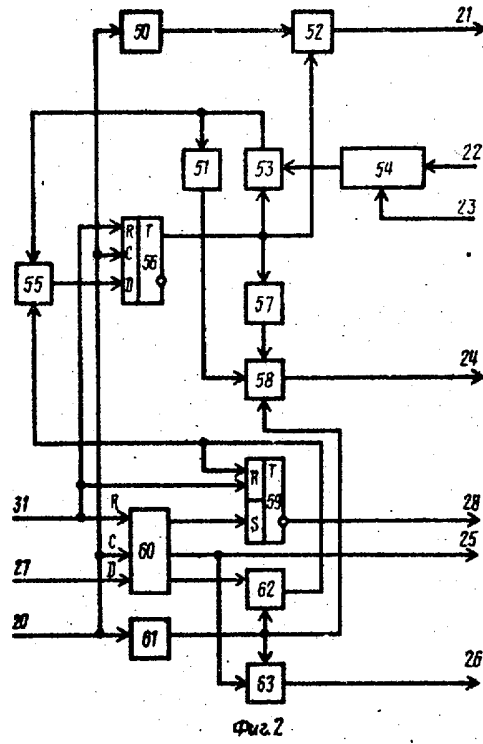
ходов влечет за собой изменение исходной матрицы. Таким образом, матрица, хранящаяся в блоке 77 памяти, в процессе формирования последовательности постоянно изменяется в сторону уменьшения своих элементов, превращаясь в конце концов в нулевую матрицу. Необходимое изменение этой матрицы обеспечивает блок 11.

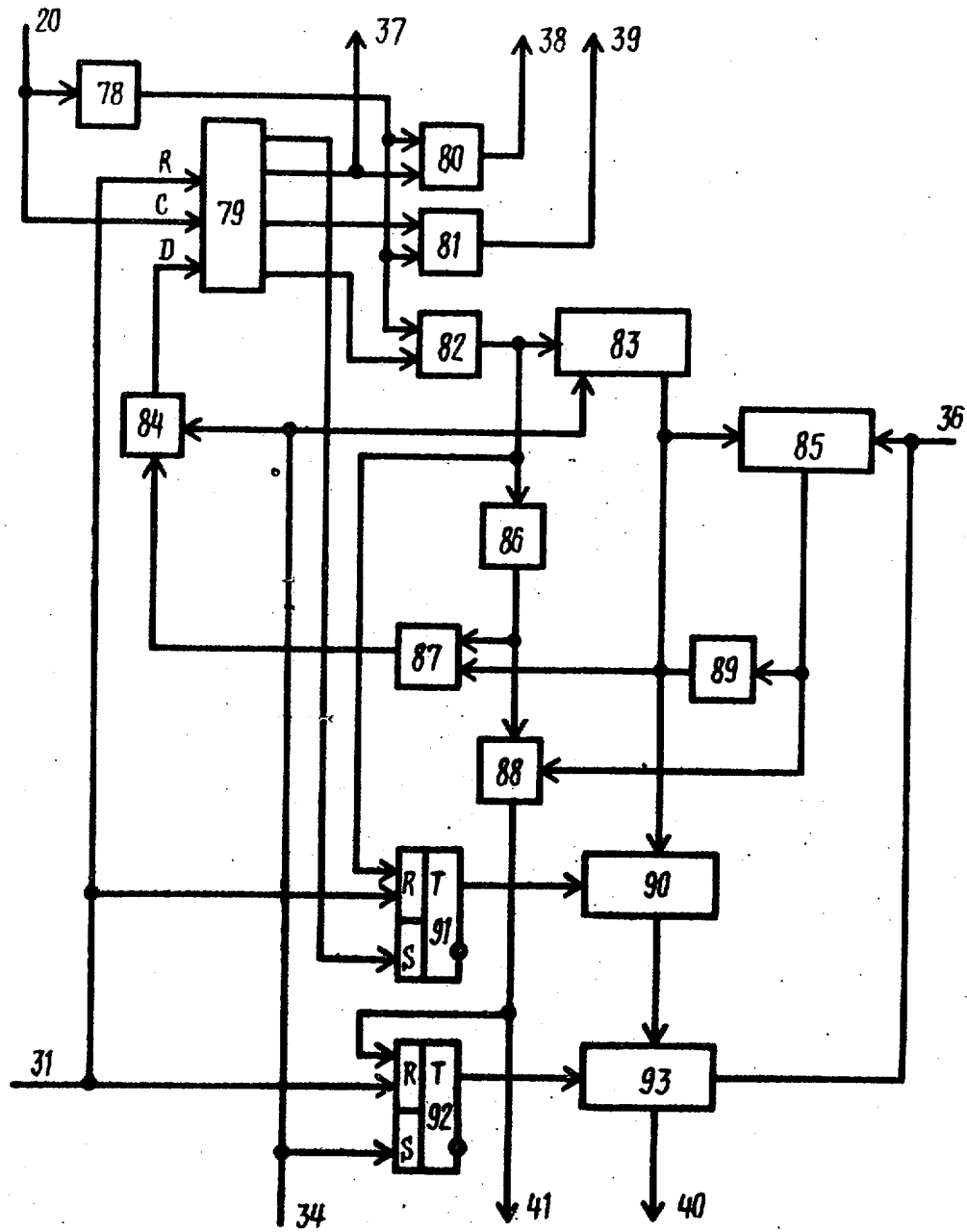
После обнуления информации в блоке 77 формирование последовательности автоматически прекращается, так как с блока 77 памяти в блок 3 поступает нулевое значение. В результате этого происходит заикливание блока 3. Генератор позволяет получать различные реализации заданного случайного процесса. Для получения новой реализации достаточно вновь установить блоки устройства в исходное состояние, занести в регистр 15 начальное значение номера матрицы и переписать матрицу из блока 95 памяти в блок 77 памяти, после чего автоматически начинается формирование новой последовательности.

Эффективность предлагаемого устройства по сравнению с известным состоит в том, что матрица переходов, задающая статистические характеристики последовательности, может быть задана в явном виде, благодаря чему задаваемый процесс имеет более полное описание и, следовательно, в большей мере удовлетворяет требованиям потребителя.

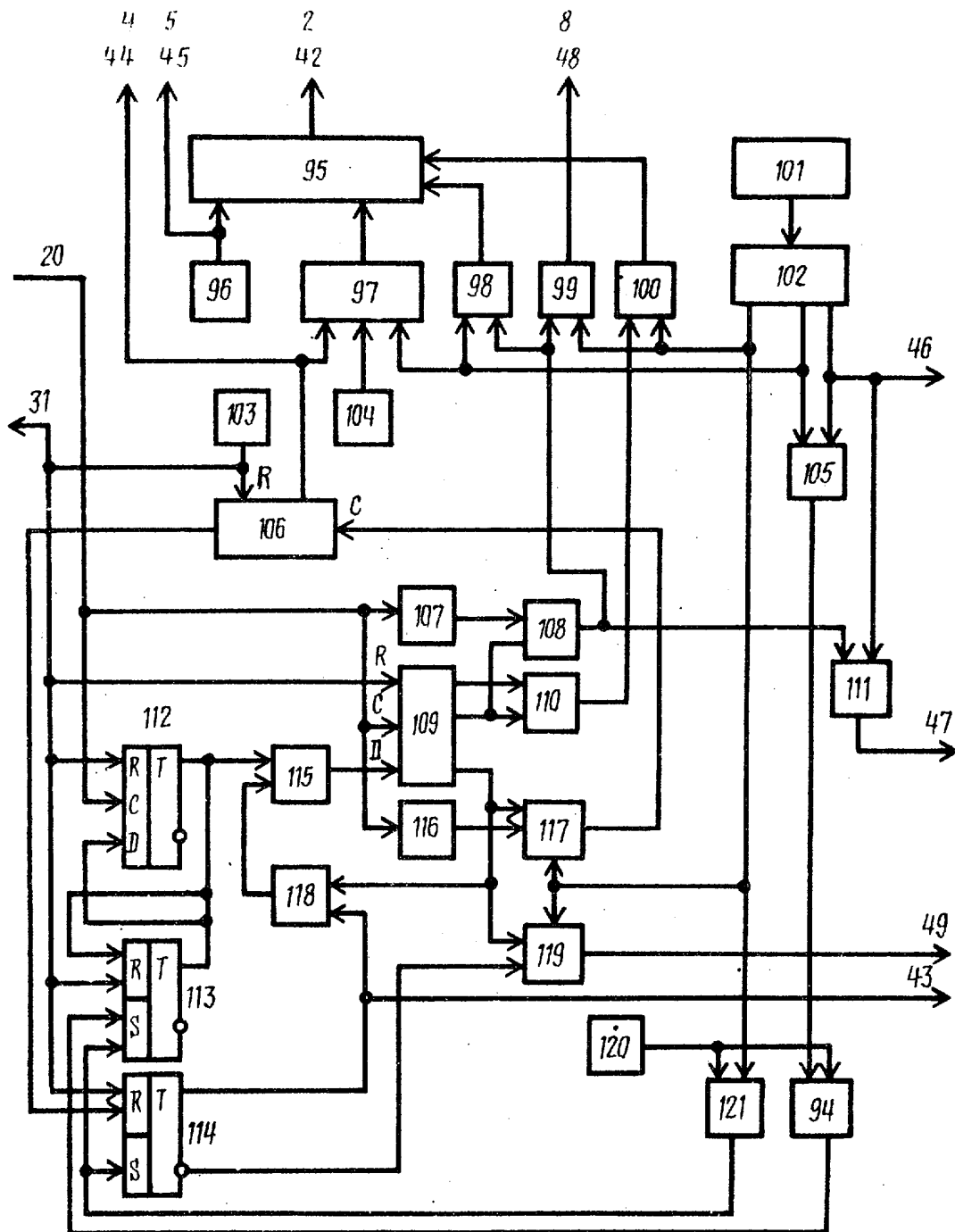


Фиг.1





Фиг. 4



Фиг.5

Составитель А.Карасов
 Редактор В.Данко Техред М.Гергель Корректор М.Самборская

Заказ 5926/47 Тираж 709 Подписное
 ВНИИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИИП "Патент", г.Ужгород, ул.Проектная, 4