



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0131141
(43) 공개일자 2015년11월24일

- (51) 국제특허분류(Int. Cl.)
H03K 5/08 (2006.01) *H03K 6/02* (2006.01)
- (52) CPC특허분류
H03K 5/08 (2013.01)
H03K 6/02 (2013.01)
- (21) 출원번호 10-2015-7028287
- (22) 출원일자(국제) 2014년03월11일
심사청구일자 없음
- (85) 번역문제출일자 2015년10월08일
- (86) 국제출원번호 PCT/US2014/023684
- (87) 국제공개번호 WO 2014/150581
국제공개일자 2014년09월25일
- (30) 우선권주장
13/834,861 2013년03월15일 미국(US)
- (71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
박, 동민
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- 리우, 리
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- 롱, 수지양
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남엔드남

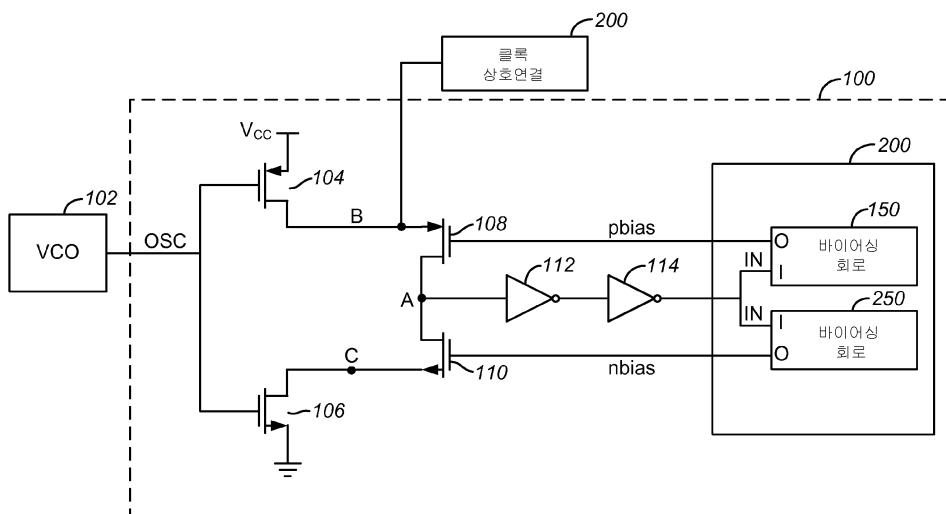
전체 청구항 수 : 총 48 항

(54) 발명의 명칭 고주파수 클록 상호연결을 위한 출력 스윙 검출기를 갖는 전류-모드 버퍼

(57) 요약

고속 전류-모드 클록 구동기는 정의된 범위 내에서 바이어싱 노드의 전압 스윙을 유지하기 위한 피드백 회로를 포함한다. 전류-모드 클록 구동기는 그의 게이트 단자들에서 발진 신호를 수신하는 PMOS 및 NMOS 트랜지스터를 포함한다. PMOS 및 NMOS 트랜지스터들의 드레인 단자들은 출력 단자들이 공통 노드에 커플링되는 제 1 및 제 2 가변 전도율 회로들의 입력 단자들에 각각 커플링된다. 제어 회로는 공통 노드의 전압 스윙의 감소에 응답하여 제 1 및 제 2 가변 전도율 회로들의 전도율들을 증가시키고, 공통 노드의 전압 스윙의 증가들에 응답하여 제 1 및 제 2 가변 전도율 회로들의 전도율들을 감소시킨다. 제 1 및 제 2 가변 전도율 회로들은 각각 선택적으로 PMOS 및 NMOS 트랜지스터들이다.

대 표 도 - 도1



명세서

청구범위

청구항 1

전류-모드 클록 구동기 회로로서,

발진 신호를 수신하는 게이트 단자 및 제 1 서플라이 전압을 수신하는 소스 단자를 갖는 제 1 PMOS 트랜지스터;
상기 발진 신호를 수신하는 게이트 단자 및 제 2 서플라이 전압을 수신하는 소스 단자를 갖는 제 1 NMOS 트랜지스터;

상기 제 1 PMOS 트랜지스터의 드레인 단자에 커플링되는 제 1 입력 단자 및 공통 노드에 커플링되는 출력 단자
를 갖는 제 1 가변 전도율 회로;

상기 제 1 NMOS 트랜지스터의 드레인 단자에 커플링되는 제 1 입력 단자 및 상기 공통 노드에 커플링되는 출력
단자를 갖는 제 2 가변 전도율 회로; 및

상기 공통 노드의 전압 스윙의 감소들에 응답하여 상기 제 1 및 제 2 가변 전도율 회로들의 전도율들을 증가시
키도록 적응된 제어 회로

를 포함하고,

상기 제어 회로는 추가로 상기 공통 노드의 전압 스윙의 증가들에 응답하여 상기 제 1 및 제 2 가변 전도율 회
로들의 전도율들을 감소시키도록 적응되는,

전류-모드 클록 구동기 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 가변 전도율 회로는 상기 제 1 PMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 상기 공통
노드에 커플링되는 드레인 단자를 갖는 제 2 PMOS 트랜지스터인,

전류-모드 클록 구동기 회로.

청구항 3

제 2 항에 있어서,

상기 제 2 가변 전도율 회로는 상기 제 1 NMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 상기 공통
노드에 커플링되는 드레인 단자를 갖는 제 2 NMOS 트랜지스터인,

전류-모드 클록 구동기 회로.

청구항 4

제 3 항에 있어서,

상기 제어 회로는 제 1 바이어싱 회로를 포함하고,

상기 제 1 바이어싱 회로는,

제 1 전류 미러;

제 1 커패시터; 및

상기 공통 노드의 전압에 응답하는 소스 단자를 갖는 제 3 NMOS 트랜지스터를 포함하는 제 1 차동 증폭기를 포
함하는,

전류-모드 클록 구동기 회로.

청구항 5

제 4 항에 있어서,

상기 제 1 차동 증폭기는 상기 제 1 전류 미러에 의해 생성되는 전류를 수신하고 상기 제 3 NMOS 트랜지스터의 게이트 단자에 커플링되는 게이트 단자를 갖는 제 4 NMOS 트랜지스터

를 더 포함하는,

전류-모드 클록 구동기 회로.

청구항 6

제 5 항에 있어서,

상기 제 2 서플라이 전압과 상기 제 4 NMOS 트랜지스터의 소스 단자 간에 커플링되는 저항 엘리먼트

를 더 포함하는,

전류-모드 클록 구동기 회로.

청구항 7

제 6 항에 있어서,

상기 제 1 커패시터에 걸친 전압은 상기 제 1 전류 미러에 의해 공급되는 전류와 상기 제 3 NMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는,

전류-모드 클록 구동기 회로.

청구항 8

제 7 항에 있어서,

상기 제어 회로는 제 2 바이어싱 회로

를 더 포함하고,

상기 제 2 바이어싱 회로는,

제 2 전류 미러;

제 2 커패시터; 및

상기 공통 노드의 전압에 응답하는 소스 단자를 갖는 제 3 PMOS 트랜지스터를 포함하는 제 2 차동 증폭기를 포함하는,

전류-모드 클록 구동기 회로.

청구항 9

제 8 항에 있어서,

상기 제 2 차동 증폭기는,

상기 제 2 전류 미러에 의해 생성되는 전류를 수신하고 상기 제 3 PMOS 트랜지스터의 게이트 단자에 커플링되는 게이트 단자를 갖는 제 4 PMOS 트랜지스터

를 더 포함하는,

전류-모드 클록 구동기 회로.

청구항 10

제 9 항에 있어서,

상기 제 2 커패시터에 걸친 전압은 상기 제 2 전류 미러에 의해 공급되는 전류와 상기 제 3 PMOS 트랜지스터를

통해 흐르는 전류 간의 차이에 의해 정의되는,
전류-모드 클록 구동기 회로.

청구항 11

제 10 항에 있어서,
상기 제 1 커패시터에 걸친 전압은 상기 제 2 NMOS 트랜지스터의 게이트 단자에 인가되는,
전류-모드 클록 구동기 회로.

청구항 12

제 11 항에 있어서,
상기 제 2 커패시터에 걸친 전압은 상기 제 2 PMOS 트랜지스터의 게이트 단자에 인가되는,
전류-모드 클록 구동기 회로.

청구항 13

클록 상호연결을 구동하는 방법으로서,
제 1 셔플라이 전압을 수신하는 소스 단자를 갖는 제 1 PMOS 트랜지스터의 게이트 단자에 발진 신호를 인가하는 단계;
제 2 셔플라이 전압을 수신하는 소스 단자를 갖는 제 1 NMOS 트랜지스터의 게이트 단자 상기 발진 신호를 인가하는 단계;
상기 제 1 PMOS 트랜지스터의 드레인 단자를 제 1 가변 전도율 회로의 제 1 입력 단자에 커플링하는 단계;
상기 제 1 NMOS 트랜지스터의 드레인 단자를 제 2 가변 전도율 회로의 제 1 입력 단자에 커플링하는 단계;
상기 제 1 및 제 2 가변 전도율 회로들의 출력 단자들을 공통 노드에 커플링하는 단계;
상기 공통 노드의 전압 스윙의 감소들에 응답하여 상기 제 1 및 제 2 가변 전도율 회로들의 전도율들을 증가시키는 단계; 및
상기 공통 노드의 전압 스윙의 증가들에 응답하여 상기 제 1 및 제 2 가변 전도율 회로들의 전도율들을 감소시키는 단계
를 포함하는,
클록 상호연결을 구동하는 방법.

청구항 14

제 13 항에 있어서,
상기 제 1 가변 전도율 회로는 상기 제 1 PMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 상기 공통 노드에 커플링되는 드레인 단자를 갖는 제 2 PMOS 트랜지스터인,
클록 상호연결을 구동하는 방법.

청구항 15

제 14 항에 있어서,
상기 제 2 가변 전도율 회로는 상기 제 1 NMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 상기 공통 노드에 커플링되는 드레인 단자를 갖는 제 2 NMOS 트랜지스터인,
클록 상호연결을 구동하는 방법.

청구항 16

제 15 항에 있어서,

상기 제 2 NMOS 트랜지스터의 전도율을 변동시키는 단계는,

제 1 전류 미러를 형성하는 단계;

상기 제 1 전류 미러를 제 1 커패시터에 커플링하는 단계;

상기 공통 노드의 전압에 응답하는 소스 단자를 갖는 제 3 NMOS 트랜지스터를 포함하는 제 1 차동 증폭기를 형성하는 단계를 포함하는,

클록 상호연결을 구동하는 방법.

청구항 17

제 16 항에 있어서,

상기 제 1 차동 증폭기는 상기 제 1 전류 미러에 의해 생성되는 전류를 수신하고 상기 제 3 NMOS 트랜지스터의 게이트 단자에 커플링되는 게이트 단자를 갖는 제 4 NMOS 트랜지스터

를 더 포함하는,

클록 상호연결을 구동하는 방법.

청구항 18

제 17 항에 있어서,

상기 제 2 서플라이 전압과 상기 제 4 NMOS 트랜지스터의 소스 단자 간에 저항 엘리먼트를 커플링하는 단계를 더 포함하는,

클록 상호연결을 구동하는 방법.

청구항 19

제 18 항에 있어서,

상기 제 1 전류 미러에 의해 공급되는 전류와 상기 제 3 NMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는 상기 제 1 커패시터에 걸친 전압을 형성하는 단계

를 더 포함하는,

클록 상호연결을 구동하는 방법.

청구항 20

제 19 항에 있어서,

상기 제 2 PMOS 트랜지스터의 전도율을 변동시키는 단계는,

제 2 전류 미러를 형성하는 단계;

상기 제 2 전류 미러를 제 2 커패시터에 커플링하는 단계;

상기 공통 노드의 전압에 응답하는 소스 단자를 갖는 제 3 PMOS 트랜지스터를 포함하는 제 2 차동 증폭기를 형성하는 단계를 포함하는,

클록 상호연결을 구동하는 방법.

청구항 21

제 20 항에 있어서,

상기 제 2 차동 증폭기는,

상기 제 2 전류 미러에 의해 생성되는 전류를 수신하고 상기 제 3 PMOS 트랜지스터의 게이트 단자에 커플링되는

게이트 단자를 갖는 제 4 PMOS 트랜지스터
를 더 포함하는,
클록 상호연결을 구동하는 방법.

청구항 22

제 21 항에 있어서,
상기 제 2 전류 미러에 의해 공급되는 전류와 상기 제 3 PMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해
정의되는 상기 제 2 커패시터에 걸친 전압을 형성하는 단계
를 더 포함하는,
클록 상호연결을 구동하는 방법.

청구항 23

제 22 항에 있어서,
상기 제 1 커패시터의 전압을 상기 제 2 NMOS 트랜지스터의 게이트 단자에 인가하는 단계
를 더 포함하는,
클록 상호연결을 구동하는 방법.

청구항 24

제 23 항에 있어서,
상기 제 2 커패시터의 전압을 상기 제 2 PMOS 트랜지스터의 게이트 단자에 인가하는 단계
를 더 포함하는,
클록 상호연결을 구동하는 방법.

청구항 25

전류-모드 클록 구동기로서,
제 1 서플라이 전압을 수신하는 소스 단자를 갖는 제 1 PMOS 트랜지스터의 게이트 단자에 발진 신호를 인가하기
위한 수단;
제 2 서플라이 전압을 수신하는 소스 단자를 갖는 제 1 NMOS 트랜지스터의 게이트 단자 상기 발진 신호를 인가
하기 위한 수단;
상기 제 1 PMOS 트랜지스터의 드레인 단자를 제 1 가변 전도율 회로의 제 1 입력 단자에 커플링하기 위한 수단;
상기 제 1 NMOS 트랜지스터의 드레인 단자를 제 2 가변 전도율 회로의 제 1 입력 단자에 커플링하기 위한 수단;
상기 제 1 및 제 2 가변 전도율 회로들의 출력 단자들을 공통 노드에 커플링하기 위한 수단;
상기 공통 노드의 전압 스윙의 감소들에 응답하여 상기 제 1 및 제 2 가변 전도율 회로들의 전도율들을 증가시
키기 위한 수단; 및
상기 공통 노드의 전압 스윙의 증가들에 응답하여 상기 제 1 및 제 2 가변 전도율 회로들의 전도율들을 감소시
키기 위한 수단
을 포함하는,
전류-모드 클록 구동기.

청구항 26

제 25 항에 있어서,

상기 제 1 가변 전도율 회로는 상기 제 1 PMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 상기 공통 노드에 커플링되는 드레인 단자를 갖는 제 2 PMOS 트랜지스터인,
전류-모드 클록 구동기.

청구항 27

제 26 항에 있어서,

상기 제 2 가변 전도율 회로는 상기 제 1 NMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 상기 공통 노드에 커플링되는 드레인 단자를 갖는 제 2 NMOS 트랜지스터인,
전류-모드 클록 구동기.

청구항 28

제 27 항에 있어서,

상기 제 2 NMOS 트랜지스터의 전도율을 증가 또는 감소시키기 위한 수단은,

제 1 전류 미러를 형성하기 위한 수단;

상기 제 1 전류 미러를 제 1 커패시터에 커플링하기 위한 수단;

상기 공통 노드의 전압에 응답하는 소스 단자를 갖는 제 3 NMOS 트랜지스터를 포함하는 제 1 차동 증폭기를 형성하기 위한 수단

을 더 포함하는,

전류-모드 클록 구동기.

청구항 29

제 28 항에 있어서,

상기 제 1 차동 증폭기는 상기 제 1 전류 미러에 의해 생성되는 전류를 수신하고 상기 제 3 NMOS 트랜지스터의 게이트 단자에 커플링되는 게이트 단자를 갖는 제 4 NMOS 트랜지스터

를 더 포함하는,

전류-모드 클록 구동기.

청구항 30

제 29 항에 있어서,

상기 제 2 서플라이 전압과 상기 제 4 NMOS 트랜지스터의 소스 단자 간에 저항 엘리먼트를 커플링하기 위한 수단

을 더 포함하는,

전류-모드 클록 구동기.

청구항 31

제 30 항에 있어서,

상기 제 1 커패시터에 걸친 제 1 전압을 형성하기 위한 수단

을 더 포함하고,

상기 제 1 전압은 상기 제 1 전류 미러에 의해 공급되는 전류와 상기 제 3 NMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는,

전류-모드 클록 구동기.

청구항 32

제 31 항에 있어서,

상기 제 2 PMOS 트랜지스터의 전도율을 증가 또는 감소시키기 위한 수단은,

제 2 전류 미러를 형성하기 위한 수단;

상기 제 2 전류 미러를 제 2 커패시터에 커플링하기 위한 수단;

상기 공통 노드의 전압에 응답하는 소스 단자를 갖는 제 3 PMOS 트랜지스터를 포함하는 제 2 차동 증폭기를 형성하기 위한 수단을 포함하는,

전류-모드 클록 구동기.

청구항 33

제 32 항에 있어서,

상기 제 2 차동 증폭기는,

상기 제 2 전류 미러에 의해 생성되는 전류를 수신하고 상기 제 3 PMOS 트랜지스터의 게이트 단자에 커플링되는 게이트 단자를 갖는 제 4 PMOS 트랜지스터

를 더 포함하는,

전류-모드 클록 구동기.

청구항 34

제 33 항에 있어서,

상기 제 2 커패시터에 결친 제 2 전압을 형성하기 위한 수단

을 더 포함하고,

상기 제 2 전압은 상기 제 2 전류 미러에 의해 공급되는 전류와 상기 제 3 PMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는,

전류-모드 클록 구동기.

청구항 35

제 34 항에 있어서,

상기 제 1 전압을 상기 제 2 NMOS 트랜지스터의 게이트 단자에 인가하기 위한 수단

을 더 포함하는,

전류-모드 클록 구동기.

청구항 36

제 35 항에 있어서,

상기 제 2 전압을 상기 제 2 PMOS 트랜지스터의 게이트 단자에 인가하기 위한 수단

을 더 포함하는,

전류-모드 클록 구동기.

청구항 37

명령들을 포함하는 비-일시적인 컴퓨터 판독 가능한 저장 매체로서,

상기 명령들은, 프로세서에 의해 실행될 때, 상기 프로세서로 하여금,

제 1 서플라이 전압을 수신하는 소스 단자를 갖는 제 1 PMOS 트랜지스터의 게이트 단자에 발진 신호를 인가하게 하고;

제 2 서플라이 전압을 수신하는 소스 단자를 갖는 제 1 NMOS 트랜지스터의 게이트 단자 상기 발진 신호를 인가하게 하고;

상기 제 1 PMOS 트랜지스터의 드레인 단자를 제 1 가변 전도율 회로의 제 1 입력 단자에 커플링하게 하고;

상기 제 1 NMOS 트랜지스터의 드레인 단자를 제 2 가변 전도율 회로의 제 1 입력 단자에 커플링하게 하고;

상기 제 1 및 제 2 가변 전도율 회로들의 출력 단자들을 공통 노드에 커플링하게 하고;

상기 공통 노드의 전압 스윙의 감소들에 응답하여 상기 제 1 및 제 2 가변 전도율 회로들의 전도율들을 증가시키게 하고; 및

상기 공통 노드의 전압 스윙의 증가들에 응답하여 상기 제 1 및 제 2 가변 전도율 회로들의 전도율들을 감소시키게 하는,

비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 38

제 37 항에 있어서,

상기 제 1 가변 전도율 회로는 상기 제 1 PMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 상기 공통 노드에 커플링되는 드레인 단자를 갖는 제 2 PMOS 트랜지스터인,

비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 39

제 38 항에 있어서,

상기 제 2 가변 전도율 회로는 상기 제 1 NMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 상기 공통 노드에 커플링되는 드레인 단자를 갖는 제 2 NMOS 트랜지스터인,

비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 40

제 39 항에 있어서,

상기 명령들은, 추가로 상기 프로세서로 하여금,

제 1 전류 미러를 형성하게 하고;

상기 제 1 전류 미러를 제 1 커패시터에 커플링하게 하고;

상기 공통 노드의 전압에 응답하는 소스 단자를 갖는 제 3 NMOS 트랜지스터를 포함하는 제 1 차동 증폭기를 형성하게 하여,

상기 제 2 NMOS 트랜지스터의 전도율을 변동시키는,

비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 41

제 40 항에 있어서,

상기 제 1 차동 증폭기는 상기 제 1 전류 미러에 의해 생성되는 전류를 수신하고 상기 제 3 NMOS 트랜지스터의 게이트 단자에 커플링되는 게이트 단자를 갖는 제 4 NMOS 트랜지스터

를 더 포함하는,

비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 42

제 41 항에 있어서,

상기 명령들은, 추가로 상기 프로세서로 하여금,

상기 제 2 서플라이 전압과 상기 제 4 NMOS 트랜지스터의 소스 단자 간에 저항 엘리먼트를 커플링하게 하는.

비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 43

제 42 항에 있어서,

상기 명령들은, 추가로 상기 프로세서로 하여금,

상기 제 1 전류 미러에 의해 공급되는 전류와 상기 제 3 NMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는 상기 제 1 커패시터에 걸친 전압을 형성하게 하는,

비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 44

제 43 항에 있어서,

상기 명령들은, 추가로 상기 프로세서로 하여금,

제 2 전류 미러를 형성하게 하고;

상기 제 2 전류 미러를 제 2 커패시터에 커플링하게 하고;

상기 공통 노드의 전압에 응답하는 소스 단자를 갖는 제 3 PMOS 트랜지스터를 포함하는 제 2 차동 증폭기를 형성하게 하여,

상기 제 2 PMOS 트랜지스터의 전도율을 변동시키는,

비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 45

제 44 항에 있어서,

상기 제 2 차동 증폭기는,

상기 제 2 전류 미러에 의해 생성되는 전류를 수신하고 상기 제 3 PMOS 트랜지스터의 게이트 단자에 커플링되는 게이트 단자를 갖는 제 4 PMOS 트랜지스터

를 더 포함하는,

비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 46

제 45 항에 있어서,

상기 명령들은, 추가로 상기 프로세서로 하여금,

상기 제 2 전류 미러에 의해 공급되는 전류와 상기 제 3 PMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는 상기 제 2 커패시터에 걸친 전압을 형성하게 하는,

비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 47

제 46 항에 있어서,

상기 명령들은, 추가로 상기 프로세서로 하여금,

상기 제 1 커패시터의 전압을 상기 제 2 NMOS 트랜지스터의 게이트 단자에 인가하게 하는,
비-일시적인 컴퓨터 판독 가능한 저장 매체.

청구항 48

제 47 항에 있어서,
상기 명령들은, 추가로 상기 프로세서로 하여금,
상기 제 2 커패시터의 전압을 상기 제 2 PMOS 트랜지스터의 게이트 단자에 인가하게 하는,
비-일시적인 컴퓨터 판독 가능한 저장 매체.

발명의 설명

기술 분야

[0001] 본 발명은 집적 회로(IC)에 관한 것으로서, 보다 구체적으로는, IC들에서 이용되는 고-주파수 클록 상호연결 회로에 관한 것이다.

배경 기술

[0002] IC는 종종 IC에 배치된 다양한 블록들의 동작들을 제어하는 다수의 클록 신호들을 생성하도록 적응된 클록 상호연결 회로를 포함한다. 흔히 클록 스ueue(clock skew)로서 지칭되는, 클록 신호들의 도달 시간들의 변동들을 제어하는 것은 중요하다.

[0003] 클록 스ueue는 2개의 메인 파라미터들, 즉, 클록 신호에 의해 인식되는 로딩은 물론, 클록 상호연결의 RC 지연에 의존한다. 잘 알려진 바와 같이, 클록 스ueue는 사이클 횟수들을 증가시키고 IC가 동작할 수 있는 레이트를 감소시킨다. 다수의 상이한 클록 구동기들은 클록 스ueue를 최소화하기 위해 개별 클록 신호들의 차동 지연들을 보상하도록 개발되었다.

[0004] IC의 동작 주파수가 증가함에 따라, 클록 분배 회로의 다양한 컴포넌트들, 예컨대, 로컬 발진기(LO) 및 위상 동기-루프(PLL)의 전력 소비가 증가하기 시작한다. 고주파수들에서 전력 소비를 감소시키기 위해, 전류-모드 클록 구동기들/버퍼들이 개발되었다. 그러나 종래의 전류-모드 클록 구동기들은 최악의 경우의 전압, 온도 및 프로세스 조건 하에서 동작하도록 설계된다. 따라서, 종래의 전류-모드 버퍼들은 전력 효율적이지 않다. 비교적 고주파수들에서 동작하는 클록 상호연결 회로의 전력 소비를 제어하는 것은 도전 과제로 남아있다.

발명의 내용

[0005] 본 발명의 일 실시예에 따른 전류-모드 구동기 회로는, 제 1 PMOS 트랜지스터, 제 1 NMOS 트랜지스터, 제 1 및 제 2 가변 전도율 회로들 및 제어 회로를 부분적으로 포함한다. 제 1 PMOS 트랜지스터는 발진 신호를 수신하는 게이트 단자 및 제 1 서플라이 전압을 수신하는 소스 단자를 갖는다. 제 1 NMOS 트랜지스터는 발진 신호를 수신하는 게이트 단자 및 제 2 서플라이 전압을 수신하는 소스 단자를 갖는다. 제 1 가변 전도율 회로는 제 1 PMOS 트랜지스터의 드레인 단자에 커플링되는 제 1 입력 단자 및 공통 노드에 커플링되는 출력 단자를 갖는다. 제 2 가변 전도율 회로는 제 1 NMOS 트랜지스터의 드레인 단자에 커플링되는 제 1 입력 단자 및 공통 노드에 커플링되는 출력 단자를 갖는다. 제어 회로는 공통 노드의 전압 스윙의 감소들에 응답하여 제 1 및 제 2 가변 전도율 회로들의 전도율들을 증가시키도록 적응되고, 추가로 공통 노드의 전압 스윙의 증가들에 응답하여 제 1 및 제 2 가변 전도율 회로들의 전도율들을 감소시키도록 적응된다.

[0006] 일 실시예에서, 제 1 가변 전도율 회로는 제 1 PMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 공통 노드에 커플링되는 드레인 단자를 갖는 PMOS 트랜지스터(제 2 PMOS 트랜지스터)이다. 일 실시예에서, 제 2 가변 전도율 회로는 제 1 NMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 공통 노드에 커플링되는 드레인 단자를 갖는 NMOS 트랜지스터(제 2 NMOS 트랜지스터)이다.

[0007] 일 실시예에서, 전류-모드 클록 구동기 회로는, 제어 회로는 제 1 바이어싱 회로를 더 포함하고, 제 1 바이어싱 회로는 결국, 제 1 전류 미러, 제 1 커패시터, 및 제 1 차동 증폭기를 포함한다. 제 1 차동 증폭기는

소스 단자가 공통 노드의 전압에 응답하는 제 3 NMOS 트랜지스터를 포함한다. 제 1 차동 증폭기는 제 1 전류 미러에 의해 생성되는 전류를 수신하고 제 3 NMOS 트랜지스터의 게이트 단자에 커플링되는 게이트 단자를 갖는 제 4 NMOS 트랜지스터를 더 포함한다.

[0008] [0008] 일 실시예에서, 제 1 바이어싱 회로는, 부분적으로 제 2 서플라이 전압과 제 4 NMOS 트랜지스터의 소스 단자 간에 커플링되는 저항 엘리먼트를 더 포함한다. 일 실시예에서, 제 1 커패시터에 걸친 전압은 제 1 전류 미러에 의해 공급되는 전류와 제 3 NMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의된다.

[0009] [0009] 일 실시예에서, 전류-모드 클록 회로는 제 2 바이어싱 회로를 더 포함하고, 제 2 바이어싱 회로는 결국, 제 2 전류 미러, 제 2 커패시터, 및 제 2 차동 증폭기를 포함한다. 제 2 차동 증폭기는 소스 단자가 공통 노드의 전압에 응답하는 제 3 PMOS 트랜지스터를 포함하는 제 3 차동 증폭기를 포함한다. 제 2 차동 증폭기는 제 2 전류 미러에 의해 생성되는 전류를 수신하고 제 3 PMOS 트랜지스터의 게이트 단자에 커플링되는 게이트 단자를 갖는 제 4 PMOS 트랜지스터를 더 포함한다.

[0010] [0010] 일 실시예에서, 제 2 커패시터에 걸친 전압은 제 2 전류 미러에 의해 공급되는 전류와 제 3 PMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의된다. 일 실시예에서, 제 1 커패시터에 걸친 전압은 제 2 NMOS 트랜지스터의 게이트 단자에 인가되고 제 2 커패시터에 걸친 전압은 제 2 PMOS 트랜지스터의 게이트 단자에 인가된다.

[0011] [0011] 본 발명의 일 실시예에 따른 클록 상호연결을 구동하는 방법은, 부분적으로, 소스 단자가 제 1 서플라이 전압을 수신하는 제 1 PMOS 트랜지스터의 게이트 단자에 발진 신호를 인가하는 단계, 소스 단자가 제 2 서플라이 전압을 수신하는 제 1 NMOS 트랜지스터의 게이트 단자에 발진 신호를 인가하는 단계, 제 1 PMOS 트랜지스터의 드레인 단자를 제 1 가변 전도율 회로의 제 1 입력 단자에 커플링하는 단계, 제 1 NMOS 트랜지스터의 드레인 단자를 제 2 가변 전도율 회로의 제 1 입력 단자에 커플링하는 단계, 제 1 및 제 2 가변 전도율 회로들의 출력 단자들을 공통 노드에 커플링하는 단계, 공통 노드의 전압 스윙의 감소들에 응답하여 제 1 및 제 2 가변 전도율 회로들의 전도율들을 증가시키는 단계, 및 제어 회로는 추가로 공통 노드의 전압 스윙의 증가들에 응답하여 제 1 및 제 2 가변 전도율 회로들의 전도율들을 감소시키는 단계를 포함한다.

[0012] [0012] 일 실시예에 따라, 제 1 가변 전도율 회로는 제 1 PMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 공통 노드에 커플링되는 드레인 단자를 갖는 PMOS 트랜지스터(제 2 PMOS 트랜지스터)이다. 제 2 가변 전도율 회로는 제 1 NMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 공통 노드에 커플링되는 드레인 단자를 갖는 NMOS 트랜지스터(제 2 NMOS 트랜지스터)이다.

[0013] [0013] 일 실시예에서, 제 2 NMOS 트랜지스터의 전도율을 변동시키는 단계는, 제 1 전류 미러를 형성하는 단계, 제 1 전류 미러를 제 1 커패시터에 커플링하는 단계, 및 제 1 차동 증폭기를 형성하는 단계를 포함한다. 제 1 차동 증폭기는 소스 단자가 공통 노드의 전압에 응답하는 제 3 NMOS 트랜지스터를 포함한다. 제 1 차동 증폭기는 제 1 전류 미러에 의해 생성되는 전류를 수신하고 게이트 단자가 제 3 NMOS 트랜지스터의 게이트 단자에 커플링되는 제 4 NMOS 트랜지스터를 더 포함할 수 있다.

[0014] [0014] 일 실시예에 따른 방법은 제 2 서플라이 전압과 제 4 NMOS 트랜지스터의 소스 단자 간에 저항 엘리먼트를 커플링하는 단계를 더 포함한다. 일 실시예에 따른 방법은 제 1 전류 미러에 의해 공급되는 전류와 제 3 NMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는 제 1 커패시터에 걸친 전압을 형성하는 단계를 더 포함한다.

[0015] [0015] 일 실시예에서, 제 2 PMOS 트랜지스터의 전도율을 변동시키는 단계는, 제 2 전류 미러를 형성하는 단계, 제 2 전류 미러를 제 2 커패시터에 커플링하는 단계, 및 제 2 차동 증폭기를 형성하는 단계를 포함한다. 제 2 차동 증폭기는 소스 단자가 공통 노드의 전압에 응답하는 제 3 PMOS 트랜지스터를 더 포함할 수 있다. 제 2 차동 증폭기는 제 2 전류 미러에 의해 생성되는 전류를 수신하고 게이트 단자가 제 3 PMOS 트랜지스터의 게이트 단자에 커플링되는 제 4 PMOS 트랜지스터를 더 포함할 수 있다.

[0016] [0016] 일 실시예에 따른 방법은 제 2 전류 미러에 의해 공급되는 전류와 제 3 PMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는 제 2 커패시터에 걸친 전압을 형성하는 단계를 더 포함한다. 이 방법은 제 1 커패시터의 전압을 제 2 NMOS 트랜지스터의 게이트 단자에 인가하는 단계 및 제 2 커패시터의 전압을 제 2 PMOS 트랜지스터의 게이트 단자에 인가하는 단계를 더 포함한다.

[0017] [0017] 본 발명의 일 실시예에 따른 전류-모드 클록 구동기는, 부분적으로 제 1 서플라이 전압을 수신하는 소스 단자를 갖는 제 1 PMOS 트랜지스터의 게이트 단자에 발진 신호를 인가하기 위한 수단, 제 2 서플라이 전압을 수

신하는 소스 단자를 갖는 제 1 NMOS 트랜지스터의 게이트 단자에 발진 신호를 인가하기 위한 수단, 제 1 PMOS 트랜지스터의 드레인 단자를 제 1 가변 전도율 회로의 제 1 입력 단자에 커플링하기 위한 수단, 제 1 NMOS 트랜지스터의 드레인 단자를 제 2 가변 전도율 회로의 제 1 입력 단자에 커플링하기 위한 수단, 제 1 및 제 2 가변 전도율 회로들의 출력 단자들을 공통 노드에 커플링하기 위한 수단, 공통 노드의 전압 스윙의 감소들에 응답하여 제 1 및 제 2 가변 전도율 회로들의 전도율들을 증가시키기 위한 수단, 및 제어 회로는 추가로 공통 노드의 전압 스윙의 증가들에 응답하여 제 1 및 제 2 가변 전도율 회로들의 전도율들을 감소시키기 위한 수단을 포함한다.

[0018] [0018] 일 실시예에서, 제 1 가변 전도율 회로는 제 1 PMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 공통 노드에 커플링되는 드레인 단자를 갖는 PMOS 트랜지스터(제 2 PMOS 트랜지스터)이다. 제 2 가변 전도율 회로는 제 1 NMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 공통 노드에 커플링되는 드레인 단자를 갖는 NMOS 트랜지스터(제 2 NMOS 트랜지스터)이다.

[0019] [0019] 일 실시예에서, 제 2 NMOS 트랜지스터의 전도율을 증가 또는 감소시키기 위한 수단은, 제 1 전류 미러를 형성하기 위한 수단, 제 1 전류 미러를 제 1 커패시터에 커플링하기 위한 수단, 소스 단자가 공통 노드의 전압에 응답하는 제 3 NMOS 트랜지스터를 갖는 제 1 차동 증폭기를 형성하기 위한 수단을 더 포함한다. 제 1 차동 증폭기는 제 1 전류 미러에 의해 생성되는 전류를 수신하고 게이트 단자가 제 3 NMOS 트랜지스터의 게이트 단자에 커플링되는 제 4 NMOS 트랜지스터를 더 포함할 수 있다.

[0020] [0020] 일 실시예에서, 전류-모드 클록 구동기는 부분적으로, 제 2 서플라이 전압과 제 4 NMOS 트랜지스터의 소스 단자 간에 저항 엘리먼트를 커플링하기 위한 수단을 더 포함한다. 일 실시예에서, 전류-모드 클록 구동기는 부분적으로, 제 1 전류 미러에 의해 공급되는 전류와 제 3 NMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는 제 1 커패시터에 걸친 제 1 전압을 형성하기 위한 수단을 더 포함한다.

[0021] [0021] 일 실시예에서, 제 2 PMOS 트랜지스터의 전도율을 증가 또는 감소시키기 위한 수단은, 제 2 전류 미러를 형성하기 위한 수단, 제 2 전류 미러를 제 2 커패시터에 커플링하기 위한 수단, 소스 단자가 공통 노드의 전압에 응답하는 제 3 PMOS 트랜지스터를 갖는 제 2 차동 증폭기를 형성하기 위한 수단을 더 포함한다. 제 2 차동 증폭기는 제 2 전류 미러에 의해 생성되는 전류를 수신하고 게이트 단자가 제 3 PMOS 트랜지스터의 게이트 단자에 커플링되는 제 4 PMOS 트랜지스터를 더 포함할 수 있다.

[0022] [0022] 일 실시예에서, 전류-모드 클록 구동기는 부분적으로 제 2 전류 미러에 의해 공급되는 전류와 제 3 PMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는 제 2 커패시터에 걸친 제 2 전압을 형성하기 위한 수단을 더 포함한다.

[0023] [0023] 일 실시예에서, 전류-모드 클록 구동기는 부분적으로, 제 1 전압을 제 2 NMOS 트랜지스터의 게이트 단자에 인가하기 위한 수단 및 제 2 전압을 제 2 PMOS 트랜지스터의 게이트 단자에 인가하기 위한 수단을 더 포함한다.

[0024] 본 발명의 일 실시예에 따른 비-일시적인 컴퓨터 판독 가능한 저장 매체는 명령들을 포함하고, 명령들은, 프로세서에 의해 실행될 때, 프로세서로 하여금, 제 1 서플라이 전압을 수신하는 소스 단자를 갖는 제 1 PMOS 트랜지스터의 게이트 단자에 발진 신호를 인가하게 하고, 제 2 서플라이 전압을 수신하는 소스 단자를 갖는 제 1 NMOS 트랜지스터의 게이트 단자에 발진 신호를 인가하게 하고, 제 1 PMOS 트랜지스터의 드레인 단자를 제 1 가변 전도율 회로의 제 1 입력 단자에 커플링하게 하고, 제 1 NMOS 트랜지스터의 드레인 단자를 제 2 가변 전도율 회로의 제 1 입력 단자에 커플링하게 하고, 제 1 및 제 2 가변 전도율 회로들의 출력 단자들을 공통 노드에 커플링하게 하고, 공통 노드의 전압 스윙의 감소들에 응답하여 제 1 및 제 2 가변 전도율 회로들의 전도율들을 증가시키게 하고, 및 제어 회로는 추가로 공통 노드의 전압 스윙의 증가들에 응답하여 제 1 및 제 2 가변 전도율 회로들의 전도율들을 감소시키게 한다.

[0025] [0025] 일 실시예에 따라, 제 1 가변 전도율 회로는 제 1 PMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 공통 노드에 커플링되는 드레인 단자를 갖는 PMOS 트랜지스터(제 2 PMOS 트랜지스터)이다. 제 2 가변 전도율 회로는 제 1 NMOS 트랜지스터의 드레인 단자에 커플링되는 소스 단자 및 공통 노드에 커플링되는 드레인 단자를 갖는 NMOS 트랜지스터(제 2 NMOS 트랜지스터)이다.

[0026] 일 실시예에서, 제 2 NMOS 트랜지스터의 전도율을 변동시키기 위해, 명령들은, 추가로 프로세서로 하여금, 제 1 전류 미러를 형성하게 하고, 제 1 전류 미러를 제 1 커패시터에 커플링하게 하고, 소스 단자가 공통 노드의 전압에 응답하는 제 3 NMOS 트랜지스터를 갖는 제 1 차동 증폭기를 형성하게 한다. 제 1 차동 증폭기는

제 1 전류 미러에 의해 생성되는 전류를 수신하고 게이트 단자가 제 3 NMOS 트랜지스터의 게이트 단자에 커플링 되는 제 4 NMOS 트랜지스터를 더 포함할 수 있다.

[0027] 일 실시예에서, 명령들은, 추가로 프로세서로 하여금, 제 2 서플라이 전압과 제 4 NMOS 트랜지스터의 소스 단자 간에 저항 엘리먼트를 커플링하게 한다. 일 실시예에서, 명령들은, 추가로 프로세서로 하여금, 제 1 전류 미러에 의해 공급되는 전류와 제 3 NMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는 제 1 커패시터에 걸친 전압을 형성하게 한다.

[0028] 일 실시예에서, 제 2 PMOS 트랜지스터의 전도율을 변동시키기 위해, 명령들은, 추가로 프로세서로 하여금, 제 2 전류 미러를 형성하게 하고, 제 2 전류 미러를 제 2 커패시터에 커플링하게 하고, 소스 단자가 공통 노드의 전압에 응답하는 제 3 PMOS 트랜지스터를 갖는 제 2 차동 증폭기를 형성하게 한다. 제 2 차동 증폭기는 제 2 전류 미러에 의해 생성되는 전류를 수신하고 게이트 단자가 제 3 PMOS 트랜지스터의 게이트 단자에 커플링 되는 제 4 PMOS 트랜지스터를 더 포함할 수 있다.

[0029] 일 실시예에서, 명령들은, 추가로 프로세서로 하여금, 제 2 전류 미러에 의해 공급되는 전류와 제 3 PMOS 트랜지스터를 통해 흐르는 전류 간의 차이에 의해 정의되는 제 2 커패시터에 걸친 전압을 형성하게 한다. 일 실시예에서, 명령들은, 추가로 프로세서로 하여금, 제 1 커패시터의 전압을 제 2 NMOS 트랜지스터의 게이트 단자에 인가하게 하고, 제 2 커패시터의 전압을 제 2 PMOS 트랜지스터의 게이트 단자에 인가하게 한다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 일 실시예에 따라 고-주파수 클록 상호연결을 구동하도록 적응된 전류-모드 버퍼의 단순화된 개략도이다.

[0031] 도 2는 본 발명의 일 실시예에 따라 도 1의 전류-모드 버퍼의 바이어싱 회로들 중 하나의 단순화된 트랜지스터 개략도이다.

[0032] 도 3은 도 2의 바이어싱 회로에 배치된 트랜지스터들 중 하나의 소스 전압과 이를 통해 흐르는 전류 간의 관계를 도시한다.

[0033] 도 4는 본 발명의 일 실시예에 따라 도 1의 전류-모드 버퍼의 바이어싱 회로들 중 다른 하나의 단순화된 트랜지스터 개략도이다.

[0034] 도 5는 도 4의 바이어싱 회로에 배치된 트랜지스터들 중 하나의 소스 전압과 이를 통해 흐르는 전류 간의 관계를 도시한다.

[0035] 도 6은 본 발명의 다른 실시예에 따라 고-주파수 클록 상호연결을 구동하도록 적응된 전류-모드 클록 구동기의 단순화된 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0036] 도 1은 본 발명의 일 실시예에 따라 고-주파수 클록 상호연결을 구동하도록 적응된 전류-모드 버퍼(대안적으로, 본 명세서에서 클록 구동기로서 지칭됨)(100)의 단순화된 개략도이다. 클록 구동기(100)는 PMOS 트랜지스터들(104, 108), NMOS 트랜지스터들(106, 110), 인버터들(112, 114) 및 제어 회로(200)를 포함하는 것으로서 도시된다. 제어 회로(200)는 트랜지스터(110)를 바이어싱하도록 적응된 바이어싱 회로(250)는 물론 트랜지스터(108)를 바이어싱하도록 적응된 바이어싱 회로들(150)을 포함한다.

[0037] 클록 구동기(100)는 전압-제어식 발진기(VCO)(102)로부터 발진 신호(OSC)를 수신하고 그것이 배치된 집적 회로의 하나 또는 그 초과의 섹션들을 통해 분배될 수 있는 클록 상호연결(200)을 구동하는 것으로서 도시된다. 전압-제어식 발진기(102)는 위상 동기-루프, 고주파수 동기-루프, 또는 임의의 다른 제어식-루프 회로의 부분일 수 있다. 도 1에서 알 수 있는 바와 같이, 발진 신호(OSC)는 PMOS 트랜지스터(104) 및 NMOS 트랜지스터들(106)의 게이트 단자들에 인가된다.

[0038] 신호(OSC)가 로우(low) 값에 있을 때, PMOS 트랜지스터(104)는 온(on)이고 NMOS 트랜지스터(106)는 오프(off)이다. 이에 따라, 신호(OSC)가 로우 값에 있을 때, 노드(B)는 트랜지스터(104)를 통해 서플라이 전압(VCC)으로 충전되도록 인에이블된다. 역으로, 신호(OSC)가 하이(high) 값일 때, PMOS 트랜지스터(104)는 오프이고 NMOS 트랜지스터(106)는 온이다. 이에 따라, 신호(OSC)가 하이 값에 있을 때, 노드(C)는 트랜지스터(106)를 통해 접지 전위로 방전되도록 인에이블된다.

[0034]

[0039] 트랜지스터(104)의 드레인 단자는 트랜지스터들(108)의 소스 단자에 커플링된다. 마찬가지로, 트랜지스터(110)의 소스 단자는 트랜지스터(106)의 드레인 단자에 커플링된다. 트랜지스터들(108, 110)의 드레인 단자들은 공통 노드(A) 및 인버터(112)의 입력 단자에 커플링된다. 인버터(112)의 출력 단자는, 출력 단자가 바이어싱 회로들(150, 250)의 입력 단자들(IN)에 커플링되는 인버터(114)의 입력 단자에 커플링된다. 바이어싱 회로(150)의 출력 단자는 트랜지스터(108)의 게이트 단자에 커플링된다. 마찬가지로, 바이어싱 회로(250)의 출력 단자는 트랜지스터(110)의 게이트 단자에 커플링된다.

[0035]

[0040] 바이어싱 회로(150)는 트랜지스터(104)가 온일 때 트랜지스터(108)가 온이 되게 하도록 적응된다. 바이어싱 회로(150)는 추가로 트랜지스터(104)가 오프일 때 트랜지스터(108)가 오프가 되게 하도록 적응된다. 마찬가지로, 바이어싱 회로(250)는 트랜지스터(106)가 온/오프일 때 트랜지스터(110)가 온이 되게 하도록 적응된다. 바이어싱 회로(250)는 추가로 트랜지스터(104)가 오프일 때 트랜지스터(108)가 오프가 되게 하도록 적응된다.

[0036]

[0041] 이에 따라, 트랜지스터(104)가 온이고, 트랜지스터(106)가 오프일 때, 트랜지스터들(108, 110)은 각각 온 및 오프이기 때문에, 노드(A)는 트랜지스터들(104, 108)을 통해 서플라이 전압(Vcc)으로 충전된다. 마찬가지로, 트랜지스터(106)가 온이고, 트랜지스터(104)가 오프일 때, 트랜지스터들(108, 110)은 각각 오프 및 온이기 때문에, 노드(A)는 트랜지스터들(110, 106)을 통해 접지 전위로 방전된다. 노드(A)의 전압은 인버터들(112, 114)을 통해 베퍼밍되고, 바이어싱 회로들(150, 250)의 입력 단자들(IN)에 인가된다. 트랜지스터(108)의 소스 단자에 커플링되는 노드(B)는 신호는, 결국 클록 구동기(100)가 배치된 접적 회로의 다양한 블록들에 클록 신호들을 제공하도록 적응되는 클록 상호연결(200)에 공급한다.

[0037]

[0042] 도 2는 본 발명의 일 실시예에 따라 예시적인 바이어싱 회로(150)의 단순화된 트랜지스터 개략도이다. 바이어싱 회로(150)는 PMOS 트랜지스터들(152, 156), NMOS 트랜지스터들(154, 158), 커패시터(160) 및 레지스터(162)를 포함하는 것으로서 도시된다. 트랜지스터들(152, 156)은 동일한 게이트-소스 전압을 갖고 미리 전류를 형성한다. 레지스터(162)는 접지 전위보다 높게 트랜지스터(154)의 소스 단자, 즉 노드(D)의 전압을 유지하도록 적응된다. 예를 들어, 일 실시예에서, 서플라이 전압(VCC)이 1.2볼트일 때, 노드(D)는 0.2볼트이다.

[0038]

[0043] 트랜지스터들(152, 154, 156 및 158)의 게이트 단자들은 서로 커플링된다. 트랜지스터들(152, 154)의 게이트 및 드레인 단자들은 또한 서로 커플링된다. 커패시터(160)는 접지 전위에 커플링되는 제 1 단자를 갖는다. 커패시터(160)의 제 2 단자는 노드(nbias)에 그리고 트랜지스터(156, 158)의 드레인 단자들에 커플링된다.

[0039]

[0044] 바이어싱 회로(150)는 트랜지스터(158)의 소스 단자의 최소 전압 즉, 단자(IN)의 최소 전압을 검출하기 위해 트랜지스터들(154 및 158)의 소스 단자들의 전압들을 비교하도록 별도로 동작하게 적응된다. 위에서 설명된 바와 같이, PMOS 트랜지스터들(152, 156)은 전류 미러를 형성하고, 이에 따라 동일한 전류(I_1)를 생성한다. 이에 따라, 노드(IN)의 전압이 증가하는 경우, 트랜지스터(158)의 게이트-소스 전압의 감소로 인해, 트랜지스터(158)를 통한 전류는 감소한다. 트랜지스터(156)를 통해 흐르는 전류(I_1)가 비교적 일정하기 때문에, 트랜지스터(158)를 통해 흐르는 전류의 감소는 보다 많은 전류가 커패시터(160)로 흐르고 커패시터(160)를 충전하게 하여, 노드(nbias)의 전압이 증가하게 한다.

[0040]

[0045] 역으로, 노드(IN)의 전압이 감소하는 경우, 트랜지스터(158)의 게이트-소스 전압의 증가로 인해, 트랜지스터(158)를 통한 전류는 증가한다. 트랜지스터(156)를 통해 흐르는 전류(I_1)가 비교적 일정하기 때문에, 트랜지스터(158)를 통해 흐르는 전류의 증가는 전류가 커패시터(160)로부터 회수(withdrawn)되게 하여, 노드(nbias)의 전압이 감소하게 한다.

[0041]

[0046] 도 3은 트랜지스터(158)의 소스 단자에 의해 수신되는 전압(V_{IN})과 트랜지스터(158)를 통한 전류 흐름(I_2) 간의 관계를 나타내는 플롯(180)을 도시한다. 도 3에서 알 수 있는 바와 같이, 전류(I_2)는 전압(V_{IN})과의 반비례 관계(inverse relationship)를 가져서, V_{IN} 이 증가할 때 감소하고 V_{IN} 이 감소할 때 증가한다. 노드(D)의 전압(VD) 및 노드(D)를 통해 흐르는 대응하는 전류(I_1)는 지점(D')으로서 플롯(180)에서 식별된다.

[0042]

[0047] 도 3에서 알 수 있는 바와 같이, 플롯(180)은 전압(V_{IN})이 작을 때(예를 들어, 지점들(F 및 G) 사이), 비교적 높은 슬로프를 갖고, 전압(V_{IN})이 클 때(예를 들어, 지점들(K 및 L) 사이), 비교적 낮은 슬로프를 갖는다. 이에 따라, 커패시터(160)에 걸친 전압은 전압(V_{IN})의 최소 근사값(near minimum value)에 의해 대부분 정의된다. 즉, 바이어싱 회로(150)는 - 그의 입력 단자에 의해 확인되는 - 전압(V_{IN})의 최소 근사값을 검출하고

검출된 최소 전압에 의해 정의되는 전압을 그의 출력 단자(nbias)에서 생성하도록 적응된 최소 피크 검출기이다. 노드(IN)의 전압 스윙이 크면 클수록, 그리고 그에 따라 노드(IN)의 전압이 노드(D)의 전압보다 작을 때의 시간이 길면 길수록, 노드(nbias)의 전압은 더 크다. 도 1에서 알 수 있는 바와 같이, 바이어싱 회로(150)의 출력 단자(nbias)는 트랜지스터(110)의 게이트 단자에 커플링된다.

[0043] [0048] 도 4는 본 발명의 일 실시예에 따라 예시적인 바이어싱 회로(250)의 단순화된 트랜지스터 개략도이다. 바이어싱 회로(250)는 PMOS 트랜지스터들(252, 256), NMOS 트랜지스터들(254, 258), 커패시터(260) 및 레지스터(262)를 포함하는 것으로서 도시된다. 트랜지스터들(258, 254)은 동일한 게이트-소스 전압을 가지며 전류 미러를 형성한다. 레지스터(262)는 서플라이 전압(Vcc) 미만으로 트랜지스터(252)의 소스 단자, 즉 노드(M)의 전압을 유지하도록 적응된다. 예를 들어, 일 실정에서, 서플라이 전압(VCC)이 1.2볼트일 때, 노드(M)는 1.0볼트이다.

[0044] [0049] 트랜지스터들(252, 254, 256 및 258)의 게이트 단자들은 서로 커플링된다. 트랜지스터(252, 254)의 게이트 및 드레인 단자들은 또한 서로 커플링된다. 커패시터(260)는 접지 전위에 커플링되는 제 1 단자를 갖는다. 커패시터(260)의 제 2 단자는 노드(pbias)에 그리고 트랜지스터들(256, 258)의 드레인 단자들에 커플링된다.

[0045] [0050] 바이어싱 회로(250)는 트랜지스터들(256 및 262)의 소스 단자들의 전압들을 비교하고, 트랜지스터(256)의 소스 단자의 피크 전압, 즉, 단자(IN)의 피크 전압을 검출하도록 별도로 동작하게 적응된다. 위에서 설명된 바와 같이, NMOS 트랜지스터들(254, 258)은 전류 미러를 형성하고, 그에 따라 동일한 전류(I_3)를 생성한다. 이에 따라, 노드(단자)의 전압이 증가하는 경우, 트랜지스터(256)의 게이트-소스 전압의 증가로 인해, 트랜지스터(256)를 통한 전류를 증가한다. 트랜지스터(258)를 통해 흐르는 전류(I_3)가 비교적 일정하기 때문에, 트랜지스터(256)를 통한 전류 흐름의 증가는 더 많은 전류가 커패시터(260)로 흐르고 커패시터(260)를 충전하게 하여, 노드(pbias)의 전압이 증가하게 한다.

[0046] [0051] 역으로, 노드(단자)의 전압이 감소하는 경우, 트랜지스터(256)의 게이트-소스 전압의 감소로 인해, 트랜지스터(256)를 통한 전류를 감소한다. 트랜지스터(258)를 통해 흐르는 전류(I_3)가 비교적 일정하기 때문에, 트랜지스터(256)를 통한 전류 흐름의 감소는 커패시터(260)를 방전하게 하여, 노드(pbias)의 전압이 감소하게 한다.

[0047] [0052] 도 5는 트랜지스터(258)의 소스 단자에 의해 수신되는 전압(V_{IN})과 트랜지스터(258)를 통한 전류 흐름(I_4) 간에 관계를 나타내는 플롯(280)을 도시한다. 도 5에서 알 수 있는 바와 같이, 전류(I_4)는 전압(V_{IN})과 직접적인 관계(direct relationship)를 가져서, V_{IN} 이 감소할 때 감소하고, V_{IN} 이 증가할 때 증가한다. 노드(M)의 전압(V_M) 및 노드(M)를 통해 흐르는 대응하는 전류(I_3)는 지점(M')으로서 플롯(180)에서 식별된다.

[0048] [0053] 도 5로부터 알 수 있는 바와 같이, 플롯(280)은 전압(V_{IN})이 클 때(예를 들어, 지점들(P 및 Q 사이)), 비교적 높은 슬로프를 갖고, 전압(V_{IN})이 작을 때(예를 들어, 지점들(N 및 O 사이)), 비교적 낮은 슬로프를 갖는다. 이에 따라, 커패시터(260)에 걸친 전압은 전압(V_{IN})의 최대 근사 값에 의해 대부분 정의된다. 즉, 바이어싱 회로(250)는 - 그의 입력 단자에 의해 확인되는 - 전압(V_{IN})의 피크 근사값을 검출하고 이 검출된 피크 전압에 의해 정의되는 전압을 그의 출력 단자(pbias)에서 생성하도록 적응된 피크 검출기이다. 노드(IN)의 전압 스윙이 크면 클수록, 그리고 그에 따라 노드(IN)의 전압이 노드(M)의 전압보다 클 때의 시간이 길면 길수록, 노드(pbias)의 DC 전압은 더 크다. 도 1에서 알 수 있는 바와 같이, 바이어싱 회로(250)의 출력 단자(pbias)는 트랜지스터(108)의 게이트 단자에 커플링된다.

[0049] [0054] 도 1, 도 2 및 도 4를 동시에 참조하여, 노드(IN)의 전압 스윙이 증가하고, 그에 따라 노드(IN)의 피크 및 최소 전압들이 각각 증가하고 감소할 때, 노드(pbias)의 전압은 증가하고, 노드(nbias)의 전압을 감소한다. 이는 트랜지스터들(108, 110)이 데일 전도성이 되게 하여, 노드(IN)의 전압 스윙이 감소하게 한다. 마찬가지로, 노드(IN)의 전압 스윙이 감소할 때, 노드(pbias)의 전압은 감소하고, 노드(nbias)의 전압을 증가한다. 이는 트랜지스터들(108, 110)이 보다 더 전도성이 되게 하여, 노드(IN)의 전압 스윙이 증가하게 한다. 이에 따라, 트랜지스터들(108, 110) 및 제어 회로(200)에 의해 형성되는 피드백 루프는 노드(IN)의 전압의 변동들을 최소화하도록 적응된다.

[0050] [0055] 도 6은 본 발명의 다른 실시예에 따라 고-주파수 클록 상호연결을 구동하도록 적응된 전류-모드 클록 구

동기(300)의 단순화된 개략도이다. 클록 구동기(300)는, 클록 구동기(300)가 클록 구동기(100)의 트랜지스터들(108, 110) 대신 제 1 및 제 2 가변 전도율 회로들(208, 210)을 포함한다는 것을 제외하면 클록 구동기(100)와 유사한다.

[0051] [0056] 트랜지스터(104)의 드레인 단자는 가변 전도율 회로(208)의 제 1 입력 단자에 커플링된다. 마찬가지로, 트랜지스터(106)의 드레인 단자는 가변 전도율 회로(210)의 제 1 입력 단자에 커플링된다. 제어 회로(200)의 출력 단자들(pbias 및 nbias)은 제 1 및 제 2 전도율 회로들(208, 210)의 제 2 입력 단자들에 각각 커플링된다. 제 1 및 제 2 전도율 회로들(208, 210)의 출력 단자들은 제 1 및 제 2 바이어싱 회로들(150, 250)의 입력 단자들에 그리고 공통 노드(A)에 커플링된다.

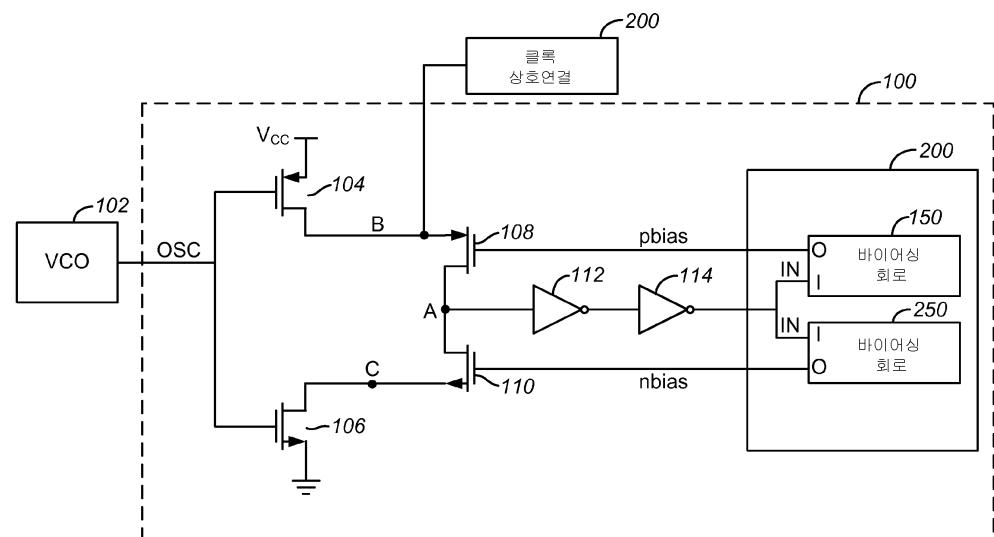
[0052] [0057] 바이어싱 회로(150)는 트랜지스터(104)가 온일 때 가변 전도율 회로(208)가 온이 되게 하도록 적응된다. 바이어싱 회로(150)는 추가로 트랜지스터(104)가 오프일 때 가변 전도율 회로(208)가 오프가 되게 하도록 적응된다. 마찬가지로, 바이어싱 회로(250)는 트랜지스터(106)가 온/오프일 때 가변 전도율 회로(210)가 온이 되게 하도록 적응된다. 바이어싱 회로(250)는 추가로 트랜지스터(104)가 오프일 때 가변 전도율 회로(210)가 온/오프가 되게 하도록 적응된다.

[0053] [0058] 노드(IN)의 전압 스윙이 증가하고, 그에 따라 노드(IN)의 피크 및 최소 전압들이 각각 증가하고 감소할 때, 노드(pbias)의 전압은 증가하고, 노드(nbias)의 전압을 감소한다. 이는 가변 전도율 회로(208, 210)가 덜 전도성이 되게 하여, 노드(IN)의 전압 스윙이 감소하게 한다. 마찬가지로, 노드(IN)의 전압 스윙이 감소할 때, 노드(pbias)의 전압은 감소하고, 노드(nbias)의 전압을 증가한다. 이는 가변 전도율 회로(208, 210)가 보다 더 전도성이 되게 하여, 노드(IN)의 전압 스윙이 증가하게 한다. 이에 따라, 가변 전도율 회로(208, 210) 및 제어 회로(200)에 의해 형성되는 피드백 루프는 노드(IN)의 전압의 변동들을 최소화하도록 적응된다.

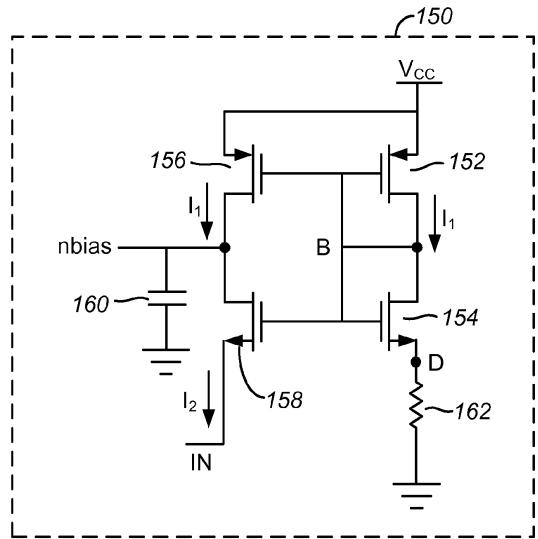
[0054] [0059] 본 발명의 위의 실시예들은 예시적이며 제한적이지 않다. 본 발명의 실시예들은 클록 구동기에서 이용된 가변 전도율 회로에 의해 제한되지 않는다. 본 발명의 실시예들은 클록 구동기 회로가 배치될 수 있는 디바이스의 타입(무선 또는 기타 등)에 의해 제한되지 않는다. 다른 부가들, 제거들 또는 변형들은 본 개시를 고려하여 명백하며, 첨부된 청구항들의 범위 내에 있는 것으로 의도된다.

도면

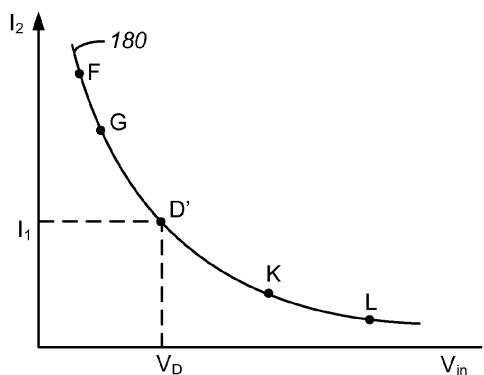
도면1



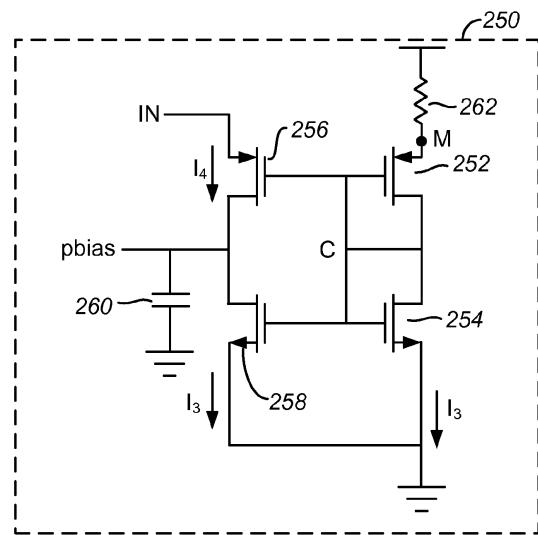
도면2



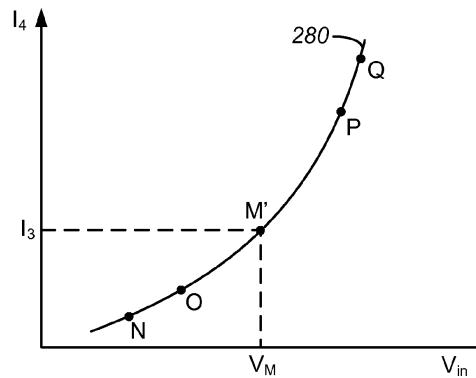
도면3



도면4



도면5



도면6

