

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第3区分  
 【発行日】令和4年8月17日(2022.8.17)

【国際公開番号】WO2021/157172  
 【出願番号】特願2021-575626(P2021-575626)

【国際特許分類】

G 0 6 F 17/16(2006.01)

G 0 6 F 17/10(2006.01)

G 0 6 F 7/523(2006.01)

10

【F I】

G 0 6 F 17/16 N

G 0 6 F 17/10 A

G 0 6 F 17/16 M

G 0 6 F 7/523

【手続補正書】

【提出日】令和4年6月2日(2022.6.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

20

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の複素数および第2の複素数を乗算する複素乗算回路であって、  
 前記第1の複素数は、第1の実数部および第1の虚数部を有し、  
 前記第2の複素数は、第2の実数部および第2の虚数部を有し、  
 前記第1の実数部および前記第1の虚数部を時分割多重した第1の多重信号を生成する  
 第1の多重回路と、

30

前記第2の実数部および前記第2の虚数部を時分割多重した第2の多重信号を生成する  
 第2の多重回路と、

前記第1の多重信号および前記第2の多重信号の積差演算を行なう積差演算回路と、

前記第1の実数部および前記第2の実数部を時分割多重した第3の多重信号を生成する  
 第3の多重回路と、

前記第2の虚数部および前記第1の虚数部を時分割多重した第4の多重信号を生成する  
 第4の多重回路と、

前記第3の多重信号および前記第4の多重信号の積和演算を行なう積和演算回路と、

前記積差演算回路の出力値および前記積和演算回路の出力値を時分割多重した第5の多  
 重信号を生成する第5の多重回路とを備える、複素乗算回路。

40

【請求項2】

前記積差演算回路は、前記第1の実数部および前記第2の実数部の乗算値と、前記第1  
 の実数部および前記第2の実数部の乗算値から前記第1の虚数部および前記第2の虚数部  
 の乗算値を減算した減算値とを時分割多重して出力し、

前記積和演算回路は、前記第1の実数部および前記第2の虚数部の乗算値と、前記第1  
 の実数部および前記第2の虚数部の乗算値と前記第2の実数部および前記第1の虚数部の  
 乗算値とを加算した加算値とを時分割多重して出力し、

前記第5の多重回路は、前記減算値および前記加算値を時分割多重することにより、前  
 記第5の多重信号を生成する、請求項1に記載の複素乗算回路。

【請求項3】

50

前記積差演算回路は、

前記第 1 の多重信号および前記第 2 の多重信号を乗算する第 1 の乗算器と、

前回の周期における前記第 1 の乗算器の乗算値から今回の周期における前記第 1 の乗算器の乗算値を減算する減算器とを含む、請求項 2 に記載の複素乗算回路。

【請求項 4】

前記積和演算回路は、

前記第 3 の多重信号および前記第 4 の多重信号を乗算する第 2 の乗算器と、

前回の周期における前記第 2 の乗算器の乗算値と今回の周期における前記第 2 の乗算器の乗算値とを加算する加算器とを含む、請求項 2 に記載の複素乗算回路。

【請求項 5】

前記第 1 の複素数および前記第 2 の複素数の周波数の 2 倍の周波数を有する第 1 クロック信号を 2 分周することにより、第 2 クロック信号を生成するクロック生成回路をさらに備え、

前記第 1 から第 5 の多重回路、前記積差演算回路および前記積和演算回路の各々は、

前記第 2 クロック信号の論理に応じて、2 つの入力信号を時分割多重するセレクタと、

前記セレクタの出力信号を前記第 1 クロック信号の 1 周期遅延させた信号を出力するフリップフロップとを含む、請求項 1 から 4 のいずれか 1 項に記載の複素乗算回路。

【請求項 6】

制御信号に応じて、第 1 の複素数および第 2 の複素数を乗算する動作と、前記第 1 の複素数の複素共役および前記第 2 の複素数を乗算する動作とを選択的に行なう複素乗算回路であって、

前記第 1 の複素数は、第 1 の実数部および第 1 の虚数部を有し、

前記第 2 の複素数は、第 2 の実数部および第 2 の虚数部を有し、

前記第 1 の実数部および前記第 1 の虚数部を時分割多重した第 1 の多重信号を生成する第 1 の多重回路と、

前記第 2 の実数部および前記第 2 の虚数部を時分割多重した第 2 の多重信号を生成する第 2 の多重回路と、

前記制御信号が第 1 のレベルのときに、前記第 1 の多重信号および前記第 2 の多重信号の積差演算を行ない、前記制御信号が第 2 のレベルのときに、前記第 1 の多重信号および前記第 2 の多重信号の積和演算を行なう積差 / 積和演算回路と、

前記第 1 の実数部および前記第 2 の実数部を時分割多重した第 3 の多重信号を生成する第 3 の多重回路と、

前記第 2 の虚数部および前記第 1 の虚数部を時分割多重した第 4 の多重信号を生成する第 4 の多重回路と、

前記制御信号が前記第 1 のレベルのときに、前記第 3 の多重信号および前記第 4 の多重信号の積和演算を行ない、前記制御信号が前記第 2 のレベルのときに、前記第 3 の多重信号および前記第 4 の多重信号の積差演算を行なう積和 / 積差演算回路と、

前記積差 / 積和演算回路の出力値および前記積和 / 積差演算回路の出力値を時分割多重した第 5 の多重信号を生成する第 5 の多重回路とを備える、複素乗算回路。

【請求項 7】

前記積差 / 積和演算回路は、

前記制御信号が前記第 1 のレベルのときに、前記第 1 の実数部および前記第 2 の実数部の乗算値と、前記第 1 の実数部および前記第 2 の実数部の乗算値から前記第 1 の虚数部および前記第 2 の虚数部の乗算値を減算した減算値とを時分割多重して出力し、

前記制御信号が前記第 2 のレベルのときに、前記第 1 の実数部および前記第 2 の実数部の乗算値と、前記第 1 の実数部および前記第 2 の実数部の乗算値と前記第 1 の虚数部および前記第 2 の虚数部の乗算値とを加算した加算値とを時分割多重して出力し、

前記積和 / 積差演算回路は、

前記制御信号が前記第 1 のレベルのときに、前記第 1 の実数部および前記第 2 の虚数部の乗算値と、前記第 1 の実数部および前記第 2 の虚数部の乗算値と前記第 2 の実数部およ

10

20

30

40

50

び前記第 1 の虚数部の乗算値とを加算した加算値とを時分割多重して出力し、

前記制御信号が前記第 2 のレベルのときに、前記第 1 の実数部および前記第 2 の虚数部の乗算値と、前記第 1 の実数部および前記第 2 の虚数部の乗算値から前記第 2 の実数部および前記第 1 の虚数部の乗算値を減算した減算値とを時分割多重して出力する、請求項 6 に記載の複素乗算回路。

【請求項 8】

前記積差 / 積和演算回路は、

前記第 1 の多重信号および前記第 2 の多重信号を乗算する第 1 の乗算器と、

前記制御信号が前記第 1 のレベルのときに、前回の周期における前記第 1 の乗算器の乗算値から今回の周期における前記第 1 の乗算器の乗算値を減算し、前記制御信号が前記第 2 のレベルのときに、前回の周期における前記第 1 の乗算器の乗算値と今回の周期における前記第 1 の乗算器の乗算値とを加算する減算 / 加算器とを含む、請求項 7 に記載の複素乗算回路。

10

【請求項 9】

前記積和 / 積差演算回路は、

前記第 3 の多重信号および前記第 4 の多重信号を乗算する第 2 の乗算器と、

前記制御信号が前記第 1 のレベルのときに、前回の周期における前記第 2 の乗算器の乗算値と今回の周期における前記第 2 の乗算器の乗算値とを加算し、前記制御信号が前記第 2 のレベルのときに、前回の周期における前記第 2 の乗算器の乗算値から今回の周期における前記第 2 の乗算器の乗算値を減算する加算 / 減算器とを含む、請求項 7 に記載の複素乗算回路。

20

【請求項 10】

前記第 1 の複素数および前記第 2 の複素数の周波数の 2 倍の周波数を有する第 1 クロック信号を 2 分周することにより、第 2 クロック信号を生成するクロック生成回路をさらに備え、

前記第 1 から第 5 の多重回路、前記積差 / 積和演算回路および前記積和 / 積差演算回路の各々は、

前記第 2 クロック信号の論理に応じて、2 つの入力信号を時分割多重するセレクタと、

前記セレクタの出力信号を前記第 1 クロック信号の 1 周期遅延させた信号を出力するフリップフロップとを含む、請求項 6 から 9 のいずれか 1 項に記載の複素乗算回路。

30

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

図 1 に示すように、実施の形態 1 に係る複素乗算回路 100 は、第 1 入力信号 X および第 2 入力信号 C の入力を受ける。第 1 入力信号 X は、複素数であり、実数部  $Re(X)$  および虚数部  $Im(X)$  によって、 $X = Re(X) + Im(X)i$  の形に表される ( $i$  は虚数単位)。第 1 入力信号 X は、予め定められた周期で  $X_0, X_1, X_2, \dots$  の順に変化する。第 2 入力信号 C は、複素数であり、実数部  $Re(C)$  および虚数部  $Im(C)$  によって、 $C = Re(C) + Im(C)i$  の形に表される。第 2 入力信号 C は、第 1 入力信号 X に同期して  $C_0, C_1, C_2, \dots$  の順に変化する。複素乗算回路 100 は、第 1 入力信号 X および第 2 入力信号 C を乗算し、乗算値である信号  $Q (= XC)$  を出力する。第 1 入力信号 X は「第 1 の複素数」の一実施例に対応し、第 2 入力信号 C は「第 2 の複素数」の一実施例に対応する。

40

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

50

## 【補正の内容】

## 【0053】

多重回路5において、セクタ50は、多重信号Q1および多重信号Q0の入力を受けると、第2クロック信号CLK2の立下りのタイミングで多重信号Q0を出力し、第2クロック信号CLK2の立上りのタイミングで多重信号Q1を出力する。よって、セクタ50から出力される多重信号には、第1クロック信号CLK1に同期して、多重信号Q1および多重信号Q0が交互に現れる。フリップフロップ52は、セクタ50の出力信号を第1クロック信号CLK1の1周期遅延させた多重信号Qを出力する。図2および図3に示すように、多重信号Qは、第1クロック信号CLK1に同期して、多重信号Q1(=減算値{ $\text{Re}(C0)\text{Re}(X0) - \text{Im}(C0)\text{Im}(X0)$ } )、多重信号Q0(=加算値{ $\text{Im}(C0)\text{Re}(X0) + \text{Re}(C0)\text{Im}(X0)$ } )、多重信号Q1(=減算値{ $\text{Re}(C1)\text{Re}(X1) - \text{Im}(C1)\text{Im}(X1)$ } )、多重信号Q0(=加算値{ $\text{Im}(C1)\text{Re}(X1) + \text{Re}(C1)\text{Im}(X1)$ } )、 $\dots$ の順に変化する。すなわち、多重信号Qは、減算値{ $\text{Re}(C)\text{Re}(X) - \text{Im}(C)\text{Im}(X)$ } および加算値{ $\text{Im}(C)\text{Re}(X) + \text{Re}(C)\text{Im}(X)$ } を時分割多重した多重信号となる。

10

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

20

## 【補正の内容】

## 【0055】

以上説明したように、実施の形態1に係る複素乗算回路は、2つの複素数 $X$ 、 $C$ の各々を実数部および虚数部が時分割多重された多重信号 $X_I$ 、 $C_I$ に変換し、生成された2つの多重信号 $X_I$ 、 $C_I$ を演算することにより、乗算値 $XC$ として、実数部および虚数部が時分割多重された多重信号 $Q$ を出力するように構成される。上記構成において、2つの多重信号 $X_I$ 、 $C_I$ を演算処理する回路を、2個の乗算器60、70と、1個の減算器62と、1個の加算器72とを有する構成とすることができる。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

30

## 【補正の内容】

## 【0070】

図6に示すように、実施の形態3に係る複素乗算回路100Aは、図1に示す複素乗算回路100と同様に、第1入力信号 $X$ および第2入力信号 $C$ の入力を受ける。第1入力信号 $X$ は、複素数であり、実数部 $\text{Re}(X)$ および虚数部 $\text{Im}(X)$ によって、 $X = \text{Re}(X) + \text{Im}(X)i$ の形に表される。第1入力信号 $X$ は、予め定められた周期で $X_0$ 、 $X_1$ 、 $X_2$ 、 $\dots$ の順に変化する。第2入力信号 $C$ は、複素数であり、実数部 $\text{Re}(C)$ および虚数部 $\text{Im}(C)$ によって、 $C = \text{Re}(C) + \text{Im}(C)i$ の形に表される。第2入力信号 $C$ は、第1入力信号 $X$ に同期して $C_0$ 、 $C_1$ 、 $C_2$ 、 $\dots$ の順に変化する。

40

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0083

【補正方法】変更

## 【補正の内容】

## 【0083】

加算/減算器78は、乗算器70の出力信号 $C$ 、フリップフロップ76の出力信号 $D$ および制御信号 $S$ を受ける。制御信号 $S$ が「0」のとき、加算/減算器78は、出力信号 $C$ と出力信号 $D$ とを加算し、加算値 $C + D$ を出力する。加算/減算器78の出力信号 $C + D$

50

はセレクタ 74 に入力される。一方、制御信号 S が「1」のときには、加算 / 減算器 78 は、出力信号 D から出力信号 C を減算し、減算値  $D - C$  を出力する。加算 / 減算器 78 の出力信号  $D - C$  はセレクタ 74 に入力される。加算 / 減算器 78 は「加算 / 減算器」の一実施例に対応する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

【補正の内容】

【0088】

図 7 には上から順に、第 1 クロック信号 CLK 1、第 2 クロック信号 CLK 2、制御信号 S、第 1 入力信号 X の実数部  $Re(X)$  および虚数部  $Im(X)$ 、第 2 入力信号 C の実数部  $Re(C)$  および虚数部  $Im(C)$  の波形が示される。図 7 にはまた、多重回路 1 にて生成される多重信号 X および多重信号 XI、多重回路 2 にて生成される多重信号 C および多重信号 CI、フリップフロップ 8 にて生成される多重信号 CII、多重回路 3 にて生成される多重信号 XI\_CII、ならびに多重回路 4 にて生成される多重信号 C\_XI の波形が示される。図 7 にはさらに、積差 / 積和演算回路 6A にて生成される多重信号 Q1、積和 / 積差演算回路 7A にて生成される多重信号 Q0、および多重回路 5 にて生成される多重信号 Q の波形が示される。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0092

【補正方法】変更

【補正の内容】

【0092】

図 7 と同様に、図 8 には上から順に、第 1 クロック信号 CLK 1、第 2 クロック信号 CLK 2、制御信号 S、第 1 入力信号 X の実数部  $Re(X)$  および虚数部  $Im(X)$ 、第 2 入力信号 C の実数部  $Re(C)$  および虚数部  $Im(C)$ 、多重信号 X および多重信号 XI、多重信号 C および多重信号 CI、多重信号 CII、多重信号 XI\_CII、ならびに多重信号 C\_XI の波形が示される。図 8 にはさらに、積差 / 積和演算回路 6A にて生成される多重信号 Q1、積和 / 積差演算回路 7A にて生成される多重信号 Q0、および多重回路 5 にて生成される多重信号 Q の波形が示される。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0103

【補正方法】変更

【補正の内容】

【0103】

多重回路 5 において、セレクタ 50 は、多重信号 Q1 および多重信号 Q0 の入力を受けると、第 2 クロック信号 CLK 2 の立下りのタイミングで多重信号 Q0 を出力し、第 2 クロック信号 CLK 2 の立上りのタイミングで多重信号 Q1 を出力する。よって、セレクタ 50 から出力される多重信号には、第 1 クロック信号 CLK 1 に同期して、多重信号 Q1 および多重信号 Q0 が交互に現れる。フリップフロップ 52 は、セレクタ 50 の出力信号を第 1 クロック信号 CLK 1 の 1 周期遅延させた多重信号 Q を出力する。図 8 および図 9 に示すように、多重信号 Q は、第 1 クロック信号 CLK 1 に同期して、多重信号 Q1 (= 加算値  $\{Re(C_0)Re(X_0) + Im(C_0)Im(X_0)\}$ )、多重信号 Q0 (= 減算値  $\{Im(C_0)Re(X_0) - Re(C_0)Im(X_0)\}$ )、多重信号 Q1 (= 加算値  $\{Re(C_1)Re(X_1) + Im(C_1)Im(X_1)\}$ )、多重信号 Q0 (= 減算値  $\{Im(C_1)Re(X_1) - Re(C_1)Im(X_1)\}$ )、・・・の順に変化する。すなわち、多重信号 Q は、加算値  $\{Re(C)Re(X) + Im(C)Im(X)$

} および減算値  $\{ \text{Im}(C) \text{Re}(X) - \text{Re}(C) \text{Im}(X) \}$  を時分割多重した多重信号となる。

10

20

30

40

50