

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 02825738.3

H01L 29/49 (2006.01)

H01L 29/78 (2006.01)

H01L 29/423 (2006.01)

H01L 21/336 (2006.01)

[45] 授权公告日 2008 年 7 月 16 日

[11] 授权公告号 CN 100403547C

[22] 申请日 2002.12.19 [21] 申请号 02825738.3

[30] 优先权

[32] 2001.12.20 [33] US [31] 10/022,847

[86] 国际申请 PCT/US2002/041330 2002.12.19

[87] 国际公布 WO2003/054969 英 2003.7.3

[85] 进入国家阶段日期 2004.6.21

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 J·F·布勒 Q·向

D·J·瑞斯特斯

[56] 参考文献

CN1157480 A 1997.8.20

US6043545 2000.3.28

US6051470 A 2000.4.18

US6031266 A 2000.2.29

CN1121259 A 1996.4.24

US6031266A 2000.2.29

CN1236187 A 1999.11.24

审查员 刘 震

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈 泊 程 伟

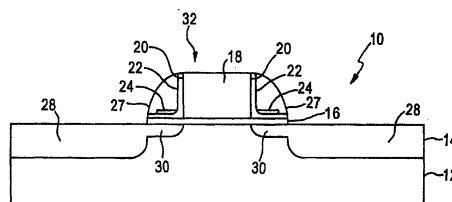
权利要求书 2 页 说明书 7 页 附图 6 页

[54] 发明名称

电性程序化的金属氧化半导体晶体管源极/漏极串联电阻

[57] 摘要

半导体装置，包括：其上形成有晶体管(32)的半导体基材(10)，晶体管包含 N 沟道金属氧化物半导体晶体管及 P 沟道金属氧化物半导体晶体管；包含 N 沟道金属氧化物半导体晶体管及 P 沟道金属氧化物半导体晶体管的晶体管(32)包含有形成于基材(10)具相对侧壁(20)的栅极(18)；形成于基材(10)中的有源区域(14)；形成在沿栅极相对侧壁(20)旁且与栅极相对侧壁(20)接触的绝缘侧壁间隔物(27)；嵌埋在侧壁间隔物(27)中的导电层(24)，导电层(24)与栅极(18)及有源区域(14)电性绝缘；N 沟道金属氧化物半导体晶体管及 P 沟道金属氧化物半导体晶体管的有源区域具有独立程序化的串联电阻。



1. 一种半导体装置，包括：

其上形成有晶体管(32)的半导体基材(10)，该晶体管包含N沟道金属氧化物半导体晶体管及P沟道金属氧化物半导体晶体管；

包含该N沟道金属氧化物半导体晶体管及该P沟道金属氧化物半导体晶体管的该晶体管(32)包含有形成于该基材(10)上具有相对侧壁(20)的栅极(18)；

形成于该基材(10)中的有源区域(14)；

形成在沿该栅极相对侧壁(20)旁且与该栅极相对侧壁(20)接触的绝缘侧壁间隔物(27)；以及

嵌埋在该侧壁间隔物(27)中的导电层(24)，该导电层(24)与该栅极(18)及该有源区域(14)电性绝缘；

其特征在于：该N沟道金属氧化物半导体晶体管及该P沟道金属氧化物半导体晶体管的有源区域具有独立程序化的串联电阻。

2. 如权利要求1所述的半导体装置，其中，嵌埋的该导电层(24)的厚度为50埃至300埃。

3. 如权利要求1所述的半导体装置，其中，嵌埋的该导电层(24)的宽度为100埃至1800埃。

4. 如权利要求1所述的半导体装置，其中，该导电层(24)与该栅极侧壁(20)相间隔为50埃至500埃的距离。

5. 如权利要求1所述的半导体装置，其中，嵌埋的该导电层(24)包含有选自金属、多晶硅、及金属硅化物所构成群组的导电材料。

6. 如权利要求1所述的半导体装置，其中，嵌埋的该导电层(24)电性连接到电压源(36)。

7. 一种形成半导体装置的方法，包括：

提供其上形成有晶体管(32)的半导体基材(10)，该晶体管同时包含N沟道金属氧化物半导体晶体管及P沟道金属氧化物半导体晶体管；

包含该N沟道金属氧化物半导体晶体管及该P沟道金属氧化物半导体晶体管的该晶体管(32)包含有形成于该基材(10)上具有相对侧壁(20)的栅极(18)，以及形成于该基材(10)中的有源区域(14)；

在该栅极(18)及有源区域(14)上形成第一绝缘层(22)；

在该第一绝缘层(22)上沉积导电层(24)；

选择性移除部分导电层(24)以露出覆盖于该栅极(18)及该有源区域(14)的部分第一绝缘层(22)；

在该导电层(24)及第一绝缘层(22)上沉积第二绝缘层(26)；以及

移除部分第一绝缘层(22)及第二绝缘层(26)以形成沿该栅极相对侧壁(20)旁且与该栅极相对侧壁(20)接触的侧壁间隔物(27)，该侧壁间隔物(27)中嵌埋有该导电层(24)；

其特征在于：该N沟道金属氧化物半导体晶体管及该P沟道金属氧化物半导体晶体管的有源区域的串联电阻被独立程序化。

8. 如权利要求7所述的方法，其中，该第一绝缘层(22)及该第二绝缘层(26)包含有氮化硅。

9. 如权利要求7所述的方法，其中，该导电层(24)包含有多晶硅或金属。

10. 如权利要求7所述的方法，其中，该沉积导电层(24)的步骤包括：在该第一绝缘层(22)上沉积多晶硅层(42)，在该多晶硅层(42)上沉积金属层(44)，以及加热该半导体基材(10)至足够致使该金属层(44)与该多晶硅层(42)反应的温度，以形成金属硅化层(46)。

电性程序化的金属氧化半导体晶体管源极/漏极串联电阻

技术领域

本发明涉及一种金属氧化半导体(MOS)晶体管的领域，尤指一种具有电性程序化(electrically programmed)源极/漏极串联电阻的金属氧化半导体(MOS)晶体管。

背景技术

对于半导体工业不间断研究的重要目标即在于增加半导体装置的操作性。例如金属氧化半导体场效应晶体管(MOSFET)的平面式晶体管特别适用于高密度集成电路。其中具有二种型态的金属氧化半导体晶体管，在p型晶片中具有n型源极及漏极区域的N沟道金属氧化半导体(NMOS)，以及具有p型源极及漏极区域的P沟道金属氧化半导体(PMOS)。N沟道金属氧化半导体晶体管引导电子通过该晶体管沟道，而P沟道金属氧化半导体晶体管引导空穴通过该晶体管沟道。一般而言，该源极及漏极区域掺杂有含磷或含砷物质以形成n型源极/漏极区域，而含硼掺杂物用以形成p型源极/漏极区域。

互补金属氧化半导体(CMOS)装置在相同的基材上包含N沟道及P沟道金属氧化半导体晶体管。其欲通过改善互补金属氧化半导体装置速度以产生高性能的半导体装置。降低该源极/漏极区域的电性阻抗可增加晶体管的速度。其欲利用形成互补金属氧化半导体习知材料的有效方法中产生高速晶体管装置。

于此所使用的半导体装置型态并非限制于特定揭露的实施例。在此所使用的半导体装置包含广泛电子装置，包括有倒装式芯片、倒装式芯片/封装件构装、晶体管、电容元件、微处理器、随机存取内存等。一般而言，半导体装置是指有关包含半导体的任何电子装置。

发明内容

在半导体装置技术领域中存在着提供高速金属氧化半导体场效应

晶体管(MOSFET)的需求。在此技术领域存在着提供自习知晶体管材料中所形成的高速互补金属氧化半导体(CMOS)装置的需求。在此技术领域存在着提供具有减低串联电阻源极/漏极的高速互补金属氧化半导体(CMOS)装置的需求。

这些及其它需求可通过本发明的实施例所达成，本发明提供一种半导体装置，包括：其上形成有晶体管的半导体基材，该晶体管包含N沟道金属氧化物半导体晶体管及P沟道金属氧化物半导体晶体管；包含该N沟道金属氧化物半导体晶体管及该P沟道金属氧化物半导体晶体管的该晶体管包含有形成于该基材上具有相对侧壁的栅极；形成于该基材中的有源区域；形成在沿该栅极相对侧壁旁且与该栅极相对侧壁接触的绝缘侧壁间隔物；以及嵌埋在该侧壁间隔物中的导电层，该导电层与该栅极及该有源区域电性绝缘；该N沟道金属氧化物半导体晶体管及该P沟道金属氧化物半导体晶体管的有源区域具有独立程序化的串联电阻。

本发明的半导体装置包含有于其上形成晶体管的半导体基材。该晶体管包含具有相对侧壁形成于该基材上的栅极。在该基材中形成有有源区域。绝缘侧壁间隔物形成于沿该栅极相对侧壁旁且接触于该栅极相对侧壁。在该侧壁间隔物中嵌埋有导电层。该嵌埋导电层系电性绝缘于该栅极及该有源区域。

先前所述需求亦可通过本发明所提供形成半导体装置的方法部分实施例所达成，该形成半导体装置的方法，包括：提供其上形成有晶体管的半导体基材，该晶体管同时包含N沟道金属氧化物半导体晶体管及P沟道金属氧化物半导体晶体管；包含该N沟道金属氧化物半导体晶体管及该P沟道金属氧化物半导体晶体管的该晶体管包含有形成于该基材上具有相对侧壁的栅极，以及形成于该基材中的有源区域；在该栅极及有源区域上形成第一绝缘层；在该第一绝缘层上沉积导电层；选择性移除部分导电层以露出覆盖于该栅极及该有源区域的部分第一绝缘层；在该导电层及第一绝缘层上沉积第二绝缘层；以及移除部分第一绝缘层及第二绝缘层以形成沿该栅极相对侧壁旁且与该栅极相对侧壁接触的侧壁间隔物，该侧壁间隔物中嵌埋有该导电层；该N沟道金属氧化物半导体晶体管及该P沟道金属氧化物半导体晶体管的有源区

域的串联电阻被独立程序化。

该发明的方法可以包括提供其上形成有晶体管的半导体基材。该晶体管包含有形成于该半导体基材上具有相对侧壁的栅极，以及形成于该基材中的有源区域。在该栅极及有源区域上形成有第一绝缘层，以及在该第一绝缘层上沉积有导电层。选择性移除部分导电层以外露出覆盖于该栅极及该有源区域的该第一绝缘层部分。在该导电层及第一绝缘层上形成第二绝缘层。移除部分第一绝缘层及第二绝缘层以形成沿该栅极相对侧壁旁且与该栅极相对侧壁接触的侧壁间隔物，该侧壁间隔物中嵌埋有该导电层。

本发明可达成改善高速晶体管的需求，例如互补金属氧化半导体(CMOS)装置。本发明可达成具有电性程序化的晶体管、降低串联电阻源极/漏极区域的需求。

当在参阅附图所做本发明以下详细说明后，本发明前述及其它特征、观点以及优点将变得明显。

附图说明

图1-7是形成具有降低串联电阻源极及漏极区域的金属氧化半导体晶体管的示意图；

图8及9是形成金属硅化物导电层的示意图；

图10是偏置嵌埋导电层的示意图；

图11至15是形成具有方形侧壁间隔物的晶体管的示意图。

具体实施方式

本发明能够产生改良高速半导体装置。本发明能够产生具有降低源极/漏极区域串联电阻的金属氧化半导体晶体管。该些好处是通过嵌埋电性绝缘导电层于金属氧化半导体晶体管的栅极侧壁间隔物中所部分提供。

该嵌埋于晶体管的栅极侧壁间隔物中的绝缘导电层可为浮动(floating)或偏置(biased)通过接触点(contact)而依附至偏压电位(bias potential)。该嵌埋导电层用以累积电荷于位在该嵌埋导电层下方的高掺杂源极/漏极延伸部。该嵌埋导电层允许该源极/漏极区域串联电阻通

过该晶体管栅极(当该嵌埋导电层为浮动时)或通过偏压电位(当该嵌埋导电层为偏置时)加以程序化。

本发明将结合附图说明半导体装置的形成而加以描述。然而,其仅为本发明所要求的例示,并非用以限制于该附图中所说明的制造及特定装置。

如图1所示,提供例如硅晶片的半导体基材10,该半导体基材10包含有基层12,其中形成有有源区域14。在该有源区域14上形成有栅极绝缘层16。该栅极绝缘层16典型系为厚约10埃至100埃的氧化层,其可通过该半导体基材的热氧化处理或通过例如化学气相沉积(CVD)的沉积技术所形成。该半导体基材10还包含有栅极18,该栅极18具有形成在该栅极绝缘层16上的相对侧壁20。该栅极18典型包含有厚约100埃至5000埃的多晶硅层。在本发明的部分实施例中,该栅极18具有厚度约100埃至1000埃。

如图2所示,在该栅极18上形成有第一绝缘层22。在部分实施例中,该第一绝缘层22系为厚约50埃至300埃的硅氮层。另外,该第一绝缘层22可为通过热氧化处理该栅极18及该有源区域14所形成的氧化层,或其它适合的绝缘层。

如图3所示,在该第一绝缘层22上形成有厚约50埃至300埃的导电层24。该导电层24例如为多晶硅、金属、或金属硅化物。多晶硅层典型是通过化学气相沉积技术所沉积。例如铝、钛、钨、镍及钴的金属层是通过例如化学气相沉积或溅镀的习用金属沉积技术所沉积。另外,在本发明的部分实施例中,该导电层为金属硅化物,其是通过如图8所示的沉积多晶硅层42后再沉积例如钛、钨、镍或钴的金属层44所形成。如图9所示,该金属硅化物的产生是通过加热该半导体基材10至足够反应该多晶硅层42与该金属层44的温度,而形成金属硅化层46。

如图4所示,该导电层24经选择性图案化以移除部分导电层24而显露出覆盖于该栅极18及部分覆盖于该有源区域14的第一绝缘层,而保留邻近该相对栅极侧壁20的部分导电层24。该导电层24的保留部分宽度约在100埃至1800埃。该导电层24系通过习知屏蔽及蚀刻技术而加以图案化,例如通过各向同性蚀刻、各向异性蚀刻、或结合各向同性蚀刻及各向异性蚀刻。该蚀刻技术的应用及特定蚀刻剂的选择可由已

知技术及蚀刻剂中挑选适合用以移除部分特定型式的导电层材料。

在本发明的部分实施例中，该导电层24是通过屏蔽及各向异性蚀刻而选择性图案化，接着通过第二次屏蔽及后续的各向同性蚀刻以形成该图案化导电层24。此后续的各向同性蚀刻用以移除在各向异性蚀刻后可能仍然沿该第一绝缘层22侧壁部分23作延伸的部分导电层24，以提供如图4所示的图案化导电层24。在本发明的部分实施例中，亦可不实施该第二次屏蔽及后续的各向同性蚀刻。

如图5所示，在选择性移除该导电层24后，在该余留导电层24及该第一绝缘层22上沉积有第二绝缘层26。该第二绝缘层典型为厚约300埃至2000埃的化学气相沉积硅氮层。该第二绝缘层26接着利用习知例如等离子体蚀刻的各向异性蚀刻技术而进行各向异性蚀刻，以形成如图6所示的嵌埋有导电层24的侧壁间隔物27。在本发明的部分实施例中，使用氧化栅极绝缘层16作为蚀刻硅氮绝缘层22,26的蚀刻挡止层，以形成该侧壁间隔物27。

在深源极/漏极离子注入期间，该侧壁间隔物27遮蔽该高掺杂源极/漏极延伸部30。该深源极/漏极离子注入可在蚀刻该栅极绝缘层16以外露该有源区域14之前或之后实施。该栅极绝缘层16是通过各向异性或各向同性蚀刻而加以蚀刻。在本发明的部分实施例中，含氧化硅的栅极绝缘层16是使用例如复缓冲层氧化物蚀刻(buffered oxide etch)或氢氟酸的氧化硅选择蚀刻剂进行蚀刻。

如图7所示，通过本发明所形成的该金属氧化半导体晶体管32的有源区域14包含源极/漏极区域28及高掺杂源极/漏极延伸部30。该嵌埋导电层24设置于该源极/漏极延伸部30上且与该栅极18及有源区域14电性绝缘。

该嵌埋导电层24可为如图7所示的电性浮动(electrically floating)，或如图10所示的偏置(biased)。该导电层24可通过将该嵌埋导电层接触至例如电位仪(potentiostat)的电压源而加以偏置。如图10所示的该晶体管32侧视部分，偏压(bias)通过来自电压源36的导线34提供至该嵌埋导电层24。在本发明部分实施例中，N沟道金属氧化半导体(NMOS)晶体管的该嵌埋导电层24将会偏置至负电位，而P沟道金属氧化半导体(PMOS)晶体管的该嵌埋导电层将会偏置至正电位。

根据本发明通过在相同基材上形成 N 沟道金属氧化半导体及 P 沟道金属氧化半导体可提供互补金属氧化半导体(CMOS)装置。除了在该 N 沟道金属氧化半导体及 P 沟道金属氧化半导体嵌埋导电层 24 上不同偏压外, 根据本发明的互补金属氧化半导体装置还包含具有浮动嵌埋导电层 24 的 N 沟道金属氧化半导体及 P 沟道金属氧化半导体晶体管。

本发明的晶体管提供程序化金属氧化半导体晶体管的源极/漏极区域的串联电阻能力, 以提供高速装置。在本发明部分实施例中是通过调整在该嵌埋导电层 24 的偏压或通过使用于该嵌埋导电层 24 的材料型式选择, 而将该晶体管 32 的源极/漏极区域 28 的电性阻抗加以“程序化”至需求的电性串联阻抗。影响选择需求的源极/漏极电性串联阻抗的因素包含沟道尺寸、掺杂物浓度、晶体管需求速度、以及平衡的互补金属氧化半导体装置。互补金属氧化半导体装置一般是因为在 N 沟道金属氧化半导体晶体管中的电子迁移率通常大于该 P 沟道金属氧化半导体晶体管中空穴迁移率而无法平衡。利用嵌埋导电层 24 可允许 N 沟道金属氧化半导体及 P 沟道金属氧化半导体晶体管的有源区域 14 的串联电阻独立程序化, 以达成更加平衡的互补金属氧化半导体。

在其它方面, 具有方形侧壁间隔物的半导体装置形成在半导体基材上。该半导体装置 50 包含有例如硅晶片的半导体基材 52, 提供栅极绝缘层 53 形成于该半导体基材上。如图 11 所示, 多晶硅层 54 形成于该栅极绝缘层 53 上, 且第一硅氮层 56 形成于该多晶硅层 54 上。氧化硅层 58 形成于该第一硅氮层 56 上, 且作用为底部抗反射涂布(bottom anti-reflection coating, BARC)的第二硅氮层 60 形成于该氧化硅层 58 上。

具有栅极绝缘层 53、多晶硅层 54、第一硅氮层 56、氧化硅层 58、及第二硅氮层 60 形成其上的半导体装置 50 经图案化而形成具有相对侧壁 63 的堆栈结构 61。该半导体装置 50 接着进行离子注入以形成有高掺杂源极/漏极延伸部 62。在形成该源极/漏极延伸部 62 后, 该堆栈结构 61 及半导体基材覆盖有绝缘材料, 且该绝缘层材料经各向异性蚀刻而形成有沿该堆栈结构相对侧壁 63 旁的侧壁间隔物 64, 如图 12 所示。

如图 13 所示, 自该堆栈结构 61 中移除该第二硅氮层 60。该半导

体装置 50 经过化学机械研磨(CMP)而降低该堆栈结构 61 及侧壁间隔物 64 的高度,以形成如图 14 所示的方形侧壁间隔物 64。该第一硅氮层 56 作用为在化学机械研磨期间的研磨挡止层。该半导体装置 50 随后进行深离子注入,以形成如图 15 所示的半导体装置 50 的源极/漏极区域 66。

在此所揭示的实施例说明仅系用作例示目的。其并非用为解释限制权利要求书的范围。对于任一本领域技术人员而言,于此所揭露出的部分包含实施例大范围变化而非于此的特定说明。

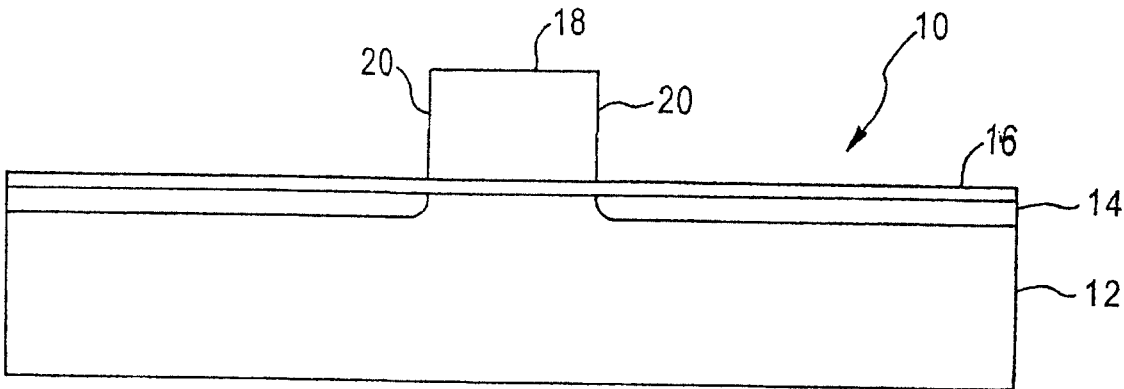


图1

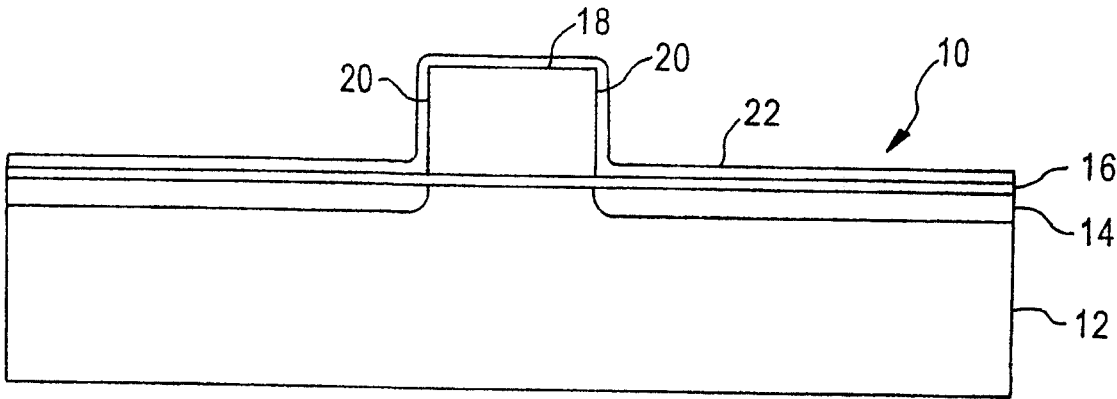


图2

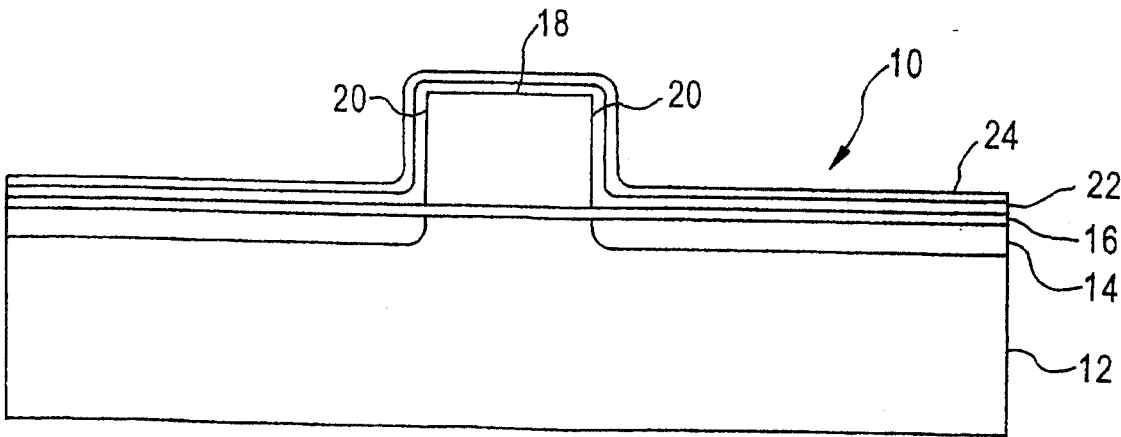


图3

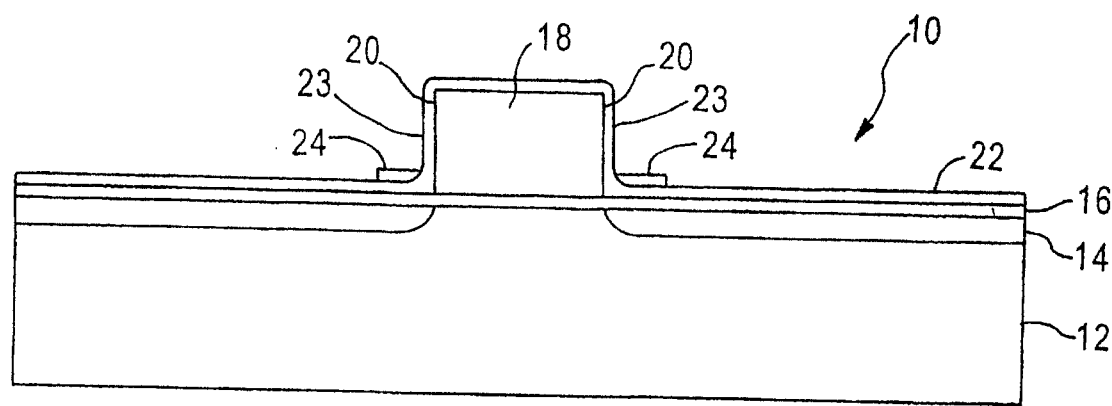


图4

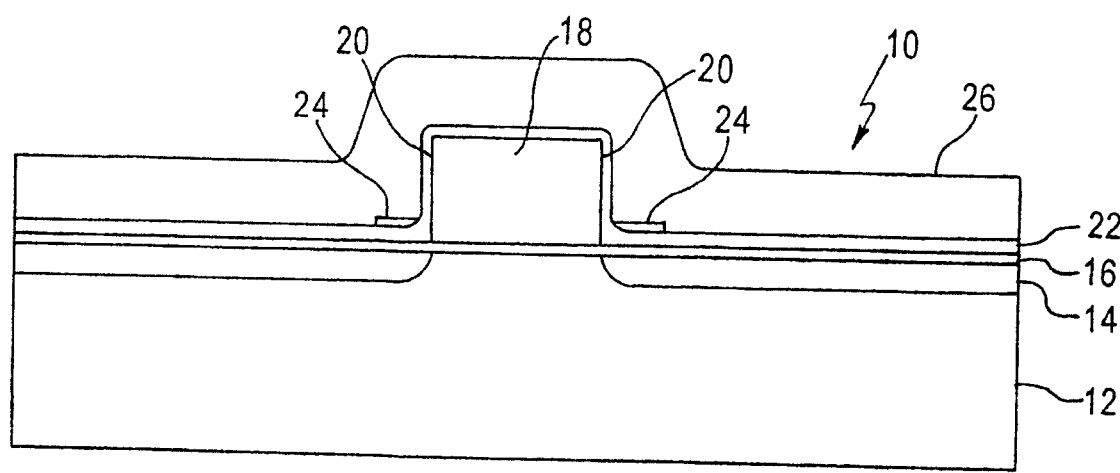


图5

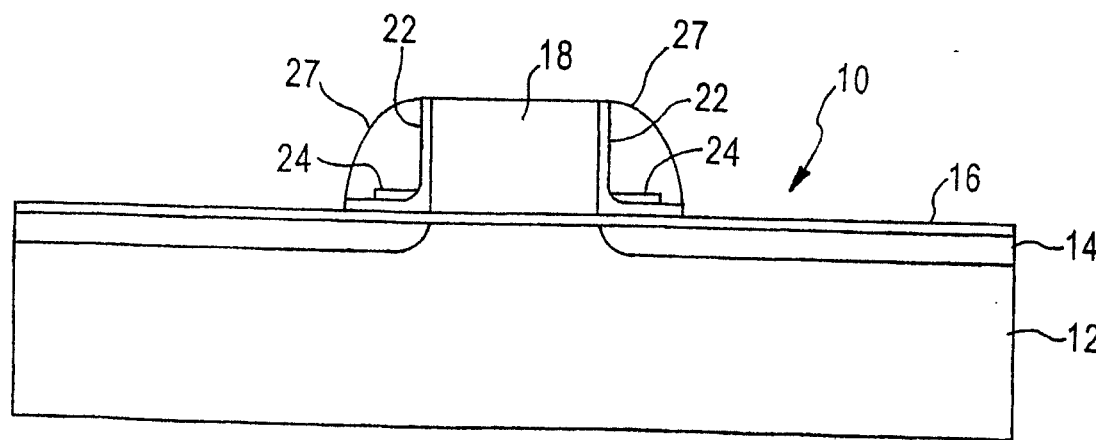


图6

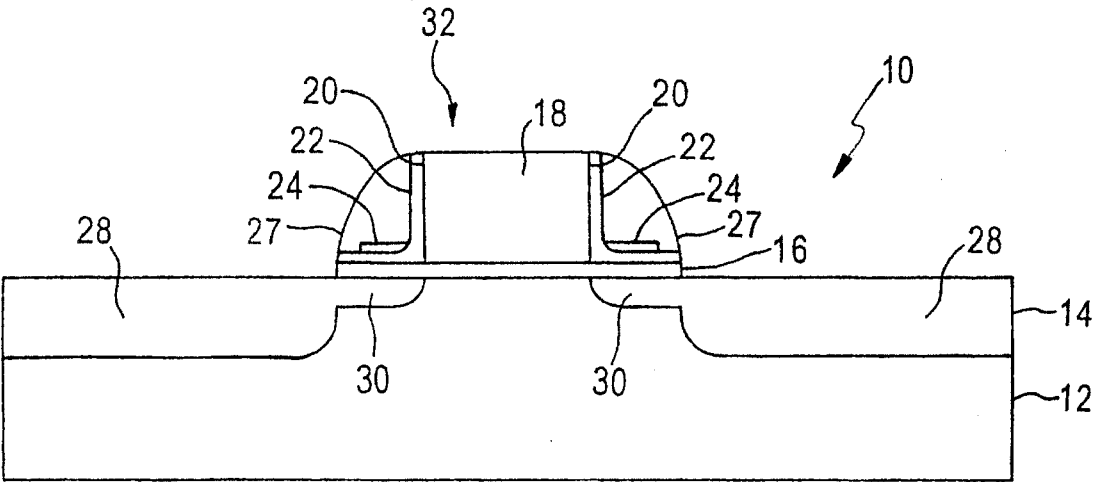


图7

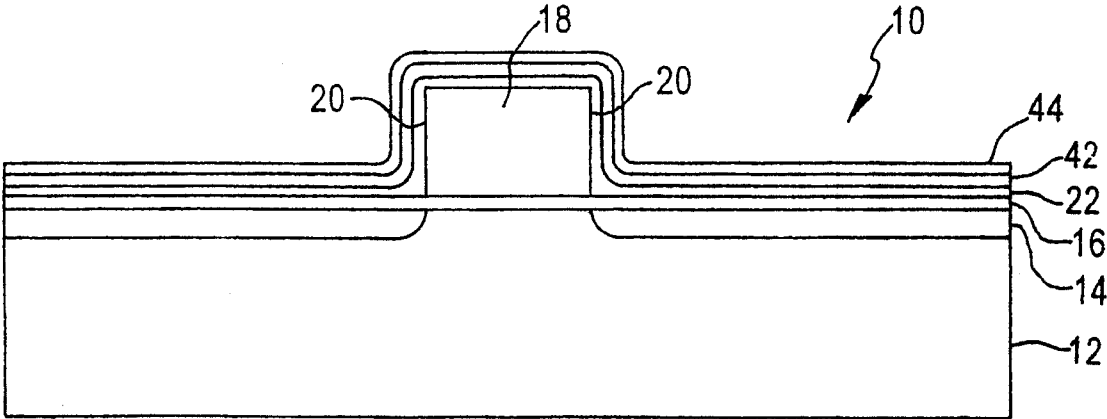


图8

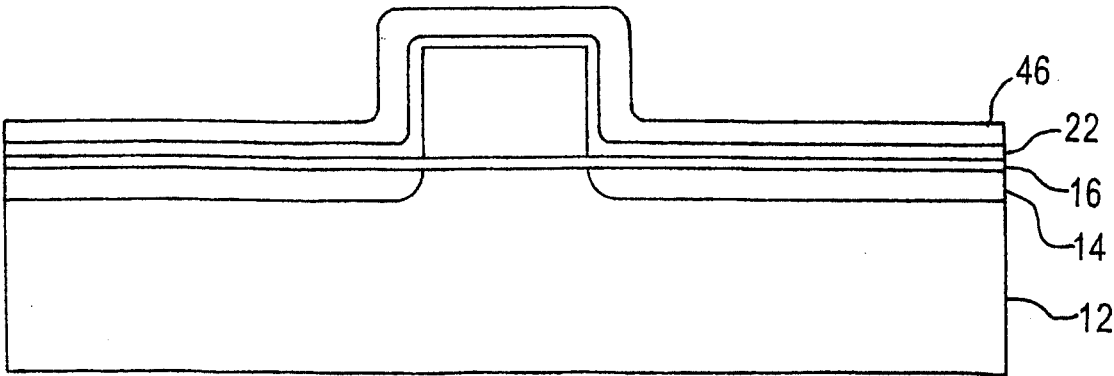


图9

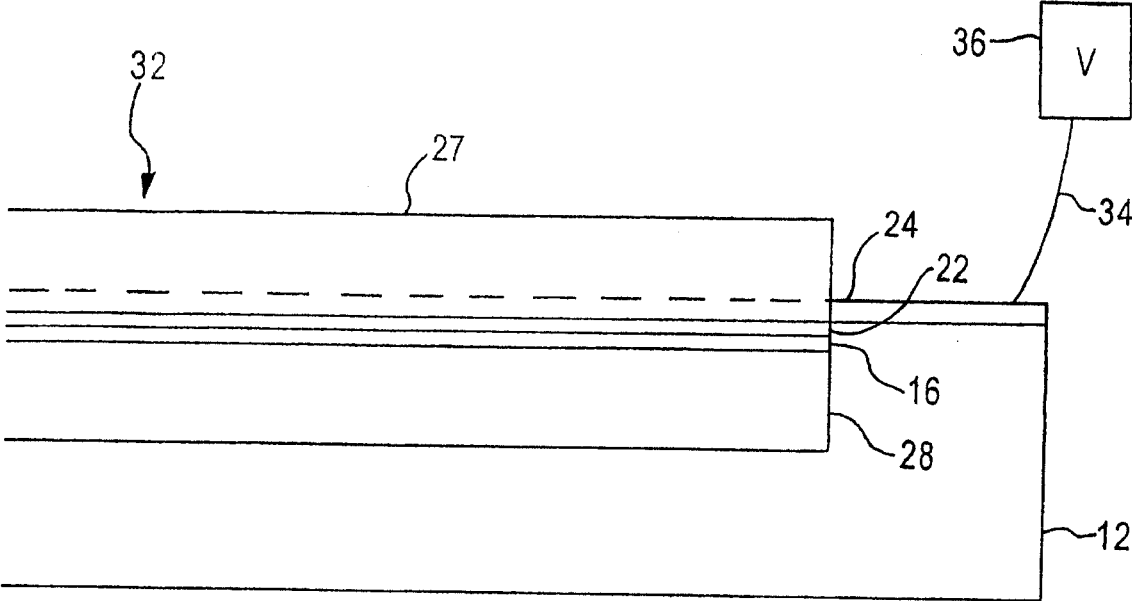


图10

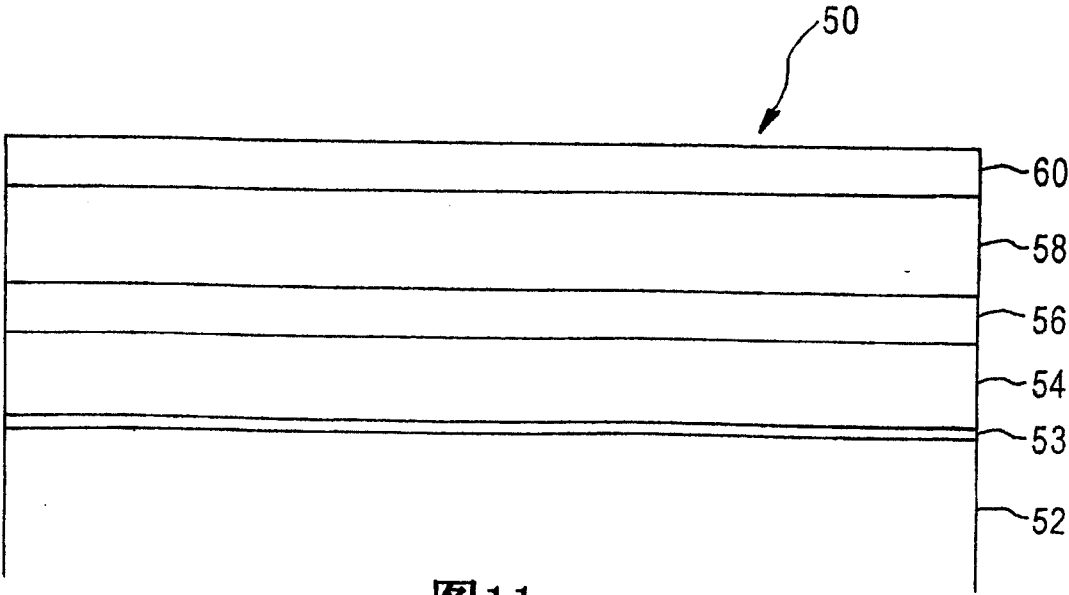


图11

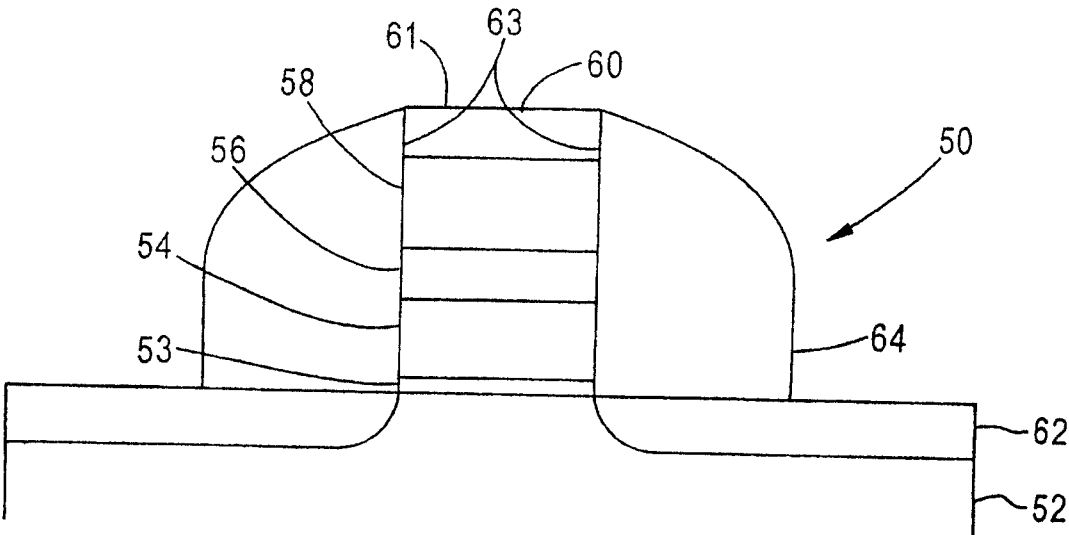


图12

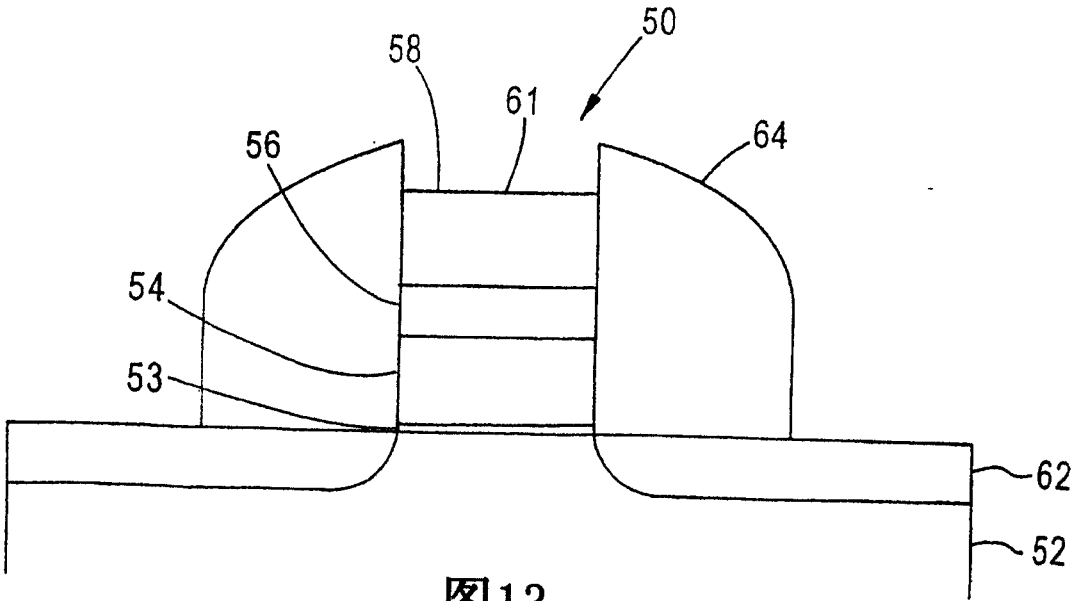


图13

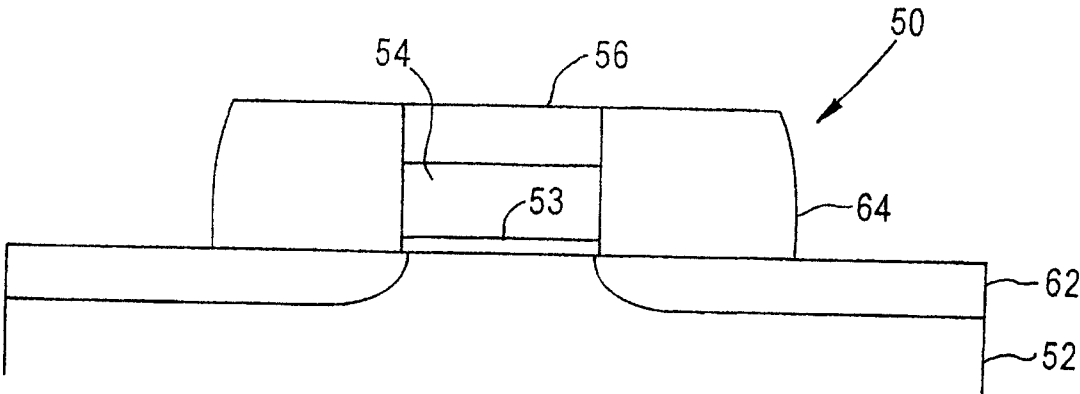


图14

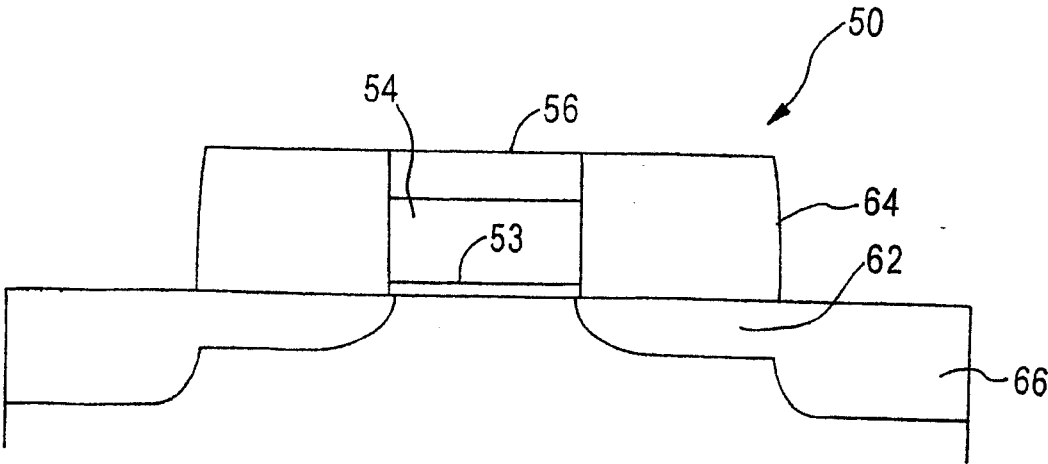


图15