



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I493620 B

(45)公告日：中華民國 104 (2015) 年 07 月 21 日

(21)申請案號：099121165

(22)申請日：中華民國 99 (2010) 年 06 月 29 日

(51)Int. Cl. : *H01L21/3065(2006.01)**H01L21/683 (2006.01)*

(71)申請人：創意電子股份有限公司 (中華民國) GLOBAL UNICHIP CORPORATION (TW)

新竹市新竹科學園區力行六路 10 號

(72)發明人：林庭毅 LIN, TING YI (TW)

(74)代理人：黃孝惇

(56)參考文獻：

TW 426930

TW 496809

KR 10-2010-0070869A

US 5459632

US 5612850

US 5818682

US 6318384B1

US 6452775B1

US 6684669

US 6764940B1

US 2009/0097185A1

審查人員：羅文雄

申請專利範圍項數：17 項 圖式數：5 共 24 頁

(54)名稱

調整導線蝕刻機內的靜電吸盤電壓以釋放累積電荷

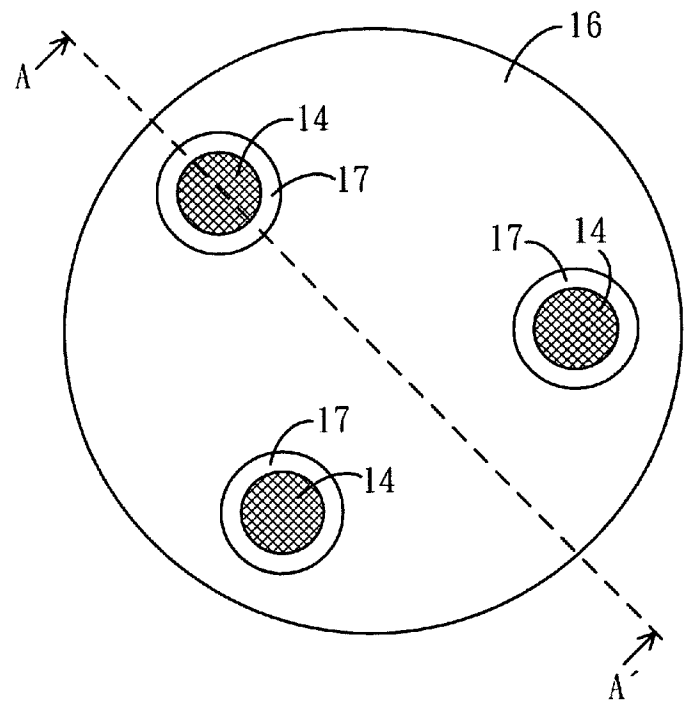
RELEASE ACCUMULATIVE CHARGES BY TUNING ESC VOLTAGES IN VIA-ETCHERS

(57)摘要

一種在一晶圓上形成一積體電路結構的方法，包括提供一包含第一靜電吸盤(ESC)的第一蝕刻機；置放晶圓在第一靜電吸盤上；並且用第一蝕刻機在晶圓上形成一個導線開口。在形成導線開口的步驟之後，引第一鬆弛電壓到第一靜電吸盤上以釋放晶圓。該方法更包括將晶圓放在第二蝕刻機的第二靜電吸盤上；並且用第二蝕刻機執行一蝕刻步驟，以便在晶圓上形成另一個開口。在形成另一個開口的步驟之後，將第二鬆弛電壓施加到第二靜電吸盤上以釋放晶圓。而第二鬆弛電壓與第一鬆弛電壓不同。

A method of forming an integrated circuit structure on a wafer includes providing a first etcher comprising a first electrostatic chuck (ESC); placing the wafer on the first ESC; and forming a via opening in the wafer using the first etcher. After the step of forming the via opening, a first reverse de-chuck voltage is applied to the first ESC to release the wafer. The method further includes placing the wafer on a second ESC of a second etcher; and performing an etching step to form an additional opening in the wafer using the second etcher. After the step of forming the additional opening, a second reverse de-chuck voltage is applied to the second ESC to release the wafer. The second reverse de-chuck voltage is different from the first reverse de-chuck voltage.

- 14 . . . 頂升銷
- 16 . . . 靜電吸盤
- 17 . . . 孔



第 2 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99121165

※申請日：99.6.29

※IPC 分類：

H01L 21/3065 (2006.01)

H01L 21/183 (2006.01)

一、發明名稱：(中文/英文)

調整導線蝕刻機內的靜電吸盤電壓以釋放累積電荷/
Release Accumulative Charges by Tuning ESC Voltages
in Via-Etchers

二、中文發明摘要：

一種在一晶圓上形成一積體電路結構的方法，包括提供一包含第一靜電吸盤(ESC)的第一蝕刻機；置放晶圓在第一靜電吸盤上；並且用第一蝕刻機在晶圓上形成一個導線開口。在形成導線開口的步驟之後，引第一鬆弛電壓到第一靜電吸盤上以釋放晶圓。該方法更包括將晶圓放在第二蝕刻機的第二靜電吸盤上；並且用第二蝕刻機執行一蝕刻步驟，以便在晶圓上形成另一個開口。在形成另一個開口的步驟之後，將第二鬆弛電壓施加到第二靜電吸盤上以釋放晶圓。而第二鬆弛電壓與第一鬆弛電壓不同。

三、英文發明摘要：

A method of forming an integrated circuit structure on a wafer includes providing a first etcher comprising a first electrostatic chuck (ESC); placing the wafer on the first ESC; and forming a via opening in the wafer using the first etcher. After the step of forming the via opening, a first

reverse de-chuck voltage is applied to the first ESC to release the wafer. The method further includes placing the wafer on a second ESC of a second etcher; and performing an etching step to form an additional opening in the wafer using the second etcher. After the step of forming the additional opening, a second reverse de-chuck voltage is applied to the second ESC to release the wafer. The second reverse de-chuck voltage is different from the first reverse de-chuck voltage.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖

(二)本代表圖之元件符號簡單說明：

14 頂升銷

16 靜電吸盤

17 孔

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明揭露一種積體電路的製造程序，特別是一種蝕刻導線的製造程序。

【先前技術】

積體電路通常包括複數層的不同材料。這些複數層使用各種不同的程序所形成或沉積而成的。這些沉積層會被繪製成最終的圖形設計，且沉積層的繪製包括了蝕刻程序。

由於積體電路的形成包含許多，有時甚至有數百個程序步驟，因此控制每一個程序步驟內的故障率變得非常重要。當一個故障發生時，必須找出失敗的元件。然後進一步研究以發現故障的原因，並且決定如何調整程序步驟以避免失敗。

然而，有時候故障會很細微，且可能只發生在一些積體電路(產品)，而不是在其它電路上。因此程序步驟需要定製以解決這些特殊的產品問題。例如，在一些輸入/輸出(I/O)晶片內，發現邊界掃描測試標準(JTAG)的故障率特別高，有時候高達約 12%至約 18%。因此需要這些問題的解決方法。

【發明內容】

根據本發明的一個觀點，一種在晶圓上形成積體電路結構的方法，包括提供一包含第一靜電吸盤(ESC)的第一蝕刻機；將晶圓放在第一靜電吸盤上；並且用第一蝕刻機在

晶圓上形成一個導線開口 (via opening)。在形成導線開口的步驟後，將第一反向鬆弛電壓施加到第一靜電吸盤上以釋放晶圓。該方法更進一步包含將晶圓放在第二蝕刻機的第二靜電吸盤上；並且用第二蝕刻機，執行一個蝕刻步驟以便在晶圓上形成額外的導線開口。在形成額外的導線開口的步驟後，將第二反向鬆弛電壓施加到第二靜電吸盤上以釋放晶圓。而第二反向鬆弛電壓與第一反向鬆弛電壓不同。

根據本發明的另一個觀點，一種形成積體電路結構的方法，包括提供一包含一個靜電吸盤的蝕刻機；將第一晶圓放在靜電吸盤上；並且用蝕刻機在第一晶圓上形成第一導線開口。在形成第一個導線開口的步驟後，將第一反向鬆弛電壓施加到靜電吸盤上以釋放第一晶圓。該方法更進一步包括將第二晶圓放在靜電吸盤上；並且用蝕刻機在第二晶圓上形成第二導線開口。在形成第二導線開口的步驟後，將第二反向鬆弛電壓施加到靜電吸盤上以釋放第二晶圓。而第二反向鬆弛電壓與第一反向鬆弛電壓不同。

根據本發明的另一個觀點，一種在晶圓上形成積體電路結構的方法，包括提供一包含一個靜電吸盤的蝕刻機；並且將晶圓放在靜電吸盤上。晶圓包括一個導電區和在導電區上的一個介電層。該方法更進一步包含使用蝕刻機蝕刻介電層以便在晶圓內形成一導線開口，直到經由導線開口的導電區能夠暴露為止。在形成導線開口的步驟後，將

第一反向鬆弛電壓施加到靜電吸盤上以釋放晶圓。而反向鬆弛電壓約在-650 V 和約-975V 之間。

使用本發明的具體實施例是有利的，使用定製的蝕刻程序可以解決發生在一些晶圓之邊界掃描測試標準 (JTAG) 中的故障。此外，本發明之具體實施例所提供的解決方法不包含積體電路的重新設計。

以上所述已相當廣泛地略述本發明的特徵。以下將描述本發明之其他特徵，此將形成本發明之申請專利範圍的主題。必須感謝的是，一般習知技術所揭露的概念和特殊的具體實施例，可能可作為一個修改或設計其它結構或程序的基礎，藉以執行本發明之相同目的。亦需以一般習知技術來實現，且其它未脫離本發明所揭示之精神和範圍的等效建構，均應包含在下述之申請專利範圍內。故而，關於本發明之優點與精神可以藉由以下發明詳述及所附圖式得到進一步的瞭解。

【實施方式】

以下詳細討論具體實施例的製作和使用。然而，必須感謝本發明提供許多應用發明的概念，可能被收錄至各種特殊的上、下文內。所討論之特殊具體實施例僅是製作和使用本發明之特定方法的說明，但不可限定本發明的範圍。

在一個有關輸入/輸出之積體電路的製造中，發現一些晶圓內晶片之邊界掃描測試標準(JTAG)的故障率特別高。透過詳細地檢查故障的晶片，發現故障的晶片主要是在晶

圓的角落和中心，特別是在角落。第 1 圖顯示晶圓 10 中具有邊界掃描測試標準故障之傾向的三個角落 12。對故障原因之更進一步的研究顯示，當在晶圓上進行導線蝕刻 (Via-etching) 程序時，角落 12 直接落在蝕刻機的頂升銷上。

第 2 圖顯示一個靜電吸盤 (ESC，亦稱為 E-Chuck) 16 和頂升銷 14 的俯視圖。在蝕刻程序內可將晶圓 10 (第 1 圖) 放在靜電吸盤 16 上。三支頂升銷 14 是在靜電吸盤 16 內的孔 17 裡面，其中頂升銷 14 被用來在導線蝕刻程序完成後，舉起晶圓 10。本發明之發明者所做的實驗已經顯示，具有邊界掃描測試標準故障傾向的三個角落 12 直接落在蝕刻機的頂升銷 14 上。在晶片之閘極介電層和多晶矽閘極電極 (不顯示) 上發生的邊界掃描測試標準故障，直接落在頂升銷 14 上。在穿透式電子顯微鏡 (TEM) 的影像上，發現故障的晶片內有壞損的多晶矽閘極。然而，在其它不直接落在頂升銷 14 的晶片內，邊界掃描測試標準故障率相當低。此種現象之一個可能的解釋是，在電漿蝕刻以形成導線開口時，發生了天線效應，且電荷累積到導電的路徑，包括透過導線開口，多晶矽閘門、和其間的金屬造成了金屬的暴露。當頂升銷 14 舉起晶圓 10 時，由於頂升銷 14 接地，累積的電荷被排放到地面上。由於直接落在頂升銷 14 上的晶片對地面有小的排放電阻，而排放電流卻是相當高的，且因此落在其上的多晶矽和/或閘介電質會受損，導致未符合邊界掃描測試標準。另一方面，在頂升銷 14 接觸晶

圖 10 時，未直接落在頂升銷 14 上的晶片有相當高的排放電阻，因此排放電流相當低，而產生較小的邊界掃描測試標準故障率。

基於以上的發現，提出新的導線蝕刻程序。在本發明之各種觀點和圖示的具體實施例中，使用相似的參考號碼來指定相似的元件。在整個描述中，使用一個第 3 圖所示的範例結構來解釋本發明之具體實施例的概念。然而，一個習知技術將了解由具體實施例所提供的教示，可被用來形成其它積體電路的元件。

第 3 圖顯示晶圓 100 的剖面圖，包含了複數個晶片。在半導體基板 15 上形成中間介電層 (ILD) 20 和介電層 21。介電層 21 包含介電層 24、蝕刻中止層 26、和介電層 28。介電層 24 和介電層 28 包含了低 k 介電材料的低 k 介電層，例如，k 值約低於 2.5。透過描述，介電層 24 被當成是導線金屬間介電層 (via IMD)，而介電層 28 當作是一個淺溝渠間金屬介電層 (trench IMD)。在一個具體實施例中，本發明之具體實施例的導線蝕刻經由導電區 32 的暴露來形成導線開口 22。導電區 32 經由金屬線 (未顯示，以一條線表式) 耦合至電晶體 36 的閘極 34。由於導電區 32 的暴露是導線蝕刻的結果，發生天線效應 (antenna effect) 且電漿蝕刻所產生的電荷，可能累積到導電區 32 和閘極 34 上。

第 4 圖顯示執行一個本發明之具體實施例的蝕刻機 40。蝕刻機 40 包含一個在蝕刻程序中可抽成真空的真空室

42。在蝕刻程序中，蝕刻氣體被引入真空室 42。可在蝕刻氣體上施加能量，使其離子化以產生電漿。靜電吸盤 16 位於真空室 42 內。且製作穿過靜電吸盤 16 的孔 17，而頂升銷 14 位於其中，在每一個孔 17 內有一支頂升銷 14。第 2 圖是靜電吸盤 16 和一支頂升銷 14 的俯視圖，其中第 4 圖所顯示，靜電吸盤 16 係由第 2 圖內一條平面橫切線 A-A' 所形成的剖面圖。頂升銷 14 可在孔 17 內上下移動。可在靜電吸盤 16 上施加正電壓以抓住晶圓 100，或施加負電壓以釋放晶圓 100，因此可利用頂升銷 14 將晶圓 100 由靜電吸盤 16 舉起。

在一個具體實施例中，如第 4 圖內所示的晶圓 100，包含第 3 圖內所示的一個結構。參考第 3 圖，在導線開口 22 形成之前，光阻 30 在淺溝渠導線金屬間介電層 28 上形成，且進行顯影以定義出導線開口 22 的圖樣。往回參考第 4 圖，然後將晶圓 100 放入真空室 42 內。將一個約 700 伏特 (V) 的正電壓施加到靜電吸盤 16 上，以便產生一個靜電力來將晶圓 100 吸引到靜電吸盤 16 上。然後執行蝕刻程序，蝕刻淺溝渠導線金屬間介電層 28、蝕刻停止層 26、和導線間金屬介電層 24 直到導電區 32 (第 3 圖)，例如，直到暴露出金屬線或金屬墊為止。蝕刻包含電漿(乾式)蝕刻，以便真空室 42 內的蝕刻氣體被離子化。據此，導電區 32 與電漿接觸。接著，例如，使用一種含氧的蝕刻氣體將光阻 30 灰化。在鑽孔蝕刻步驟和隨後的光阻 30 灰化時，將氮導至晶圓 100 的背面以散熱。

灰化程序造成光阻 30 的去除。然後開始鬆弛程序，以釋放(中和)晶圓 100 內的電荷，以便至少可以降低，或甚至消除靜電吸盤 16 上抓住晶圓 100 的抓力。

作為鬆弛程序的一部份，進行氬鬆弛，其中將氬導入真空室 42，並施加約 400 瓦的射頻(RF)功率以離子化氬和產生氬電漿。可施加射頻(RF)能量約 10 秒。在施加氬電漿後，預期累積在晶圓 100 上的電荷至少部份會被中和。氬鬆弛是鬆弛程序的一部份，因為亦有釋放晶圓 100 的效果。

當氬電漿進入真空室 42 內時，或是之後，將一個鬆弛電壓施加到靜電吸盤 16 上以鬆弛(釋放)晶圓 100。在一個具體實施例中，該反向鬆弛電壓(此後指的是高鬆弛電壓)約在-650V 和約-750V 之間。有利地，實驗已經發現，若將反向鬆弛電壓限制在此範圍內，則可明顯地降低導線蝕刻中晶圓 100 上發生的邊界掃描故障。該反向鬆弛電壓的範圍，似乎比亦用於鬆弛之低反向鬆弛電壓負的較少，例如，低反向鬆弛電壓可能為約-1300V。例如，可施加電壓約 2 秒，盡管亦可被使用較長或較短的時間。

在蝕刻程序之後，升起頂升銷 14 以舉起晶圓 100。頂升銷 14 接地且與晶圓 100 的背面接觸。據此，累積在暴露之導電區的電荷，可經由晶圓 100 的背面排放。有利地，由於使用約 50%至約 75%大小之反向低鬆弛電壓的高反向鬆弛電壓，邊界掃描故障可明顯地被降低。在晶圓上執行的實驗已經證明，若使用-1300V 之低反向鬆弛電壓(使用

於傳統的導線蝕刻程序)，在導線開口 22(第 3 圖)形成，和隨後光阻灰化之後，個別晶圓之電壓的範圍是在約 6.5V 和約-0.1V 之間，其間的差約為 6.6V。作為一種比較，若使用-975V 之高反向鬆弛電壓(本發明的一個具體實施例)，在導線開口 22 的蝕刻和灰化程序之後，個別晶圓之電壓的範圍是在約-1.3V 和約-3.9V 之間，其間的差約為 2.6V。在一片相同的晶圓上，電壓差之明顯的降低，顯示本發明的具體實施例比傳統的方法有較好的電荷中和，導致較低的導線開口故障率。

往回參考第 5 圖，積體電路的形成亦包含淺溝渠開口 (trench opening) 的形成，其中填入金屬以形成金屬線和金屬墊。如習知的技術，可在導線開口 22 形成之前(被稱為最終導線的方法)，或在導線開口 22 形成之後(被稱為第一個導線方法)形成淺溝渠開口 29。因此，晶圓 100 需透過上述討論之類似的導線蝕刻程序，來形成淺溝渠開口 29。在本發明的一個具體實施例中，使用與形成導線開口 22 相同的蝕刻機或不同的蝕刻機，以形成晶圓 100 的淺溝渠開口 29。這是一種習知的蝕刻程序，因此不在此處詳細地描述。在導線金屬間介電層 28 的蝕刻和光阻 38 灰化之後，晶圓 100 由靜電吸盤 16 所釋放。除了使用如-1300V 之低反向鬆弛電壓而不是高反向鬆弛電壓之外，該鬆弛程序類似導線蝕刻鬆弛程序。在其它的具體實施例中，在淺溝渠蝕刻上亦可使用低反向鬆弛電壓。

很明顯地，無法使用自動的方法將低反向鬆弛電壓轉

換成高反向鬆弛電壓。蝕刻機可能會故障，且可能需停止生產線來改變反向鬆弛電壓的設定。然而，此種轉換是必要的。如前幾節所討論的，導線蝕刻實驗已經顯示，低反向鬆弛電壓能有效地降低某些積體電路產品之導線開口的製造程序中，邊界掃描的故障。然而，對於晶圓 100 上導線開口之外的其它元件(如淺溝渠開口 29)，或具有不同積體電路設計的其它生產晶圓而言，此種故障可能不會造成問題。據此，對於在晶圓 100 上形成管溝孔 29 的淺溝渠蝕刻程序，或具有不同積體電路設計之其它晶圓的導線蝕刻程序而言，可使用低反向鬆弛電壓。因此，例如，在一片相同晶圓中不同區域的蝕刻，或不同晶圓上相似區域的蝕刻，均可使用低反向鬆弛電壓和高反向鬆弛電壓，即使高和低反向鬆弛電壓的共存會關掉蝕刻機。為何亦需要低反向鬆弛電壓的原因，是低反向鬆弛電壓被長期使用且被測試得很好，和現有的蝕刻方法可調到低反向鬆弛電壓。因此，繼續使用低反向鬆弛電壓可以避免，由於高反向鬆弛電壓與蝕刻方法的其它參數之間不匹配，其所產生之意想不到的問題。並且，可使用形成相同晶圓 100 之導線開口 22 的相同蝕刻機，或具有類似設計(或者甚至是正好相同的機型)的不同蝕刻機，來執行淺溝渠蝕刻的程序。

另一方面，導線蝕刻是形成積體電路之一個普通的程序。因此，亦可使用形成晶圓 100 之導線開口 22 的相同蝕刻機來形成其它晶圓的開口，雖然也有導線開口，但是有不同之積體電路的設計。如此，當有邊界掃描測試標準故

障問題之傾向的晶圓，經歷一個導線蝕刻程序之後，在對應的鬆弛程序內使用高反向鬆弛電壓來降低邊界掃描測試標準故障，即使低反向鬆弛電壓與高反向鬆弛電壓之間的轉換會關閉蝕刻機。另一方面，具有不同設計的另一種晶圓，可能沒有邊界掃描測試標準故障的傾向，且因此可使用低的鬆弛電壓。請注意，具有不同設計的兩種晶圓可使用不同的鬆弛電壓，即使此兩種晶圓內的導線開口是在相同的金屬面上，例如，均在金屬層 2 上(通常是 M2)。

本發明之具體實施例有數個有利的特徵。經由調整導線蝕刻程序內，鬆弛步驟之反向鬆弛電壓，可明顯地降低邊界掃描測試標準的故障率。實驗已經顯示，若使用-1300V 的低反向鬆弛電壓，則邊界掃描測試標準的故障率可能高達約 12%至約 18%，且其平均約為 5.6%。然而，經由降低約 25%(如降至約-975V)與約 50%(如降至約-650V)之間的低反向鬆弛電壓，實質上，可消除直接落在頂升銷之晶片的邊界掃描測試標準故障。因此，晶圓上所有晶片的故障率，平均可被降低至約 1.5%之下。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

為了對本發明及其優點有更完整的理解，可參考以下

的說明及所附的圖式如下列：

第 1 圖顯示晶圓上邊界掃描測試標準故障之位置的圖；

第 2 圖顯示蝕刻機內靜電吸盤和頂升銷的俯視圖；

第 3 圖顯示在晶圓上執行導線蝕刻程序範例的剖面圖；

第 4 圖顯示蝕刻機的剖面圖；以及

第 5 圖顯示執行淺溝渠蝕刻程序之晶圓範例的剖面圖。

【主要元件符號說明】

10 晶圓

12 角落

14 頂升銷

15 半導體基板

16 靜電吸盤

17 孔

20 中間介電層

21 介電層

22 導線開口

24 介電層

26 蝕刻中止層

28 介電層

29 淺溝渠開口

30 光阻

32 導電區

34 閘極

36 電晶體

38 光阻

40 蝕刻機

42 真空室

100 晶圓

七、申請專利範圍：

1. 一種在一晶圓上形成一積體電路結構的方法，至少包含：
 - 提供一第一蝕刻機，至少包含一第一靜電吸盤；
 - 放置該晶圓在該第一靜電吸盤上；
 - 形成一導線開口在該晶圓上，係使用該第一蝕刻機；
 - 在形成該導線開口後，引一第一反向鬆弛電壓到該第一靜電吸盤以釋放該晶圓；
 - 放置該晶圓在一第二蝕刻機的一第二靜電吸盤上；
 - 使用該第二蝕刻機執行一蝕刻步驟，以在該晶圓上形成另一個開口；以及
 - 在形成該另一個開口後，引一第二反向鬆弛電壓到該第二靜電吸盤上以釋放該晶圓，其中該第二反向鬆弛電壓低於該第一反向鬆弛電壓。
2. 如申請專利範圍第 1 項之方法，其中該第一反向鬆弛電壓的大小是在該第二反向鬆弛電壓大小的約 50%和約 75%之間。
3. 如申請專利範圍第 1 項之方法，其中該第一蝕刻機和該第二蝕刻機是一種具有相同機型但為不同的蝕刻機。
4. 如申請專利範圍第 1 項之方法，其中該第一蝕刻機與該第二蝕刻機是一種相同的蝕刻機。
5. 如申請專利範圍第 1 項之方法，在引一第一反向鬆弛電壓到該第一靜電吸盤之後，更包含：
 - 關掉該第一蝕刻機；
 - 調整該第一蝕刻機之一反向鬆弛電壓的設定，係由該

第一反向鬆弛電壓至該第二反向鬆弛電壓；

打開該第一蝕刻機；

使用該第一蝕刻機在一另一晶圓上形成一另一導線開口；以及

在形成該另一導線開口之後，引該第二反向鬆弛電壓到該第一靜電吸盤上以釋放該另一晶圓。

6. 如申請專利範圍第 1 項之方法，其中在形成該導線開口的步驟之後，經由該導線開口曝露一導電區，且其中該另一導線開口是一淺溝渠開口。

7. 一種形成一積體電路結構的方法，至少包含：

提供一蝕刻機，至少包含一靜電吸盤；

放置一第一晶圓在該靜電吸盤上；

形成一第一導線開口在該第一晶圓上，係使用該蝕刻機；

在形成該第一導線開口後，引一第一反向鬆弛電壓到該靜電吸盤以釋放該第一晶圓；

放置一第二晶圓在該靜電吸盤上；

使用該蝕刻機以在該第二晶圓上形成一第二導線開口；以及

在形成該第二導線開口後，引一第二反向鬆弛電壓到該靜電吸盤上以釋放該第二晶圓，其中該第二反向鬆弛電壓之一電壓低於該第一反向鬆弛電壓之電壓。

8. 如申請專利範圍第 7 項之方法，其中該第一晶圓與該第二晶圓互為不同之一積體電路設計。

9. 如申請專利範圍第 7 項之方法，其中該第一導線開口與該第二導線開口分別是在該第一晶圓與該第二晶圓之一相同金屬層上。
10. 如申請專利範圍第 7 項之方法，其中該第二反向鬆弛電壓的大小是在該第一反向鬆弛電壓大小的約 50%和約 75%之間。
11. 如申請專利範圍第 7 項之方法，在該引該第一反向鬆弛電壓施加到該靜電吸盤的步驟與該放置該第二晶圓在該靜電吸盤上的步驟之間，進一步更包含：
 - 關掉該蝕刻機；
 - 調整該蝕刻機的一反向鬆弛電壓的設定，係由該第一反向鬆弛電壓至該第二反向鬆弛電壓；以及
 - 開啟該蝕刻機。
12. 如申請專利範圍第 7 項之方法，其中在形成該第一導線開口的步驟及該形成該第二導線開口的步驟之後，一第一導電區和一第二導電區分別經由該第一導線開口與該第二導線開口所暴露。
13. 一種在一晶圓上形成一積體電路結構的方法，至少包含：
 - 提供一蝕刻機，至少包含一靜電吸盤；
 - 調整該蝕刻機的一反向鬆弛電壓的設定，係由與一第一反向鬆弛電壓不同之一第二反向鬆弛電壓至該第一反向鬆弛電壓；
 - 置放該晶圓在該靜電吸盤上，其中該晶圓至少包含：

一導電區；以及

一介電層覆蓋於該導電區；

使用該蝕刻機以蝕刻該介電層以便在該晶圓內形成一導線開口，直到該導電區經由導線開口所暴露為止；以及

在形成該導線開口的步驟後，引該第一反向鬆弛電壓到靜電吸盤上以釋放該晶圓，其中該第一反向鬆弛電壓約在-650 V 與-975V 之間。

14. 如申請專利範圍第 13 項之方法，更包含：在調整該反向鬆弛電壓設定的步驟之前，關掉該蝕刻機，且在調整該反向鬆弛電壓設定的步驟之後，打開該蝕刻機。

15. 如申請專利範圍第 13 項之方法，更包含：

在該引該第一反向鬆弛電壓到該靜電吸盤上以釋放該晶圓的步驟之後，關掉該蝕刻機，且由該第一反向鬆弛電壓至該第二反向鬆弛電壓，調整該蝕刻機的一反向鬆弛電壓的設定。

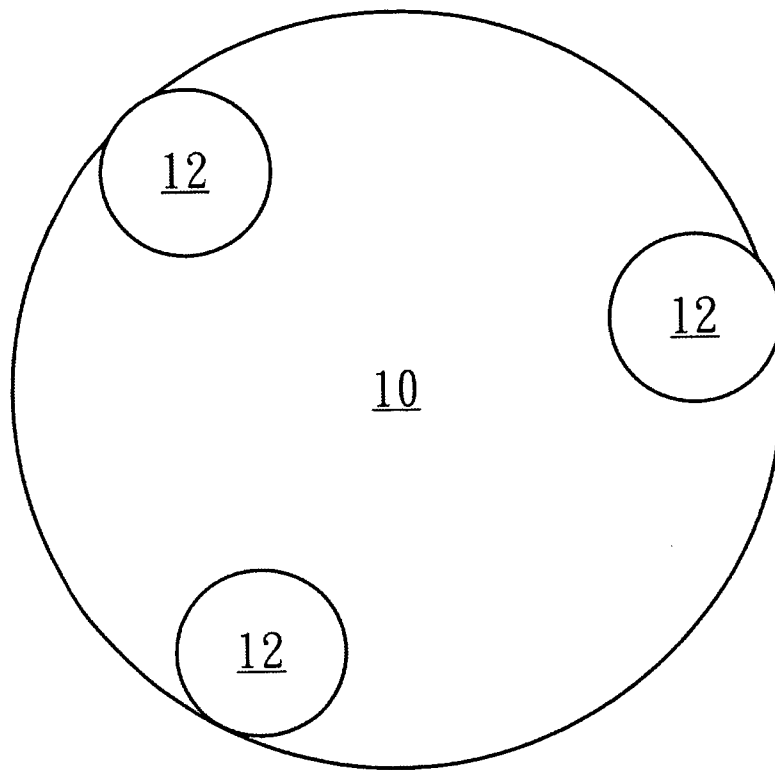
16. 如申請專利範圍第 13 項之方法，其中該第一反向鬆弛電壓的大小比該第二反向鬆弛電壓之大小，約低於 25% 與 50%之間。

17. 如申請專利範圍第 13 項之方法，更包含：

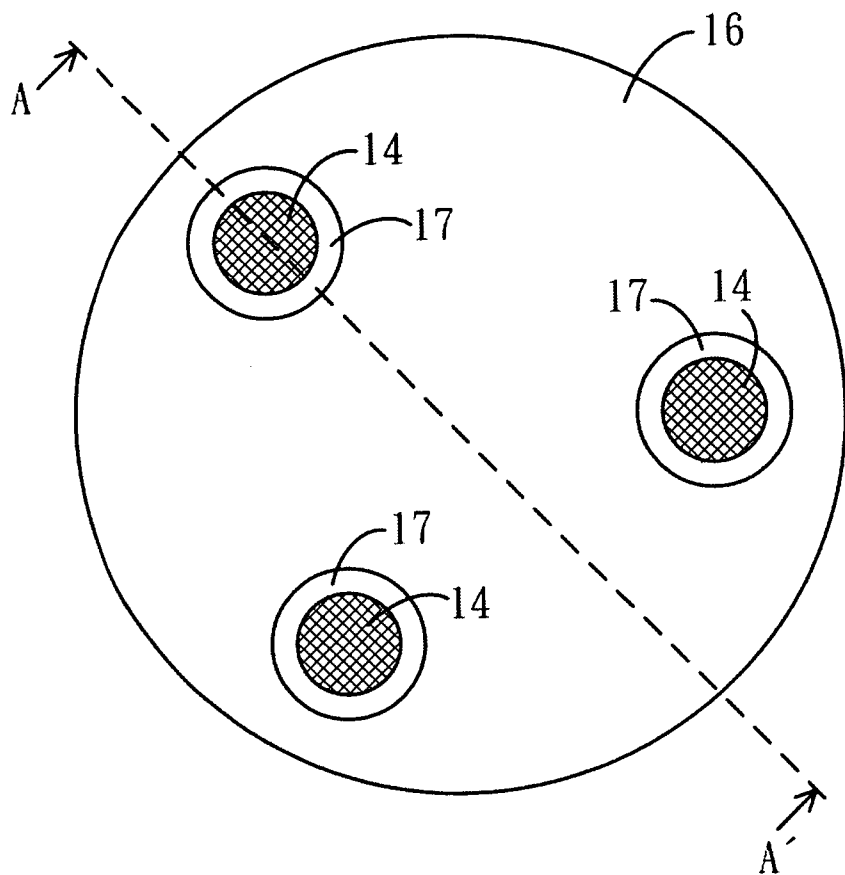
蝕刻該介電層的一上層以形成一淺溝渠；以及

在形成該淺溝渠的步驟之後，引該第二反向鬆弛電壓到該靜電吸盤上以釋放該晶圓，其中該第二反向鬆弛電壓低於該第一反向鬆弛電壓。

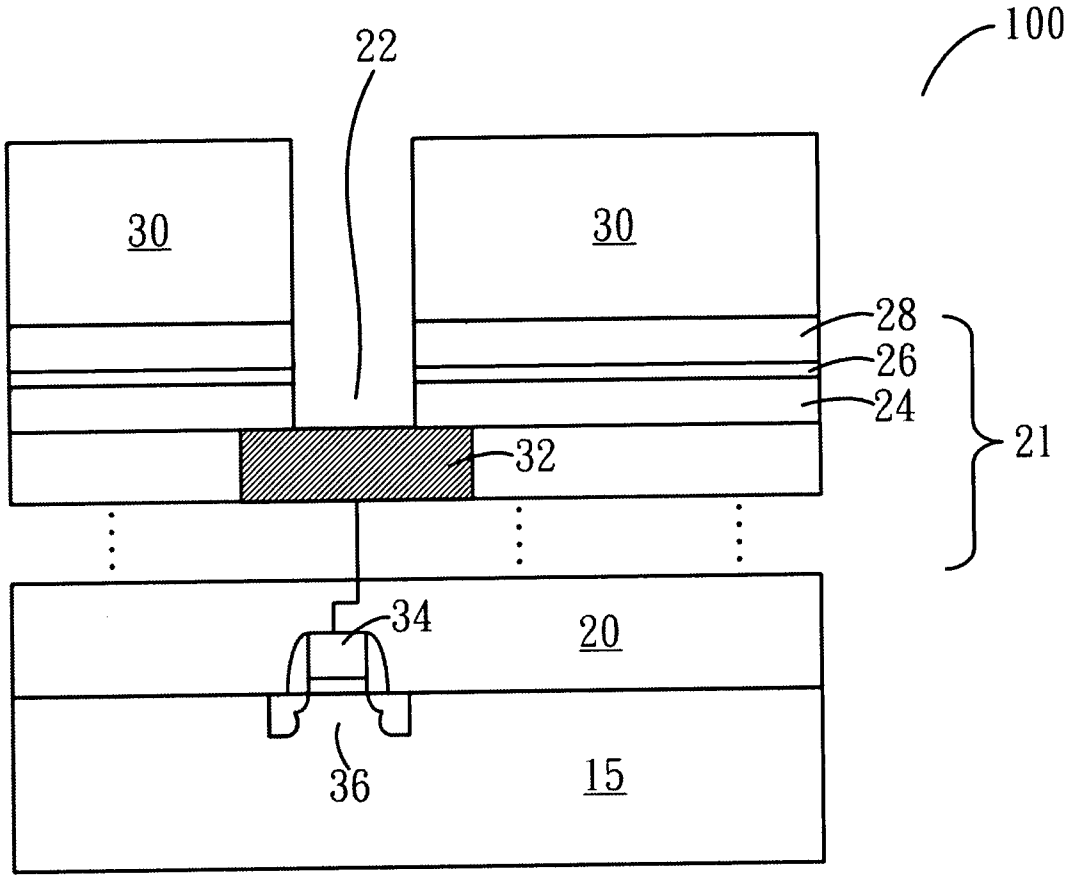
八、圖式：



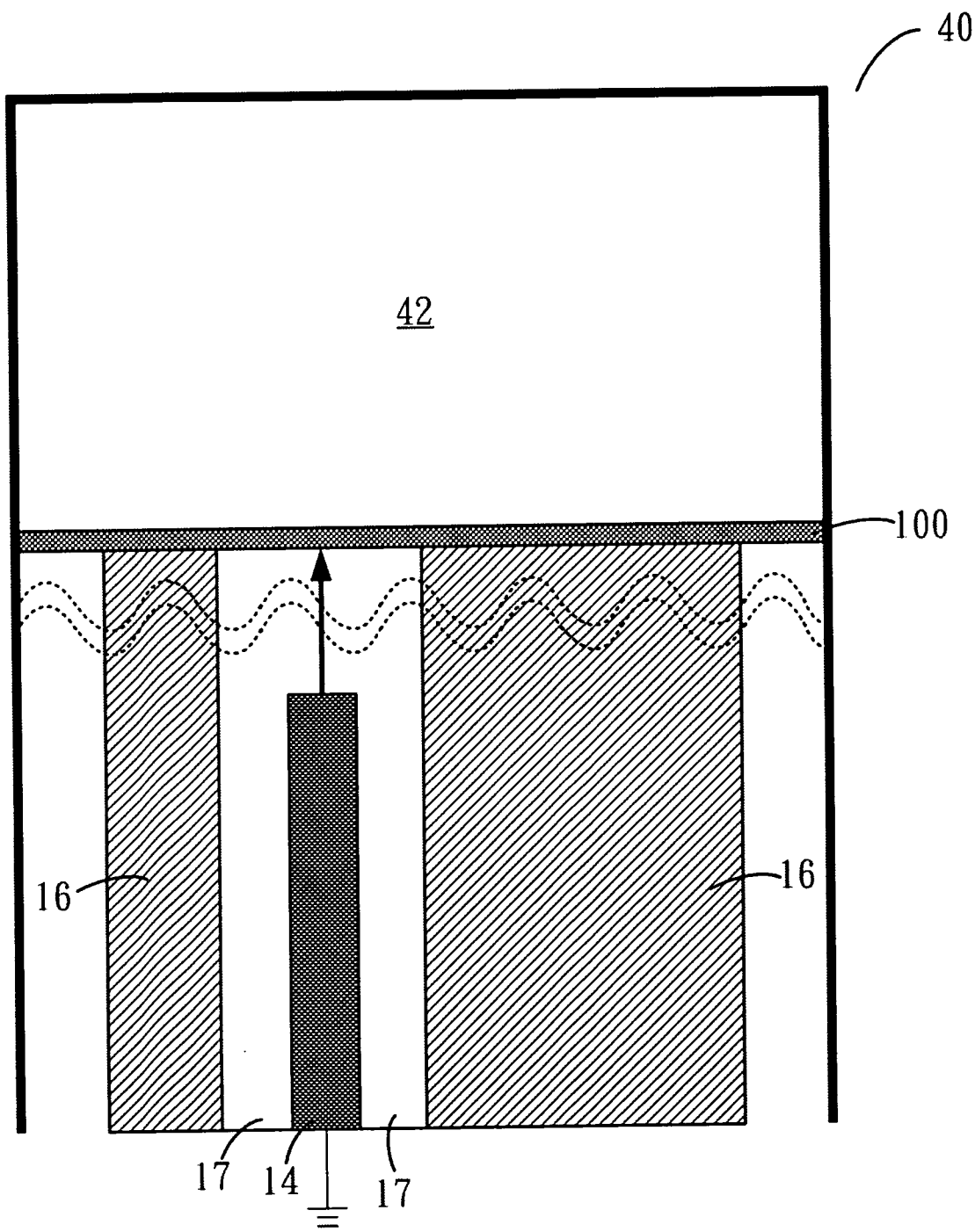
第 1 圖



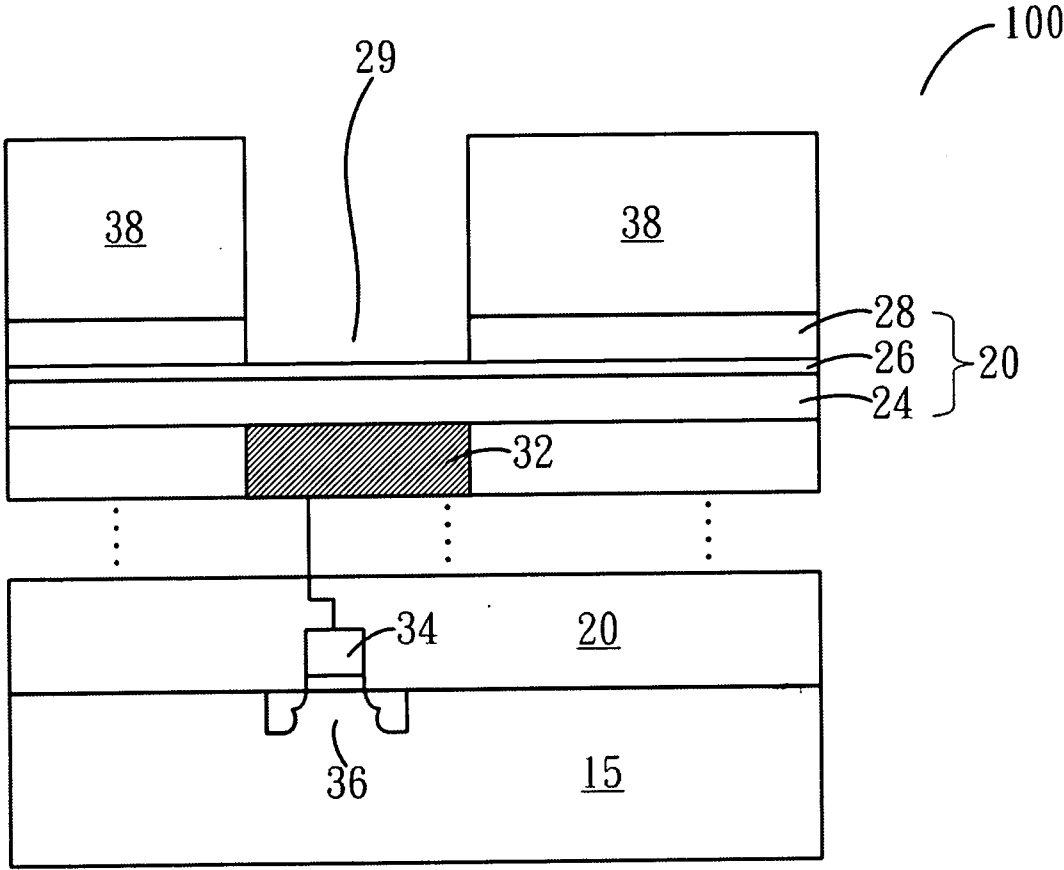
第 2 圖



第 3 圖



第 4 圖



第 5 圖